[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 25/065 (2006.01)
H01L 25/04 (2006.01)
H01L 25/16 (2006.01)
H01L 25/18 (2006.01)

[12] 发明专利说明书

专利号 ZL 200410030187.6

[45] 授权公告日 2008 年 4 月 9 日

[11] 授权公告号 CN 100380660C

[22] 申请日 2004.3.19
[21] 申请号 200410030187.6
[30] 优先权
[32] 2003. 3.24 [33] JP [31] 2003 - 081221
[73] 专利权人 精工爱普生株式会社
地址 日本东京
[72] 发明人 青柳哲理
[56] 参考文献
US6121689 A 2000.9.19
US6184586 B1 2001.2.6
US2002/0104874 A1 2002.8.8
审查员 王 琳

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 李香兰

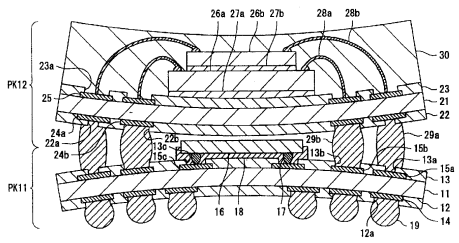
权利要求书 3 页 说明书 20 页 附图 7 页

[54] 发明名称

半导体装置及制法、半导体封装、电子设备及制法、电子仪器

[57] 摘要

考虑封装的翘曲并提高三维安装时的连接可靠性。设定对应突出电极(29a)，(29b)分别设置的开口部(13a)，(13b)的开口直径使之从载体基板(11)的中央部向外周部慢慢减小，同时设定分别对应突出电极(29a)，(29b)设置的开口部(22a)，(22b)的开口直径使之从载体基板 21 的中央部向外周部慢慢减小。



1．一种半导体装置，其特征在于，包括：

形成了突出电极的接合面积彼此不同的多个第一接合面的第一半导体封装；

分别与上述第一接合面相对向配置、形成了突出电极的接合面积彼此不同的多个第二接合面的第二半导体封装，

随着上述第一半导体封装和上述第二半导体封装之间的间隔变宽，上述第一接合面的接合面积和上述第二接合面的接合面积慢慢减小。

2．根据权利要求 1 所述的半导体装置，其特征在于，上述接合面积是接合上述突出电极的岸面上的绝缘膜的开口面积。

3．根据权利要求 1 或 2 所述的半导体装置，其特征在于，上述接合面积从上述半导体封装的中央部向外周部慢慢变化。

4．根据权利要求 1 或 2 所述的半导体装置，其特征在于，与上述多个接合面分别接合的突出电极的体积相同。

5．根据权利要求 1 或 2 所述的半导体装置，其特征在于，

上述第一半导体封装包括第一载体基板和倒装片安装在上述第一载体基板上的第一半导体芯片，而上述第二半导体封装包括隔着上述突出电极安装在上述第一载体基板上以使之保持在上述第一半导体芯片上的第二载体基板，搭载在上述第二载体基板上的第二半导体芯片，和密封上述第二半导体芯片的密封件。

6．根据权利要求 5 所述的半导体装置，其特征在于，上述第一半导体封装是在上述第一载体基板上倒装片安装上述第一半导体芯片的球栅阵列，上述第二半导体封装是模压密封上述第二载体基板上搭载的第二半导体芯片的球栅阵列或芯片尺寸封装。

7．一种电子设备，其特征在于，包括：

形成了突出电极的接合面积彼此不同的多个第一接合面的第一载体基板；

倒装片安装在上述第一载体基板上的第一电子部件；

分别与上述第一接合面相对向配置、形成了上述突出电极的接合面

积彼此不同的多个第二接合面的第二载体基板；

上述第二载体基板上搭载的第二电子部件；

密封上述第二电子部件的密封件，

随着上述第一载体基板和上述第二载体之间的间隔变宽，上述第一接合面的接合面积和上述第二接合面的接合面积慢慢减小。

8．一种电子仪器，其特征在于，包括：

形成了突出电极的接合面积彼此不同的多个第一接合面的第一半导体封装；

分别与上述第一接合面相对向配置、形成了上述突出电极的接合面积彼此不同的多个第二接合面的第二半导体封装；

已安装上述第二半导体封装的母基板，

随着上述第一半导体封装和上述第二半导体封装之间的间隔变宽，上述第一接合面的接合面积和上述第二接合面的接合面积慢慢减小。

9．一种半导体装置的制造方法，其特征在于，包括：

在第一半导体封装上设置的第一岸面上的绝缘膜上形成开口面积彼此不同的第一开口部的工序；

在第二半导体封装上设置的第二岸面上的绝缘膜上形成开口面积彼此不同的第二开口部的工序；

在已形成上述第二开口部的第二岸面上形成突出电极的工序；

通过将上述第二岸面上形成的突出电极接合于上述第一岸面上，在上述第一半导体封装上层叠上述第二半导体封装的工序，

随着上述第一半导体封装和上述第二半导体封装之间的间隔变宽，上述第一开口部的开口面积和所述第二开口部的开口面积缓缓增大。

10．一种电子设备的制造方法，其特征在于，包括：

在第一载体基板上设置的第一岸面上的绝缘膜上形成开口面积不同的第一开口部的工序；

在上述第一载体基板上安装第一电子部件的工序；

在第二载体基板上设置的第二岸面上的绝缘膜上形成开口面积不同的第二开口部的工序；

在上述第二载体基板上安装第二电子部件的工序；

在形成上述第二开口部的第二岸面上形成突出电极的工序；

通过将上述第二岸面上形成的突出电极接合于上述第一岸面上，在上述第一载体基板上层叠上述第二载体基板的工序，

随着上述第一载体基板和上述第二载体基板之间的间隔变宽，上述第一开口部的开口面积和所述第二开口部的开口面积缓缓增大。

半导体装置及制法、半导体封装、电子设备及制法、电子仪器

技术领域

本发明涉及半导体装置、半导体封装、电子设备、电子仪器和半导体装置的制造方法以及电子设备的制造方法，尤其适用于半导体封装等的层叠结构中。

背景技术

现有的半导体装置中，为实现半导体芯片的三维安装，例如专利文献1所公开的那样，有隔着金属球层叠半导体芯片的方法。

【专利文献1】

特开平11-307717号公报

但是，在将半导体芯片安装在封装上时，由于半导体芯片和封装之间的线膨胀系数等不同，封装中产生翘曲。因此，隔着金属球层叠封装的方法中，封装中产生翘曲后，封装彼此的间隔产生偏差，金属球的接合强度恶化，出现三维安装时连接可靠性恶化的问题。

发明内容

因此本发明的目的是提供考虑封装的翘曲并提高三维安装时的连接可靠性的半导体装置、半导体封装、电子设备、电子仪器和半导体装置的制造方法以及电子设备的制造方法

发明内容

为解决上述问题，根据本发明之一的形式的半导体装置，其特征在于，包括：形成了突出电极的接合面积彼此不同的多个第一接合面的第一半导体封装；分别与上述第一接合面相对向配置、形成了突出电极的接合面积彼此不同的多个第二接合面的第二半导体封装，随着上述第一半导体封装和上述第二半导体封装之间的间隔变宽，上述第一接合面的接合面积和上述第二接合面的接合面积慢慢减小。

由此，可用第一接合面和第二接合面控制突出电极的宽度，可调整第一接合面和第二接合面之间接合的突出电极的粗细。因此，第一半导体封装和第二半导体封装之间的间隔有偏差的情况下，也可抑制突出电极的打捆（紧束），可提高第一半导体封装和第二半导体封装之间的连接可靠性。

根据本发明之一形式的半导体装置，其特征在于，上述接合面积是接合上述突出电极的岸面上的绝缘膜的开口面积。

由此，通过变更岸面上形成的绝缘膜的开口图案可改变突出电极的接合面积，不会使制造工序变复杂，可调整第一接合面和第二接合面之间接合的突出电极的粗细。

根据本发明之一形式的半导体装置，其特征在于，上述接合面积从上述半导体封装的中央部向外周部慢慢变化。

由此，第一半导体封装和第二半导体封装中的一方或两方产生翘曲时，也可抑制突出电极的打捆（紧束），并可在第一接合面与第二接合面之间接合突出电极。

根据本发明之一形式的半导体装置，其特征在于，随着上述第一半导体封装和上述第二半导体封装之间的间隔变宽，上述第一接合面的接合面积和上述第二接合面的接合面积慢慢减小。

由此，在第一半导体封装和第二半导体封装之间的间隔宽的区域中，可用第一接合面和第二接合面两面抑制突出电极的变宽，可在第一半导体封装和第二半导体封装之间使突出电极加粗。因此，第一半导体封装和第二半导体封装中之一方或两方产生翘曲时，也可抑制第一半导体封装和第二半导体封装之间的突出电极的打捆（紧束），可提高第一半导体封装和第二半导体封装之间的连接可靠性。

根据本发明之一形式的半导体装置，其特征在于，与上述多个接合面分别接合的突出电极的体积实质上相同。

由此，第一半导体封装和第二半导体封装中的一方或两方产生翘曲时，也不会变更突出电极的大小，抑制突出电极的打捆（紧束），不会恶化生产效率，提高第一半导体封装和第二半导体封装之间的连接可靠性。

根据本发明之一形式的半导体装置，其特征在于，包括：第一半导

体封装；分别隔着体积彼此不同的多个突出电极层叠在上述第一半导体封装上的第二半导体封装。

由此，可调整第一接合面和第二接合面之间接合的突出电极的粗细，即使第一半导体封装和第二半导体封装之间的间隔有偏差的情况下，也可抑制突出电极的打捆（紧束），可提高第一半导体封装和第二半导体封装之间的连接可靠性。

根据本发明之一形式的半导体装置，其特征在于，上述突出电极的体积从上述半导体封装的中央部向外周部慢慢变化。

由此，第一半导体封装和第二半导体封装中的一方一或两方产生翘曲时，也抑制突出电极的打捆（紧束），不会恶化生产效率，并且可连接第一半导体封装和第二半导体封装。

根据本发明之一形式的半导体装置，其特征在于，随着上述第一半导体封装和上述第二半导体封装之间的间隔变宽，上述突出电极的体积慢慢增大。

由此，在第一半导体封装和第二半导体封装之间的间隔宽的区域中，可加粗第一半导体封装和第二半导体封装之间的突出电极，第一半导体封装和第二半导体封装中的一方或两方产生翘曲时，也可抑制第一半导体封装和第二半导体封装之间的突出电极的打捆（紧束）。

根据本发明之一形式的半导体装置，其特征在于，上述突出电极的导电性膏的量不同。

由此，通过调整导电性膏的量可调整第一半导体封装和第二半导体封装之间的突出电极的粗细，即使第一半导体封装和第二半导体封装之间的间隔有偏差的情况下，也可抑制制造工序变复杂并抑制突出电极的打捆（紧束）。

根据本发明之一形式的半导体装置，其特征在于，上述第一半导体封装，包括第一载体基板和倒装片安装在上述第一载体基板上的第一半导体芯片，而上述第二半导体封装，包括隔着上述突出电极安装在上述第一载体基板上以使之保持在上述第一半导体芯片上的第二载体基板、搭载在上述第二载体基板上的第二半导体芯片和密封上述第二半导体芯片的密封件。

由此，第一半导体封装和第二半导体封装的种类不同的情况下，也可抑制高度增大，并且可在第一半导体封装上层叠第二半导体封装，同时第一半导体封装和第二半导体封装之间的间隔有偏差的情况下，也可抑制突出电极的打捆（紧束），可节省空间，并且可以提高第一半导体封装和第二半导体封装之间的连接可靠性。

根据本发明之一形式的半导体装置，其特征在于，上述第一半导体封装是在上述第一载体基板上倒装片安装上述第一半导体芯片的球栅阵列，上述第二半导体封装是模压密封上述第二载体基板上搭载的第二半导体芯片的球栅阵列或芯片尺寸封装。

由此，使用通用封装的情况下，抑制突出电极的打捆（紧束），并且层叠不同种类封装，不会恶化生产效率，提高不同封装间的连接可靠性。

根据本发明之一形式的电子设备，其特征在于，包括：形成了突出电极的接合面积彼此不同的多个第一接合面的第一载体基板；倒装片安装在上述第一载体基板上的第一电子部件；与上述第一接合面相对向配置、形成了上述突出电极的接合面积彼此不同的多个第二接合面的第二载体基板；上述第二载体基板上搭载的第二电子部件；密封上述第二电子部件的密封件，随着上述第一载体基板和上述第二载体之间的间隔变宽，上述第一接合面的接合面积和上述第二接合面的接合面积慢慢减小。

由此，可在第一载体基板上层叠第二载体基板，并且可从第一载体基板和第二载体基板两侧抑制突出电极的变宽。

因此，抑制接合面积的变动量，并且可调整第一接合面和第二接合面之间接合的突出电极的粗细，即使在第一载体基板上，在与第二载体基板之间的间隔有大的偏差的情况下，也可确保必要的接合面积并且抑制突出电极的打捆（紧束）。

根据本发明之一形式的电子仪器，其特征在于，包括：第一载体基板；倒装片安装在上述第一载体基板的第一电子部件；分别隔着体积彼此不同的多个突出电极安装在上述第一载体基板上，以使之保持在上述第一电子部件上的第二载体基板；上述第二载体基板上搭载的第二电子部件；密封上述第二电子部件的密封件。

由此，可在第一载体基板上层叠第二载体基板，并且可从第一载体基板和第二载体基板两侧抑制突出电极的变宽。

因此，抑制接合面积的变动量，并且可调整第一接合面和第二接合面之间接合的突出电极的粗细，即使在第一载体基板上，在与第二载体基板之间的间隔有大的偏差的情况下，也可确保必要的接合面积并且抑制突出电极的打捆（紧束）。

根据本发明之一形式的半导体封装，其特征在于，对应连接于自身封装上的对方封装的翘曲，改变着接合于自身封装上的突出电极的接合面的接合面积。

由此，对方封装有翘曲时也可在自身封装侧控制突出电极的变宽，可在自身封装侧调整接合于自身封装的突出电极的粗细，提高封装间的连接可靠性。

根据本发明之一形式的电子仪器，其特征在于，包括：形成了突出电极的接合面积彼此不同的多个第一接合面的第一半导体封装；与上述第一接合面相对向配置、形成了上述突出电极的接合面积彼此不同的多个第二接合面的第二半导体封装；已安装上述第二半导体封装的母基板。

由此，通过改变突出电极的接合面积可调整第一接合面和第二接合面之间接合的突出电极的粗细，即使在第一半导体封装和第二半导体封装之间的间隔有偏差的情况下也可抑制突出电极的打捆（紧束）。

根据本发明之一形式的电子仪器，其特征在于，包括：第一半导体封装；分别隔着体积彼此不同的多个突出电极，层叠在上述第一半导体封装上的第二半导体封装；安装了上述第二半导体封装的母基板。

由此，通过改变突出电极的体积，可调整第一半导体封装和第二半导体封装之间的突出电极的粗细，即使在第一半导体封装和第二半导体封装之间的间隔有偏差的情况下，也可抑制突出电极的打捆（紧束）。

根据本发明之一形式的半导体装置的制造方法，其特征在于，包括：在第一半导体封装上设置的第一岸面上的绝缘膜上形成开口面积彼此不同的第一开口部的工序；在第二半导体封装上设置的第二岸面上的绝缘膜上形成开口面积彼此不同的第二开口部的工序；在形成上述第二开口部的第二岸面上形成突出电极的工序；通过将上述第二岸面上形成的突出电极接合于上述第一岸面上，在上述第一半导体封装上层叠上述第二半导体封装的工序。

由此，可改变突出电极的接合面积，可控制岸面上的突出电极的变宽。因此第一半导体封装和第二半导体封装中的一方或两方产生翘曲的情况下，也可抑制突出电极的打捆（紧束），并且可在第一半导体封装上层叠第二半导体封装。

根据本发明之一形式的半导体装置的制造方法，其特征在于，包括：通过隔着具有掩膜厚度彼此不同的印刷面的印刷掩膜涂布导电材料，在第一半导体封装上形成厚度不同的导电材料的工序；在第二半导体封装上形成突出电极的工序；隔着上述导电材料将上述第二半导体封装上形成的突出电极接合在上述第一半导体封装，从而在上述第一半导体封装上层叠上述第二半导体封装的工序。

由此，通过将导电材料转印到第一半导体封装上，可调整第一半导体封装和第二半导体封装之间的突出电极的粗细，即使第一半导体封装和第二半导体封装中之间的间隔有偏差的情况下，也可抑制制造工序的复杂化，并且可抑制突出电极的打捆（紧束）。

根据本发明之一形式的半导体装置的制造方法，其特征在于，包括：通过控制导电材料的涂布量在第一半导体封装上形成厚度不同的导电材料的工序；在第二半导体封装上形成突出电极的工序；隔着上述导电材料将上述第二半导体封装上形成的突出电极接合在上述第一半导体封装，从而在上述第一半导体封装上层叠上述第二半导体封装的工序。

由此，通过调整导电性膏的涂布量可调整第一半导体封装和第二半导体封装之间的突出电极的粗细，即使第一半导体封装和第二半导体封装中之间的间隔有偏差的情况下，也可抑制制造工序的复杂化，并且可抑制突出电极的打捆（紧束）。

根据本发明之一形式的电子设备的制造方法，其特征在于，包括：在第一载体基板上设置的第一岸面上的绝缘膜上形成开口面积不同的第一开口部的工序；在上述第一载体基板上安装第一电子部件的工序；在第二载体基板上设置的第二岸面上的绝缘膜上形成开口面积不同的第二开口部的工序；在上述第二载体基板上安装第二电子部件的工序；在形成了上述第二开口部的第二岸面上形成突出电极的工序；通过将上述第二岸面上形成的突出电极接合于上述第一岸面上，在上述第一载体基板

上层叠上述第二载体基板的工序。

由此，可改变突出电极的接合面积，即使在第一载体基板和第二载体基板中的一方或两方产生翘曲的情况下，也可抑制突出电极的打捆（紧束），并且可在第一载体基板上层叠第二载体基板。

根据本发明之一形式的电子设备的制造方法，其特征在于，包括：在第一载体基板上安装第一电子部件的工序；通过隔着具有掩膜厚度不同的印刷面的印刷掩膜涂布导电材料，在上述第一载体基板上形成厚度不同的导电材料的工序；在第二载体基板上安装第二电子部件的工序；在安装了第二电子部件的第二载体基板上形成突出电极的工序；隔着上述导电材料将上述第二载体基板上形成的突出电极接合在上述第一载体基板，从而在上述第一载体基板上层叠上述第二载体基板的工序。

由此，通过将导电材料转印到第一载体基板上，可调整第一载体基板和第二载体基板之间的突出电极的粗细，即使在第一载体基板和第二载体基板之间的间隔有偏差的情况下，也可抑制制造工序变复杂并抑制突出电极的打捆（紧束）。

另外，根据本发明之一形式的电子设备的制造方法，其特征在于，包括：在第一载体基板上安装第一电子部件的工序；通过控制导电材料的涂布量，在上述第一载体基板上形成厚度不同的导电材料的工序；在第二载体基板上安装第二电子部件的工序；在安装上述第二电子部件的第二载体基板上形成突出电极的工序；隔着上述导电材料将在上述第二载体基板上形成的突出电极接合在上述第一载体基板，从而在上述第一载体基板上层叠上述第二载体基板的工序。

由此，通过调整导电性膏的涂布量，可调整第一载体基板和第二载体基板之间的突出电极的粗细，即使在第一载体基板和第二载体基板之间的间隔有偏差的情况下，也可抑制制造工序的复杂化，并抑制突出电极的打捆（紧束）。

附图说明

图 1 是表示第 1 实施方式的半导体装置的结构的截面图；

图 2 是表示图 1 的半导体装置的制造方法的截面图；

图 3 是表示第 2 实施方式的半导体装置的结构的截面图；

图 4 是表示第 3 实施方式的半导体装置的制造方法的截面图；

图 5 是表示第 3 实施方式的半导体装置的制造方法的截面图；

图 6 是表示第 4 实施方式的半导体装置的制造方法的截面图；

图 7 是表示第 5 实施方式的半导体装置的简要结构的截面图。

图中，11、21、31、41、51、81、91、211－载体基板，12、13、22、23、42、43、52、53、82、83、92、93、212、223－绝缘膜，12、13a～13c、22a、22b、42a、43a～43c、52a、52b、82a、83a、83b、92a、92b、112、113a、113b、214、215a、215b、226a、226b-开口部，44a、44b、44c、45a、45b、45c、54a、54b、55、72、84、85a、85b、85c、94a、94b、95、214、215a、215b、225a、225b-岸面，16、26a、26b、46、56a、56b、86、96a、96b、216、221－半导体芯片，17、19、29a、29b、47、49a、49b、49c、59a、59b、87、99a、99b、101a、101b、102、217、219、227a、227b－突出电极，18、48、88、21 各向异性导电膜，27a、27b、57a、57b、97a、97b－粘接层，28a、28b、58a、58b、98a、98b－导电性引线，30、60、100－密封树脂，71－母基板，89、89a、89b－导电性膏，111－印刷掩膜，114－橡皮滚（squeegee）,121－分散器，222－电极垫片，224－应力缓和层，225－再配置配线，226－焊料抗蚀剂膜，PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42－半导体封装

具体实施方式

下面参考附图说明本发明的实施方式的半导体装置、电子设备和它们的制造方法。

图 1 是表示本发明的第 1 实施方式的半导体装置的结构的截面图。

该第 1 实施方式改变接合突出电极 29a,29b 的半导体封装 PK11,PK12 的双方开口部 13a,13b 和开口部 22a,22b 的开口直径的。

在图 1 中，半导体封装 PK11 上设有载体基板 11。并且载体基板 11 的里面上设有为配置突出电极 19 的岸面 14。并且，设置岸面 14 的载体基板 11 的里面上形成焊料抗蚀剂等的绝缘膜 12，绝缘膜 12 上设置使岸面 14 的表面露出的开口部 12a。

另一方面，载体基板 11 的表面上分别设有用于分别配置突出电极 29a,29b 的岸面 15a,15b，同时设置配置突出电极 17 的岸面 15c。并且，设置岸面 15a～15c 的载体基板 11 的表面上形成焊料抗蚀剂等的绝缘膜 13，绝缘膜 13 上分别设置使岸面 15a～15c 的表面露出的开口部 13a～13c。

这里对应突出电极 29a,29b 分别设置的开口部 13a,13b 的开口直径可以设定为例如从载体基板 11 的中央部向外周部慢慢减小。

并且载体基板 11 上倒装片安装半导体芯片 16，半导体芯片 16 上设有用于倒装片安装的突出电极 17。并且，半导体芯片 16 上设置的突出电极 17 隔着各向异性导电片 18ACF(各向异性导电膜)接合于岸面 15c 上。载体基板 11 的里面上设置的岸面 14 上设有用于将载体基板 11 安装在母基板上的突出电极 19。

另一方面，半导体封装 PK12 上设置载体基板 21。并且载体基板 21 的里面上设置分别配置突出电极 29a,29b 的岸面 24a,24b。并且设置岸面 24a,24b 的载体基板 21 的里面上形成焊料抗蚀剂等的绝缘膜 22，绝缘膜 22 上分别设有使岸面 24a,24b 的表面露出的开口部 22a,22b。

这里对应突出电极 29a,29b 分别设置的开口部 22a,22b 的开口直径可以设定为例如从载体基板 21 的中央部向外周部慢慢减小。

另一方面，载体基板 11 的表面上设有用于引线接合连接的岸面 25。并且设置岸面 25 的载体基板 21 的表面上形成焊料抗蚀剂等的绝缘膜 23，绝缘膜 23 上分别设有使岸面 25 的表面露出的开口部 23a。

并且载体基板 21 上隔着粘接层 27a 倒装片安装半导体芯片 26a，半导体芯片 26a 按隔着导电性线 28a 引线接合连接在岸面 25。另外，半导体芯片 26a 上避开导电性线 28a 倒装片安装半导体芯片 26b，半导体芯片 26b 隔着粘接层 27b 固定在半导体芯片 26a 上，同时隔着导电性线 28b 引线接合连接在岸面 25。作为导电性线 28a,28b 可使用例如 Au 线、Al 线等。

载体基板 21 的里面上设置的岸面 24a,24b 上，以将载体基板 21 保持在半导体芯片 16 上的形态、分别设有将载体基板 21 安装在载体基板 11 上用的突出电极 29a,29b。这里，使突出电极 29a,29b 避开半导体芯片 16

的搭在区域来配置，例如可将突出电极 29a,29b 配置在载体基板 21 的里面的周围。

半导体芯片 26a,26b 的安装面侧的载体基板 21 的整个一面上设置密封树脂 30，由该密封树脂 30 密封半导体芯片 26a,26b。密封树脂 30 密封半导体芯片 26a,26b 的情况下，可通过使用环氧树脂等的热固化树脂的模压成型等进行。

这里，由于载体基板 11 和半导体芯片 16 等的线膨胀系数不同，半导体封装 PK11 向下侧翘曲，由于载体基板 21 和密封树脂 30 等的线膨胀系数不同，半导体封装 PK12 向上侧翘曲。

并且，例如半导体封装 PK11 向下侧翘曲、半导体封装 PK12 向上侧翘曲的状态下，通过分别将突出电极 29a,29b 接合在载体基板 11 上设置的岸面 15a,15b，可以将载体基板 21 安装在载体基板 11 上。

这里，对应突出电极 29a,29b 的下面分别设置的开口部 13a,13b 的开口直径和对应突出电极 29a,29b 的上面分别设置的开口部 22a,22b 的开口直径双方设定为从载体基板 11,21 的中央部向外周部分别减小，使得可从层叠的载体基板 11,21 的两侧控制突出电极 29a,29b 的变宽。

因此，可抑制突出电极 29a,29b 的接合面积，并且调整岸面 15a,15b 和岸面 24a,24b 之间分别接合的突出电极 29a,29b 的粗细，在载体基板 11,21 的翘曲大的情况下，也可确保突出电极 29a,29b 的必要的接合面积，并且可抑制突出电极 29a,29b 的打捆（紧束）。

另外，通过改变开口部 13a,13b 的开口直径和开口部 22a,22b 的开口直径双方，在载体基板 11,21 的翘曲大的情况下，也可不改变突出电极 29a,29b 的体积，抑制突出电极 29a,29b 的打捆（紧束）。因此抑制在载体基板 21 上形成突出电极 29a,29b 时的制造效率的恶化，并且提高载体基板 11,21 之间的连接可靠性。

例如用焊锡球构成突出电极 29a,29b 的情况下的球直径都为 Φ0.3mm，载体基板 21 的翘曲为 80 微米。并且，载体基板 11 的开口部 13a,13b 的开口直径为 Φ0.3mm，是一定的，载体基板 21 的中央部的开口部 24b 的开口直径为 Φ0.28mm，此时载体基板 21 的中央部的安装高度为 0.205mm。

此时，为将载体基板 21 的端部的安装高度设为 0.285mm，需要载体基板 21 的开口部 24a 的开口直径为 Φ0.05mm。因此，开口部 24a 的开口直径变得非常小，突出电极 29a 和岸面 24a 的接合面积过小，使得突出电极 29a 和岸面 24a 的接合强度不足。

另一方面，载体基板 11 的中央部的开口部 13b 的开口直径维持 Φ0.3mm、载体基板 11 的端部的开口部 13a 的开口直径小至 Φ0.28mm 时，载体基板 21 的端部的开口部 24a 的开口直径可以为 Φ0.25mm。因此防止开口部 24a 的开口直径过小，可以确保必要的安装高度。

另外，作为载体基板 11,21，例如可使用两面基板、多层配线基板、叠放基板、带基板或膜基板等，作为载体基板 11,21 的材质，可使用例如聚酰胺树脂、玻璃环氧树脂、BT 树脂芳族聚酰胺（アラミド）和环氧树脂的复合物或陶瓷等。作为突出电极 16,19,29a,29b，可使用例如 Au 块、由焊锡材料等覆盖的 Cu 块,Ni 块或焊锡球等。尤其作为突出电极 29a,29b 可使用焊锡球或导电性膏等。为了将载体基板 21 安装在载体基板 11 上，说明了将突出电极 29a,29b 设置在载体基板 21 侧的方法，但也可以在载体基板 11 侧设置突出电极 29a,29b。

上述实施方式中，说明了通过 ACF 接合在载体基板 11 上安装半导体芯片 16 的方法，但可使用 NCF(非导电膜)接合、ACP(各向异性导电膏)接合、NCP(非导电膏)接合等的其他压接接合，可使用焊锡接合、合金接合等的金属接合。另外，说明了在将半导体芯片 26a,26b 安装在载体基板 21 上时使用了引线接合连接的方法，但可将半导体芯片 26a,26b 倒装片安装在载体基板 21 上。另外，上述实施方式中，说明了在载体基板 11 上安装 1 个半导体芯片 16 的方法的例子，但载体基板 11 上可安装多个半导体芯片。载体基板 11 和载体基板 21 之间的间隙根据需要可注入树脂。上述实施方式中，表示出在载体基板 11 上倒装片安装半导体芯片 16 的例子，但也可以正片安装（未示出）。此时，半导体芯片 16 可被密封。此时，载体基板 11 的密封半导体芯片 16 的部分向下凸出变形，未密封的部分向上凸出变形。

另外，上述实施方式中以下侧的载体基板 11 向下侧翘曲，上侧的载体基板 21 向上侧翘曲的情况为例进行说明，但下侧的载体基板 11 不翘

曲、上侧的载体基板 21 向上侧翘曲的情况下，下侧的载体基板 11 向下侧翘曲的情况下，两个载体基板 11,21 向下侧翘曲并且上侧的载体基板 21 翘曲大的情况下也同样适用。

另外，下侧的载体基板 11 向上侧翘曲，上侧的载体基板 21 向下侧翘曲的情况下，下侧的载体基板 11 没有翘曲、上侧的载体基板 21 向下侧翘曲的情况下，上侧的载体基板 21 没有翘曲下侧的载体基板 11 向上侧翘曲的情况下，双方载体基板 11,21 向下侧翘曲并且上侧的载体基板 11 翘曲大的情况下，双方载体基板 11,21 向上侧翘曲，并且下侧的载体基板 21 翘曲大的情况下也适用。这些情况下，对应突出电极 29a,29b 的下面分别设置的开口部 13a,13b 的开口直径和对应突出电极 29a,29b 的上面分别设置的开口部 22a,22b 的开口直径双方可设定为从载体基板 11,21 的中央部向外周部分别增大。

图 2 是表示图 1 的半导体装置的制造方法的截面图。

图 2（a）中，半导体封装 PK11 向下侧翘曲，半导体封装 PK21 向上侧翘曲。并且，半导体封装 PK11 上层叠半导体封装 PK12 的情况下，在载体基板 22 的岸面 24a,24b 上分别形成突出电极 29a,29b。这里，作为突出电极 29a,29b 例如使用焊锡球的情况下，实际上可将球的直径设定得相等（即在制造误差的范围内）。

接着如图 2（b）所示，将形成了突出电极 29a,29b 的半导体封装 PK12 安装在半导体封装 PK11 上，通过回流处理分别将突出电极 29a,29b 接合在岸面 15a,15b 和岸面 24a,24b 上。

这里分别对应突出电极 29a,29b 的下面设置的开口部 13a,13b 的开口直径和开口部 22a,22b 的开口直径双方设定为，分别从载体基板 11,21 的中央部向外周部减小，使得将球径相等的焊锡球用作突出电极 29a,29b 的情况下也可抑制突出电极 29a,29b 的打捆（紧束），并且可使载体基板 21 的安装高度对应载体基板 11,21 的翘曲。

接着如图 2（c）所示，在载体基板 11 的里面上设置的岸面 14 上形成用于将载体基板 11 安装在母基板上的突出电极 19。

图 3 是表示本发明的第 2 实施方式的半导体装置的结构的截面图。该第 2 实施方式在分别变化接合突出电极 59a,59b 的半导体封装

PK21,PK22 双方的开口部 43a,43b 和开口部 52a,52b 的开口直径的同时，改变接合突出电极 49a～49c 的半导体封装 PK21 的开口部 42a～42c 的开口直径。

图 3 中，半导体封装 PK21 上设有载体基板 41。并且载体基板 41 的里面上设有用于配置突出电极 49a～49c 的岸面 44a～44c。并且设置岸面 44a～44c 的载体基板 41 的里面上形成焊料抗蚀剂等的绝缘膜 42，在绝缘膜 42 上设置分别使岸面 44a～44c 的表面露出的开口部 42a～44c。

这里，分别对应突出电极 49a～49c 设置的开口部 42a～44c 的开口直径可设定为例如从载体基板 41 的中央部向外周部慢慢增大。

另一方面，载体基板 41 的表面上分别设有用于分别配置突出电极 59a,59b 的岸面 45a,45b 的同时，设有用于配置突出电极 47 的岸面 45c。并且，设置岸面 45a,45b,45c 的载体基板 41 的表面上形成焊料抗蚀剂等的绝缘膜 43，在绝缘膜 43 上分别设置使岸面 45a～45c 的表面露出的开口部 43a～43c。

这里，分别对应突出电极 59a,59b 设置的开口部 43a,43b 的开口直径可设定为例如从载体基板 41 的中央部向外周部慢慢减小。

并且，载体基板 41 上倒装片安装半导体芯片 46，在半导体芯片 46 上设有用于倒装片安装的突出电极 47。并且半导体芯片 43 上设置的突出电极 47 隔着各向异性导电膜 48ACF 接合于岸面 45c 上。在载体基板 41 的里面上设置的岸面 44a～44c 上设有用于将载体基板 41 安装在母基板 71 上的突出电极 49a～49c。

另一方面，半导体封装 PK22 上设有载体基板 51。并且载体基板 51 的里面上分别设有用于分别配置突出电极 59a,59b 的岸面 54a,54b。并且设置岸面 54a,54b 的载体基板 51 的里面上形成焊料抗蚀剂等的绝缘膜 52，在绝缘膜 52 上分别设有使岸面 54a,54b 的表面露出的开口部 52a,52b。

这里，对应突出电极 59a,59b 设置的开口部 52a,52b 的开口直径可设定为例如从载体基板 51 的中央部向外周部慢慢减小。

另一方面，载体基板 51 的表面上设有用于引线接合连接的岸面 55。并且，设置岸面 55 的载体基板 51 的表面上形成焊料抗蚀剂等的绝缘膜 53，在绝缘膜 53 上设有使岸面 55 的表面露出的开口部 53a。

并且，载体基板 51 上隔着粘接层 57a 正片安装半导体芯片 56a，半导体芯片 56a 隔着导电性线 58a 引线接合连接在岸面 55。另外，在半导体芯片 56a 上避开导电性线 58a 正片安装半导体芯片 56b，半导体芯片 56b 隔着粘接层 57b 固定在半导体芯片 56a 上的同时，隔着导电性线 58b 引线接合连接于岸面 55。

载体基板 51 的里面上设置的岸面 54a,54b 上分别设有以将载体基板 51 保持在半导体芯片 46 上的形态、将载体基板 51 安装在载体基板 41 上的突出电极 59a,59b。这里，使突出电极 59a,59b 避开半导体芯片 46 的搭载区域来配置，例如在载体基板 51 的里面周围配置突出电极 59a,59b。在半导体芯片 56a,56b 的安装面侧的载体基板 51 的整个一面上设置密封树脂 60，通过该密封树脂 60 密封半导体芯片 56a,56b。

这里，载体基板 41、半导体芯片 46 等的线膨胀系数不同，例如半导体组建 PK21 向下侧翘曲，载体基板 51、密封树脂 60 等的线膨胀系数不同，半导体封装 PK22 向上侧翘曲。

并且，例如半导体封装 PK21 向下侧翘曲、半导体封装 PK22 向上侧翘曲的状态下，通过载体基板 41 上设置的岸面 45a,45b 上分别接合突出电极 59a,59b，可以将载体基板 51 安装在载体基板 41 上。

另外，通过在母基板 71 上设置的岸面 72 上分别接合突出电极 49a～49c，可将层叠载体基板 21 的载体基板 11 安装在母基板 71 上。

这里，将对应突出电极 59a,59b 的下面分别设置的开口部 43a,43b 的开口直径和对应突出电极 59a,59b 的上面分别设置的开口部 52a,52b 的开口直径双方，可设置为分别从载体基板 41,51 的中央部向外周部减小，从而可从层叠的载体基板 41,51 的两侧控制突出电极 59a,59b 的变宽。

因此，抑制突出电极 59a,59b 的接合面积的变动量，并且可调整岸面 45a,45b 和岸面 54a,54b 之间分别接合的突出电极 59a,59b 的粗细，即使载体基板 41,51 的翘曲大的情况下，也可确保突出电极 59a,59b 的必要的接合面积，并抑制突出电极 59a,59b 的打捆（紧束）。

另外，在载体基板 51 和母基板 71 之间夹持的载体基板 41 中，不仅一个面上设置的开口部 43a,43b 的开口直径，而且在另一面上设置的开口部 42a～42c 的开口直径也变化，从而在载体基板 41 有翘曲的情况下，

不仅抑制接合于载体基板 51 的突出电极 59a,59b 的打捆（紧束），也可抑制接合于母基板 71 突出电极 49a～49c 的打捆（紧束）。因此不仅提高载体基板 41 和载体基板 51 的连接可靠性，还提高载体基板 41 和母基板 71 的连接可靠性。

作为载体基板 41,51 和母基板 71，例如使用两面基板、多层配线基板、叠放基板、带基板或膜基板等，作为载体基板 41,51 和母基板 71 的材质，可使用例如聚酰胺树脂、玻璃环氧树脂、BT 树脂芳族聚酰胺和环氧树脂的复合物或陶瓷等。作为突出电极 46,49a～49c,59a,59b，可使用例如 Au 块、由焊锡材料等覆盖的 Cu 块,Ni 块或焊锡球等。尤其作为突出电极 49a～49c,59a,59b 可使用焊锡球或导电性膏等。

上述实施方式中，说明了下侧的载体基板 41 向下侧翘曲、上侧的载体基板 51 向上侧翘曲的情况下的例子，但同样适用于上侧的载体基板 51 没有翘曲、下侧的载体基板 41 向下侧翘曲的情况，双方载体基板 41,51 向下侧翘曲，下侧的载体基板 41 翘曲大的情况。

另外，下侧的载体基板 41 向上侧翘曲的情况下，与上侧的载体基板 51 的翘曲无关，都将分别对应突出电极 49a～49c 设置的开口部 42a～42c 的开口直径设定为从载体基板 41 的中央部向外周部慢慢减小。

图 4,图 5 是表示本发明的实施方式 3 的半导体装置的制造方法的截面图。该第 3 实施方式通过改变印刷掩膜 111 的掩膜厚度来调整印刷在载体基板 81 上的导电性膏 89a,89b 的厚度的。

图 4 中，在导体封装 PK31 上设有载体基板 81。并且载体基板 81 的里面上设有用于配置图 5（b）的突出电极 102 的岸面 84。并且设置岸面 84 的载体基板 11 的里面上形成绝缘膜 82，在绝缘膜 82 上设有用于使岸面 84 的表面露出的开口部 82a。

另一方面，载体基板 81 的表面上分别设有用于分别接合图 5（a）的突出电极 101a,101b 的岸面 85a,85b，同时设有用于配置突出电极 87 的岸面 85c。并且设置岸面 85a～85c 的载体基板 81 的表面上形成绝缘膜 83，在绝缘膜 83 上分别设有用于使岸面 85a～85c 的表面露出的开口部 83a～83c。开口部 83a～83c 的开口直径可设定为实际上相同。

并且，载体基板 81 上倒装片安装半导体芯片 86，在半导体芯片 86

上设有用于倒装片安装的突出电极 87。并且，半导体芯片 86 上设置的突出电极 87 隔着各向异性导电膜 88ACF 接合于岸面 85c 上。

另一方面，半导体封装 PK32 上设有载体基板 91。并且载体基板 91 的里面上分别设有用于分别配置突出电极 99a,99b 的岸面 94a,94b。并且设置岸面 94a,94b 的载体基板 91 的里面上形成绝缘膜 92，在绝缘膜 92 上分别设有用于使岸面 94a,94b 的表面露出的开口部 92a,92b。开口部 92a,92b 的开口直径可设定为实际上相同。

另一方面，载体基板 91 的表面上设有用于引线接合连接的岸面 95。并且设置岸面 95 的载体基板 91 的表面上形成绝缘膜 93，在绝缘膜 93 上设有用于使岸面 95 的表面露出的开口部 93a。

并且，载体基板 91 上隔着粘接层 97a 正片安装半导体芯片 96a，半导体芯片 96a 隔着导电性线 98a 引线接合连接在岸面 95。另外，在半导体芯片 96a 上避开导电性线 98a 正片安装半导体芯片 96b，半导体芯片 96b 隔着粘接层 97b 固定在半导体芯片 96a 上，同时隔着导电性线 98b 引线接合连接在岸面 95。

另外，载体基板 91 的里面上设置的岸面 94a,94b 上，以将载体基板 91 保持在半导体芯片 86 上的形态、分别设有将载体基板 91 安装在载体基板 81 上的突出电极 99a,99b。

在半导体芯片 96a,96b 的安装面侧的载体基板 91 的整个一面上设置密封树脂 100，通过该密封树脂 100 密封半导体芯片 96a,96b。

另一方面，印刷掩膜 111 上设有用于填充导电性膏 89 的开口部 113a,113b，同时在印刷掩膜 111 的转印面侧上设有可插入半导体芯片 86 的开口部 112。这里印刷掩膜 111 的掩膜厚度对应开口部 113a,113b 的位置设定得不同，例如设定为从印刷掩膜 111 的中央部向外周部慢慢加厚。

例如，改变印刷掩膜 111 的掩膜厚度的情况下，将印刷掩膜 111 的上面的截面形状保持平坦，将印刷掩膜 111 的转印面侧的截面形状作成弓形（arch） 状。

并且，半导体封装 PK31 向下侧翘曲、半导体封装 PK32 向上侧翘曲。在向半导体封装 PK31 上层叠半导体封装 PK32 的情况下，向印刷掩膜 111 的上面供给导电性膏 89。然后，分别向印刷掩膜 111 的开口部 113a,113b

填充导电性膏 89 时，将载体基板 81 压贴在印刷掩膜 111 上。并且通过在供给导电性膏 89 的印刷掩膜 111 上移动橡皮辊 114,将导电性膏 89 分别填充到开口部 113a,113b 中。这里，通过从印刷掩膜 111 的中央部向外周部慢慢增大掩膜厚度，与配置在中央部的开口部 113b 相比，端部配置的开口部 113a 的填充量更多。

并且，如图 4（b）所示，通过将印刷掩膜 111 的开口部 113a,113b 填充的导电性膏 89 转印到载体基板 81 的岸面 85a,85b 上，分别将导电性膏 89a,89b 印刷到载体基板 81 的岸面 85a,85b 上。这里，与开口部 13b 中填充的导电性膏 89 的填充量相比，在开口部 113a 中填充的导电性膏 89 的填充量多。因此，与载体基板 81 的岸面 85b 上的导电性膏 89b 的厚度相比，岸面 85a 上导电性膏 89a 的厚度可加厚。

接着如图 4（c）所示，印刷导电性膏 89a,89b 的半导体封装 PK31 上安装形成了突出电极 99a,99b 的半导体封装 PK32。

接着如图 5（a）所示，通过进行回流处理，使导电性膏 89a,89b 和突出电极 99a,99b 熔融。并且，分别将导电性膏 89a,89b 和突出电极 99a,99b 构成的突出电极 101a,101b 分别接合在岸面 85a,85b 和岸面 94a,94b 上。

由此，可在载体基板 81 的岸面 85a,85b 上统一形成导电性膏 89a,89b，可对应载体基板 81 和载体基板 91 之间的间隔改变突出电极 101a,101b 的体积。因此，在载体基板 81,91 有翘曲的情况下，可抑制突出电极 101a,101b 的打捆（紧束），抑制制造效率的恶化，并且提高载体基板 81,91 之间的连接可靠性。

接着如图 5（b）所示，在载体基板 81 的里面上设置的岸面 84 上形成将载体基板 81 安装在母基板上的突出电极 89。

图 6 是表示本发明的第 4 实施方式的半导体装置的制造方法的截面图，该第 4 实施方式通过调整导电性膏 89 的涂布量可调整载体基板 81 上涂布的导电性膏 89a,89b 的厚度。

图 6 中，在载体基板 81 的岸面 85a,85b 上形成导电性膏 89a,89b 时，使用分散器 121。并且，按岸面 85a,85b 调整导电性膏 89 的供给量，并在载体基板 81 的岸面 85a,85b 上形成导电性膏 89a,89b。

由此，可对应载体基板 81 和载体基板 91 之间的间隔改变突出电极

101a,101b 的体积，在载体基板 81,91 有翘曲的情况下也可抑制突出电极 101a,101b 的打捆（紧束）。

图 7 是表示本发明的第 5 实施方式的半导体装置的结构的截面图。该第 5 实施方式改变对应 W-CSP(晶片级一芯片尺寸封装)的突出电极 227a,227b 设置的开口部 226a,226b 的开口直径。

图 7 中，半导体封装 PK41 上设有载体基板 211。载体基板 211 的里面上设有用于配置突出电极 219 的岸面 214。并且设置岸面 214 的载体基板 211 的里面上形成焊料抗蚀剂等的绝缘膜 212，在绝缘膜 212 上设有用于使岸面 214 的表面露出的开口部 212a。

另一方面，载体基板 211 的表面上分别设有用于分别配置突出电极 229a,229b 的岸面 215a,215b，同时设有用于配置突出电极 217 的岸面 215c。并且设置岸面 215a～215c 的载体基板 211 的表面上形成焊料抗蚀剂等的绝缘膜 213，在绝缘膜 213 上分别设有用于使岸面 215a～215c 的表面露出的开口部 213a～213c。

这里，对应突出电极 229a,229b 分别设置的开口部 213a,213b 的开口直径可设定为例如从载体基板 211 的中央部向外周部慢慢减小。

并且，在载体基板 211 上倒装片安装半导体芯片 216，半导体芯片 216 上设有用于倒装片安装的突出电极 217。并且，半导体芯片 216 上设置的突出电极 217 隔着各向异性导电膜 2186ACF 接合在岸面 215c。载体基板 211 的里面设置的岸面 214 上，设有为了将载体基板 211 安装到母基板上的突出电极 219。

另一方面，半导体封装 PK42 上设置载体基板 221，载体基板 221 上设置电极垫片 222 的同时，露出电极垫片 222，设置绝缘膜 223。并且载体基板 221 上露出电极垫片 222 形成应力缓和层 224，电极垫片 222 上形成沿着应力缓和层 224 延伸的再配置配线 225 的同时，在应力缓和层 224 上设有用于分别配置突出电极 227a,227b 的岸面 225a,225b。

并且，在再配置配线 225 和岸面 225a,225b 上形成焊料抗蚀剂膜 226，在焊料抗蚀剂膜 226 上在应力缓和层 224 中形成分别露出岸面 225a,225b 的开口部 226a,226b。

这里，对应突出电极 227a,227b 分别设置的开口部 226a,226b 的开口

直径可设定为例如从半导体芯片 221 的中央部向外周部慢慢减小。

并且，隔着开口部 226a,226b 露出的岸面 225a,225b 上分别设有以将半导体芯片 221 保持在半导体芯片 216 上并倒装片安装半导体芯片 221 的突出电极 227a,227b。突出电极 227a,227b 可避开半导体芯片 216 的搭载区域配置，例如可将突出电极 227a,227b 配置在半导体芯片 221 的周围。

这里，由于载体基板 211、半导体芯片 216 等的线膨胀系数不同，例如半导体封装 PK41 向下侧翘曲，由于半导体芯片 221、应力缓和层 224 等的线膨胀系数不同，例如半导体封装 PK42 也向下侧翘曲，半导体封装 PK41 比半导体封装 PK42 翘曲大。

并且，例如在半导体封装 PK41 向下侧翘曲、半导体封装 PK42 也向下侧翘曲、半导体封装 PK41 比半导体封装 PK42 翘曲大的状态下，通过分别将突出电极 227a,227b 分别接合于载体基板 211 上设置的岸面 215a,215b，可将半导体芯片 221 安装在载体基板 221 上。上述例子中，导体封装 PK41 比半导体封装 PK42 翘曲大，但可以是导体封装 PK42 比半导体封装 PK41 翘曲大。

由此，可将 W-CSP 层叠在倒装片安装半导体芯片 216 的载体基板 211 上，在半导体芯片 216,221 的种类、大小不同的情况下也可不在半导体芯片 216,221 之间插入载体基板，将半导体芯片 221 三维安装在半导体芯片 216 上，同时可从载体基板 211 和半导体芯片 221 的两侧控制突出电极 227a,227b 的变宽。

因此在半导体封装 PK41,PK42 有翘曲的情况下，可抑制半导体芯片 216,221 层叠时的高度增大，并且抑制突出电极 227a,227b 的打捆（紧束），可抑制三维安装时的连接可靠性的恶化，实现半导体芯片 216,221 安装时的节省空间。

另外，上述实施方式中，说明了从半导体芯片 221 的中央部向外周部慢慢减小开口部 226a,226b 的开口直径的情况，但在半导体封装 PK42 向下侧翘曲的情况下，可设定为从半导体芯片 221 的中央部向外周部慢慢增大开口部 226a,226b 的开口直径。

上述的半导体装置和电子设备可适用于例如液晶显示装置、便携电话、便携信息终端、摄像机、数码相机、MD(Mini Disc)播放器等的电子

仪器，可实现电子仪器的小型化、轻量化，并且提高电子仪器的可靠性。

上述实施方式中，举例说明了安装半导体芯片或半导体封装的方法，但本发明不限于层叠半导体芯片或半导体封装的方法，例如可层叠弹性表面波（SAW）元件等的陶瓷元件、光调制器和光开关等的光学元件、磁传感器和生物传感器等的各种传感器类等。

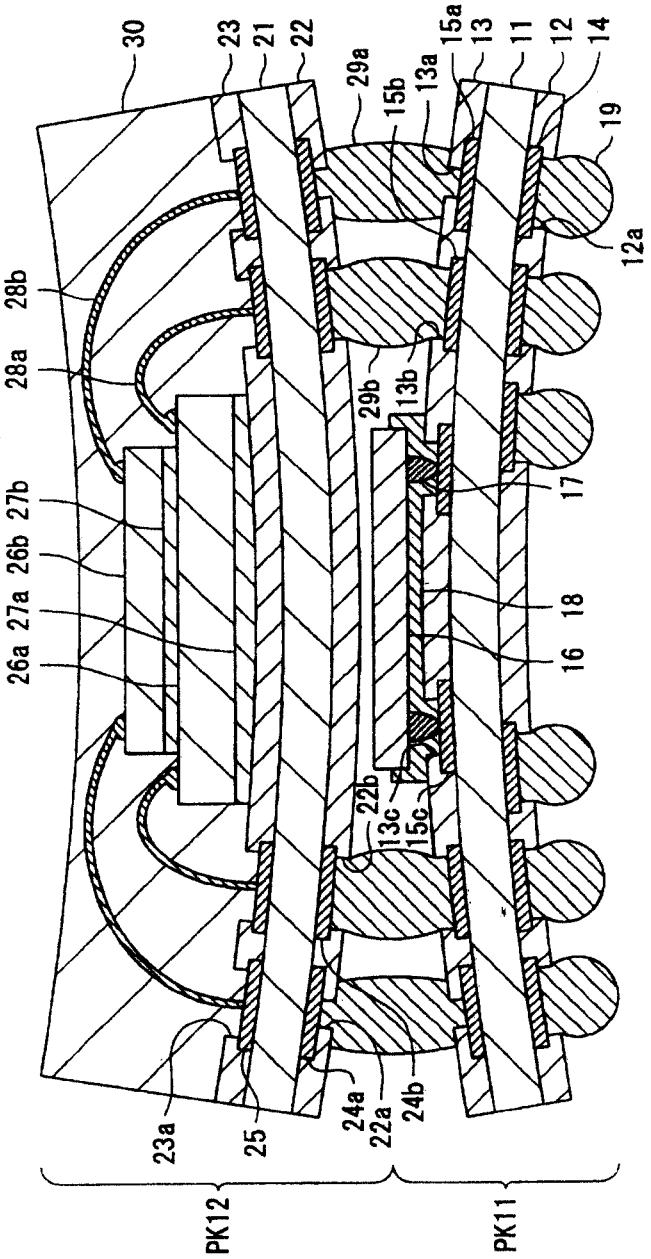

30
23
21
22
29a
15b
13a
15a
13
11
12
14
19
12a
28b
28a
29b
13b
17
27b
26b
27a
26a
18
16
22b
13c
15c
23a
25
24a
22a
24b
PK12
PK11

图 1

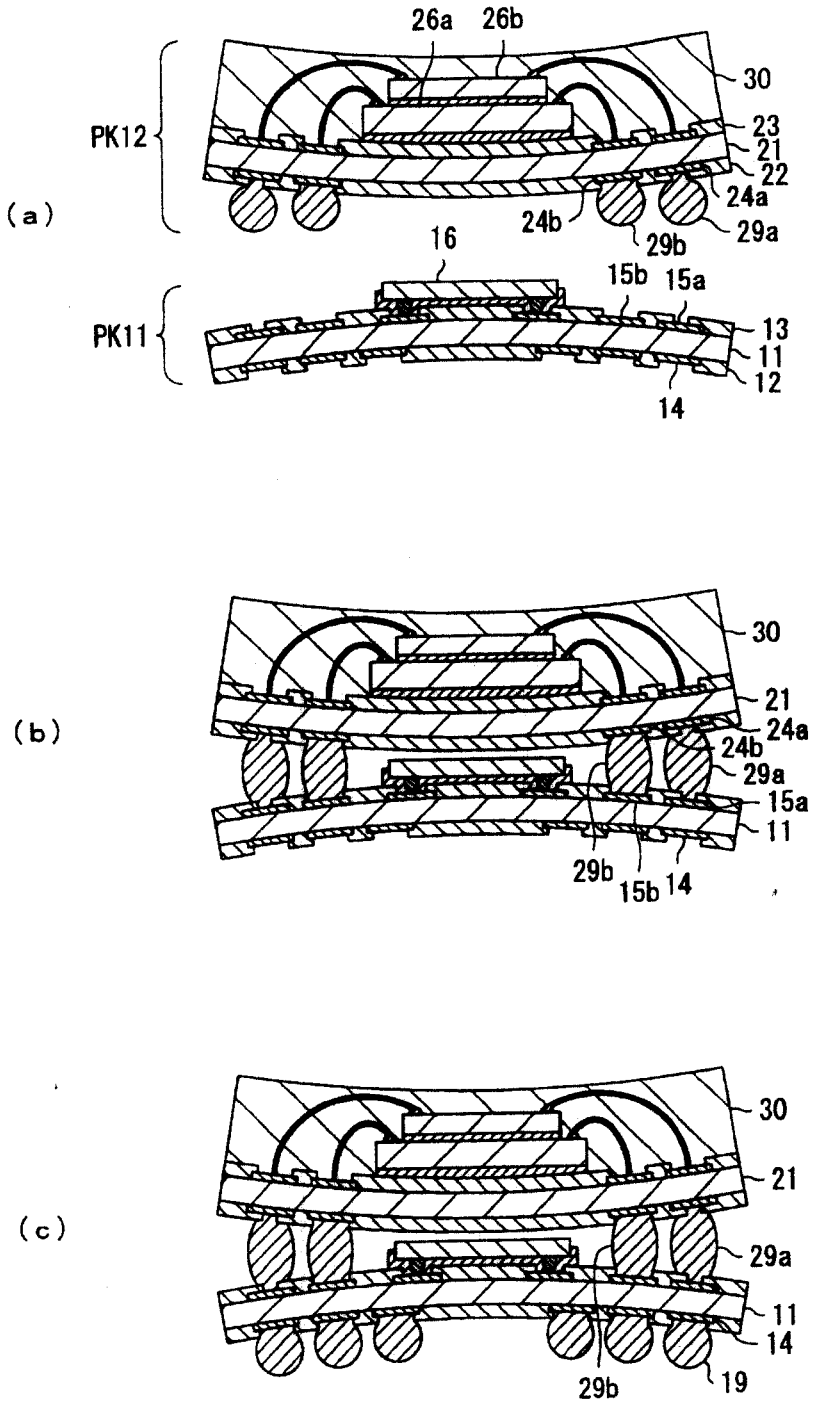

(a)
PK12
PK11
26a
26b
30
23
21
22
24a
24b
29a
29b
16
15b
15a
13
11
12
14
(b)
30
21
24a
24b
29a
15a
11
29b
15b
14
(c)
30
21
29a
11
14
19
29b

图 2

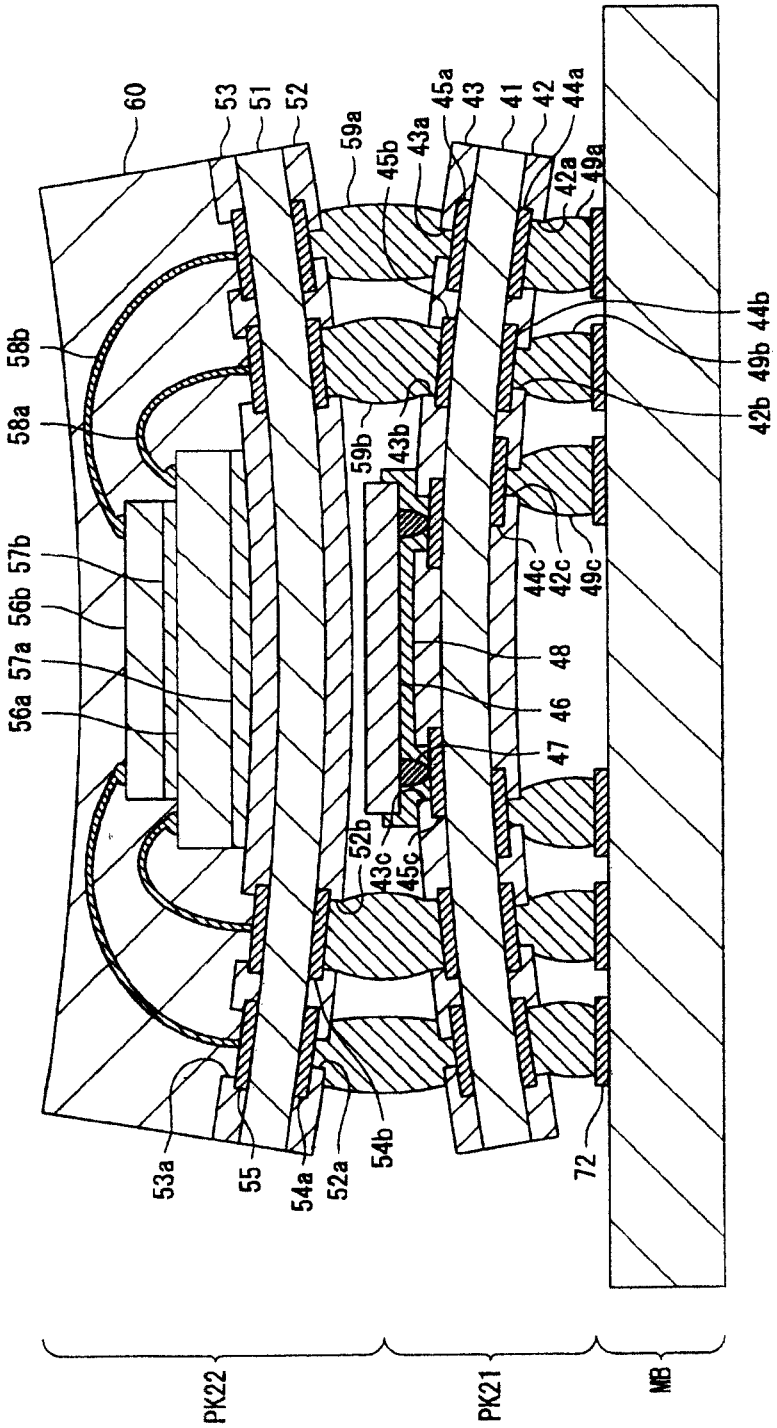

60
53
51
52
59a
45b
43a
45a
43
41
42
44a
42a
49a
58b
58a
59b
43b
44b
49b
42b
57b
56b
57a
56a
44c
42c
49c
48
46
47
52b
43c
45c
53a
55
54a
52a
54b
72
PK22
PK21
MB

图 3

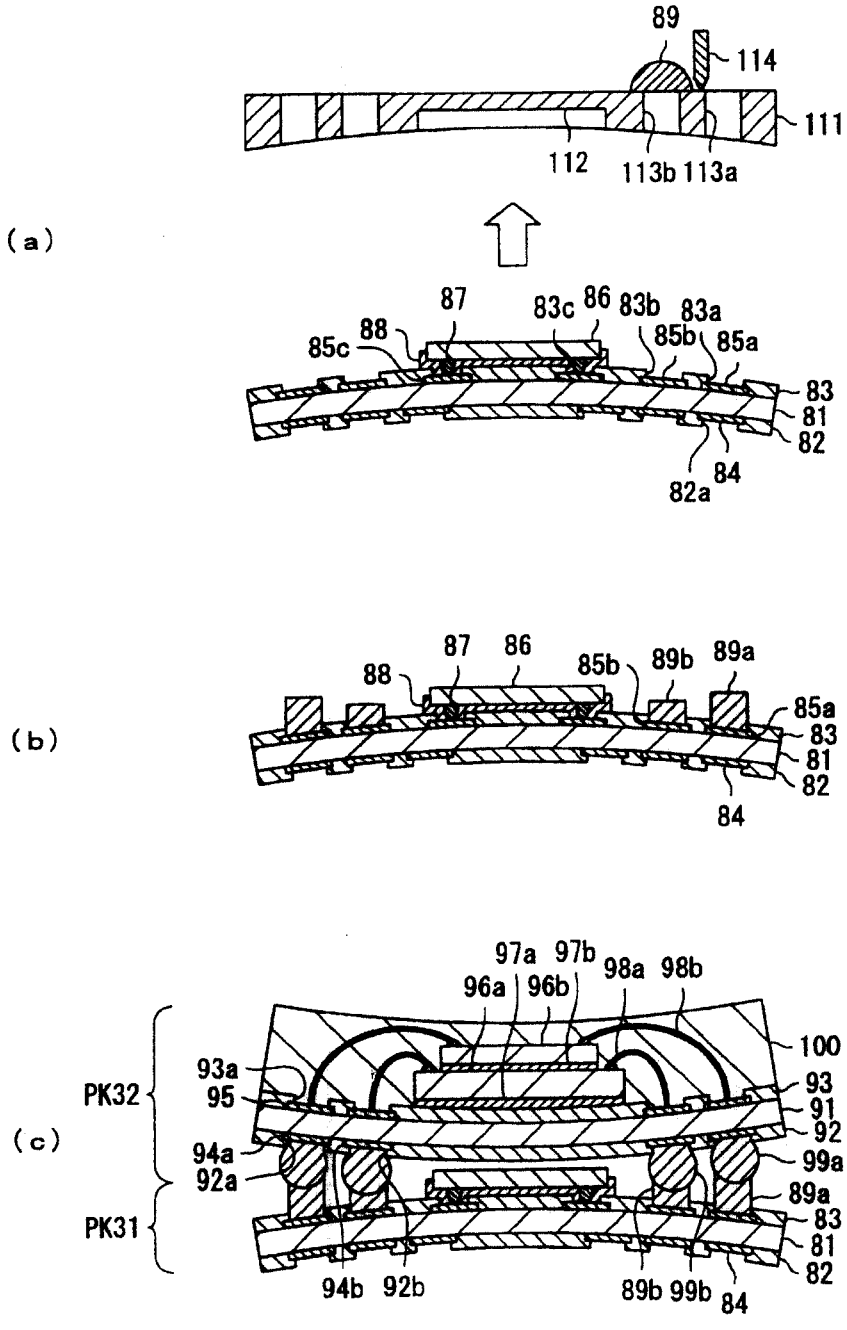
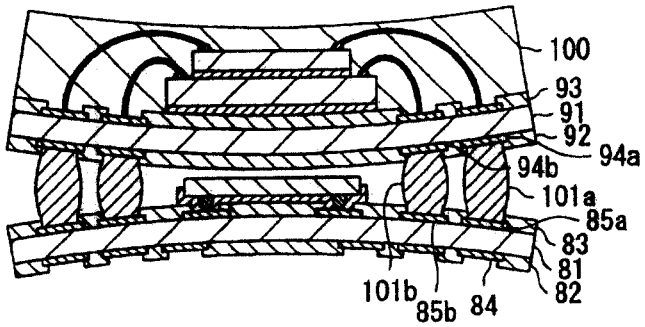

(a)
89
114
111
112
113b
113a
87
83c
86
83b
83a
85c
88
85b
85a
83
81
82
84
82a
(b)
87
86
88
85b
89b
89a
85a
83
81
82
84
(c)
97a
97b
96a
96b
98a
98b
100
PK32
93a
95
93
91
92
94a
99a
92a
89a
PK31
83
81
82
94b
92b
89b
99b
84

图 4

(a)


100
93
91
92
94a
94b
101a
85a
83
81
82
101b
85b
84

(b)

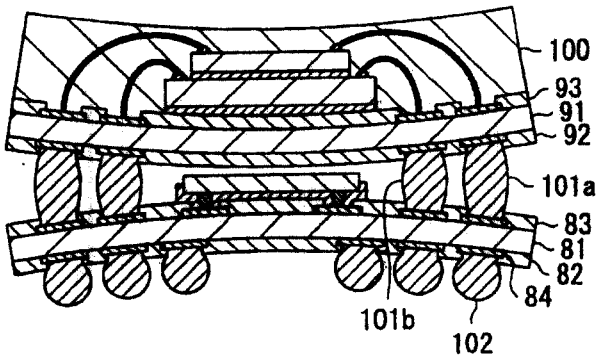

100
93
91
92
101a
83
81
82
84
101b
102

图 5

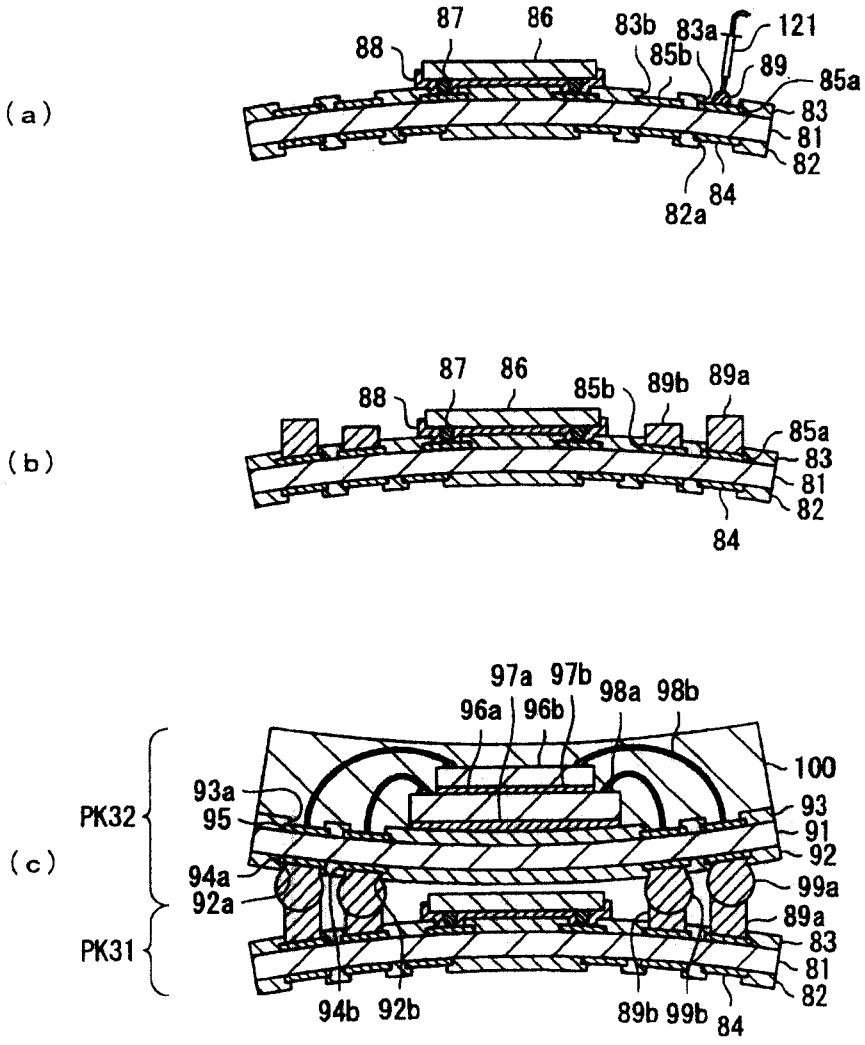

(a)
87
86
83b
83a
121
88
85b
89
85a
83
81
82
84
82a
(b)
87
86
85b
89b
89a
88
85a
83
81
82
84
(c)
97a
97b
98a
98b
96a
96b
100
PK32
93a
95
93
91
92
94a
92a
99a
89a
PK31
83
81
82
94b
92b
89b
99b
84

图 6

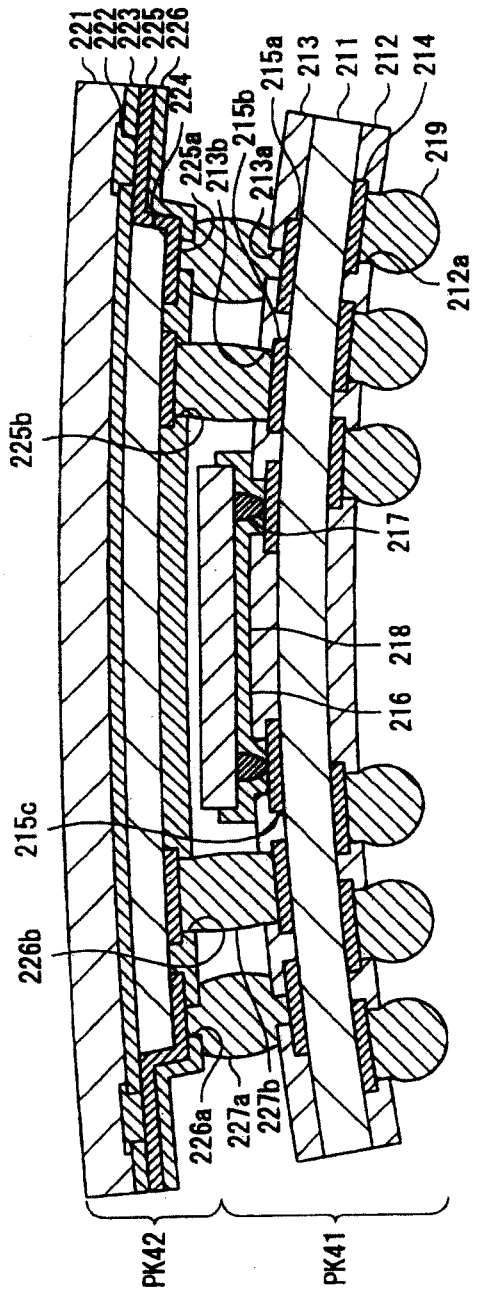

221
222
223
225
226
224
225a
213b
215b
213a
215a
213
211
212
214
219
212a
225b
217
218
216
215c
226b
226a
227a
227b
PK42
PK41

图 7