

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-500952

(P2007-500952A)

(43) 公表日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 7 A	4 M 1 0 4
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 C	5 F 0 3 3
H O 1 L 29/423 (2006.01)	H O 1 L 29/78 6 1 7 L	5 F 1 1 0
H O 1 L 29/49 (2006.01)	H O 1 L 29/58 G	
H O 1 L 21/768 (2006.01)	H O 1 L 21/90 A	
審査請求 未請求 予備審査請求 未請求 (全 17 頁)		

(21) 出願番号 特願2006-533565 (P2006-533565)
 (86) (22) 出願日 平成16年6月5日(2004.6.5)
 (85) 翻訳文提出日 平成18年2月7日(2006.2.7)
 (86) 国際出願番号 PCT/US2004/017725
 (87) 国際公開番号 W02004/112146
 (87) 国際公開日 平成16年12月23日(2004.12.23)
 (31) 優先権主張番号 10/459,579
 (32) 優先日 平成15年6月12日(2003.6.12)
 (33) 優先権主張国 米国 (US)

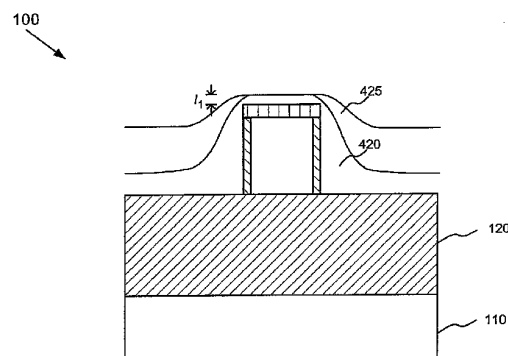
(71) 出願人 591016172
 アドバンスド・マイクロ・デバイス・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペイル、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100099324
 弁理士 鈴木 正剛
 (74) 代理人 100111615
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 化学機械研磨プレーナ化のためのデュアルシリコンゲート層を有する F I N F E T

(57) 【要約】

F i n F E Tタイプの半導体デバイスは、フィン構造(210)を含んでいる。この上には、比較的薄いアモルファスシリコン層(420)を形成し、それから非ドーパボリシリコン層(425)を形成する。この半導体デバイスは、アモルファスシリコン層(420)がフィン構造の損傷を防ぐ停止層として働く化学機械研磨(CMP)を使用してプレーナ化することができる。



【特許請求の範囲】

【請求項 1】

絶縁体上にフィン構造（210）を形成するステップと、
前記フィン構造（210）の少なくとも一部および前記絶縁体の一部上に、第1層（420）およびこの第1層（420）上に形成される第2層（425）を含むゲート構造を形成するステップと、

前記ゲート構造の化学機械研磨（CMP）を実行することにより前記ゲート構造をプレーナ化するステップであって、前記ゲート構造の前記第1層（420）のプレーナ化の速度は前記ゲート構造の前記第2層（425）のプレーナ化の速度よりも遅く、前記プレーナ化は前記フィン上の領域において前記第1層が露出するまで継続されるステップと、を
含む、

10

半導体デバイスを製造する方法。

【請求項 2】

前記ゲート構造を形成するステップは、アモルファスシリコンを含む前記第1層（420）をたい積するステップと、非ドーパポリシリコンを含む前記第2層（425）をたい積するステップとを含む、請求項1記載の方法。

【請求項 3】

前記第1層は、約200 から約800 までの範囲の厚みにたい積され、前記第2層は、約200 から約1000 までの範囲の厚みにたい積される、請求項2記載の方法。
。

20

【請求項 4】

前記CMPは、前記ゲート構造のプレーナ化にスラリーを使用するステップを含んでおり、

前記第1層のプレーナ化速度が約2000 /秒であり、前記第2層のプレーナ化速度が約50 /秒となるように前記スラリーを選択するステップをさらに有する、請求項1記載の方法。

【請求項 5】

前記半導体デバイスはFinFETである、請求項1記載の方法。

【請求項 6】

前記プレーナ化は、酸化物に対して高い選択性を有し、そのpHが7ないし12の間の範囲である、シリカのコロイド溶液を含むスラリーを使用して実行される、請求項1記載の方法。

30

【請求項 7】

絶縁体（120）上に形成され、第1端部と第2端部を含み、少なくともその一部が半導体デバイス中のチャンネルとして働くフィン構造（210）を含んでいる半導体デバイスであって、

前記フィン構造の少なくとも一部の上に形成される、アモルファスシリコン層（420）と、

前記アモルファスシリコン層（420）の少なくとも一部の周辺に形成される、ポリシリコン層（425）であって、前記アモルファスシリコン層（420）がフィン構造上の領域中のポリシリコン層にまで突出するポリシリコン層（425）と、

40

前記フィン構造の前記第1端部に接続されるソース領域（220）と、

前記フィン構造の前記第2端部に接続されるドレイン領域（230）と、を含む、半導体デバイス。

【請求項 8】

前記半導体デバイスはFinFETである、請求項7記載の半導体デバイス。

【請求項 9】

前記アモルファスシリコン層（420）の厚みは、前記フィン構造（210）上の前記領域において約300 である、請求項7記載の半導体デバイス。

【請求項 10】

50

前記アモルファスシリコン層(420)と前記ポリシリコン層(425)とは、半導体デバイスのゲート材料層を形成する、請求項7記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイス、および半導体デバイスを製造する方法に関する。本発明は特に、ダブルゲートデバイスに適用することができる。

【背景技術】

【0002】

超々大規模集積回路の半導体デバイスに関する密度の高さ、性能の高さに対する拡大する要求は、100ナノメートル(nm)未満のゲート長のような構造的要素、高い信頼性、および製造処理能力の向上を要求する。構造的要素を100nm未満に減少させることは、従来の方法の限界に挑むこととなる。

【0003】

例えば、従来のプレーナ型のMOS電界効果トランジスタ(MOSFET)のゲート長を100nm未満にスケーリングした場合、ソースおよびドレイン間の過度の漏れ電流のような短チャネル効果に関連する問題を克服することがますます困難になる。さらに、移動度低下および多くのプロセス問題によって、さらに小さなデバイス構造を含めるように従来のMOSFETをスケーリングすることが困難になる。

したがって、FET性能を改善するとともにさらなるデバイス・スケーリングを可能とすべく、新規なデバイス構造が求められている。

【0004】

ダブルゲートMOSFETは、既存のプレーナ型のMOSFETに代わる候補となっている新規なデバイスである。いくつかの点において、ダブルゲートMOSFETは従来のバルクシリコンMOSFETよりも優れた特性を呈する。

これらの優れた特性は、ダブルゲートMOSFETが従来のMOSFETのようにチャネルの片側上だけではなくチャネルの両側上にゲート電極を有するために生じる。

2つのゲートがある場合、ドレインによって生成される電界は、チャネルのソース端からの遮断性が高くなる。また、2つのゲートはシングルゲートのおよそ2倍の電流を制御することができ、このことはより強いスイッチング信号に帰着する。

【0005】

FinFETは、短チャネル耐性に優れている最近のダブルゲート構造である。FinFETは、パーティカルフィン(vertical fin)中に形成されたチャネルを含んでいる。このFinFET構造は、従来のプレーナ型のMOSFETで使用されるのと同様のレイアウトや製造技術を使用して製造することができる。

【発明の開示】

【0006】

本発明の趣旨に沿った実施形態は、ポリシリコンの化学機械研磨(CMP)プレーナ化を向上させるのに使用される、ゲート領域上のデュアルポリシリコン層を有するダブルゲートMOSFETを提供する。

【0007】

本発明の趣旨に沿った実施形態の1つは、半導体デバイスを製造する方法を提供する。

この方法は、絶縁体上にフィン構造を形成するステップと、フィン構造の少なくとも一部および絶縁体の一部上にゲート構造を形成するステップとを含んでいる。このゲート構造は第1層およびこの第1層上に形成される第2層を含む。

この方法は、ゲート構造の化学機械研磨(CMP)を実行することにより、ゲート構造をプレーナ化するステップをさらに含んでいる。ゲート構造の第1層のプレーナ化の速度は、ゲート構造の第2層のプレーナ化の速度よりも遅くてもよい。このプレーナ化は、フィン上の領域において第1層が露出するまで継続される。

【0008】

10

20

30

40

50

本発明の趣旨に沿った他の実施形態は、半導体デバイスに関する。このデバイスは、絶縁体上に形成されるフィン構造を含んでいる。このフィン構造は、第１端部と第２端部を含む。

フィン構造の少なくとも一部は、半導体デバイス中のチャネルとして働く。このフィン構造の少なくとも一部の上に、アモルファスシリコン層を形成する。このアモルファスシリコン層の少なくとも一部の周辺に、ポリシリコン層を形成する。

アモルファスシリコン層は、フィン構造上の領域中のポリシリコン層にまで突出する。ソース領域は、フィン構造の第１端部に接続される。ドレイン領域は、フィン構造の第２端部に接続される。

【０００９】

10

以下、同じ参照番号が付与されている要素が同様の要素を表す添付図面を参照する。

【発明を実施するための最良の形態】

【００１０】

以下、添付の図面に言及して本発明の趣旨に沿った実施形態を詳細に記載する。異なる図面における同一の参照符号は、同一又は類似の要素を示す。また、以下の詳細な記載は本発明を制限するものではない。代わりに、本発明の範囲は添付の請求項および均等物によって定義される。

【００１１】

この出願において使用される *F i n F E T* という言葉は、導通チャネルが垂直な *S i "* フィン" 中に形成されるタイプの *M O S F E T* を指す。 *F i n F E T* は一般的に周知である。

20

【００１２】

図１は、本発明の実施形態に従って形成された半導体デバイス１００の断面図である。

図１に示すように、半導体デバイス１００は、シリコン基板１１０、埋込酸化膜１２０、および埋込酸化膜１２０上に形成されるシリコン層１３０を含んだ *S O I* (silicon on insulator) 構造を含んでいてもよい。

埋込酸化膜１２０およびシリコン層１３０は、従来により基板１１０上に形成することができる。

【００１３】

典型的な実施形態においては、埋込酸化膜１２０は、酸化シリコンを含んでおり、約１ 0 0 0 から約３ 0 0 0 の範囲にある厚みを有し得る。

30

シリコン層１３０は、単結晶または多結晶シリコンを含んでいてもよい。

以下に詳述するように、シリコン層１３０は、ダブルゲート・トランジスタデバイスのフィン構造を形成するのに使用される。

【００１４】

代替的な本発明の趣旨に沿った実施形態では、基板１１０および層１３０は、ゲルマニウムのような他の半導体材料、またはシリコンゲルマニウムのような半導体材料の組合せを含んでいてもよい。埋込酸化膜１２０はさらに他の絶縁材料を含んでいてもよい。

【００１５】

後のエッチングプロセスの間に保護キャップとしての役割を果たすシリコン窒化物層または酸化シリコン層（例えば SiO_2 ）のような絶縁層１４０を、シリコン層１３０上に形成することができる。典型的な実施形態においては、絶縁層１４０は約１ 5 0 から約 7 0 0 の範囲にある厚みに成長させることができる。次に、後の処理のためのフォトレジストマスク１５０を形成すべく、フォトレジスト材料をたい積してパターン化してもよい。フォトレジストは、任意の従来方法によりたい積すると共にパターン化することができる。

40

【００１６】

その後、半導体デバイス１００をエッチングするとともに、フォトレジストマスク１５０を除去してもよい。典型的な実施形態の１つにおいては、シリコン層１３０は、従来によりエッチングすることができ、このエッチングはフィンを形成すべく、埋込酸化

50

膜 1 2 0 の上で停止する。

このフィンを形成した後、フィンの各端部に隣接するソースおよびドレイン領域を形成することができる。

例えば、典型的な実施形態の一例では、ソースおよびドレイン領域を形成すべく、シリコン、ゲルマニウム、またはシリコンとゲルマニウムを組合せた層を従来の方法でたい積し、パターン化し、エッチングしてもよい。

他の実施形態においては、シリコン層 1 3 0 をパターン化し、エッチングすることによって、フィンと同時にソースおよびドレイン領域を形成してもよい。

【 0 0 1 7 】

図 2 A は、このような方法で形成された半導体デバイス 1 0 0 上のフィン構造の概略的な上面図を示す図である。 10

本発明の典型的な実施形態によれば、ソース領域 2 2 0 およびドレイン領域 2 3 0 は、埋込酸化膜 1 2 0 上のフィン構造 2 1 0 の端部に隣接するように形成することができる。

【 0 0 1 8 】

図 2 B は、フィン構造 2 1 0 の構成を示す図 2 A の A - A ' 線に沿った断面図である。上述したように、絶縁性のキャップ 1 4 0 を有するシリコンフィン 1 3 0 を含むフィン 2 1 0 を形成すべく、絶縁層 1 4 0 およびシリコン層 1 3 0 をエッチングしてもよい。

【 0 0 1 9 】

図 3 は、本発明の典型的な実施形態によるフィン構造 2 1 0 上のゲート絶縁層およびゲート材料の形成を示す断面図である。 20

絶縁層を、シリコンフィン 1 3 0 の露出した側面上に形成することができる。例えば、図 3 に示すように、薄い酸化膜 3 1 0 をフィン 1 3 0 上に熱処理により成長させてもよい。

酸化膜 3 1 0 は、約 5 0 から 1 0 0 までの厚みに成長させることができ、フィン 1 3 0 の露出した側面上に形成することができる。

【 0 0 2 0 】

ゲート材料層は、酸化膜 3 1 0 の形成後、半導体デバイス 1 0 0 上にたい積することができる。図 4 に示すように、ゲート材料層は、非ドーブポリシリコン 4 2 5 の層が後続するアモルファスシリコンの薄膜層 4 2 0 を含んでいる。

層 4 2 0 および層 4 2 5 は、従来 of 化学蒸着法 (C V D) または他の周知技術を使用してたい積することができる。アモルファスシリコン層 4 2 0 は、約 3 0 0 の厚みにたい積することができる。 30

より詳しくは、アモルファスシリコン層 4 2 0 は、約 2 0 0 から 6 0 0 の間の厚みにたい積することができる。ポリシリコン層 4 2 5 は、約 2 0 0 から 1 0 0 0 の間の厚みにたい積することができる。この厚みは、フィンまたはスタック高さにより変化する。

【 0 0 2 1 】

層 4 2 0 および層 4 2 5 (特に層 4 2 5) は、次にプレーナ化される。

本発明の一実施例として、アモルファスシリコン層 4 2 0 およびポリシリコン層 4 2 5 の研磨速度が異なることを利用したプレーナ化プロセスにより、ゲート材料層 4 2 0 および層 4 2 5 をプレーナ化してもよい。 40

より具体的には、アモルファスシリコン層 4 2 0 の研磨レートとポリシリコン層 4 2 5 の間の研磨速度の差を使用することによって、アモルファス層 4 2 0 の制御された量をフィン 2 1 0 上に維持することができる。

【 0 0 2 2 】

C M P は、半導体表面をプレーナ化するのに使用され得る、周知のプレーナ化技術の 1 つである。

C M P 処理において、ウェーハは、回転プラテン (rotating platen) 上に置かれる。キャリアによって適所に保持されたウェーハは、プラテンの同じ向きに回転する。プラテンの表面には、研磨スラリーがある研磨パッドが存在する。このスラリーは、キャリア溶 50

液中に微粒子シリカのコロイド溶液を含んでいてもよい。スラリーの化学成分および pH は、CMP プロセスの性能に影響する。

本発明の典型的な実施形態の一例においては、特定のスラリーは、ポリシリコンと比較して、アモルファスシリコンについての研磨速度が遅いレートを有するように選択される。CMP についてのスラリーは当業者間で周知であり、一般に利用可能である。

微粒子シリカのような研磨材を使用する酸化 CMP で使用される市販のスラリーの多くは、化学修飾 (chemically modified) することによりアモルファスシリコンおよびポリシリコンを異なる速度で研磨することができる。スラリーの pH は、7 ないし 12 に変化し得る。除去速度は、アモルファスシリコンについては 50 / 秒から 2000 / 秒、ポリシリコンについては 500 / 秒から 6000 / 秒の範囲で変化させることができる。

10

【0023】

図 5 は、最初のプレーナ化が完了した後の、ゲート材料層 420 および 425 のプレーナ化を示す断面図である。図 5 に示すように、ポリシリコン層 425 がまずプレーナ化されるので、フィン 210 上のポリシリコン層 425 の突き出しが減少する。

図 6 は、さらなる CMP プロセスの後の、半導体デバイス 100 を示す図である。この時点において、アモルファスシリコン層 420 の上面は、フィン 210 上の領域において露出し得る。

CMP プロセスの、アモルファスシリコンについての研磨速度がポリシリコンに対するそれと比べて遅い速度を有するので、アモルファスシリコン層 420 は自動停止層の役割を果たし、フィン 210 上の保護材として残る。

20

アモルファスシリコン層 420 のほんの一部も CMP の間に除去され得ることが理解されるべきである。

このように、ゲート層 420 および 425 をプレーナ化する場合、アモルファスシリコン層 420 は保護停止層としてフィン 210 に使用することができる。

間隔 1₁ として図 6 に示される、フィン 210 上に伸びるアモルファスシリコン層 420 の最終的な厚みは、例えば約 300 であり得る。

【0024】

図 7 は、ゲート材料層 420 および 425 からパターン化したゲート構造 710 を示す、半導体デバイス 100 の概略的な上面図である。

CMP プロセスが完了した後、ゲート構造 710 をパターン化し、エッチングしてもよい。ゲート構造 710 は、フィン 210 のチャネル領域を横切って広がる。

30

ゲート構造 710 は、フィン 210 の側面に隣接するゲート部分と、フィン 210 から離れるように配置されたより大きな電極部分を含んでいてもよい。

ゲート構造 710 の電極部分は、ゲート部分をバイアスする、またはゲート部分を制御する、アクセス可能な電気コンタクトを提供してもよい。

【0025】

その後、ソース/ドレイン領域 220、230 をドーピングしてもよい。例えば、n 型または p 型不純物を、ソース/ドレイン領域 220、230 に注入してもよい。特定の注入薬量および注入エネルギーは、特定の最終製品の必要条件に基づいて選択することができる。

40

当業者は、回路必要条件に基づいてソース/ドレイン注入プロセスを最適化することができるであろう。また、このような行為は過度に本発明の趣旨を不明瞭にしないように、ここには記載しない。

さらに、特定の回路必要条件に基づいてソース/ドレイン接合の位置を制御すべく、任意にサイドウォールスペーサ (図示しない) をソース/ドレイン・イオン注入より先に形成してもよい。

その後、ソース/ドレイン領域 220、230 を活性化すべく、活性化アニーリングを実行してもよい。

【0026】

< 他の実施形態 >

50

上述したCMPプレーナ化プロセスは、半導体デバイス100の均一な表面を形成すべく、ゲート材料層をプレーナ化する。

いくつかの実施形態においては、プレーナ化プロセスをさらに改善するために、より均一な層を生成すべく、フィン210の隣にダミーフィン構造を追加して置くことができる。

【0027】

図8は、ダミーフィンの断面図である。図8は、実際のフィン810の隣にダミーフィン801および802が形成されている点を除き、概して図4に示す断面図と同様である。

ダミーのフィン801および802は、FinFETの最終的な動作において役割を果たさない。 10

しかしながら、フィン810の隣にフィン801および802を置くことによって、最初のたい積においてより均一に分布したゲート材料層820を形成することができる。すなわち、ダミーフィン801および802は、フィン810に隣接した領域において、層820中の低い場所をこれらのダミーフィンが存在しない場合よりも高くする。

このように、図8に示す実施形態においては、層820は、ダミーフィン801および802がない場合よりも均一な状態から始まる。これにより、プレーナ化の後の均一性はより高くなる。

【0028】

図9は、半導体デバイス上の多くの配線（例えばフィン）を概念的に示す図である。配線901は、FinFET中で実際に使用されるフィンを示している。配線902は、配線901の端部のダミーフィンを示す。ダミーフィン902は、CMPプロセスにより引き起こされた浸食作用（erosion effect）を補償するのに役立つ。これにより、より均一にプレーナ化された表面を潜在的に生成する。 20

【0029】

図10は、ダミー構造の代替的な実施形態を概念的に示す図である。配線1001は配線901と同様、最終的な半導体デバイス中で実際に使用される構造を示している。

しかしながら、ダミー配線901は、ダミー構造1002に置き換えられる。ダミー構造1002はダミー配線902よりも多くの領域を含み、プレーナ化の間にさらなる均一性を提供することができる。 30

特に、配線1001のパターンをカプセル化することによって、ダミー構造1002は、配線1001が不均一に研磨されないように保護し、防ぐことができる。

長さ l_2 のようなダミー構造1002の寸法は、半導体デバイス上で使用されている全体的なパターン密度による。

【0030】

図11ないし図14を参照して以下に記述するように、CMPプレーナ化プロセスを含んださらなる実施形態において、メタルゲート集積化層についてCMPが引き起こす不利な結果を減少することができる。

【0031】

半導体ロジックの鉛直方向のスタック層を形成する場合、半導体デバイス中に層間絶縁膜（ILD）層を使用してもよい。図11に示されるように、ILD層1101は、後にILD層1101上に形成される第2半導体ロジック層から第1半導体ロジック層1102を分離するのに使用することができる。図11には詳述していないが、層1102は、例えば1つ以上のロジック機能を実行する多数の相互接続されたFinFETを含む。 40

【0032】

ビア1103は、レジスト1104の適用によってILD層1101中にパターン化することができる。ビア1103は、複数の層が互いに通信可能なように、導電材料で充てんすることができる（図12ないし図14に示される）。

【0033】

図12に示すように、ビア1103は、ILD1101の周辺の領域に注入することが 50

できる。

インプラント材料 1 2 0 5 は、後にたい積される金属活性体として機能するシリコン (Si) またはパラジウム (Pd) を含み得る。金属の無電解メッキの活性体として機能する他の材料を使用してもよい。

【0034】

図 1 3 および図 1 4 に示すように、レジスト 1 1 0 4 を除去し、その後金属 1 4 0 6 を選択的にたい積することができる。

金属 1 4 0 6 は、選択的な無電解めっきによりたい積することができ、コバルト (Co)、ニッケル (Ni) またはタングステン (W) のような金属またはこれらの合金を含み得る。

10

この金属 1 4 0 6 は、注入材料 1 2 0 5 (すなわち、ビア 1 1 0 3 の活性化された表面) で処理された領域にのみたい積される。このようにして、ビア 1 1 0 3 は、導電材料で充てんされる。このプロセスは、CMP が引き起こす凹みまたは他の不利益な影響を防ぐことができる。

【0035】

プレーナ化を改善すべく、複数のゲート層を使用して生成された FinFET を説明した。この複数のゲート層は、CMP プロセス中に、自動的にプレーナ化を停止させる層の役割を果たす薄いアモルファスシリコン層を含んでいる。

【0036】

以上の説明において、本発明についてより理解し易いように、特定の材料、構造、薬品、プロセス等のような様々なものを特定して詳述した。しかしながら、本発明は特別に記載された詳細によらずに実行することができる。

20

その他、既知の処理および材料は、本発明の趣旨を不必要に不明瞭にしないため、詳細には記載されていない。

【0037】

本発明による、半導体デバイスを製造するのに使用される絶縁層および導電層は、従来のたい積技術によってたい積してもよい。例えば、低圧 CVD (LP CVD) およびエンハンスド CVD (ECVD) を含んだ様々な種類の化学気相成長 (CVD) プロセスのようなメタライゼーション技術を使用することができる。

【0038】

本発明は、半導体デバイスの製造、特に 100 nm 以下の構造的要素を有する半導体デバイスの製造に適用可能である。これにより回路速度が上がり、信頼性が高くなる。

30

本発明は、様々な種類の半導体デバイスの形成に適用可能である。したがって、不必要に本発明の内容を不明瞭にしないようにその詳細は記載しない。本発明を実行する際に、従来のたい積技術、フォトリソグラフィ技術、およびエッチング技術を使用してもよい。なお、このような技術の詳細についてはここでは詳述していない。

【0039】

本発明の好ましい実施形態およびその多様性のうちのいくつかの例のみが、本発明において開示されると共に記載される。本発明は、様々な他の組み合わせおよび環境において使用できると共に、ここに記載されるような本発明の概念の範囲内の変形または修正することができるものとして理解される。

40

【図面の簡単な説明】

【0040】

【図 1】一般的な半導体デバイスの断面図。

【図 2 A】図 1 の半導体デバイス上に形成されるフィン構造の上面図。

【図 2 B】図 2 A の A - A' 断面図。

【図 3】図 2 B 中のフィン上に形成されるゲート絶縁層の断面図。

【図 4】図 3 のフィン上にたい積されるゲート材料を示す断面図。

【図 5】第 1 プレーナ化後の、図 4 のゲート材料層を示す断面図。

【図 6】さらなるプレーナ化後の、図 5 のゲート材料層を示す断面図。

50

【図 7】図 6 に示すゲート材料からパターン化したゲート構造を示す F i n F E T の上面図。

【図 8】ダミーフィンを示す断面図。

【図 9】ダミー構造を含む、半導体デバイス上の配線の配列を概念的に示す図。

【図 1 0】代替的な半導体デバイス上のダミー構造を概念的に示す図。

【図 1 1】ビアの形成を示す断面図。

【図 1 2】ビアの形成を示す断面図。

【図 1 3】ビアの形成を示す断面図。

【図 1 4】ビアの形成を示す断面図。

【図 1】

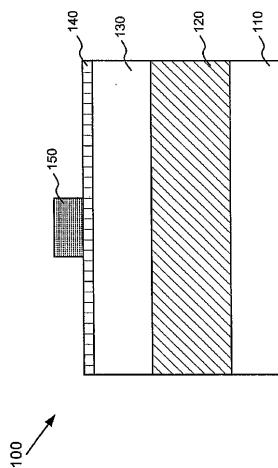


Fig. 1

【図 2 A】

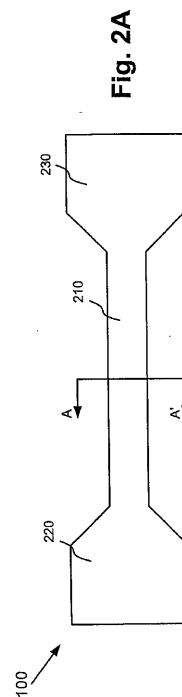
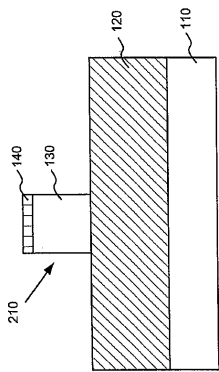


Fig. 2A

【 図 2 B 】

Fig. 2B



【 図 3 】

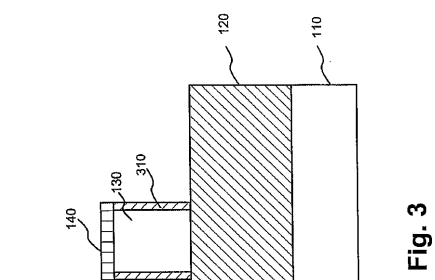
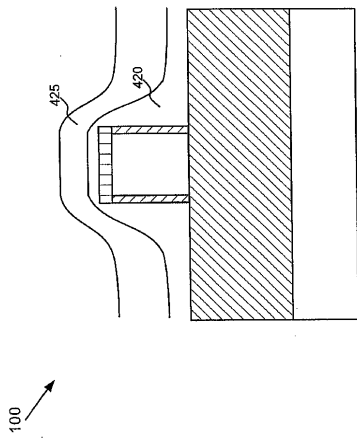


Fig. 3

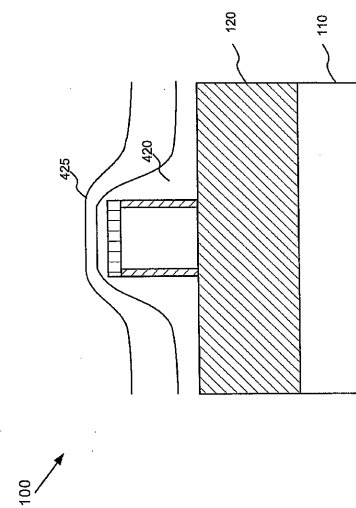
【 図 4 】

Fig. 4



【 図 5 】

Fig. 5



【図 6】

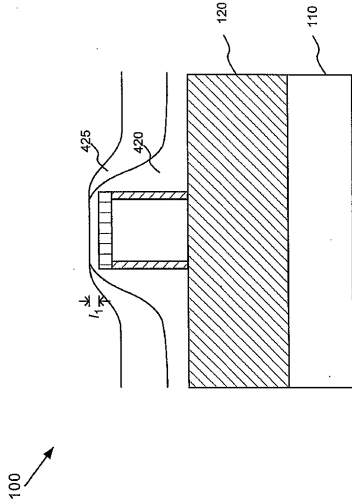


Fig. 6

【図 7】

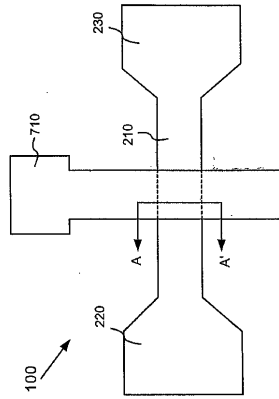


Fig. 7

【図 8】

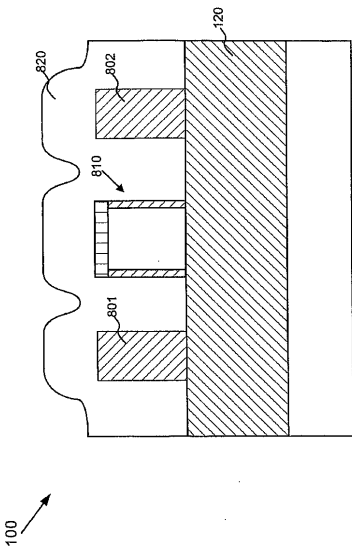


Fig. 8

【図 10】

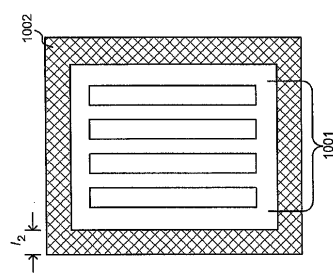


Fig. 10

【図 9】

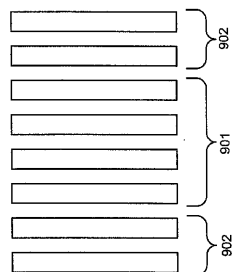


Fig. 9

【図 1 1】

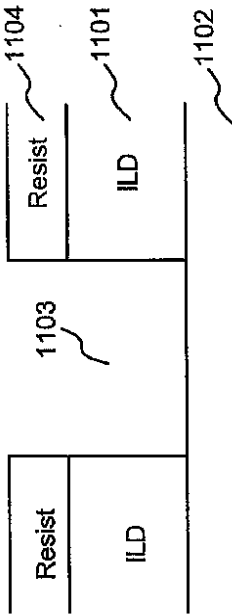


Fig. 11

【図 1 2】

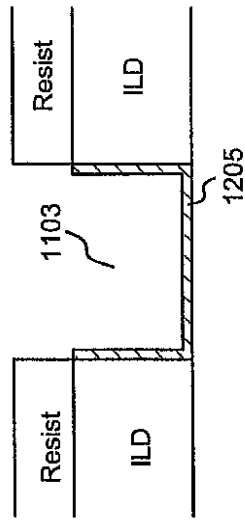


Fig. 12

【図 1 3】

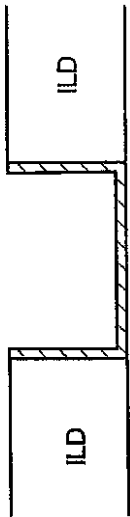


Fig. 13

【図 1 4】

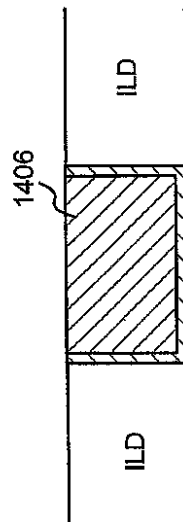


Fig. 14

【手続補正書】

【提出日】平成17年2月14日(2005.2.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁体上にフィン構造(210)を形成するステップと、

前記フィン構造(210)の少なくとも一部および前記絶縁体の一部上に、第1層(420)およびこの第1層(420)上に形成される第2層(425)を含むゲート構造を形成するステップと、

前記ゲート構造の化学機械研磨(CMP)を実行することにより前記ゲート構造をプレーナ化するステップであって、前記ゲート構造の前記第1層(420)のプレーナ化の速度は前記ゲート構造の前記第2層(425)のプレーナ化の速度よりも遅く、前記プレーナ化は前記フィン上の領域において前記第1層が露出するまで継続されるステップと、を含む、

半導体デバイスを製造する方法。

【請求項2】

前記ゲート構造を形成するステップは、アモルファスシリコンを含む前記第1層(420)をたい積するステップと、非ドーパポリシリコンを含む前記第2層(425)をたい積するステップとを含む、請求項1記載の方法。

【請求項3】

前記第1層は、約200 から約800 までの範囲の厚みにたい積され、前記第2層は、約200 から約1000 までの範囲の厚みにたい積される、請求項2記載の方法。

【請求項4】

前記CMPは、前記ゲート構造のプレーナ化にスラリーを使用するステップを含んでおり、

前記第1層のプレーナ化速度が約50 から2000 /秒の間であり、前記第2層のプレーナ化速度が約500 から6000 /秒となるように前記スラリーを選択するステップをさらに有する、請求項1記載の方法。

【請求項5】

前記半導体デバイスはF i n F E Tである、請求項1記載の方法。

【請求項6】

前記プレーナ化は、酸化物に対して高い選択性を有し、そのpHが7ないし12の間の範囲である、シリカのコロイド溶液を含むスラリーを使用して実行される、請求項1記載の方法。

【請求項7】

絶縁体(120)上に形成され、第1端部と第2端部を含み、少なくともその一部が半導体デバイス中のチャンネルとして働くフィン構造(210)を含んでいる半導体デバイスであって、

前記フィン構造の少なくとも一部の上に形成される、アモルファスシリコン層(420)と、

前記アモルファスシリコン層(420)の少なくとも一部の周辺に形成される、ポリシリコン層(425)であって、前記アモルファスシリコン層(420)がフィン構造上の領域中のポリシリコン層にまで突出するポリシリコン層(425)と、

前記フィン構造の前記第1端部に接続されるソース領域(220)と、

前記フィン構造の前記第2端部に接続されるドレイン領域(230)と、を含む、半導

体デバイス。

【請求項 8】

前記半導体デバイスは F i n F E T である、請求項 7 記載の半導体デバイス。

【請求項 9】

前記アモルファスシリコン層 (4 2 0) の厚みは、前記フィン構造 (2 1 0) 上の前記領域において約 3 0 0 である、請求項 7 記載の半導体デバイス。

【請求項 10】

前記アモルファスシリコン層 (4 2 0) と前記ポリシリコン層 (4 2 5) とは、半導体デバイスのゲート材料層を形成する、請求項 7 記載の半導体デバイス。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/017725

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/423 H01L29/49 H01L29/786 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, PAJ, WPI Data, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/130354 A1 (ISHII KENICHI ET AL) 19 September 2002 (2002-09-19) page 3, paragraph 59; figure 13	1, 4-10
X	US 2002/177263 A1 (BROWN JEFFREY J ET AL) 28 November 2002 (2002-11-28) page 3, paragraph 52	1, 4-6
X	US 2001/036731 A1 (MULLER K PAUL L ET AL) 1 November 2001 (2001-11-01) page 4, paragraph 60 - paragraph 61; figure 12A	7-10
A	US 2003/057486 A1 (GAMBINO JEFFREY P ET AL) 27 March 2003 (2003-03-27) page 4, paragraph 48 - paragraph 49	1-10
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 27 September 2004		Date of mailing of the international search report 06/10/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Hoffmann, N

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US2004/017725

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2002130354	A1	19-09-2002	JP 3488916 B2	19-01-2004
			JP 2002270851 A	20-09-2002
			JP 3543117 B2	14-07-2004
			JP 2002270850 A	20-09-2002
			FR 2822293 A1	20-09-2002
			FR 2825834 A1	13-12-2002
			US 2003122186 A1	03-07-2003
US 2002177263	A1	28-11-2002	JP 2003017710 A	17-01-2003
			TW 541698 B	11-07-2003
			US 2004092067 A1	13-05-2004
US 2001036731	A1	01-11-2001	US 6252284 B1	26-06-2001
US 2003057486	A1	27-03-2003	US 2004092060 A1	13-05-2004

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 クリシュナシュリー アチュザン

アメリカ合衆国、カリフォルニア州 9 4 5 3 8、サン レイモン、エンチェインテッド ウェイ 1 0 5

(72)発明者 シブリー エス . アーメッド

アメリカ合衆国、カリフォルニア州 9 5 1 3 4、サン ノゼ、ナンバー 1 0 5、エラン ビレッジ レイン 3 5 0

(72)発明者 ハイホン ワン

アメリカ合衆国、カリフォルニア州 9 5 0 3 5、ミルピタス、アパートメント ティー 3 0 3、ミルモント ドライブ 1 7 7 5

(72)発明者 ビン ユ

アメリカ合衆国、カリフォルニア州 9 5 0 1 4、キューパーティノ、ポピー ウェイ 1 3 7 3

F ターム(参考) 4M104 AA01 AA02 AA03 AA09 BB01 BB04 BB07 CC05 DD43 DD53

DD75 FF04 FF13 FF16 FF23 FF40 GG09 GG10 GG14 HH20

5F033 JJ04 JJ07 JJ15 JJ19 NN01 NN06 NN07 PP06 PP28 QQ25

QQ48 VV01 VV15 WW02 XX01

5F110 AA18 CC10 DD05 DD13 EE08 EE09 EE14 EE22 EE31 EE45

FF02 FF23 GG01 GG02 GG03 GG12 GG22 GG30 HJ13 HJ23

QQ19