

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3748876号
(P3748876)

(45) 発行日 平成18年2月22日(2006.2.22)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int. Cl.	F I
H O 2 M 3/00 (2006.01)	H O 2 M 3/00 C
	H O 2 M 3/00 B

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2004-151124 (P2004-151124)	(73) 特許権者	000005821
(22) 出願日	平成16年5月21日(2004.5.21)		松下電器産業株式会社
(65) 公開番号	特開2005-65481 (P2005-65481A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年3月10日(2005.3.10)	(74) 代理人	100113859
審査請求日	平成16年5月21日(2004.5.21)		弁理士 板垣 孝夫
(31) 優先権主張番号	特願2003-280727 (P2003-280727)	(74) 代理人	100068087
(32) 優先日	平成15年7月28日(2003.7.28)		弁理士 森本 義弘
(33) 優先権主張国	日本国(JP)	(72) 発明者	八谷 佳明
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		審査官	川端 修
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

高電位側端子と低電位側端子と制御端子を備えるスイッチング素子と、前記高電位側端子とレギュレータを介して接続された基準電圧端子と帰還信号入力端子を有し、且つ前記スイッチング素子の高電位側端子と低電位側端子と制御端子に接続され前記スイッチング素子のオンオフの繰り返しであるスイッチング動作を制御する制御回路を備える半導体装置であって、

前記制御回路が、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および第2のP型スイッチ素子の制御端子に、低電位側端子が前記帰還信号入力端子と自身の制御端子に接続された第1のP型スイッチ素子と、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および前記第1のP型スイッチ素子の制御端子に、低電位側端子が第1のN型スイッチ素子の高電位側端子に接続された第2のP型スイッチ素子とで構成される第1のカレントミラー回路と、

高電位側端子が前記第2のP型スイッチ素子の低電位側端子に、制御端子が前記第2のP型スイッチ素子の低電位側端子および第2のN型スイッチ素子の制御端子に接続され、低電位側端子が接地された第1のN型スイッチ素子と、高電位側端子が抵抗を介して前記基準電圧端子に、制御端子が前記第1のN型スイッチ素子の高電位側端子および制御端子に、低電位側端子が接地された第2のN型スイッチ素子とで構成される第2のカレントミラー回路と、

前記第2のカレントミラー回路と、電流源が抵抗を介して接地され前記電流源と前記抵抗

10

20

の接続点に制御端子が接続され低電位端子が接地され高電位端子と前記制御端子がダイオード接続されたN c hトランジスタとからなるクランプ回路を含んでなり、前記第2のカレントミラー回路における前記第2のN型スイッチ素子の高電位側端子がさらにクランプ回路と、間欠発振制御回路の入力端子と、過電流検出回路の第1のコンパレータの検出端子に接続された構成である過電流検出レベル調整回路と、

前記スイッチング素子の高電位側端子に前記第1のコンパレータの検出端子が接続された過電流検出回路と、

前記第2のN型スイッチ素子の高電位側端子が接続された検出端子と、前記検出端子の信号により、前記検出端子により基準電圧が間欠発振検出上限電圧と間欠発振検出下限電圧に切り替わる基準端子を有する第2のコンパレータからなり、前記検出端子の信号が前記間欠発振検出下限電圧よりも小さくなったときに前記スイッチング素子のスイッチング動作を停止させ、前記検出端子の信号が前記間欠発振検出上限電圧より大きくなったときに前記スイッチング素子のスイッチング動作を再開させる間欠発振制御回路とを具備することを特徴とする半導体装置。

10

【請求項2】

高電位側端子と低電位側端子と制御端子を備える第1のスイッチング素子と、前記第1のスイッチング素子と並列に接続され、高電位側端子が前記第1のスイッチング素子の高電位側端子に、低電位側端子が前記第1のスイッチング素子の低電位側端子に、制御端子が前記第1のスイッチング素子の制御端子に接続された第2のスイッチング素子と、前記第1のスイッチング素子と前記第2のスイッチング素子各々の高電位側端子とレギュレータを介して接続された基準電圧端子と帰還信号入力端子を有し、且つ前記スイッチング素子の高電位側端子と低電位側端子と制御端子に接続され前記スイッチング素子のオンオフの繰り返しであるスイッチング動作を制御する制御回路を備える半導体装置であって、前記制御回路が、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および第2のP型スイッチ素子の制御端子に、低電位側端子が前記帰還信号入力端子と自身の制御端子に接続された第1のP型スイッチ素子と、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および前記第1のP型スイッチ素子の制御端子に、低電位側端子が第1のN型スイッチ素子の高電位側端子に接続された第2のP型スイッチ素子とで構成される第1のカレントミラー回路と、

20

高電位側端子が前記第2のP型スイッチ素子の低電位側端子に、制御端子が前記第2のP型スイッチ素子の低電位側端子および第2のN型スイッチ素子の制御端子に接続され、低電位側端子が接地された第1のN型スイッチ素子と、高電位側端子が抵抗を介して前記基準電圧端子に、制御端子が前記第1のN型スイッチ素子の高電位側端子および制御端子に、低電位側端子が接地された第2のN型スイッチ素子とで構成される第2のカレントミラー回路と、

30

前記第2のカレントミラー回路と、電流源が抵抗を介して接地され前記電流源と前記抵抗の接続点に制御端子が接続され低電位端子が接地され高電位端子と前記制御端子がダイオード接続されたN c hトランジスタとからなるクランプ回路を含んでなり、前記第2のカレントミラー回路における前記第2のN型スイッチ素子の高電位側端子がさらにクランプ回路と、間欠発振制御回路の入力端子と、過電流検出回路の第1のコンパレータの検出端子に接続された構成である過電流検出レベル調整回路と、

40

前記スイッチング素子の高電位側端子に前記第1のコンパレータの検出端子が接続された過電流検出回路と、

前記第2のN型スイッチ素子の高電位側端子が接続された検出端子と、前記検出端子の信号により、前記検出端子により基準電圧が間欠発振検出上限電圧と間欠発振検出下限電圧に切り替わる基準端子を有する第2のコンパレータからなり、前記検出端子の信号が前記間欠発振検出下限電圧よりも小さくなったときに前記スイッチング素子のスイッチング動作を停止させ、前記検出端子の信号が前記間欠発振検出上限電圧より大きくなったときに前記スイッチング素子のスイッチング動作を再開させる間欠発振制御回路とを具備することを特徴とする半導体装置。

50

【請求項 3】

過熱保護機能を有する請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】

スイッチング素子及び制御回路を同一半導体基板上に集積化し、4つ以上の端子を有したパッケージに組み込んだ請求項 1 または請求項 2 または請求項 3 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源などの電源装置に使用される半導体装置に関するものである。特に、電源装置の省電力化技術に関する。

10

【背景技術】

【0002】

図 5 は従来の半導体装置を示す図である（例えば特許文献 1 参照）。従来の半導体装置は、大きく分けてスイッチング素子 1 とスイッチング素子 1 を制御するための制御回路 2 から構成される。

【0003】

スイッチング素子 1 は、パワー MOS FET のような高耐圧パワー素子である。

制御回路 2 は、スイッチング素子 1 の D R A I N 端子、G A T E 端子、そして S O U R C E 端子にそれぞれ接続される端子、制御回路 2 の基準電圧端子である B P 端子、帰還信号入力端子である F B 端子の計 5 つの端子からなる。スイッチング素子 1 の D R A I N 端子と B P 端子の間にはレギュレータ 3 が接続され、B P 端子には起動／停止回路 4 と定電流源 5 が接続されている。B P 端子と F B 端子の間には定電流源 5 と N 型 MOS FET 6 が接続されている。発振器 1 4 からは M A X D U T Y 信号 1 5 と C L O C K 信号 1 6 が出力されており、M A X D U T Y 信号 1 5 は A N D 回路 1 7 に、そして M A X D U T Y 信号 1 5 の反転信号は O R 回路 1 8 に入力される。A N D 回路 1 9 には発振器 1 4 の C L O C K 端子と N 型 MOS FET 6 の高電圧端子が接続され、A N D 回路 1 9 の出力信号は R S フリップフロップ回路 2 1 のセット端子 S に入力される。O R 回路 1 8 のもう一つの入力には、A N D 回路 2 0 の出力信号が入力される。A N D 回路 2 0 の入力には過電流検出回路 1 2 の出力信号と、スイッチング素子 1 の G A T E 信号がオン時ブランキングパルス発生器 2 2 を介した信号が入力されている。O R 回路 1 8 の出力信号は R S フリップフロップ回路 2 1 のリセット端子 R に入力される。A N D 回路 1 7 には、起動／停止回路 4 の出力信号、R S フリップフロップ回路 2 1 の出力端子 Q の信号、そして発振器 1 4 の M A X D U T Y 信号 1 5 の 3 つの信号が入力されている。A N D 回路 1 7 の出力信号はスイッチング素子 1 の G A T E 端子に接続されている。

20

30

【0004】

このように構成された半導体装置の動作を図 6 の動作波形を用いて説明する。図 6 中の V F B は図 5 の制御回路 2 の F B 端子電圧を、I D R A I N はスイッチング素子 1 の D R A I N 端子と S O U R C E 端子間を流れるドレイン電流を示す。

【0005】

制御回路 2 の基準電圧端子である B P 端子は、動作中常に一定電圧となるように、レギュレータ 3 により D R A I N 端子から電流が供給される。B P 端子電圧が起動／停止回路 4 で規定される起動電圧以上になると、起動／停止回路 4 の出力信号は“H（ハイ）”となり、スイッチング素子 1 は、発振器 1 4 の M A X D U T Y 信号 1 5 と R S フリップフロップ回路 2 1 の出力端子 Q の信号により制御される。逆に B P 端子電圧が起動／停止回路 4 で規定される停止電圧以下になると、起動／停止回路 4 の出力信号は常に“L（ロー）”となるため、スイッチング素子 1 の制御が停止状態となる。

40

【0006】

制御回路 2 の動作状態において、スイッチング素子 1 を制御する制御回路 2 の F B 端子電圧が“H（ハイ）”信号のとき、A N D 回路 1 9 の出力は発振器 1 4 の C L O C K 信号 1 6 となるため、スイッチング素子 1 は M A X D U T Y 信号 1 5 と C L O C K 信号 1 6

50

が入力されるAND回路17の出力信号により制御される(図6のA領域)。このとき、スイッチング素子1のDRAIN端子とSOURCE端子の間に流れるドレイン電流IDRAINのピーク(過電流検出レベル)は過電流検出回路12により、常に一定となる。そして、スイッチング素子1を制御する制御回路2のFB端子電圧が“L(ロー)”信号のとき、AND回路19の出力は常に“L(ロー)”となり、スイッチング素子1は常にオフ状態となる(図6のB領域)。即ち、従来の半導体装置をスイッチング電源に使用する場合、FB端子に出力負荷状態を反映した帰還信号を入力させることで、出力側への電力供給を線形的なスイッチング素子1のスイッチング回数調整により、実施する(間欠制御となる)。そのため、スイッチング電源として高効率化、即ち省エネ化を図ることが出来る。

10

【特許文献1】米国特許第6297623号の明細書

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、従来の半導体装置を使用してスイッチング電源の高出力化を実施した場合、以下の課題が発生する。

(1) 出力電圧に合わせ線形的にスイッチング素子1を間欠制御するため、スイッチング動作時に間欠動作周波数が可聴領域に入るため、スイッチング電源に使用されるトランスやコイルからの音鳴りが発生する。特にスイッチング電源の出力特性において、高出力化が必要な場合、過電流検出回路で決まるIDRAINのピーク電流値(過電流検出レベル)を大きくする必要があるため、この音鳴りも大きくなる。従来の半導体装置でスイッチング電源の高出力化を図った場合、トランスやコイルからの音鳴りが発生し、高出力スイッチング電源への使用の支障となる。

20

(2) 従来の半導体装置を使用してスイッチング電源を高出力化する場合、上記(1)にも記したように、過電流検出レベルを大きくする必要があるため、出力負荷状態が軽負荷状態や無負荷状態では、高出力化と共にターンオフ時のスイッチングロスが大きくなる。そのため、高効率化の支障となる。

【0008】

本発明は、上記課題に鑑みてなされたものであり、高出力・高効率のスイッチング電源を提供するものである。

30

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明の半導体装置は、高電位側端子と低電位側端子と制御端子を備えるスイッチング素子と、前記高電位側端子とレギュレータを介して接続された基準電圧端子と帰還信号入力端子を有し、且つ前記スイッチング素子の高電位側端子と低電位側端子と制御端子に接続され前記スイッチング素子のオンオフの繰り返しであるスイッチング動作を制御する制御回路を備える半導体装置であって、前記制御回路が、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および第2のP型スイッチ素子の制御端子に、低電位側端子が前記帰還信号入力端子と自身の制御端子に接続された第1のP型スイッチ素子と、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および前記第1のP型スイッチ素子の制御端子に、低電位側端子が第1のN型スイッチ素子の高電位側端子に接続された第2のP型スイッチ素子とで構成される第1のカレントミラー回路と、高電位側端子が前記第2のP型スイッチ素子の低電位側端子に、制御端子が前記第2のP型スイッチ素子の低電位側端子および第2のN型スイッチ素子の制御端子に接続され、低電位側端子が接地された第1のN型スイッチ素子と、高電位側端子が抵抗を介して前記基準電圧端子に、制御端子が前記第1のN型スイッチ素子の高電位側端子および制御端子に、低電位側端子が接地された第2のN型スイッチ素子とで構成される第2のカレントミラー回路と、前記第2のカレントミラー回路と、電流源が抵抗を介して接地され前記電流源と前記抵抗の接続点に制御端子が接続され低電位端子が接地され高電位端子と前記制御端子がダイオード接続されたNchトランジスタとからなるクラ

40

50

ンプ回路を含んでなり、前記第2のカレントミラー回路における前記第2のN型スイッチ素子の高電位側端子がさらにクランプ回路と、間欠発振制御回路の入力端子と、過電流検出回路の第1のコンパレータの検出端子に接続された構成である過電流検出レベル調整回路と、前記スイッチング素子の高電位側端子に前記第1のコンパレータの検出端子が接続された過電流検出回路と、前記第2のN型スイッチ素子の高電位側端子が接続された検出端子と、前記検出端子の信号により、前記検出端子により基準電圧が間欠発振検出上限電圧と間欠発振検出下限電圧に切り替わる基準端子を有する第2のコンパレータからなり、前記検出端子の信号が前記間欠発振検出下限電圧よりも小さくなったときに前記スイッチング素子のスイッチング動作を停止させ、前記検出端子の信号が前記間欠発振検出上限電圧より大きくなったときに前記スイッチング素子のスイッチング動作を再開させる間欠発振制御回路とを具備することを特徴とする。

10

【0010】

また、上記課題を解決するため、本発明の半導体装置は、高電位側端子と低電位側端子と制御端子を備える第1のスイッチング素子と、前記第1のスイッチング素子と並列に接続され、高電位側端子が前記第1のスイッチング素子の高電位側端子に、低電位側端子が前記第1のスイッチング素子の低電位側端子に、制御端子が前記第1のスイッチング素子の制御端子に接続された第2のスイッチング素子と、前記第1のスイッチング素子と前記第2のスイッチング素子各々の高電位側端子とレギュレータを介して接続された基準電圧端子と帰還信号入力端子を有し、且つ前記スイッチング素子の高電位側端子と低電位側端子と制御端子に接続され前記スイッチング素子のオンオフの繰り返しであるスイッチング動作を制御する制御回路を備える半導体装置であって、前記制御回路が、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および第2のP型スイッチ素子の制御端子に、低電位側端子が前記帰還信号入力端子と自身の制御端子に接続された第1のP型スイッチ素子と、高電位側端子が前記基準電圧端子に、制御端子が前記帰還信号入力端子および前記第1のP型スイッチ素子の制御端子に、低電位側端子が第1のN型スイッチ素子の高電位側端子に接続された第2のP型スイッチ素子とで構成される第1のカレントミラー回路と、高電位側端子が前記第2のP型スイッチ素子の低電位側端子に、制御端子が前記第2のP型スイッチ素子の低電位側端子および第2のN型スイッチ素子の制御端子に接続され、低電位側端子が接地された第1のN型スイッチ素子と、高電位側端子が抵抗を介して前記基準電圧端子に、制御端子が前記第1のN型スイッチ素子の高電位側端子および制御端子に、低電位側端子が接地された第2のN型スイッチ素子とで構成される第2のカレントミラー回路と、前記第2のカレントミラー回路と、電流源が抵抗を介して接地され前記電流源と前記抵抗の接続点に制御端子が接続され低電位端子が接地され高電位端子と前記制御端子がダイオード接続されたNchトランジスタとからなるクランプ回路を含んでなり、前記第2のカレントミラー回路における前記第2のN型スイッチ素子の高電位側端子がさらにクランプ回路と、間欠発振制御回路の入力端子と、過電流検出回路の第1のコンパレータの検出端子に接続された構成である過電流検出レベル調整回路と、前記スイッチング素子の高電位側端子に前記第1のコンパレータの検出端子が接続された過電流検出回路と、前記第2のN型スイッチ素子の高電位側端子が接続された検出端子と、前記検出端子の信号により、前記検出端子により基準電圧が間欠発振検出上限電圧と間欠発振検出下限電圧に切り替わる基準端子を有する第2のコンパレータからなり、前記検出端子の信号が前記間欠発振検出下限電圧よりも小さくなったときに前記スイッチング素子のスイッチング動作を停止させ、前記検出端子の信号が前記間欠発振検出上限電圧より大きくなったときに前記スイッチング素子のスイッチング動作を再開させる間欠発振制御回路とを具備することを特徴とする。

20

30

40

【0011】

上記の半導体装置において、過熱保護機能を有することが好ましい。

また、上記スイッチング素子及び制御回路を同一半導体基板上に集積化し、4つ以上の端子を有したパッケージに組み込んでいることが好ましい。

【発明の効果】

50

【0012】

本発明によれば、高出力スイッチング電源として使用する場合、従来と比較して、コイルやトランスからの音鳴りが大幅に抑制できると共に、消費電力を大幅に低減化した高効率スイッチング電源を実現できる。

【0013】

また、制御回路とスイッチング素子を同一半導体基板上に集積化することにより、より小型・低価格の電源を実現できる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について説明する。

10

(第1の実施形態)

図1は本発明の第1の実施形態における半導体装置の構成図である。

【0015】

図1の半導体装置は、図5に示した従来例と比較し、カレントミラー回路9、過電流検出レベル調整回路10、クランプ回路11、過電流検出回路12、及び間欠発振制御回路13が追加されている点異なる。

【0016】

このように構成された半導体装置の動作を図2に示した動作波形を用いて説明する。図2中のIFBは図1の制御回路2のFB端子電流を、VFBLは図1中の間欠発振制御回路13の出力信号を、Vpは間欠発振制御回路13の+端子に接続された端子電圧を、IDRAINはスイッチング素子1のDRAIN端子とSOURCE端子間を流れるドレイン電流をそれぞれ示す。

20

【0017】

制御回路2の基準電圧端子であるBP端子は、動作中常に一定電圧となるように、レギュレータ3によりDRAIN端子から電流が供給される。BP端子電圧が起動/停止回路4で規定される起動電圧以上になると、起動/停止回路4の出力信号は“H(ハイ)”となり、スイッチング素子1は、発振器14のMAX DUTY信号15とRSフリップフロップ回路21の出力端子Qの信号により制御される。逆にBP端子電圧が起動/停止回路4で規定される停止電圧以下になると、起動/停止回路4の出力信号は常に“L(ロー)”となるため、スイッチング素子1の制御が停止状態となる。

30

【0018】

制御回路2の動作状態において、BP端子からP型MOSFET7を介してFB端子に電流IFBが流れ増加すると、カレントミラー回路9により、P型MOSFET8のドレインソース間に流れる電流も増加する。P型MOSFET8には過電流検出レベル調整回路の2つのN型MOSFETで構成されたカレントミラー回路が接続されているため、IFB電流が増加することに合わせてVpの電圧は図2に示すように、IFB電流の増加に伴ってVp端子電圧は低下、IFB電流の減少に伴いVp端子電圧が増加するように変化する。Vp端子電圧の増減は過電流検出回路12の基準端子電圧であるため、スイッチング素子1のDRAIN端子からSOURCE端子に流れるIDRAIN電流のピーク値はこのVp端子電圧変化と同じように変化するPWM制御となる。ここで、Vp端子電圧はクランプ回路11により規定された電圧以上にはならないように設定されている。

40

【0019】

次に、IFB電流の増加に伴い、Vp端子電圧が間欠発振制御回路13の基準電圧Vp1以下まで低下すると、VFBLの信号が“H(ハイ)”から“L(ロー)”となり、同時に間欠発振制御回路13の基準電圧もVp1からVp2に切り替わる。このVFBLが“L(ロー)”になると、その期間中はスイッチング素子1のオンオフ制御が停止するため、IDRAINは間欠発振制御となる。そして、IFB電流が減少するとVp端子電圧は増加し、間欠発振制御回路13の基準電圧Vp2以上になると間欠発振制御回路13の出力信号は“L(ロー)”から“H(ハイ)”に切り替わり、再びスイッチング素子1は制御回路2によりオンオフ制御を始める。

50

【0020】

本実施形態の半導体装置を使用してスイッチング電源の高出力化を実施した場合、出力負荷状態を示す信号をFB端子から流れ出す電流として反映させることで、出力負荷状態が重負荷状態から軽負荷状態になるにつれ、図2中の電圧 V_p が変化し、スイッチング素子1の発振周波数は一定で、IDRAINの電流ピーク値を変化させることによるPWM制御となるため、可聴領域に入らない。このため、コイルやトランスの音鳴りを防ぐことが出来、且つ出力負荷状態が軽負荷状態におけるターンオフ時のスイッチングロスを低減できる。そして、更に出力負荷が軽負荷状態から無負荷状態になると、電圧 V_p が V_{p1} 以下となると、スイッチング素子1は間欠発振制御となるため、更にスイッチングロスが低減されるために電源の高効率化が実現できる。このとき、IDRAINのピーク値自体を低くできるため、間欠発振制御中のコイルやトランスからの音鳴りを低く抑えることが可能となる。

10

(第2の実施形態)

図3は本発明の第2の実施形態における半導体装置の構成図であり、図1で示した第1の実施形態の半導体装置に過熱保護回路24が追加されている以外、回路構成および動作とも全く同じである。

【0021】

過熱保護回路24は、スイッチング素子1のオンオフ制御によるスイッチング素子1と制御回路2からなる半導体装置23の発熱から半導体装置23を保護するための回路である。過熱保護回路24による保護の例としては、例えばラッチモード（規定以上の温度となると、解除手段により解除するまでスイッチング素子1のオンオフ制御を完全に停止させるモード）や、自己復帰モード（規定上の温度となると、スイッチング素子1のオンオフ制御を停止させ、温度が規定された温度以下まで低下すると自動的にスイッチング素子1のオンオフ制御を再開させるモード）等がある。これにより、半導体装置23を保護する。

20

(第3の実施形態)

図4は本発明の第3の実施形態における半導体装置の構成図である。図4で示す本発明の第3の実施形態における半導体装置は、過電流検出方式に関し、図1の第1の実施形態における半導体装置ではスイッチング素子1のオン電圧を検出する方式に対し、スイッチング素子1と有る一定の電流比を有し、且つスイッチング素子1に並列接続されたセンスMOSFET25とセンスMOSFET25のソース端子に直列接続されたセンス抵抗26を用い、センス抵抗26両端電圧を検出している方式である点が異なる以外は、本発明の第1の実施形態と動作は同じである。

30

また、本発明の第3の実施形態に、前述の本発明の第2の実施形態に示すような過熱保護回路24が追加することにより、半導体装置23の発熱から半導体装置23を保護する機能を追加することも可能である。

【0022】

以上のように、本発明の第1～3の各実施形態の半導体装置をスイッチング電源として使用した場合、出力負荷の状態に合わせて、(i)重負荷状態から軽負荷状態においてはPWM制御で、(ii)軽負荷状態から無負荷状態においては間欠発振制御で動作させ、スイッチング電源の高効率化、即ち省エネ化を図ることが出来る。

40

【0023】

また、本発明の第1～3の各実施形態の半導体装置の高出力スイッチング電源への使用においても、スイッチング素子1のオンオフ制御がPWM制御状態においては周波数一定であるため可聴領域には入らない、そして、スイッチング素子1のオンオフ制御が間欠発振制御状態においてはIDRAINピーク値が低く抑えられるため、コイルやトランスからの音鳴りを低く抑えることが出来る。

【産業上の利用可能性】

【0024】

本発明の半導体装置は、高出力スイッチング電源として使用する場合、従来と比較して

50

、コイルやトランスからの音鳴りが大幅に抑制できると共に、消費電力を大幅に低減化した高効率スイッチング電源を実現できるとともに、制御回路とスイッチング素子を同一半導体基板上に集積化することにより、より小型・低価格の電源を実現できるもので、スイッチング電源などの電源装置に使用される半導体装置に適用できる。

【図面の簡単な説明】

【0025】

【図1】本発明の第1の実施形態における半導体装置の構成図

【図2】本発明の第1の実施形態における半導体装置の動作を示す図

【図3】本発明の第2の実施形態における半導体装置の構成図

【図4】本発明の第3の実施形態における半導体装置の構成図

10

【図5】従来の技術における半導体装置の構成図

【図6】従来の技術における半導体装置の動作を示す図

【符号の説明】

【0026】

1 スwitchング素子

2 制御回路

3 レギュレータ

4 起動・停止回路

5 定電流源

6 N型MOSFET

20

7 P型MOSFET

8 P型MOSFET

9 カレントミラー回路

10 過電流検出レベル調整回路

11 クランプ回路

12 過電流検出回路

13 間欠発振制御回路

14 発振器

15 MAX DUTY 信号

16 CLOCK 信号

30

17 AND 回路

18 OR 回路

19 AND 回路

20 AND 回路

21 RS フリップフロップ回路

22 オン時ブランキングパルス発生器

23 制御回路とスイッチング素子からなる半導体装置

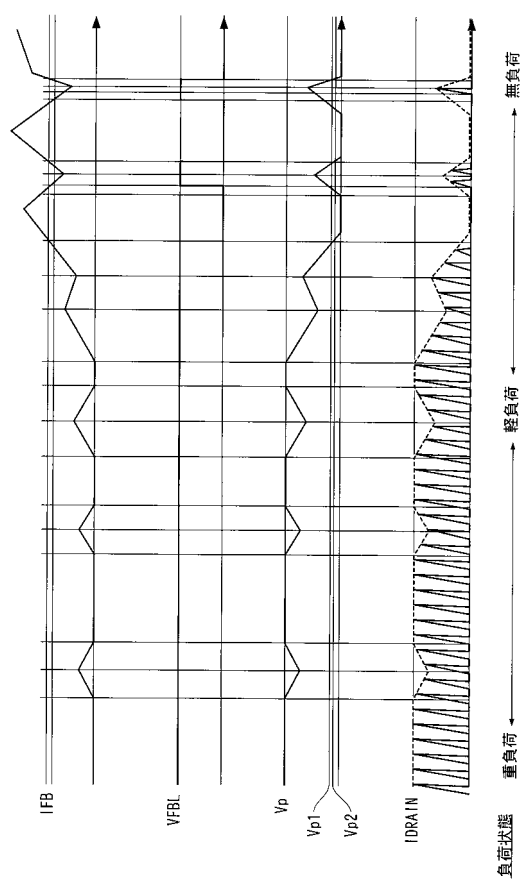
24 過熱保護回路

25 センスMOSFET

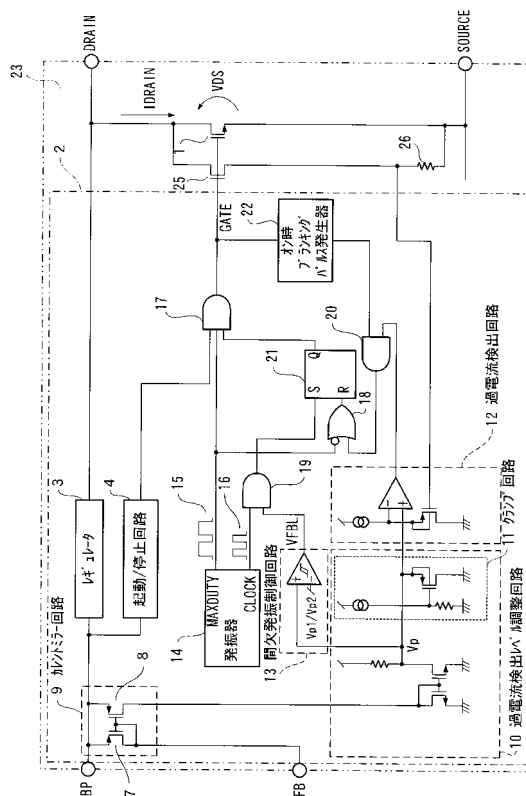
26 センス抵抗

40

【図 2】



【 図 4 】



フロントページの続き

(56)参考文献 特開2003-174769 (JP, A)
特開2001-224166 (JP, A)
米国特許第06297623 (US, B1)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00