

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7378693号
(P7378693)

(45)発行日 令和5年11月13日(2023.11.13)

(24)登録日 令和5年11月2日(2023.11.2)

(51)国際特許分類		F I		
H O 1 L	21/3205(2006.01)	H O 1 L	21/88	J
H O 1 L	21/768(2006.01)	H O 1 L	29/80	U
H O 1 L	23/522(2006.01)			
H O 1 L	21/338(2006.01)			
H O 1 L	29/812(2006.01)			
請求項の数 6 (全20頁)				
(21)出願番号	特願2023-556766(P2023-556766)	(73)特許権者	000006013	
(86)(22)出願日	令和5年5月29日(2023.5.29)		三菱電機株式会社	
(86)国際出願番号	PCT/JP2023/019866		東京都千代田区丸の内二丁目7番3号	
審査請求日	令和5年9月14日(2023.9.14)	(74)代理人	110002941	
早期審査対象出願			弁理士法人ばるも特許事務所	
		(72)発明者	奥畑 亮	
			東京都千代田区丸の内二丁目7番3号	
			三菱電機株式会社内	
		(72)発明者	西澤 弘一郎	
			東京都千代田区丸の内二丁目7番3号	
			三菱電機株式会社内	
		(72)発明者	森田 智之	
			東京都中央区日本橋室町2丁目2番1号	
			関東化学株式会社内	
		(72)発明者	徳久 智明	
			最終頁に続く	

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

半導体材料の基板、
前記基板の一方の面に形成された配線部材、および
前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔の内壁を被覆し、前記開口の側から前記底面に向かって窪む凹部が形成された金による第一メッキ層と、前記凹部を埋め、銅、銀、ニッケル、錫、および前記第一メッキ層よりも結晶粒径が大きな金のいずれかによる第二メッキ層と、チタン、タンタル、タングステン、クロム、白金のいずれかを含み、前記第一メッキ層と前記第二メッキ層との間に介在する金属膜と、を有する中実のビア、
を備えたことを特徴とする半導体装置。

【請求項2】

前記凹部は前記底面から前記開口に向かうにつれて広がっていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第一メッキ層における前記凹部の前記底面までの厚みは、前記基板の厚みの1／4以上であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

前記基板が、炭化ケイ素、リン化インジウム、窒化ガリウム、珪化ゲルマニウム、ゲルマニウム、シリコンのいずれかであることを特徴とする請求項1または2に記載の半導体

装置。

【請求項 5】

前記基板が、炭化ケイ素、リン化インジウム、窒化ガリウム、珪化ゲルマニウム、ゲルマニウム、シリコンのいずれかであることを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】

半導体材料の基板の一方の面に配線部材を形成し、前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔を形成する工程、

前記筒状の孔の内壁を被覆し、かつ前記開口の側から前記底面に向かって窪む凹部が形成されるように、無電解メッキにより、金の第一メッキ層を形成する工程、
スパッタ法、または蒸着法により、前記凹部の内面を被覆する金属膜を形成する工程、および

10

前記凹部を埋めるように、電解メッキにより、銅、銀、ニッケル、錫、金のいずれかの第二メッキ層を形成する工程、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、半導体装置および半導体装置の製造方法に関するものである。

【背景技術】

【0002】

半導体基板の表面と裏面を貫通する電極（ビア）を有する半導体装置においては、ビア内を通常、Cu ビアフィリングと称される銅（Cu）めっきにおいて充填することで、電気的な接続、高周波特性の向上および放熱性の向上が期待される。

20

【0003】

銅めっきによるビアフィリングは電解めっきで実施され、めっき液の組成、印加電圧波形、液の攪拌など精密な制御が必要である（例えば、特許文献 1 参照。）。また、銅の半導体内部への拡散による電気的特性の劣化が懸念されることから、ビア内壁には拡散バリア層を形成する必要がある（例えば、特許文献 2 参照。）。

【先行技術文献】

【特許文献】

30

【0004】

【文献】特開 2014-095104 号公報（段落 0042～0050、表 1）

【文献】特表 2013-532903 号公報（段落 0039、図 13）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、電解めっきによる Cu ビアフィリングにおいては、めっき工程（めっき液の組成、印加電圧波形、液の攪拌）の精密な管理が必要であり、過大な装置投資、工程管理等のコスト増大が問題であった。さらに、拡散バリア層としては、導電性金属窒化物のような形成工程が複雑で取り扱いが困難な材料を必要とし、やはり、過大な装置投資、工程管理等のコスト増大が問題であった。

40

【0006】

本願は、上記のような課題を解決するための技術を開示するものであり、厚み方向において良好な電気的な接続と放熱性を有する半導体装置を低コストで得ることを目的とする。

【課題を解決するための手段】

【0007】

本願に開示される半導体装置は、半導体材料の基板、前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔の内壁を被覆し、前記開口の側から前記底面に向かって窪む凹部が形成された金による第一メッキ層と、前記凹部を埋め、銅、銀、ニッケル、錫、および前記第一メッキ層よりも結晶粒径が大きな金のいずれかによる第二メッキ層と、

50

チタン、タンタル、タングステン、クロム、白金のいずれかを含み、前記第一メッキ層と前記第二メッキ層との間に介在する金属膜と、を有する中実のビア、を備えたことを特徴とする。

【0008】

本願に開示される半導体装置の製造方法は、半導体材料の基板の一方の面に配線部材を形成し、前記基板の他方の面で開口し、前記配線部材を底面とする筒状の孔を形成する工程、前記筒状の孔の内壁を被覆し、かつ前記開口の側から前記底面に向かって窪む凹部が形成されるように、無電解メッキにより、金の第一メッキ層を形成する工程、スパッタ法、または蒸着法により、前記凹部の内面を被覆する金属膜を形成する工程、および前記凹部を埋めるように、電解メッキにより、銅、銀、ニッケル、錫、金のいずれかの第二メッキ層を形成する工程、を含むことを特徴とする。

10

【発明の効果】

【0009】

本願に開示される半導体装置あるいは半導体装置の製造方法によれば、ビア内壁に過大な装置を必要とせず、簡単な工程で金の被覆層を形成したので、厚み方向において良好な電気的な接続と放熱性を有する半導体装置を低コストで得ることができる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1にかかる半導体装置のビアの構成を説明するための端面図である。

【図2】実施の形態1にかかる半導体装置の構成を説明するための端面図である。

20

【図3】実施の形態1にかかる半導体装置の製造方法を説明するためのフローチャートである。

【図4】実施の形態1にかかる半導体装置のビアの被覆層の構成を説明するためのビアフィリング工程中の端面図である。

【図5】実施の形態1にかかる半導体装置におけるビアフィリング工程中の断面SEM像を示す図である。

【図6】実施の形態1にかかる半導体装置のビアフィリングにおける被覆層形成中の段階ごとの状態を示す端面模式図である。

【図7】実施の形態1の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

30

【図8】比較例にかかる半導体装置のビアの構成を説明するための端面図である。

【図9】比較例にかかる半導体装置におけるビアフィリング工程中の断面SEM像を示す図である。

【図10】実施の形態2にかかる半導体装置のビアフィリングにおける充填層形成前の構成を説明するための端面図である。

【図11】実施の形態2にかかる半導体装置の製造方法を説明するためのフローチャートである。

【図12】実施の形態2にかかる半導体装置のビアの構成を説明するための端面図である。

【図13】実施の形態3にかかる半導体装置のビアの構成を説明するための端面図である。

【図14】実施の形態3の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

40

【図15】実施の形態4にかかる半導体装置のビアの構成を説明するための端面図である。

【図16】実施の形態4の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

【図17】実施の形態5にかかる半導体装置のビアの構成を説明するための端面図である。

【図18】実施の形態5の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

【図19】実施の形態6にかかる半導体装置のビアの構成を説明するための端面図である。

【図20】実施の形態6の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

50

【図 2 1】実施の形態 7 にかかる半導体装置のビアの構成を説明するための端面図である。

【図 2 2】実施の形態 7 の変形例にかかる半導体装置のビアの構成を説明するための端面図である。

【発明を実施するための形態】

【0011】

実施の形態 1.

図 1～図 9 は、実施の形態 1 にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図 1 は半導体装置のビアの構成を説明するための後述する図 2 の A-A 線に対応する端面図、図 2 は半導体装置の構成を説明するための端面図である。そして、図 3 は半導体装置の製造方法を説明するためのフローチャートであり、図 4 は半導体装置のビアの被覆層の構成を説明するためのビアフィリング工程中の被覆層を形成し、充填層を形成する前の図 1 に対応する端面図、図 5 はビアフィリング工程における図 4 と同様の被覆層を形成した段階の断面 SEM 像である。また、図 6 は実施の形態 1 にかかる半導体装置のビアフィリングにおける被覆層形成中の段階ごとの状態を示す端面模式図である。

10

【0012】

また、図 7 は変形例にかかる半導体装置のビアの構成を説明するための被覆層を形成した段階の図 4 に対応する端面図である。一方、図 8 は比較例にかかる半導体装置のビアの構成を説明するための被覆層を形成した段階の端面図、図 9 はビアフィリング工程における図 8 と同様の被覆層を形成した段階の断面 SEM 像である。

20

【0013】

実施の形態 1 にかかる半導体装置 10 は、例えば高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) と称される半導体装置を想定している。そして、図 1 と図 2 に示すように、表面 (図中上方の面) のソース電極 3s 直下に裏面からビア 10v が形成された場合を例として説明する。なお、図 1 に示すビア 10v は、図 2 においてソース電極 3s 直下に形成されたビア 10v の詳細図であるが、ビア 10v は必ずしもソース電極 3s の直下にある必要はなく、配線パターンを含め、表面に形成された導体層 (配線部材) の直下に位置すればよい。

【0014】

半導体装置 10 では、炭化ケイ素 (SiC) の基板 1 上にエピタキシャル成長層 2 があり、その上にソース電極 3s、ドレイン電極 3d、ゲート電極 3g (まとめて表面電極 3) がある。ビア 10v はソース電極 3s をエッチングストップ層として、ソース電極 3s 直下に形成されている。ビア 10v の内壁に沿う形でメタル層があり、このメタル層をシード層 41 として、被覆層 42、充填層 43 の順に形成し、充填体 4 を構成することでビアフィリングが達成される。

30

【0015】

なお、実施の形態 1、および以降の実施の形態においては炭化ケイ素の基板 1 上の窒化ガリウム (GaN) HEMT を例として説明するが、これに限ることはない。例えば、リン化インジウム (InP)、窒化ガリウム、珪化ゲルマニウム (SiGe) などの化合物半導体、シリコン (Si) 系半導体など、他の半導体基板においても、同様の効果を得ることができる。これは、ビア 10v の被覆層 42 を構成する金 (Au) をシード層 41 上に形成するため、基板 1 の元素種によらないためである。

40

【0016】

つぎに、実施の形態 1 にかかる半導体装置 10 の構成の詳細について、図 3 のフローチャートを参考にして製造方法とともに説明する。

はじめに、SiC 単結晶で構成する基板 1 の表面 (図 1、2 における上方の面) 側に、ウエハプロセスでエピタキシャル成長、金属膜、絶縁膜形成、転写パターンニングを繰り返して行い、表面に電気回路を形成する (ステップ S100)。なお、ウエハプロセスは、直径 4～8 インチの円盤状で、0.35 mm、あるいは 0.5 mm 厚の状態で行われる。

【0017】

50

まず、基板 1 上にエピタキシャル成長層 2 を形成する。窒化ガリウム H E M T の場合、窒化ガリウム層上に窒化アルミガリウム (A l G a N) 層を重ねた積層構造とするのが一般的である。つぎに、ソース電極 3 s、ドレイン電極 3 d、ゲート電極 3 g を形成する。ソース電極 3 s、ドレイン電極 3 d には、例えば、チタン／アルミ／金 (T i / A l / A u)。チタン／アルミ／ニッケル／金 (T i / A l / N i / A u) などの積層構造を用いる。ゲート電極 3 g にはチタン／白金／金 (T i / P t / A u) 等の積層構造を用いる。

【 0 0 1 8 】

その後、ソース電極 3 s、ドレイン電極 3 d、ゲート電極 3 g を例えば窒化ケイ素 (S i N) 等の絶縁膜 9 で保護する。なお、ソース電極 3 s、ドレイン電極 3 d を形成し、絶縁膜 9 で保護した後に、ゲート電極 3 g 部分のみをドライエッチングで開口してゲート電極 3 g を形成し、再度、絶縁膜 9 で全体を保護するようにしてもよい。この後、さらに配線用の電極をつけてもよい。配線用の電極には、電気金めっき等を用いる。

【 0 0 1 9 】

表面のウエハプロセスが完了すると、裏面 (図 1、2 における下方の面) 処理のため、ワックス材を用い、ウエハの表面側を支持基板に貼り付ける。このとき、ワックス材の代わりにテープ材を用いても良い。ワックス材の厚さは例えば 2 0 μ m とする。ウエハは、支持基板に貼り付けられた状態で裏面の研削、ポリッシュを行う。例えば、基板厚を 5 0 μ m 厚まで薄くする。薄くすることにより、デバイスの放熱性、および高周波特性が向上する。

【 0 0 2 0 】

つぎに、ビア加工プロセス (ステップ S 2 0 0 ~ S 2 3 0) を行う。基板 1 を貫通する電極であるビア 1 0 v を形成するため、スピンコータによりレジスト材を塗布した後、転写・現像パターンニングにより加工部のみレジストを除去する。例えば、I C P (誘導結合プラズマ : Inductively Coupled Plasma) ドライエッチングにより、基板エッチング加工を行い、ビア 1 0 v 用の貫通孔を形成する (ステップ S 2 0 0) 。

【 0 0 2 1 】

貫通孔が形成されると、剥離液に浸漬して塗布したレジスト材を除去する。基板 1 のビア 1 0 v となる貫通孔の内面が露出した状態の半導体裏面を得ることができる。ビア 1 0 v は小さいほうがレイアウトの自由度が高く有利であるが、小さすぎると貫通孔を形成する際のエッチングが進行せずに基板 1 を貫通させることができない。例えば ϕ 5 0 μ m の円柱形状で形成する。ここではビア 1 0 v (貫通孔) のアスペクト比 (ビア深さ / ビア直径) は 1 となっているが、基板厚みとビア形状によって変動し、1 ~ 5 まで実施可能である。

【 0 0 2 2 】

形成した貫通孔の内壁を覆うように、シード層 4 1 を形成する (ステップ S 2 1 0) 。シード層 4 1 は例えば基板 1 に接する厚さ 5 0 n m のチタン層上に厚さ 2 0 0 n m の金層を積層して形成する。チタン層はシード層 4 1 の主体である金層と基板 1 との密着性を向上させるために挿入される膜で、チタンの代わりに窒化チタン、タンタル (T a) 、タングステン (W) 、クロム (C r) 等を用いてもよい。また、チタン層と金層の間に白金層を挿入してもよく、その場合は、例えば、チタン層厚み 5 0 n m、白金層厚み 5 0 n m、金層厚み 2 0 0 n m などとする。また、基板 1 とシード層 4 1 の間に絶縁膜層を挿入してもよい。

【 0 0 2 3 】

なお、つぎの被覆層 4 2 を形成する工程における無電解金めっきの析出反応を進行させるために、シード層 4 1 の析出面を触媒金属で覆う必要がある。シード層 4 1 の表面を金層とすることで無電解めっき反応が開始する。金以外にも銀 (A g) 、銅 (C u) 、パラジウム (P d) 、白金、ニッケル、ルテニウム (R u) 、錫 (S n) などを用いてもよい。

【 0 0 2 4 】

一方、触媒力の弱い金属表面の場合には、無電解めっきの前処理として触媒金属イオンを含む前処理液に浸漬して、触媒付与を行う工程を追加することで、無電解めっき反応を

10

20

30

40

50

開始させることができる。めっき反応は一度開始すると、析出金属である金自体が触媒となるため、反応は継続して金めっき膜を得ることができる（自己触媒性無電解めっき）。

【0025】

シード層41は、基板1に対して金の被覆層42との間に介在するので、特許文献2で懸念されたような銅拡散を防止するバリア層としての役割を必要としない。そのため、窒化チタン（TiN）、窒化タンタル（TaN）、窒化タングステン（WN）、窒化チタンアルミ（TiAlN）といった導電性金属窒化物のような形成工程が複雑で取り扱いが困難な材料を用いる必要がない。

【0026】

シード層41が形成されると、図4に示すように、無電解金めっき法により、シード層41を被覆し、裏面側に開口する凹部42dを有する金の被覆層42を形成する（ステップS220）。図では貫通孔の軸中心を通る断面形状がV字形をなす円錐状の凹部42dを形成する例を示す。円錐状の凹部42dの形成は、無電解金めっき液の液中の添加剤を適切な範囲で調整することで達成できる。なお、この添加剤は開口側（図中下側）へのめっき析出を抑制し、シード層41の底面（図中上方）と内周面から優先的に金を析出させる働きを有する。

【0027】

図5の断面SEM（Scanning Electron Microscope）像に示すように、上述した手法により、円錐状の凹部42dを有するように被覆層42を形成することができた。ここで、ビア底から円錐の頂点（凹部42dの底部42b）までの厚み t_{42} （図4参照）は、ビア高さ H_v の $1/4$ 以上あることが望ましい。つまり、凹部42dの深さ D_d は、ビア高さ H_v の $4/3$ 未満であることが望ましい。そうすることで、つぎの電解メッキによる充填層43を形成する際に、ボイドの発生なく、ビア埋め込みの形状を実現することができる。

【0028】

なお、図4では、エピタキシャル成長層2を含む基板1の厚みから、シード層41の厚みを差し引いた寸法をビア高さ H_v として描画しているが、シード層41の厚みは基板1の厚みに比べて無視できる程度に薄い。基板1に比べて薄い。そこで、基板1の厚みとエピタキシャル成長層2の厚みの和を上述したビア高さ H_v と定義することとする。一方、厚み t_{42} はビア高さ H_v の $1/2$ 以下であることが望ましい。厚み t_{42} をビア高さ H_v の $1/2$ より厚くすると、めっき液中の添加剤が少なくなり、図9のようにビア開口部が閉塞するリスクが増大する。また、添加剤が少ないために、ウエハ裏面の被覆層42の厚みが厚くなりすぎるからである。

【0029】

先述の通り、めっきの縦方向の成長は添加剤により抑制することができる。そのため、図6に示すように、添加剤の添加量によって決まる厚み t_{42} まで、段階1、段階2、段階3というように、めっきが成長すると、その後、例えば2時間、無電解めっき液にウエハを浸漬しても金めっきは成長しない（段階3から段階4）。従って、基板面内の複数の貫通孔それぞれで、均一に同じ厚み t_{42} を有する凹部42dを有する被覆層42が形成できる。

【0030】

被覆層42が形成されると、電解メッキにより、図1で示した凹部42d内を埋め、無電解メッキによる被覆層42よりも結晶粒径が大きな金の充填層43を形成する（ステップS230）。これにより、貫通孔内が金で埋め尽くされた中実のビア10vが形成される。凹部42d内に金イオンを効率よく供給するため、パルス電圧を印加するとよい。ビア10vの開口端（図中下方の面）、つまり、充填層43には、被覆層42の凹部42dを反映して窪みが生じる可能性があるが、この有無および形状は問わない。

【0031】

電解めっきによる充填層43でビア10vが完全に埋め込まれるので、高周波特性と放熱性が向上する。ビア10vを完全に埋め込むことでウエハ裏面（図中下方）側の金の膜

10

20

30

40

50

厚が厚くなりすぎた場合は、所望の膜厚になるまでエッチングを実施してよい。ドライエッチングには、例えば、アルゴン（Ar）イオンミリング等を用い、ウェットエッチングには、例えばヨウ素（I）系のウェットエッチング等を用いる。

【0032】

最後に、ウエハから支持基板を剥がす。支持基板とウエハをホットプレートで1分以上100℃に加熱してワックス材を溶解し、ウエハ面に対して平行に相互をスライドすることで剥がす。そして、50℃に加熱したアセトンに10分間浸漬して表面のワックス材を除去して仕上げる（ステップS300）。このとき、温度が高いほど、浸漬時間が長いほど除去性はよい。

【0033】

変形例。

なお、被覆層42の凹部42dは、必ずしも図4に示したような断面形状がV字（円錐状）になっている必要はなく、図7の変形例に示すように、曲線的に窪んだ形状となってもよい。被覆層42の凹部42dの開口幅Wdが、底部42bに向かって減少するように形成されていればよく、底部42bが尖っていなくてもよい。

【0034】

比較例。

これに対し、図8に示す比較例のように、被覆層42Cの凹部42dCの開口幅Wdが、底部42bCに向かって大きくなる部分を有するオーバーハング形状になってはいけない。この状態で、充填層43Cを形成するための電解メッキを実施すると、凹部42dCの開口が閉塞し、ビア内部に空隙が生じるためである。添加剤を使用しないと、図9に示すように、凹部42dCがオーバーハング形状となってしまう、ビア開口部が先に閉塞し、ボイド4vが生じる。なお、比較例（図8、図9）における、実施の形態との対応部分に対しては、符号の末尾に「C」を付して区別している。

【0035】

つまり、無電解めっきで、底部42bに向かって細くなる凹部42dを有する被覆層42を形成することで、電解メッキで形成し、被覆層42よりも結晶粒径が大きな金の充填層43とでビア10v内部を空隙なく完全に埋め込むことができる。

【0036】

その結果、ビア10vのインダクタ成分が小さなり、高周波特性が向上する。そして、例えば、中空のビア構造に対して、10%程度の放熱性の改善が見込まれる（R. Baskaran, Allen W. Hanson, CS MANTECH Conference（米）, May 18th-21st, 2015 “Simulation of the Impact of Through-Substrate Vias on the Thermal Resistance of Compound Semiconductor Devices”）。さらに、被覆層42を金で構成したので、銅汚染による電氣的信頼性の低下懸念もなくなる。

【0037】

実施の形態2。

上記実施の形態1においては、ウエハ裏面に被覆層で覆われる部分を残した例について説明した。本実施の形態2においては、ウエハ裏面から被覆層を除去した例について説明する。

【0038】

図10～図12は、実施の形態2にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図10は半導体装置の製造方法を説明するためのフローチャートである。そして、図11は半導体装置のビアフィリングにおける被覆層形成後、充填層形成前の構成を説明するための、実施の形態1の説明に用いた図3に対応する端面図、図12はビアの構成を説明するための、実施の形態1の説明に用いた図1に対応する端面図である。なお、実施の形態1と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図2と図4を援用する。

【0039】

実施の形態2にかかる半導体装置10の構成について、製造工程とともに説明する。

図10のフローチャートに示すように、シード層41の形成までは、実施の形態1と同様である。そして、被覆層42の形成（ステップS220V）においても、実施の形態1の図4で説明した裏面側に開口する凹部42dを有し、ウエハ裏面も覆うように金の被覆層42を形成するまでは同じである。しかし、本実施の形態2における被覆層42の形成工程（ステップS220V）では、図11に示すように、被覆層42とシード層41のうち、表面（ウエハ裏面）に析出した層をエッチングにより除去して被覆範囲を調整する工程が加わる。

【0040】

エッチングにはドライエッチングまたはウェットエッチングを用いる。ドライエッチングには、例えば、アルゴンイオンミリング等を用いる。ドライエッチングを用いると、チタン、金、および白金を一括でエッチングできる。ウェットエッチングでは、除去する対象層により使用する薬液を変える。金に対しては、例えば、ヨウ素系の薬液を使用し、チタンに対しては、バッファードフッ酸（BHF）、あるいはアンモニア（NH₃）と過酸化水素（H₂O₂）の混合液を用いる。

【0041】

なお、シード層41は必ずしもエッチングしなくてもよい。例えば金のみヨウ素系の薬液でエッチングすることにより、ウエハ裏面の平坦部はシード層41の金下地面（本例ではチタン、白金）の表面を得ることができる。貫通孔内は平坦部よりも厚い金が析出しているため、主に金表面となる。

【0042】

その後、シード層41を形成するときと同様に、スパッタ法にて、図12に示すように被覆層42およびウエハ裏面に金属膜44を形成する（ステップS225）。例えば、厚さ50nmのチタン、厚さ200nmの金層とする。

【0043】

以降は、実施の形態1と同様に、電解金めっきにより凹部42dを埋め込む充填層43を形成する（ステップS230）。ここでも、充填層43の膜厚が厚くなりすぎた場合は、所望の膜厚になるまでエッチングを実施してよい。ドライエッチングには、例えば、アルゴンイオンミリング等を用い、ウェットエッチングには、例えばヨウ素系のウェットエッチング等を用いる。

【0044】

ここで、被覆層42を形成するための無電解金めっきでは、ウエハ裏面の平坦部の膜厚が、例えば5μm程度にまで厚くなった場合、めっき膜の内部応力が高く、ウエハ反り、チップ反りを引き起こす。これらはクラック、熱抵抗特性異常、およびハンドリング性の悪化の要因となる。

【0045】

これに対して実施の形態2にかかる半導体装置10あるいは半導体装置の製造方法ではウエハ裏面の平坦部のめっき膜をエッチバックすることで、平坦部の金厚みを削減し、上述した不具合を改善する。一方、エッチバックを行った際、平坦部の金がなくなるため、そのままでは平坦部の電気抵抗が高くなり、次工程の電解めっきでの給電に支障をきたす。そこで、スパッタまたは蒸着により金属膜44を形成することで、シード層41を再構成したのと同様に、充填層43の形成工程（ステップS230）での電解めっきにおいて膜の均一性、およびビア10v内の埋め込み特性を確保することができる。

【0046】

つまり、被覆層42のうち、ウエハ裏面の平坦部を覆う部分を除去することで、ウエハ反りが低減され、ウエハクラックおよびチップクラックを抑制することができる。さらに平坦部のめっき厚のウエハ面内での均一性が向上するため、チップ特性の均一化、高歩留まり化にも貢献する。

【0047】

実施の形態3.

上記実施の形態1、2では、製法が異なり、結晶粒径こそ異なるが、充填層を被覆層と

10

20

30

40

50

同じ金で構成する例について説明した。本実施の形態 3 では、充填層を銅で構成した例について説明する。

【0048】

図 13 と図 14 は、実施の形態 3 にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図 13 は半導体装置のビアの構成を説明するための、実施の形態 1 の説明に用いた図 1 に対応する端面図、図 14 は変形例にかかる半導体装置のビアの構成を説明するための図 13 に対応する端面図である。なお、実施の形態 1 と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態 1 で用いた図 2 ～図 4 を援用する。

【0049】

本実施の形態 3 においても、被覆層 42 の構成、およびその製造方法（ステップ S 220 まで）については、実施の形態 1 と同様である。しかし、本実施の形態 1 においては、充填層 53 を形成する工程では、電解メッキではあるが、銅の電解メッキ（電解銅メッキ）により、図 13 に示すように、銅の充填層 53 を形成する。

【0050】

変形例。

なお、充填層 53 を形成した図 13 の状態から CMP 研磨（Chemical Mechanical Polishing）を行い、図 14 に示すように、ウエハ裏面の平坦部を完全に平坦化するようにしてもよい。

【0051】

実施の形態 1 と同様に無電解めっきで、底部 42b に向かって細くなる凹部 42d を有する被覆層 42 を形成することで、電解メッキで形成した銅の充填層 53 とでビア 10v 内部を空隙なく完全に埋め込むことができる。さらに実施の形態 3 では、充填層 53 を銅で構成しているので、特殊な薬剤を用いなくても CMP 研磨ができるので、表面の平坦化が容易になる。さらに、電解メッキにおいて、銅めっきは金めっきに比べてビア埋め込みに効果のある添加剤の開発が進んでおり、凹部 42d を埋め込みやすくなる。

【0052】

つまり、実施の形態 3 にかかる半導体装置 10、あるいは半導体装置の製造方法においては、ビア 10v のインダクタ成分が小さなり、高周波特性が向上する。充填体 4 をすべてを銅で構成する場合に比べて、金の被覆層 42 が、特許文献 2 で示された導電性窒化膜に加えて銅の拡散バリアとして働くことで、デバイスの信頼性が向上する。

【0053】

また金よりも銅のほうが電気伝導性、熱伝導性に優れるので、金のみで充填体 4 を構成する場合に比べてデバイス特性（電気特性、高周波特性、熱特性）が向上する。また、ウエハ裏面を容易に平坦化できるので、平坦化された層の上につぎの層を積層させる 3 次元のデバイス設計ができる。

【0054】

実施の形態 4。

上記実施の形態 3 では、実施の形態 1 の半導体装置における充填層を銅で構成した例について説明した。本実施の形態 4 では、実施の形態 2 の半導体装置における充填層を銅で構成した例について説明する。

【0055】

図 15 と図 16 は、実施の形態 4 にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図 15 は半導体装置のビアの構成を説明するための、実施の形態 2 の説明に用いた図 12 に対応する端面図、図 16 は変形例にかかる半導体装置のビアの構成を説明するための図 15 に対応する端面図である。なお、実施の形態 1、2 と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態 1 で用いた図 2 と図 4、実施の形態 2 で用いた図 10 と図 11 を援用する。

【0056】

本実施の形態 4 においても、被覆層 42 の構成、およびその製造方法（ステップ S 22

10

20

30

40

50

5 まで) については、実施の形態 2 と同様である。しかし、本実施の形態 4 においては、充填層 5 3 を形成する工程では、電解メッキではあるが、銅の電解メッキ（電解銅メッキ）により、図 1 5 に示すように、銅の充填層 5 3 を形成する。

【0057】

変形例。

なお、充填層 5 3 を形成した図 1 5 の状態から CMP 研磨を行い、図 1 6 に示すように、ウエハ裏面の平坦部を完全に平坦化するようにしてもよい。

【0058】

実施の形態 2 と同様に無電解めっきで、底部 4 2 b に向かって細くなる凹部 4 2 d を有する被覆層 4 2 を形成することで、電解メッキで形成した銅の充填層 5 3 とでビア 1 0 v 内部を空隙なく完全に埋め込むことができる。さらに実施の形態 4 では、充填層 5 3 を銅で構成しているので、特殊な薬剤を用いなくても CMP 研磨ができるので、表面の平坦化が容易になる。さらに、電解メッキにおいて、銅めっきは金めっきに比べてビア埋め込みに効果のある添加剤の開発が進んでおり、凹部 4 2 d を埋め込みやすくな。

【0059】

つまり、実施の形態 4 にかかる半導体装置 1 0、あるいは半導体装置の製造方法においては、ビア 1 0 v のインダクタ成分が小さなり、高周波特性が向上する。充填体 4 をすべてを銅で構成する場合に比べて、金の被覆層 4 2 が、導電性窒化膜に加えて銅の拡散バリアとして働くことで、デバイスの信頼性が向上する。

【0060】

また金よりも銅のほうが電気伝導性、熱伝導性に優れるので、金のみで充填体 4 を構成する場合に比べてデバイス特性（電気特性、高周波特性、熱特性）が向上する。また、ウエハ裏面を容易に平坦化できるので、平坦化された層の上につぎの層を積層させる 3 次元のデバイス設計ができる。

【0061】

実施の形態 5。

上記実施の形態 3、4 では、実施の形態 1、2 に対し、充填層の構成を金から銅に変えた例について説明した。本実施の形態 5 では、充填層の構成を金から銀に変えた例について説明する。

【0062】

図 1 7 と図 1 8 は、実施の形態 5 にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図 1 7 は半導体装置のビアの構成を説明するための、実施の形態 1 の説明に用いた図 1 に対応する端面図、図 1 8 は変形例にかかる半導体装置のビアの構成を説明するための、実施の形態 2 の説明に用いた図 1 2 に対応する端面図である。なお、実施の形態 1、2 と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態 1 で用いた図 2 ～図 4、実施の形態 2 で用いた図 1 0 と図 1 1 を援用する。

【0063】

本実施の形態 5 においても、被覆層 4 2 の構成、およびその製造方法（ステップ S 2 2 0 まで）については、実施の形態 1 と同様である。しかし、本実施の形態 5 においては、充填層 6 3 を形成する工程では、電解メッキではあるが、銀の電解メッキ（電解銀メッキ）により、図 1 7 に示すように、銀の充填層 6 3 を形成する。

【0064】

変形例。

変形例においても、被覆層 4 2 の構成、およびその製造方法（ステップ S 2 2 5 まで）については、実施の形態 2 と同様である。しかし、本変形例においては、充填層 6 3 を形成する工程では、電解メッキではあるが、銀の電解メッキ（電解銀メッキ）により、図 1 8 に示すように、銀の充填層 6 3 を形成する。

【0065】

実施の形態 1、2 と同様に無電解めっきで、底部 4 2 b に向かって細くなる凹部 4 2 d

10

20

30

40

50

を有する被覆層 4 2 を形成することで、電解メッキで形成した銀の充填層 6 3 とでビア 1 0 v 内部を空隙なく完全に埋め込むことができる。さらに実施の形態 5 では、充填層 6 3 を銀で構成しているので、実施の形態 1、2 と同様に銅汚染を心配する必要がなく、電氣的信頼性の低下懸念がない。

【0066】

また金、銅よりも銀のほうが電気伝導性、熱伝導性に優れるので、金のみで充填体 4 を構成する場合、あるいは充填層を銅で構成する場合に比べて、ビア 1 0 v のインダクタ成分が低くなり、デバイス特性（電気特性、高周波特性、熱特性）が向上する。

【0067】

実施の形態 6 .

上記実施の形態 5 では、実施の形態 1、2 に対し、充填層の構成を金から銀に変えた例について説明した。本実施の形態 6 では、充填層の構成を金からニッケルに変えた例について説明する。

【0068】

図 1 9 と図 2 0 は、実施の形態 6 にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図 1 9 は半導体装置のビアの構成を説明するための、実施の形態 1 の説明に用いた図 1 に対応する端面図、図 2 0 は変形例にかかる半導体装置のビアの構成を説明するための、実施の形態 2 の説明に用いた図 1 2 に対応する端面図である。なお、実施の形態 1、2 と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態 1 で用いた図 2 ～図 4、実施の形態 2 で用いた図 1 0 と図 1 1 を援用する。

【0069】

本実施の形態 6 においても、被覆層 4 2 の構成、およびその製造方法（ステップ S 2 2 0 まで）については、実施の形態 1 と同様である。しかし、本実施の形態 6 においては、充填層 7 3 を形成する工程では、電解メッキではあるが、ニッケル（Ni）の電解メッキ（電解ニッケルメッキ）により、図 1 9 に示すように、ニッケルの充填層 7 3 を形成する。

【0070】

変形例 .

変形例においても、被覆層 4 2 の構成、およびその製造方法（ステップ S 2 2 5 まで）については、実施の形態 2 と同様である。しかし、本変形例においては、充填層 7 3 を形成する工程では、電解メッキではあるが、ニッケルの電解メッキ（電解ニッケルメッキ）により、図 2 0 に示すように、ニッケルの充填層 7 3 を形成する。

【0071】

実施の形態 1、2 と同様に無電解めっきで、底部 4 2 b に向かって細くなる凹部 4 2 d を有する被覆層 4 2 を形成することで、電解メッキで形成した銀の充填層 6 3 とでビア 1 0 v 内部を空隙なく完全に埋め込むことができる。そのため、中空の場合と比べて放熱性およびインダクタ成分の抑制による高周波特性の改善が見込まれる。さらに実施の形態 6 では、充填層 7 3 をニッケルで構成しているので、実施の形態 1、2 と同様に銅汚染を心配する必要がなく、電氣的信頼性の低下懸念がない。

【0072】

また高周波デバイスの裏面は金錫（AuSn）はんだ、銀錫（SnAg）はんだなどでダイボンドするが、金、あるいは銅の面にはんだでダイボンドすると、界面に厚い合金層が形成され、導電性不良、接着不良、および熱特性悪化を招く。しかし本実施の形態 6 では、金とはんだ界面に充填層 7 3 を構成するニッケルがバリア層として働き、これらの特性劣化の防止をすることができる。

【0073】

実施の形態 7 .

上記実施の形態 5、6 では、実施の形態 1、2 に対し、充填層の構成を金から銀、ニッケルに変えた例について説明した。本実施の形態 7 では、充填層の構成を金から錫に変えた例について説明する。

【0074】

図21と図22は、実施の形態7にかかる半導体装置、および半導体装置の製造方法について説明するためのものであり、図21は半導体装置のビアの構成を説明するための、実施の形態1の説明に用いた図1に対応する端面図、図22は変形例にかかる半導体装置のビアの構成を説明するための、実施の形態2の説明に用いた図12に対応する端面図である。なお、実施の形態1、2と同様の部分については同じ符号を付するとともに、同様部分の説明は省略し、実施の形態1で用いた図2～図4、実施の形態2で用いた図10と図11を援用する。

【0075】

本実施の形態7においても、被覆層42の構成、およびその製造方法（ステップS220まで）については、実施の形態1と同様である。しかし、本実施の形態7においては、充填層83を形成する工程では、電解メッキではあるが、錫の電解メッキ（電解錫メッキ）により、図21に示すように、錫の充填層83を形成する。

10

【0076】

変形例。

変形例においても、被覆層42の構成、およびその製造方法（ステップS225）までについては、実施の形態2と同様である。しかし、本変形例においては、充填層83を形成する工程では、電解メッキではあるが、錫の電解メッキ（電解錫メッキ）により、図22に示すように、錫の充填層83を形成する。

20

【0077】

実施の形態1、2と同様に無電解めっきで、底部42bに向かって細くなる凹部42dを有する被覆層42を形成することで、電解メッキで形成した錫の充填層83とでビア10v内部を空隙なく完全に埋め込むことができる。そのため、中空の場合と比べて放熱性およびインダクタ成分の抑制による高周波特性の改善が見込まれる。さらに実施の形態7では、充填層83を錫で構成しているので、実施の形態1、2と同様に銅汚染を心配する必要がなく、電氣的信頼性の低下懸念がない。

【0078】

また高周波デバイスの裏面は金錫（AuSn）はんだ、銀錫（SnAg）はんだなどでダイボンドするが、その際に、はんだの塗布が不要となる。また、ウエハ裏面の錫は、はんだの構成材料であるため、実質的にデバイスに直接はんだを形成していることになるため良好な密着性が得られる。

30

【0079】

さらに、本願は、様々な例示的な実施の形態及び実施例が記載されているが、1つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

【0080】

以上のように、本願の半導体装置10によれば、半導体材料の基板1、基板1の一方の面（図中上側の面）に形成された配線部材、および基板1の他方の面で開口し、配線部材（表面電極3）を底面とする筒状の孔の内壁を被覆し、開口の側から底面に向かって窪む凹部42dが形成された金による第一メッキ層（被覆層42）と、凹部42dを埋め、銅、銀、ニッケル、錫、および第一メッキ層（被覆層42）よりも結晶粒径が大きな金のいずれかによる第二メッキ層（充填層43、53、63、73、83）と、を有する中実のビア10v、を備えるようにした。これにより、銅汚染の心配がなく、ビア10vを介した厚み方向において良好な電氣的な接続と放熱性を有する半導体装置を低コストで得ることができる。

40

【0081】

50

とくに、凹部 4 2 d は底面から開口に向かうにつれて広がっているように構成すれば、ボイドが発生することなく、電気伝導性と放熱性に優れた半導体装置を確実に得ることができる。

【0082】

また、第一メッキ層（被覆層 4 2）における凹部の底面までの厚み t_{42} は、基板の厚み（ビア高さ H_v ）の $1/4$ 以上であるようにすれば、より確実にボイドの発生を防止できる。

【0083】

チタン、タンタル、タングステン、クロム、白金のいずれかを含み、第一メッキ層（被覆層 4 2）と第二メッキ層（充填層 4 3、5 3、6 3、7 3、8 3）との間に介在する金属膜 4 4 を有するようにすれば、充填層 4 3 のメッキ膜が均一化し、ビア 10 v 内の埋め込み性がより向上する。

【0084】

基板 1 が、炭化ケイ素、リン化インジウム、窒化ガリウム、珪化ゲルマニウム、ゲルマニウム、シリコンのいずれかであれば、より高性能な半導体装置が得られる。

【0085】

以上のように、本願の半導体装置 10 の製造方法によれば、半導体材料の基板 1 の一方の面に配線部材を形成し、基板 1 の他方の面で開口し、配線部材（表面電極 3）を底面とする筒状の孔を形成する工程（ステップ S 100～S 200）、筒状の孔の内壁を被覆し、かつ開口の側から底面に向かって窪む凹部 4 2 d が形成されるように、無電解メッキにより、金の第一メッキ層（被覆層 4 2）を形成する工程（ステップ S 220、S 220 V）、および凹部 4 2 d を埋めるように、電解メッキにより、銅、銀、ニッケル、錫、金のいずれかの第二メッキ層（充填層 4 3）を形成する工程（ステップ S 230）、を含むように構成した。これにより、銅汚染の心配がなく、ビア 10 v を介した厚み方向において良好な電氣的な接続と放熱性を有する半導体装置を低コストで得ることができる。

【0086】

スパッタ法、または蒸着法により、凹部 4 2 d の内面を被覆する金属膜 4 4 を形成する工程（ステップ S 225）を含むようにすれば、電解メッキで充填層 4 3 を形成する際のメッキ膜が均一化し、ビア 10 v 内の埋め込み性がより向上する。

【符号の説明】

【0087】

1：基板、 10：半導体装置、 10 v：ビア、 2：エピタキシャル成長層、 3：表面電極（配線部材）、 4：充填体、 4 1：シード層、 4 2：被覆層（第一メッキ層）、 4 2 d：凹部、 4 3：充填層（第二メッキ層）、 4 4：金属膜、 5 3：充填層（第二メッキ層）、 6 3：充填層（第二メッキ層）、 7 3：充填層（第二メッキ層）、 8 3：充填層（第二メッキ層）、 D d：深さ、 H_v ：ビア高さ、 t_{42} ：厚み、 W d：開口幅。

10

20

30

40

50

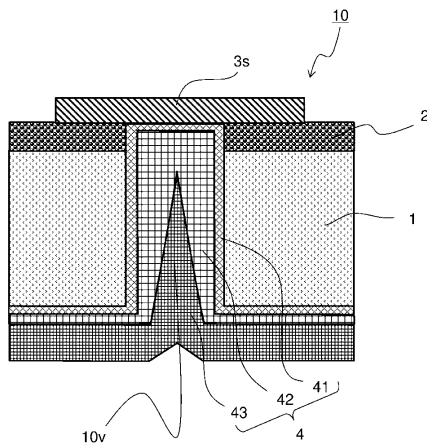
【要約】

本願の半導体装置（１０）は、半導体材料の基板（１）、基板（１）の一方の面に形成された表面電極（３）、および基板（１）の他方の面で開口し、表面電極（３）を底面とする筒状の孔の内壁を被覆し、開口の側から底面に向かって窪む凹部（４２ｄ）が形成された金による被覆層（４２）と、凹部（４２ｄ）を埋め、銅、銀、ニッケル、錫、および被覆層（４２）よりも結晶粒径が大きな金のいずれかによる充填層（４３）と、を有する中実のビア（１０ｖ）、を備えるように構成した。

【図面】

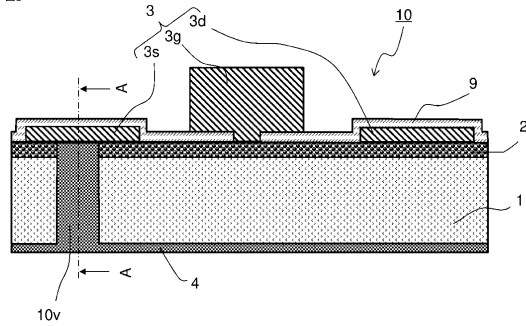
【図 １】

図1



【図 ２】

図2

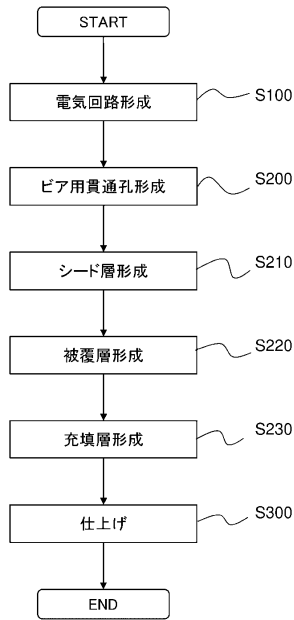


10

20

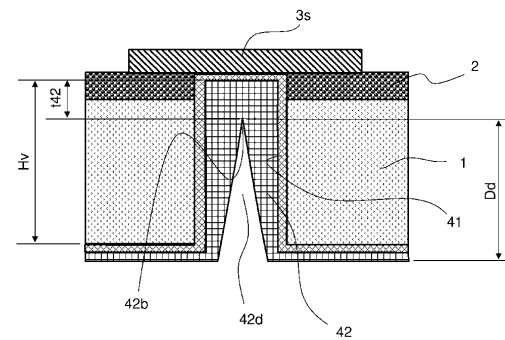
【図 ３】

図3



【図 ４】

図4



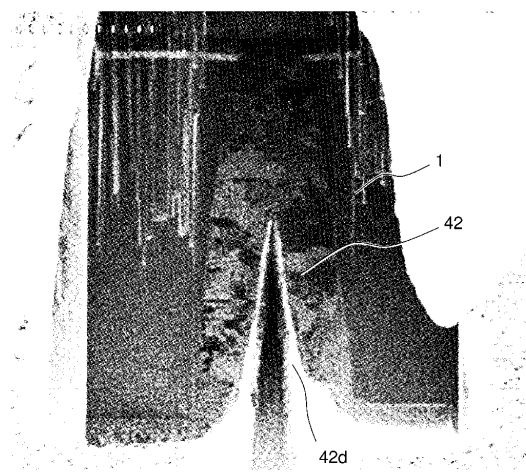
30

40

50

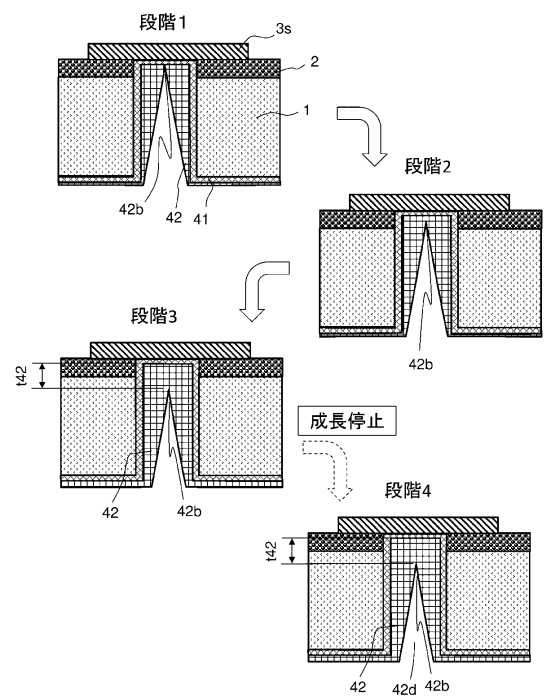
【図 5】

図5



【図 6】

図6

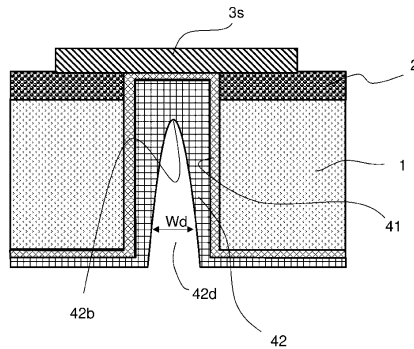


10

20

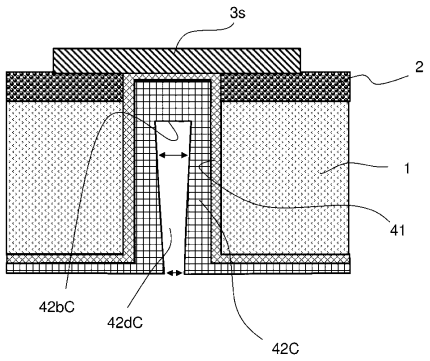
【図 7】

図7



【図 8】

図8



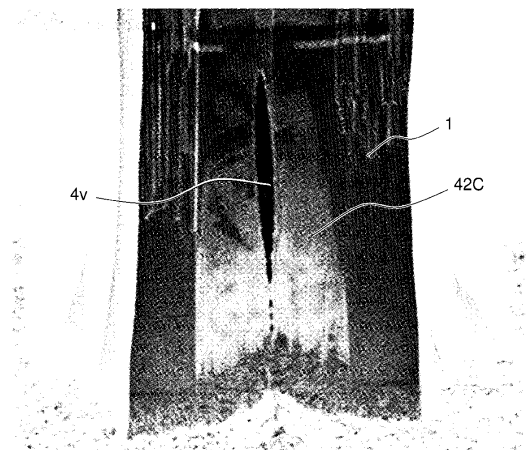
30

40

50

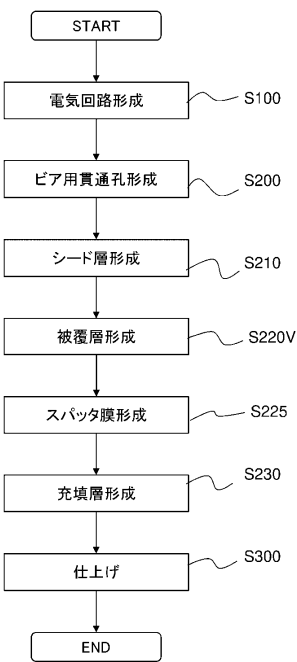
【図 9】

図9



【図 1 0】

図10

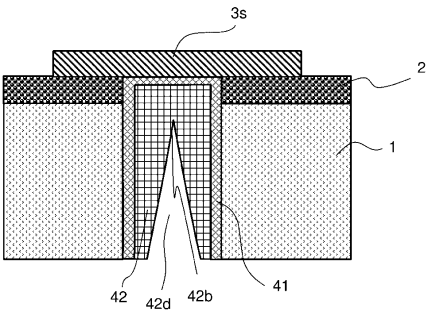


10

20

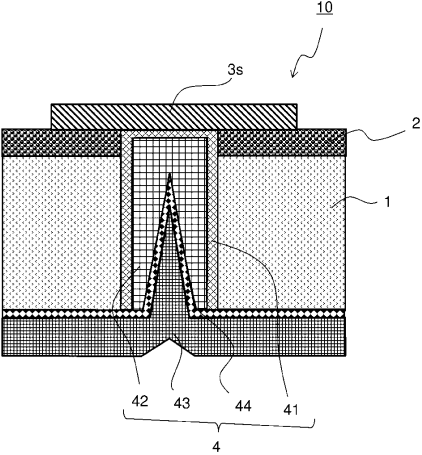
【図 1 1】

図11



【図 1 2】

図12



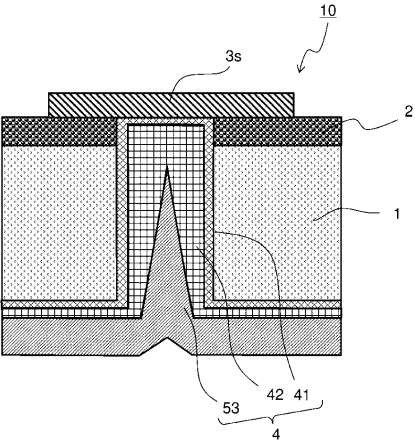
30

40

50

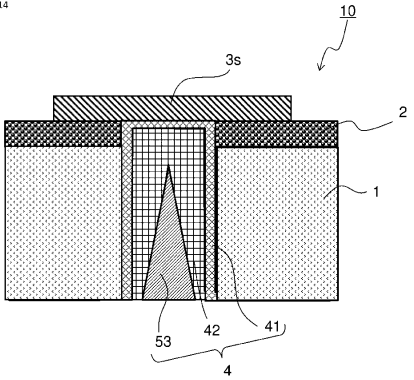
【図 13】

図13



【図 14】

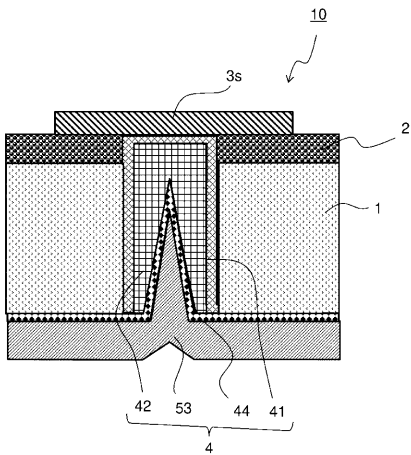
図14



10

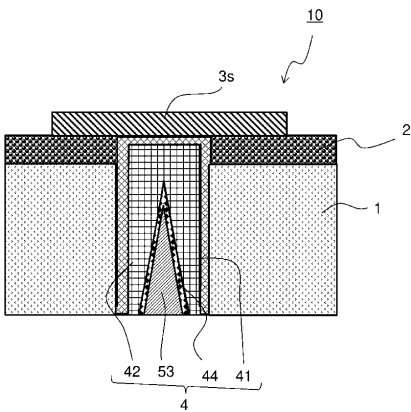
【図 15】

図15



【図 16】

図16



20

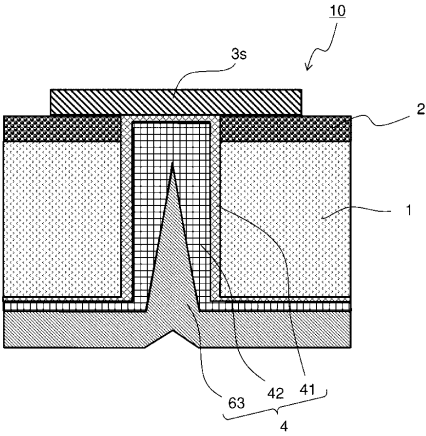
30

40

50

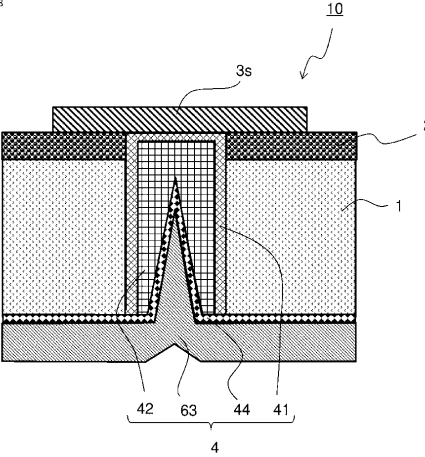
【図 17】

図17



【図 18】

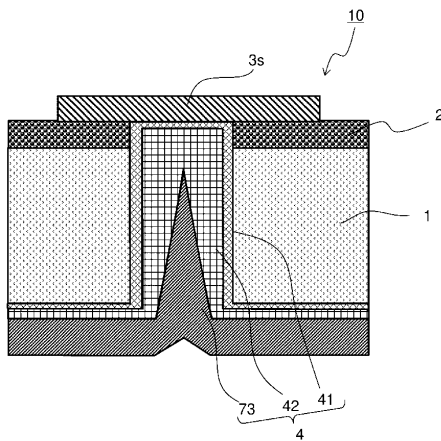
図18



10

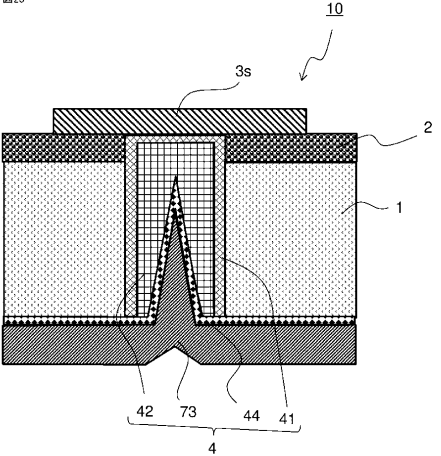
【図 19】

図19



【図 20】

図20



20

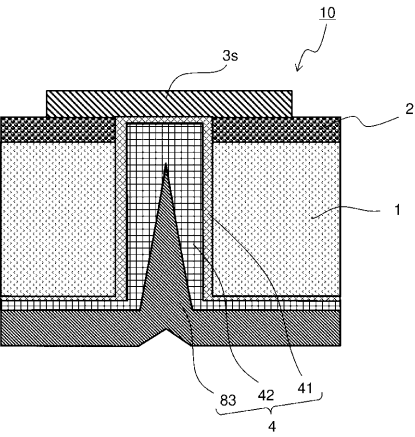
30

40

50

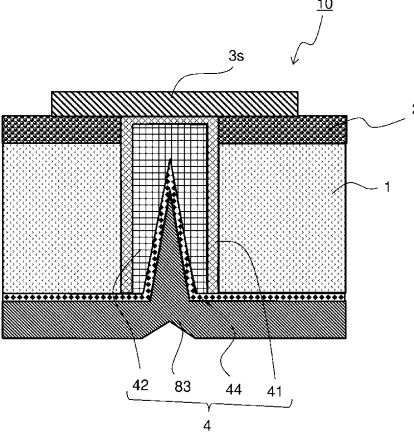
【図 2 1】

図21



【図 2 2】

図22



10

20

30

40

50

フロントページの続き

- 東京都中央区日本橋室町2丁目2番1号 関東化学株式会社内
- (72)発明者 清水 寿和
東京都中央区日本橋室町2丁目2番1号 関東化学株式会社内
- 審査官 早川 朋一
- (56)参考文献 特開平02-214127 (JP, A)
特開2022-070436 (JP, A)
特開平05-102200 (JP, A)
特開2014-112634 (JP, A)
米国特許出願公開第2011/0059610 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H01L 21/3205-21/3215
H01L 21/60-21/607
H01L 21/768
H01L 23/48-23/50
H01L 23/52-23/538
H01L 21/338
H01L 29/812