(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G11B 20/14

(45) 공고일자 2003년02월25일
(11) 등록번호 10-0373378
(24) 등록일자 2003년02월10일

(21) 출원번호 10-2000-7011715
(22) 출원일자 2000년10월21일
번역문 제출일자 2000년10월21일
(86) 국제출원번호 PCT/JP2000/00981
(86) 국제출원출원일자 2000년02월22일

(65) 공개번호 특2001-0024975
(43) 공개일자 2001년03월26일

(87) 국제공개번호 WO 2000/51122
(87) 국제공개일자 2000년08월31일

(81) 지정국 국내특허 : 중국, 인도네시아, 대한민국, 싱가포르, 미국,

(30) 우선권주장 99-42742 1999년02월22일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 마루카와쇼지
일본에히메켄사이죠시이이오카1122-11

(74) 대리인 김창세

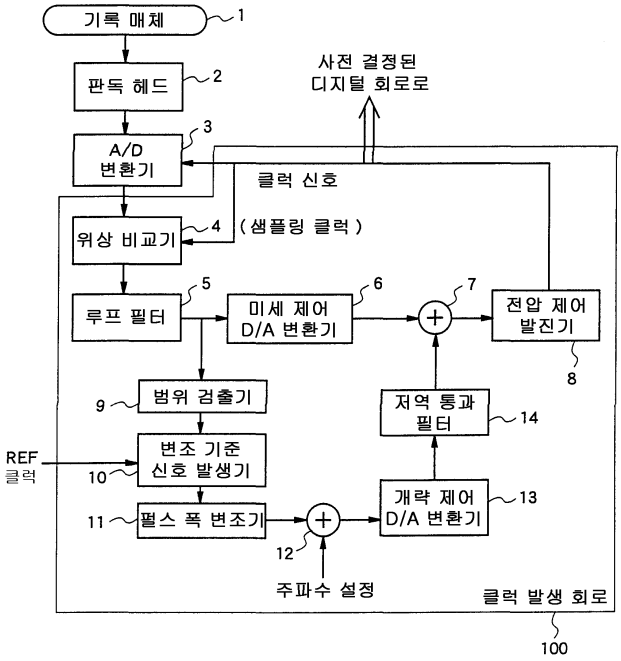
심사관 : 한충희

(54) 클럭 발생 회로

요약

본 발명의 클럭 발생 회로는 위상 비교기(4)에 의해 기록 매체(1)로부터 획득된 디지털 신호의 위상 에러 신호를 추출하고, 루프 필터(5)에 의해 위상 에러 신호를 필터링한다. 제 1 실시예에서, 상기 클럭 발생 회로는 그 필터링된 신호를 미세 제어 D/A 변환기(6)에 의해 아날로그 신호로 변환하고, 범위 검출기(9)에 의해 신호가 설정 범위내에 있는지 여부를 검출하며, 변조 기준 신호 발생기(10)에 의해 변조 기준 신호를 발생하고, 펄스 폭 변조기(11)에 의해 변조 기준 신호를 변조하며, 가산기(12)에 의해 주파수 설정 값과 변조 기준 신호를 가산하고, 개략 제어 D/A 변환기(13)에 의해 가산 결과를 아날로그 신호롤 변환하며, 저역 통과 필터(14)에 의해 아날로그 신호의 고역 성분을 차단하고, 아날로그 가산기(7)에 의해 미세 제어 D/A 변환기(6) 및 저역 통과 필터(14)로부터 출력된 아날로그 신호를 가산하며, 전압 제어 발진기(8)에 의해 아날로그 가산기(7)의 출력 신호에 근거하여 클럭 신호를 출력한다. 이에 의해, 넓은 주파수 범위를 연속적으로 록(lock)할 수 있는 클럭 신호가 발생될 수 있다. 제 2 실시예에서, 그 루프 필터 출력은 오버샘플링되고(15), 보간되며(16), 다음에 다치 델타 시그마 변조기(17)에 의해 변조된다.

대표도



명세서

기술분야

본 발명은 기록 매체상에서 신호를 재생하도록 사용되는 클럭 신호를 발생하는 클럭 발생 회로에 관한 것이다.

배경기술

최근, 디지털 기록 및 재생 장치에 있어서 데이터 재생 신호 처리에 부분 응답 최대 확률(partial response maximum likelihood : PRML)이라 불리우는 신호 처리가 널리 도입되고 있다. 이러한 데이터 재생 신호 처리에 있어서, 신호는 디지털적으로 처리되고 클럭 발생 자체는 통상적인 아날로그 위상 동기 루프(phase locked loop : PLL)로부터 디지털 PLL로 또한 변경되고 있다. PRML의 도입은 하드 디스크 장치(HDD)에 있어 진전이 이루어지고 있으나, PRML은 아직까지 광 디스크 장치에는 도입되지 않았다. 클럭 발생 회로는 HDD에서 사용되는 한 문제를 갖지 않지만, 광 디스크 장치에서 사용되는 경우에는 문제를 갖는다.

CD 또는 DVD(디지털 다기능 디스크)와 같은 디스크는 일정 선속도(constant linear velocity : CLV) 재생 용도로 생산되나, 이들 디스크는 실제로 일정 각속도(constant angular velocity : CAV)에서 재생되거나, 또는 스핀들 회전 속도가 CLV에 도달하기 전에 데이터를 판독하는 지터가 없는(jitter-free) 재생을 필요로 한다. 따라서, CD 또는 DVD는 HDD의 넓은 주파수 범위에서 PLL을 연속적으로 실행하는 성능을 필요로 한다.

CD 또는 DVD와 같은 광 디스크의 경우, 아날로그 비교기를 갖는 이진 식별기가 데이터 식별을 위해 사용된다. 또한,

아날로그 PLL은 결정을 위한 타이밍 클럭을 발생하는데 사용된다. CD 또는 DVD를 위한 신호 처리는 통상 아날로그 방식으로 수행되므로 아날로그 판독 채널로 불리운다. 한편, HDD와 같은 최근의 디지털 기록 장치의 데이터를 결정하기 위해 PRML라 불리우는 신호 처리 방법이 도입되고 있다. PRML에서, 데이터는 디지털 값으로 결정되고, 신호 처리는 디지털적으로 또한 수행되므로, 디지털 판독 채널로 불리운다. 디지털 판독 채널에서, 식별을 위한 타이밍 클럭을 발생하는데 디지털 PLL이 사용된다.

HDD 등에 사용되는 디지털 PLL이 종래 기술로서 설명될 것이다. 도 15는 통상적인 디지털 PLL 시스템에 따른 클럭 발생 회로(1000)를 포함하는 재생 장치의 구조를 도시하는 블록도이다.

클럭 발생 회로(1000)는 마스터 PLL(1100), 위상 비교기(4), 루프 필터(5), 미세 제어 D/A 변환기(6), 슬레이브 VCO(1106)를 포함한다. 마스터 PLL(1100)은 1/N 분주기(1101), 위상 비교기(1102), 루프 필터(1103), 마스터 VCO(1104), 1/M 분주기(1105)를 포함한다.

판독 헤드(2)는 기록 매체(1)로부터 아날로그 신호를 판독한다.

A/D 변환기(3)는 클럭 발생 회로(1000)에 의해 공급된 클럭 신호와 동기하여 판독 아날로그 신호를 디지털 신호로 변환하고, 이 디지털 신호를, 재생 신호로서 디지털 데이터를 출력하는 재생 회로(도시하지 않음) 및 클럭 발생 회로(1000)내의 위상 비교기(4)에 출력한다.

위상 비교기(4)는 클럭 발생 회로(1000)에 의해 발생된 샘플링 클럭 신호와 동기하여 디지털 신호의 위상 에러를 추출하고, 루프 필터(5)에 위상 에러를 출력한다.

루프 필터(5)는 위상 에러를 필터링하고 이를 디지털 발진 인스트럭션 신호로 변환하고, 이 신호를 미세 제어 D/A 변환기(6)에 출력한다.

미세 제어 D/A 변환기(6)는 디지털 발진 인스트럭션 신호를 이 디지털 발진 인스트럭션 신호에 비례하는 아날로그 전압의 아날로그 발진 인스트럭션 신호로 변환하고, 이 아날로그 신호를 슬레이브 VCO(1106)에 출력한다.

슬레이브 VCO(1106)는 넓은 주파수 범위를 갖고, 발진 주파수의 그 설정은 2 단계로 제어되어, 완전히 록(lock)된 클럭을 발생한다. 즉, 마스터 PLL(1100)은 슬레이브 VCO(1106)의 발진 범위의 개략 주파수를 설정하고, 미세 제어 D/A 변환기(6)는 주파수의 미세 조정을 수행한다.

1/N 분주기(1101)는 REF 클럭을 N으로 분주하고 위상 비교기(1102)는 1/N 주파수 REF 클럭 및 1/M 분주기(1105)에 의해 M으로 분주되는 신호의 위상을 정합하여, PLL 동기화기를 구성한다. 1/M 분주기(1105)는 마스터 VCO(1104)로부터 출력된 신호를 M으로 분주한다.

루프 필터(1103)는 위상 비교기(1102)로부터 출력된 신호를 필터링하고, 이 신호를 마스터 VCO(1104) 및 슬레이브 VCO(1106)에 출력한다.

HDD에서, 디스크 회전 속도는 고정되고, 원주에 가까울수록, 선속도가 높아진다. 이러한 상황에서 라이너(liner) 기록 밀도를 증대시키기 위해서는, HDD의 경우 "구역 비트 기록(zone bit recording)"이라 불리우는 방법이 사용된다. 구역 비트 기록이란 가변 기록 레이트에 의해 디스크를 몇 개의 구역 및 기록 데이터로 분할하는 방법을 말한다. 즉, 기록 레이트는 외부 구역에서 높고, 내부 구역에서 낮기 때문에, 클럭 발생 회로로부터 출력되는 클럭 신호의 중심 주파수는 구역에 따라 변경되어야 한다. 따라서, 마스터 PLL(1100)은 N 및 M의 원주를 변경하고, 마스터 VCO(1104)의 발진 주파수를 제어하며, 슬레이브 VCO(1106)의 중심 주파수를 설정한다.

즉, 마스터 PLL(1101)은 슬레이브 VCO(1106)의 발진 주파수를 재생될 신호의 중심 주파수 근처의 주파수로 설정하고(개략 제어), 미세 제어 D/A 변환기(6)에 의해 재생 신호로 완전하게 록되는 클럭을 발생한다(미세 제어).

또한, 일본 특허 공개 평 7-78422 호에서는 지연선을 이용함으로써 AD 변환을 수행한 후에 디지털 데이터로부터 위상 에러 신호를 생성하는 클럭 추출 회로를 개시하고 있다.

그러나, 통상적인 디지털 PLL 시스템은 개략 제어의 전환점에서 PLL을 연속적으로 실행할 수 없다.

통상적인 디지털 PLL 시스템은 HDD와 같이, 일정 각속도(CAV)로 구역 비트 기록되는 데이터를 판독하는 경우에는 문제가 없다. 그러나, 일정 선속도(CLV)로 또는 CAV로 기록되는 데이터를 판독하는 CAV 재생시에, 또는 스핀들이 CLV의 속도를 갖기 전에 데이터를 판독하는 지터가 없는 재생시에는, 재생 신호의 중심 주파수가 연속적으로 변경된다. 따라서, PLL은 중심 주파수 변경 범위내의 주파수를 연속적으로 추종하도록 요구된다. 그러나, 통상적인 PLL은 주파수를 연속적으로 추종할 수 없다. 즉, 통상적인 디지털 PLL 시스템에서, 개략 제어의 전환점은 비연속점이므로 PLL의 연속성이 유지될 수 없다.

통상적인 디지털 PLL 시스템에서, 합성기의 분할비 N 및 M은 주파수의 개략 조정으로 변경되어야 한다. N 및 M이 변경되는 경우, 동일한 타이밍에서 N 및 M의 파라미터를 전환하는 것은 곤란하다. 또한, N 및 M의 파라미터가 동시에 전환될 수 있는 경우에도, 발진 위상의 연속성이 소실될 뿐만 아니라 중심 주파수는 거의 전환시에 쉬프트된다. 개략 조정 전환시에 중심 주파수의 쉬프팅 결과, 제어는 미세 조정을 수행하는 PLL에 의해 실행될 수 없어, 위상 록이 중지된다. 위상 록이 중지되는 경우, 클럭이 발생될 수 없어 데이터가 재생될 수 없다.

전술한 바와 같이, HDD에 사용된 통상적인 디지털 PLL이 DVD와 같은 광 디스크에 적용된다 하더라도, CAV 재생 또는 CLV 지터없는 재생에 요구되는 넓은 주파수 범위에 대해 PLL을 연속적으로 실행할 수 없다.

본 발명은 상기한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 넓은 주파수 범위를 연속적으로 록할 수 있는 클럭 발생 회로를 제공하는 것이다.

발명의 개시

상기한 목적을 달성하기 위해, 본 발명에 따른 클럭 발생 회로는 다음 구성을 포함한다. 즉,

기록 매체로부터 신호를 재생하는데 사용되는 클럭 신호를 발생하는 클럭 발생 회로는, 기록 매체로부터 판독되는 아날로그 신호를 변환함으로써 획득되는 디지털 신호로부터 위상 에러 신호를 추출하는 위상 비교기와, 위상 에러 신호를 필터링하는 루프 필터와, 루프 필터에 의해 필터링된 신호를 아날로그 신호로 변환하는 미세 제어 D/A 변환기와, 루프 필터에 의해 필터링된 신호가 기설정 범위 위인지, 아래인지, 또는 그 범위내에 있는지를 검출하는 범위 검출기와, 루프 필터에 의해 필터링된 신호가 상기 범위 위에 또는 아래에 있는 경우 변조 기준 신호를 발생하는 변조 기준 신호 발생기와, 변조 기준 신호를 펄스 트레인(train)으로 변환하는 펄스 폭 변조기와, 사전결정된 주파수 설정 값 및 펄스 폭 변조기에 의해 변환된 신호를 가산하는 가산기와, 가산기에 의해 획득된 신호를 아날로그 신호로 변환하는 개략 제어 D/A 변환기와, 개략 제어 D/A 변환기에 의해 변환되는 아날로그 신호의 고역 성분을 차단하는 저역 통과 필터와, 미세 제어 D/A 변환기로부터 출력되는 아날로그 신호와, 저역 통과 필터를 통과한 아날로그 신호를 가산하는 아날로그 가산기와, 범위 검출기가, 루프 필터에 의해 필터링된 신호가 상기 범위 위에 또는 아래에 있음을 검출하는 경우 아날로그 가산기에 의해 획득되는 신호에 비례하는 주파수에서 클럭 신호를 발생하고, 범위 검출기가, 루프 필터에 의해 필터링된 신호가 상기 범위내에 있음을 검출하는 경우 미세 제어 D/A 변환기에 의해 획득되는 신호에 비례하는 주파수에서 클럭 신호를 발생하는 전압 제어 발진기를 포함한다.

펄스 폭 변조기는 델타 시그마 변조로 구성된다.

본 발명의 클럭 발생 회로에 따르면, 미세 제어 D/A 변환기의 입력 초과 범위는 범위 검출기에 의해 검출되고, 변조 기준 신호가 발생되며, 펄스 폭 변조 처리가 수행되어, 전압 제어 발진기의 입력 전압이 개략 제어 D/A 변환기의 분해능 이상으로 제어될 수 있다. 미세 제어 D/A 변환기의 입력 범위가 기설정 범위를 거의 초과하고, 개략 제어 D/A 변환기가 변경되는 경우에도, 본 발명은 PLL이 중지되지 않고 양호한 클럭 발생을 연속적으로 수행하고 넓은 주파수 범위를 록할 수 있는 클럭 발생 회로를 제공하고, 모든 제어 가능한 주파수 영역 이상의 클럭 재생을 연속적으로 수행할 수 있는 클럭 발생 회로를 제공한다.

또한, 본 발명에 따른 클럭 발생 회로는 다음의 구성을 포함한다. 즉,

기록 매체로부터 신호를 재생하는데 사용되는 클럭 신호를 발생하는 클럭 발생 회로는, 기록 매체로부터 판독되는 아날로그 신호를 변환함으로써 획득되는 디지털 신호로부터 위상 에러 신호를 추출하는 위상 비교기와, 위상 에러 신호를 필터링하는 루프 필터와, 루프 필터에 의해 필터링된 신호를 제로 패드 오버샘플링(zero-pad oversampling)하는 오버샘플러와, 오버샘플러에 의해 제로 패드 오버샘플링되는 데이터를 보간하는 보간기와, 보간기에 의해 보간된 신호를 다치 델타 시그마 변조 신호로 변환하는 다치 델타 시그마 변조기와, 다치 델타 시그마 변조 신호를 아날로그 신호로 변환하는 개략 제어 D/A 변환기와, 개략 제어 D/A 변환기로부터 출력되는 아날로그 신호의 고역 성분을 차단하는 저역 통과 필터와, 저역 통과 필터를 통과한 신호에 비례하는 주파수에서 클럭 신호를 출력하는 전압 제어 발진기를 포함한다.

따라서, 본 발명에 따르면, 루프 필터 신호가 제로 패드 오버샘플링되고, 보간되며, 또한 다치 델타 시그마 변조되어, 전압 제어 발진기의 입력 전압이 개략 제어 D/A 변환기의 분해능 이상으로 제어될 수 있다. 따라서, 넓은 주파수 범위를 연속적으로 록하는 클럭 발생 회로가 제공될 수 있다. 또한, 미세 제어 D/A 변환기는 요구되지 않으며 개략 제어 D/A 변환기만이 제공되어, 이 구조는 간략화된다.

또한, 본 발명에 따르면, 유연하고 안정적으로 변경할 수 있는 변조 신호가 펄스 폭 변조 또는 다치 델타 시그마 변조기로부터 출력될 수 있다.

도면의 간단한 설명

도 1은 실시예 1에 따른 클럭 발생 회로(100)를 포함하는 기록 매체(1)를 재생하는 장치의 구조를 도시하는 블록도,

도 2는 위상 비교기(4)의 구조를 도시하는 블록도,

도 3은 샘플링 파형 및 샘플링 클럭 파형이 동상(in phase)에 있을 때를 도시하는 도면,

도 4는 샘플링 파형 및 샘플링 클럭 파형이 동상에 있지 않을 때를 도시하는 도면,

도 5는 루프 필터(5)의 구조를 도시하는 블록도,

도 6은 범위 검출기(9)의 구조를 도시하는 블록도,

도 7은 범위 검출기(9)의 범위 개념을 예시하는 도면,

도 8은 변조 기준 신호 발생기(10)의 구조를 도시하는 블록도,

도 9는 펄스 폭 변조기(11)의 구조를 도시하는 블록도,

도 10은 범위 검출기(9), 변조 기준 신호 발생기(10), 펄스 폭 변조기(11), 저역 통과 필터(14)의 각 출력의 파형을 도시하는 도면,

도 11은 실시예 2에 따른 클럭 발생 회로(200)를 포함하는 기록 매체(1)를 재생하는 장치의 구조를 도시하는 블록도,

도 12는 오버샘플러(15)의 구조를 도시하는 블록도,

도 13은 보간기(16)의 구조를 도시하는 블록도,

도 14는 다치 델타 시그마 변조기(17)의 구조를 도시하는 블록도,

도 15는 통상적인 디지털 PLL 시스템에 따른 클럭 발생 회로(1000)를 포함하는 재생 장치의 구조를 도시하는 블록도이다.

발명을 실행하기 위한 최상의 모드

(실시예 1)

이후, 본 발명의 실시예 1에 따른 클럭 발생 회로가 도면을 참조하여 설명될 것이다. 여기서, 도 15에 도시된 것과 동일한 참조 부호는 동일하거나 대응하는 부분의 부호를 도시한다.

도 1은 실시예 1에 따른 클럭 발생 회로(100)를 포함하는 기록 매체(1)를 재생하는 장치의 일부를 도시하는 블럭도이다.

클럭 발생 회로(100)는 위상 비교기(4), 루프 필터(5), 미세 제어 D/A 변환기(6), 아날로그 가산기(7), 전압 제어 발진기(8), 범위 검출기(9), 변조 기준 신호 발생기(10), 펄스 폭 변조기(11), 가산기(12), 개략 제어 D/A 변환기(13), 저역 통과 필터(14)를 포함한다.

판독 헤드(2)는 기록 매체(1)로부터의 아날로그 재생 신호를 검출하고, 이 신호를 A/D 변환기(3)에 출력한다.

클럭 발생 회로(100)에 의해 공급된 클럭 신호와 동기하여, A/D 변환기(3)는 아날로그 재생 신호를 샘플링하여 이를 디지털 재생 신호로 변환하고, 이 디지털 재생 신호에 근거해서 재생 신호를 발생하여 재생 신호를 출력하는 재생 회로(도시하지 않음) 및 클럭 발생 회로(100)내의 위상 비교기(4)에 디지털 재생 신호를 출력한다.

위상 비교기(4)는 클럭 신호의 타이밍에서 샘플링되는 디지털 재생 신호로부터 위상 에러 신호를 추출하고, 이 위상 에러 신호를 루프 필터(5)에 출력한다.

루프 필터(5)는 완전한 적분 성분 및 비례 성분의 가산에 의해 구성되고, 위상 에러 신호를 필터링하며, 필터링된 위상 에러 신호를 미세 제어 D/A 변환기(6) 및 범위 검출기(9)에 출력한다.

미세 제어 D/A 변환기(6)는 위상 에러에 근거하여 발진 주파수를 미세하게 제어하는 D/A 변환기로서, 입력 신호를 아날로그 신호로 변환하고 이 아날로그 신호를 아날로그 가산기(7)에 출력한다.

범위 검출기(9)는 루프 필터(5)에 의해 필터링된 신호가 미세 제어 D/A 변환기(6)의 입력 범위내에 있는지 여부를 검출하는 기능을 가지며, 검출 결과를 변조 기준 신호 발생기(10)에 출력한다.

변조 기준 신호 발생기(10) 및 펄스 폭 변조기(11)는 개략 제어 D/A 변환기(13)의 최소 유효 비트(LSB)의 변화를 제어하고, 전압 제어 발진기(8)에 최종적으로 입력되는 입력 전압의 변화를 유연하게 하는 신호 처리를 수행한다. 변조 기준 신호 발생기(10)는 업다운 카운터(후술됨)에 의해 변조 기준 신호를 발생하고, 펄스 폭 변조기(11)는 변조 기준 신호를 델타 시그마 변조에 의해 변조하여, 펄스 폭 변조 신호를 획득한다.

펄스 폭 변조기(11)로부터의 출력은 가산기(12)에 입력되고, 가산기(12)는 미리 설정된 주파수 설정 값과 펄스 폭 변조 출력을 가산함으로써 개략 제어 D/A 변환기(13)로의 입력 신호를 발생한다.

개략 제어 D/A 변환기(13)는 개략 주파수 제어를 수행하는 D/A 변환기이고, 개략 제어 D/A 변환기(13)는 디지털 가산기(12)의 출력을 아날로그 신호로 변환하고 이 아날로그 신호를 저역 통과 필터(14)에 출력한다.

저역 통과 필터(14)는 입력 아날로그 신호의 고역 성분을 제거하고, 이 신호를 아날로그 가산기(7)에 출력한다.

아날로그 가산기(7)는 저역 통과 필터(14)의 출력 및 미세 제어 D/A 변환기(6)의 출력을 가산하고, 그 결과를 전압 제어 발진기(8)에 출력한다.

전압 제어 발진기(8)는 입력 전압에 비례하는 주파수를 발진한다. 전압 제어 발진기(8)의 출력은 A/D 변환기(3)뿐만 아니라, 다른 A/D 변환기 및 D/A 변환기, 및 클럭 신호를 필요로 하는 모든 디지털 회로에 클럭 신호로서 공급된다.

다음에, 위상 비교기(4)는 도 2 내지 도 4를 참조하여 설명될 것이다.

도 2는 위상 비교기(4)의 구조를 도시하는 블록도이다.

위상 비교기(4)는 레벨 결정기(21), 제 1 1T 지연기(22), 제 2 1T 지연기(23), 제 1 승산기(24), 제 2 승산기(25), 감산기(26)를 포함한다.

펄스 비교기(4)에 입력된 디지털 재생 신호는 제 1 1T 지연기(22), 제 2 승산기(25), 레벨 결정기(21)에 입력된다.

제 1 및 제 2 1T 지연기(22, 23)는 1 샘플링 클럭 시간(이후 1T라 지칭됨)에 의해 지연을 수행한다.

레벨 결정기(21)는 부분 응답의 유형에 따라 레벨 결정을 수행하고, 제 2 1T 지연기(23) 및 제 1 승산기(24)에 레벨 결정 신호 QV[k]를 출력한다.

제 1 승산기(24)는 1T 지연된 디지털 재생 신호 V[k-1], 레벨 결정 신호 QV[k]의 승산을 수행하여, 결과 QV[k]*V[k-1]를 출력한다.

제 2 승산기(25)는 1T 지연된 레벨 결정 신호 QV[k-1] 및 디지털 재생 신호 V[k]의 승산을 수행하여, 결과 QV[k-1]*V[k]를 출력한다.

제 1 및 제 2 승산기(24, 25)로부터의 출력은 감산기(26)에 입력되고, 감산기(26)는 위상 에러 신호 QV[k-1]*V[k]-QV[k]*V[k-1]를 획득하고, 위상 에러 신호를 출력한다.

도 3 및 도 4는 위상 비교기(4)내의 위상 에러 검출 알고리즘을 실행하는 신호 파형을 도시하는 도면이다.

도 3은 샘플링 파형 및 샘플링 클럭 파형이 동상(in phase)인 때를 도시하는 도면이다.

A/D 변환기(3)는 클럭 신호의 타이밍에서 재생 아날로그 신호를 샘플링한다. 따라서, 재생 아날로그 신호가 동상인 경우, A/D 변환기(3)에 의해 공급된 값이 양(positive)으로부터 음(negative)으로 또는 음으로부터 양으로 변경되는 포인트가 샘플링 포인트에 매칭한다. 위상 에러의 기본 원리는 제로 크로스 포인트(zero cross point)에서 직교하는 샘플링 포인트 및 제로 크로스 포인트간의 쉬프트량을 검출하는 것이다. 이들 포인트가 도 3에 도시된 바와 같이 동상인 경우, 위상 에러는 0이 된다.

도 4는 샘플링 파형 및 샘플링 클럭 파형이 이상(out of phase)일 때를 도시하는 도면이다.

이들 파형이 이상인 경우, 샘플링 포인트는 제로 크로스 포인트로부터 쉬프트된다. 위상 에러는 샘플링 포인트 및 제로 크로스 포인트간의 쉬프트이며, 이는 상기한 레벨 결정값을 사용함으로써 획득된다.

도 5는 루프 필터(5)의 구조를 도시하는 블록도이다.

루프 필터(5)는 제 1 가산기(27), 1T 지연기(28), 제 1 계수 승산기(GB)(29), 제 2 계수 승산기(GA)(30), 제 2 가산기(31)를 포함한다.

루프 필터(5)에 입력된 위상 에러 신호는 제 2 계수 승산기(30) 및 제 1 가산기(27)에 입력된다.

제 1 가산기(27)는 입력 위상 에러 신호 및 1T 지연기(28)로부터 출력된 1T 지연 신호를 가산한다.

1T 지연기(28)는 가산기(27)로부터 출력된 신호를 지연시키고 1T 지연된 신호를 제 1 계수 승산기(29) 및 제 1 가산기(27)에 출력한다.

루프 필터(5)는 위상 에러 신호의 완전한 적분 급수 및 비례 급수의 가산을 수행한다. 즉, 제 1 계수 승산기(29)는 완전한 적분 급수의 이득을 설정하고, 제 2 게수 승산기(30)는 비례 급수의 이득을 설정한다.

제 2 가산기(31)는 제 1 및 제 2 승산기(29, 30)의 출력을 가산하고, 루프 필터 신호를 출력한다.

루프 필터(5)의 출력은 완전한 적분 급수의 가산된 성분을 포함하고 있으므로, 이 출력은 이론적으로 무한한 추정 값을 갖고, 기설정된 에러 신호가 연속적으로 출력되는 경우, 루프 필터(5)의 출력이 연속적으로 증가된다. 그러나 실제로, 위상 에러 신호를 출력하는 미세 제어 D/A 변환기(6)의 분해능은 통상, 예를 들어 약 8 비트로 제한된다. 약 8 비트가 미세 제어에 할당된다고 가정하면, 주파수 제어 범위는 약 ±5%이다.

도 6은 범위 검출기(9)의 구조를 도시하는 블록도이다.

범위 검출기(9)는 제 1 및 제 2 비교기(32, 33) 및 업 다운 제어기(34)를 포함한다.

범위 검출기(9)에 입력된 루프 필터 신호는 제 1 및 제 2 비교기(32, 33)에 입력된다.

제 1 비교기(32)는 미리 설정된 범위 설정 값의 상한을 루프 필터 신호와 비교하고, 업 다운 제어기(34)에 비교 결과를 입력한다,

제 2 비교기(33)는 미리 설정된 범위 설정 값의 하한을 루프 필터 신호와 비교하고, 업 다운 제어기(34)에 비교 결과를 입력한다,

업 다운 제어기(34)는 입력 비교 결과에 근거하여 업 신호 또는 다운 신호를 발생하고, 이 신호를 변조 기준 신호 발생기(10)에 출력한다.

여기서, 상한 범위 및 하한 범위의 설정 값이 설정됨에 따라 루프 필터(5)의 출력은 클럭 신호가 개략 제어 D/A 변환기(13)의 제어를 이용하지 않고 미세 제어 D/A 변환기(6)에 의해 발생되는 범위를 나타낸다.

도 7은 범위 검출기(9)의 범위 개념을 예시하는 도면이다.

도 7에서, 미세 제어 D/A 변환기(6)의 분해능이 8 비트이고 미세 제어 D/A 변환기(6)의 입력 범위가 -128 내지 127이라고 가정한다. 또한, 상한 및 하한 값은 입력 범위내에서 미리 설정되어 있다.

업 다운 제어기(34)는 제 1 비교기(32)로부터, 루프 필터 신호가 상한 범위 설정 값을 초과함을 나타내는 결과를 수신

하는 경우, 업 신호를 출력한다. 제 2 비교기(33)로부터, 루프 필터 신호가 하한 범위 설정 값 아래임을 나타내는 결과를 수신하는 경우, 다운 신호를 출력한다. 제 1 비교기(32)로부터의 비교 결과가, 루프 필터 신호가 상한 범위 설정 값 이하임을 나타내거나 제 2 비교기(33)로부터의 비교 결과가, 루프 필터 신호가 하한 범위 설정 값 이상임을 나타내는 경우, 업 다운 제어기(34)는 동작하지 않는다. 따라서, 변조 기준 신호 발생기(10)으로부터 저역 통과 필터(14)까지의 각 요소는 동작하지 않는다. 이 경우, 전압 제어 발진기(8)에 공급된 신호는 루프 필터(5)의 출력에 근거하여 미세 제어 D/A 변환기(6)에 의해 발생되는 신호이다.

도 8은 변조 기준 신호 발생기(10)의 구조를 도시하는 블록도이다.

범위 검출기(9)로부터 출력되는 업 신호 또는 다운 신호는 트리거 발생기(35)에 입력된다.

업 신호 또는 다운 신호의 수신시에, 트리거 발생기(35)는 업 다운 카운터(36)에 트리거 신호를 출력한다.

업 다운 카운터(36)는 기설정된 기간 동안 입력 기준 클럭을 위로 또는 아래로 카운트하고, 카운트된 기준 클럭에 근거하여 변조 기준 신호를 발생한다.

도 9는 델타 시그마 변조를 이용하는 펄스 폭 변조기(11)의 구조를 도시하는 블록도이다. 여기서, 펄스 폭 변조기의 각종 구조가 가정될 수 있으나, 실시예 1에 따른 펄수 폭 변조기는 델타 시그마 변조를 이용하여 펄스 폭 변조를 수행한다.

펄스 폭 변조기(11)는 감산기(37), 가산기(38), 제 1 1T 지연기(39), 발생기(40), 제 2 1T 지연기(41)를 포함한다.

변조 기준 신호 발생기(10)로부터 출력된 복조 기준 신호는 감산기(37)에 입력된다.

감산기(37)는 변조 기준 신호로부터, 제 2 1T 지연기(41)에 의해 양자화기(40)의 신호를 1T 지연함으로써 획득되는 피드백 신호를 감산한다.

가산기(38)는 감산기(37)로부터 출력되는 감산된 값과, 1T 지연기(39)에 의해 가산기(38)의 출력을 지연함으로써 출력되는 피드백 신호를 가산한다.

양자화기(40)는 가산기(38)로부터 출력된 가산 값을 이진수로 양자화한다.

변조 기준 신호는 델타 시그마 변조에 따른 상기 구조에 의해 펄스 트레인으로 변환된다.

도 10은 범위 검출기(9), 변조 기준 신호 발생기(10), 펄스 폭 변조기(11), 저역 통과 필터(14)의 각 출력의 파형을 도시하는 도면이다. 이 도면은 위로부터 각각, 범위 검출기(9)로부터 출력된 업 신호, 범위 검출기(9)로부터 출력된 다운 신호, 변조 기준 신호 발생기(10)로부터 출력된 변조 기준 신호, 펄스 폭 변조기(11)로부터 출력된 변조 신호, 저역 통과 필터(14)로부터 출력된 저역 통과 필터 출력 신호의 파형을 도시한다.

도 10에 도시된 바와 같이, 저역 통과 필터 출력 신호는 개략 제어 D/A 변환기(13)의 분해능의 1 LSB보다 높은 분해능에 의해 점차적으로 변화하고 따라서 전압 제어 발진기(8)에 입력된 전압의 시간 변화비를 감소시킨다.

전압 제어 발진기(8)에 입력되는 입력 전압의 시간 변화비가 감소되지 않는 경우, 전압 제어 발진기(8)의 발진 주파수는 급격하게 변화된다. 따라서, 미세 제어 D/A 변환기(6)로 구성된 루프가 주파수를 추종할 수 없어 PLL이 중지된다. 개략 제어 D/A 변환기(13)가 범위 검출기(9)로부터 출력되는 업 신호 또는 다운 신호에 의해 직접 증분되거나 감분되는 경우, 이 전압은 개략 제어 D/A 변환기(13)의 1 LSB에 대응하는 양에 의해 변화된다. 주파수는 개략 제어 D/A 변환기(13)의 1 LSB에 대응하는 양에 의해 급격하게 변화되므로, 미세 제어 D/A 변환기(6)로 구성된 루프가 전압 제어 발진기(8)의 발진 주파수를 추종할 수 없어, PLL이 중지된다.

실시예 1에서, 변조 기준 신호 발생기(10) 및 펄스 폭 변조기(11)는 이러한 주파수의 급격한 변화를 방지하도록 제공된다. 이에 의해, 전압 제어 발진기(8)에 입력된 전압은 미세 제어 D/A 변환기의 분해능보다 높게 제어되고, 전압 제어 발진기(8)의 입력 전압의 시간 변화비가 감소된다. 따라서, 개략 제어 D/A 변환기(13)의 범위가 변화되는 경우에도, 미세 제어 D/A 변환기(6)의 입력 범위로부터의 초과가 방지될 수 있어, PLL이 중지되지 않고 양호한 클럭이 연속적으로 발생될 수 있다. 또한, 넓은 주파수 범위를 연속적으로 록할 수 있는 클럭 발생 회로가 제공될 수 있고, 전체 제어 가능한 주파수 영역에 걸쳐 클럭 재생을 연속적으로 수행할 수 있는 클럭 발생 회로가 제공될 수 있다. 또한, 실시예 1에 따르면, 유연하고 안정하게 변화되는 변조 신호가 펄스 폭 변조기로부터 출력될 수 있다.

(실시예 2)

도 11은 실시예 2에 따른 클럭 발생 회로(200)를 포함하는 기록 매체(1)를 재생하는 장치의 구조를 도시하는 블록도이다. 도 1에 도시된 것과 동일한 참조 부호는 동일하거나 대응하는 부분을 도시한다.

판독 헤드(2)는 기록 매체(1)로부터의 신호를 판독하고 이 신호를 A/D 변환기(3)에 출력한다.

A/D 변환기(3)는 클럭 발생 회로(200)의 분주기(20)로부터 출력되는 클럭 신호에 근거하여 아날로그 재생 신호를 디지털 재생 신호로 변환한다.

클럭 발생 회로(200)는 위상 비교기(4), 루프 필터(5), 오버샘플러(15), 보간기(16), 다치 델타 시그마 변조기(17), 개략 제어 D/A 변환기(18), 저역 통과 필터(19), 전압 제어 발진기(8), 분주기(20)를 포함한다. 오버샘플러(15), 보간기(16), 다치 델타 시그마 변조기(17), 개략 제어 D/A 변환기(18)가 오버샘플링 시스템 디지털 블록을 구성한다.

디지털 재생 신호는 위상 비교기(4)에 입력되고 위상 비교기(4)는 클럭 신호의 타이밍에서 샘플링되는 디지털 재생 신호로부터 위상 에러 신호를 추출한다.

루프 필터(5)는 완전한 적분 성분 및 비례 성분의 가산에 의해 구성되고, 위상 비교기(4)에 의해 획득된 위상 에러를 필터링한다.

오버샘플러(15)는 루프 필터(5)에 의해 필터링된 위상 에러 신호를 사전결정된 레이트에서 제로 패드 오버샘플링한다.

보간기(16)는 오버샘플러(15)의 출력을 보간 처리한다. 보간기(16)는 유한 임펄스 응답(Finite Impulse Response : FIR)로 구성되고, 제로 패드 데이터에 대해 나이퀴스트(Nyquist) 보간을 수행한다. 보간기(16)의 출력은 다치 델타 시그마 변조기(17)에 입력된다.

다치 델타 시그마 변조기(17)는 개략 제어 D/A 변환기(18)의 양자화 분해능에 대응하는 변조 신호를 발생한다.

개략 제어 D/A 변환기(18)는 다치 델타 시그마 변환기(17)로부터의 변조 신호를 아날로그 신호로 변환한다.

저역 통과 필터(19)는 1차 아날로그 필터로 구성될 수 있고, 개략 제어 D/A 변환기(18)로부터 아날로그 신호를 필터링한다.

전압 제어 발진기(8)는 저역 통과 필터(19)로부터의 출력에 근거하여 오버샘플링 클럭 신호를 출력한다. 전압 제어 발진기(8)로부터 출력된 오버샘플링 클럭 신호는 분주기(20), 오버샘플러(15), 보간기(16), 다치 델타 시그마 변조기(17), 개략 제어 D/A 변환기(18)에 입력되며, 이들이 오버샘플링 시스템의 디지털 블럭이다.

A/D 변환기(3), 위상 비교기(4), 루프 필터(5)는 실시예 1의 것과 동일한 구조를 갖는다.

도 12는 오버샘플러(15)의 구조를 도시하는 블록도이다.

오버샘플러(15)는 선택기(42), N 비트 카운터(44), 레이트 변환기(43)를 포함한다.

루프 필터(5)로부터 출력된 T 레이트 위상 에러 신호, N 비트 카운터(44)로부터 출력된 선택 신호가 선택기(42)에 입력된다. N 비트 카운터(44)의 "N"은 오버샘플링비를 나타내고, 카운터(44)는 오버샘플링비 N에 근거하여 선택 신호를 발생하고 선택기(42)의 신호 선택 타이밍을 제어한다. 선택기(42)는 N 비트 카운터(44)의 선택 신호에 근거하여 위상 에러 신호를 제로 패드 오버샘플링한다. 예를 들어, N=4인 경우, 다음과 같은 데이터 시퀀스가 획득된다. 즉,

데이터1, 0, 0, 0, 데이터2, 0, 0, 0, 데이터3, 0, 0, 0,...

레이트 변환기(43)는 선택기(42)의 출력, 즉 제로 패드 데이터를 오버샘플링 클럭으로 래치하고, 오버샘플링된 위상 에러 신호를 출력한다.

도 13은 보간기(16)의 구조를 도시하는 블록도이다.

보간기(16)는 4개의 T/N 지연기(45, 46, 47, 48) 및 5개의 승산기(49, 50, 51, 52, 53)를 포함한다. 여기서, T/N 지연기 및 승산기의 수는 상기한 수에 제한되지 않는다.

오버샘플러(15)로부터 출력된 오버샘플링 위상 에러 신호는 제 1 T/N 지연기(45) 및 제 1 승산기(49)에 입력된다. 제 1 T/N 지연기(45)의 출력은 제 2 T/N 지연기(46) 및 제 2 승산기(50)에 입력된다. 제 2 T/N 지연기(46)의 출력은 제 3 T/N 지연기(47) 및 제 3 승산기(51)에 입력된다. 제 3 T/N 지연기(47)의 출력은 제 4 T/N 지연기(48) 및 제 4 승산기(52)에 입력된다. 제 4 T/N 지연기(48)의 출력은 제 5 승산기(53)에 입력된다. 제 1 내지 제 5 승산기(49, 50, 51, 52, 53)의 출력은 가산기(54)에 입력되고 가산기(54)로부터 K 비트 보간 출력 신호로서 출력된다. "K"는 가산기(54)로부터 출력된 데이터의 비트 수를 나타낸다.

여기서, 제 1 및 제 5 승산기(49, 53)의 승산 계수 "a", 제 2 및 제 4 승산기(50, 52)의 승산 계수 "b", 제 3 승산기(51)의 승산 계수 "c"는 각각 나이퀴스트 보간 상수이며, 이들은, 예를 들어 다음과 같은 공식으로 주어진다. 즉,

$a = \sin(\pi/(2*N))/(\pi/(2*N))$

$b = \sin(\pi/(1*N))/(\pi/(1*N))$

$c = 1$

도 14는 다치 델타 시그마 변조기(17)의 구조를 도시하는 블록도이다.

다치 델타 시그마 변조기(17)는 감산기(55), 가산기(56), 제 1 1T 지연기(57), L 비트 양자화기(58), 제 2 1T 지연기(59)를 포함한다.

감산기(55)는 보간기(16)로부터 출력되는 K 비트 보간 출력 신호로부터, 제 2 1T 지연기(59)에 의해 L 비트 변조 신호를 지연시킴으로써 획득되는 피드백 신호를 감산한다.

가산기(56)는 감산기(55)의 출력과, 제 1 1T 지연기(57)에 의해 가산기(56)의 출력을 지연시킴으로써 획득되는 피드백 신호를 가산한다. 가산기(56)의 출력은 L 비트 양자화기(58) 및 제 1 1T 지연기(57)에 입력된다.

L 비트 양자화기(58)는 가산기(56)의 출력, 즉 K 비트 변조 기준 신호를 델타 시그마 변조에 의해 L 비트로 양자화한다. 여기서, K 및 L의 관계는 K L로 주어진다. 예를 들어, 다치 델타 시그마 변조기(17)가 접속되는 개략 제어 D/A 변환기(18)는 8 비트 분해능 L=8을 갖는다. 이 경우, 보간기(16)로부터 출력된 출력 신호가 9 비트 이상을 갖는다. L 대 K의 제한비는 오버샘플링 주파수 및 제어 대역간의 관계에 의해 결정된다.

실시예 2에서, 루프 필터(5)의 출력은 오버샘플러(15)에 의해 오버샘플링되고, 보간기(16)에 의해 보간되는 K 비트 보간 출력은 다치 델타 시그마 변조기(17)에 의해 L 비트 신호로 변경된다. 따라서, 전압 제어 발진기(8)의 입력 전압은 개략 제어 D/A 변환기(18)의 분해능 이상으로 제어될 수 있어, 넓은 주파수 풀링(pulling) 범위를 갖는 양호한 클럭 발생 회로가 개략 분해능을 갖는 D/A 변환기를 이용하여 실현될 수 있다. 또한, 실시예 2에 따르면, 다치 델타 시그마 변조기로부터. 유연하고 안정하게 변경될 수 있는 변조 신호가 출력될 수 있다.

산업상 이용 가능성

본 발명은 디지털 기록 및 재생 장치에서 데이터 재생 신호로서 이용되는 클럭 신호를 발생하는 클럭 발생 회로로서 이용될 수 있다.

(57) 청구의 범위

청구항 1.

기록 매체로부터 신호를 재생하는데 사용되는 클럭 신호를 발생하는 클럭 발생 회로에 있어서,

상기 기록 매체로부터 판독되는 아날로그 신호를 변환함으로써 획득되는 디지털 신호로부터 위상 에러 신호를 추출하는 위상 비교기와,

상기 위상 에러 신호를 필터링하는 루프 필터와,

상기 루프 필터에 의해 필터링된 신호를 아날로그 신호로 변환하는 미세 제어 D/A 변환기와,

상기 루프 필터에 의해 필터링된 신호가 기설정 범위 위인지, 아래인지, 또는 그 범위내에 있는지를 검출하는 범위 검출기와,

상기 루프 필터에 의해 필터링된 신호가 상기 범위 위에 또는 아래에 있는 경우 변조 기준 신호를 발생하는 변조 기준 신호 발생기와,

상기 변조 기준 신호를 펄스 트레인(train)으로 변환하는 펄스 폭 변조기와,

사전결정된 주파수 설정 값 및 상기 펄스 폭 변조기에 의해 변환된 신호를 가산하는 가산기와,

상기 가산기에 의해 획득된 신호를 아날로그 신호로 변환하는 개략 제어 D/A 변환기와,

상기 개략 제어 D/A 변환기에 의해 변환되는 상기 아날로그 신호의 고역 성분을 차단하는 저역 통과 필터와,

상기 미세 제어 D/A 변환기로부터 출력되는 아날로그 신호와, 상기 저역 통과 필터를 통과한 아날로그 신호를 가산하는 아날로그 가산기와,

상기 범위 검출기가, 상기 루프 필터에 의해 필터링된 신호가 상기 범위 위에 또는 아래에 있음을 검출하는 경우 상기 아날로그 가산기에 의해 획득되는 신호에 비례하는 주파수에서 클럭 신호를 발생하고, 상기 범위 검출기가, 상기 루프 필터에 의해 필터링된 신호가 상기 범위내에 있음을 검출하는 경우 상기 미세 제어 D/A 변환기에 의해 획득되는 신호에 비례하는 주파수에서 클럭 신호를 발생하는 전압 제어 발진기

를 포함하는 클럭 발생 회로.

청구항 2.

제 1 항에 있어서,

상기 펄스 폭 변조기는 델타 시그마 변조로 구성되는 클럭 발생 회로.

청구항 3.

기록 매체로부터 신호를 재생하는데 사용되는 클럭 신호를 발생하는 클럭 발생 회로에 있어서,

상기 기록 매체로부터 판독되는 아날로그 신호를 변환함으로써 획득되는 디지털 신호로부터 위상 에러 신호를 추출하는 위상 비교기와,

상기 위상 에러 신호를 필터링하는 루프 필터와,

상기 루프 필터에 의해 필터링된 신호를 제로 패드 오버샘플링(zero-pad oversampling)하는 오버샘플러와,

상기 오버샘플러에 의해 제로 패드 오버샘플링되는 데이터를 보간하는 보간기와,

상기 보간기에 의해 보간된 신호를 다치 델타 시그마(multivalued delta sigma) 변조 신호로 변환하는 다치 델타 시그마 변조기와,

상기 다치 델타 시그마 변조 신호를 아날로그 신호로 변환하는 개략 제어 D/A 변환기와,

상기 개략 제어 D/A 변환기로부터 출력되는 아날로그 신호의 고역 성분을 차단하는 저역 통과 필터와,

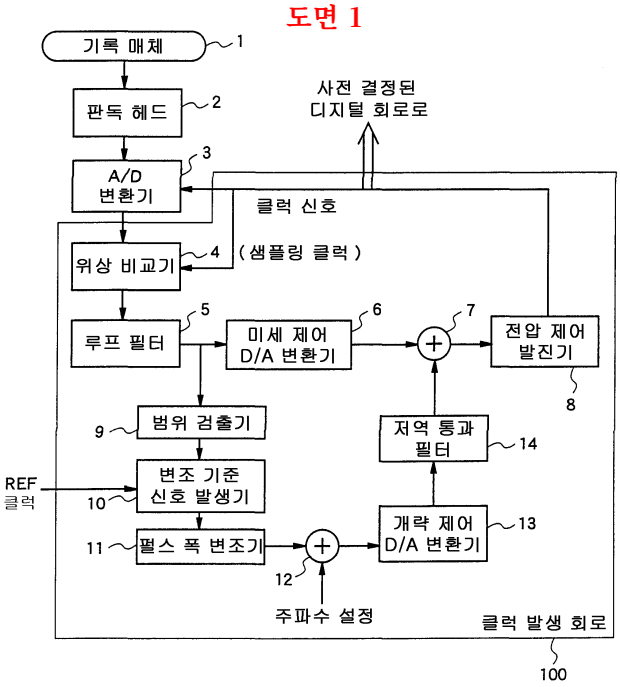
상기 저역 통과 필터를 통과한 신호에 비례하는 주파수에서 클럭 신호를 출력하는 전압 제어 발진기와,

상기 전압 제어 발진기로부터의 출력 클럭 신호를 소정의 비율로 분주하는 분주기

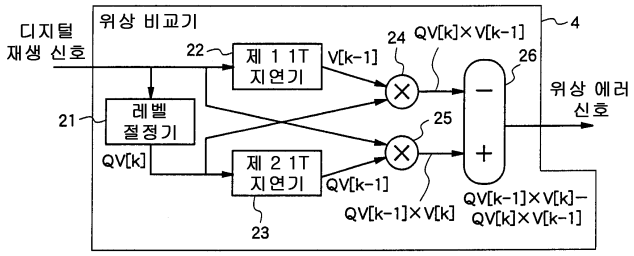
를 포함하는 클럭 발생 회로.

도면

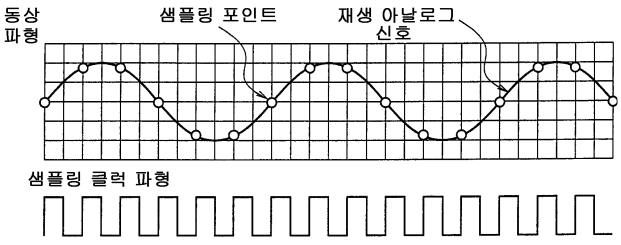
도면 1



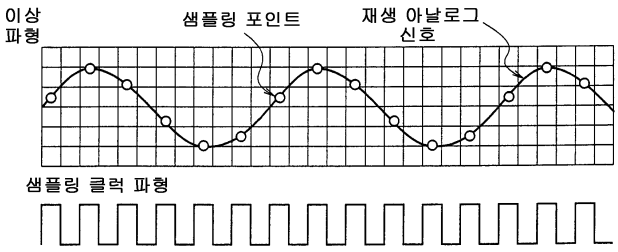
도면 2



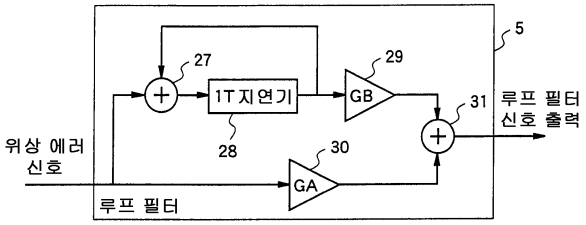
도면 3



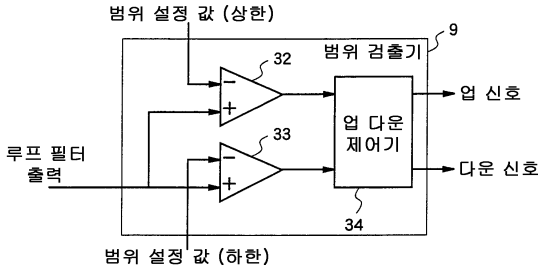
도면 4



도면 5



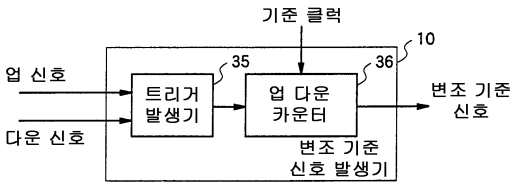
도면 6



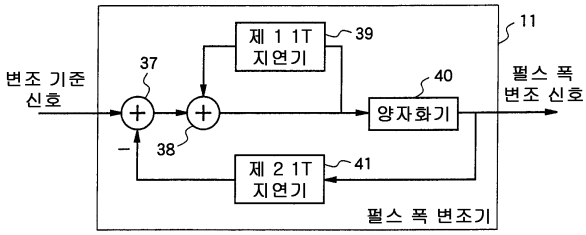
도면 7



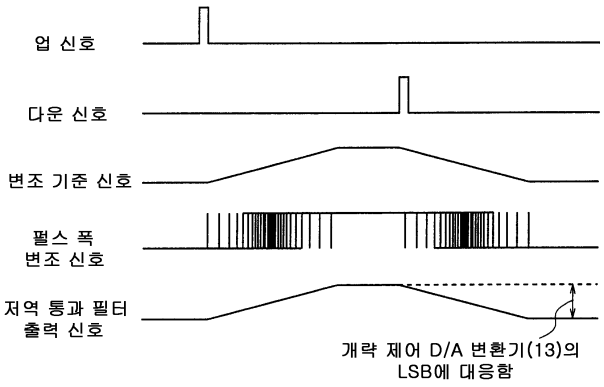
도면 8


기준 클럭
10
업 신호
35
36
트리거 발생기
업 다운 카운터
변조 기준 신호
다운 신호
변조 기준 신호 발생기

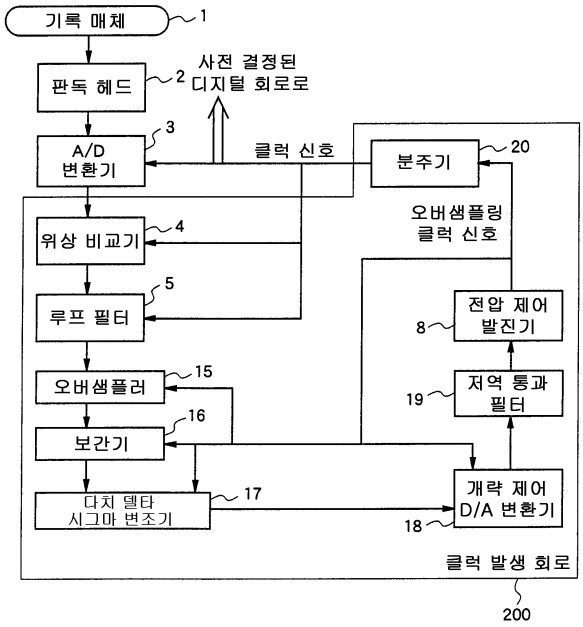
도면 9


11
제 1 1T 지연기
39
변조 기준 신호
37
40
펄스 폭 변조 신호
양자화기
38
제 2 1T 지연기
41
펄스 폭 변조기

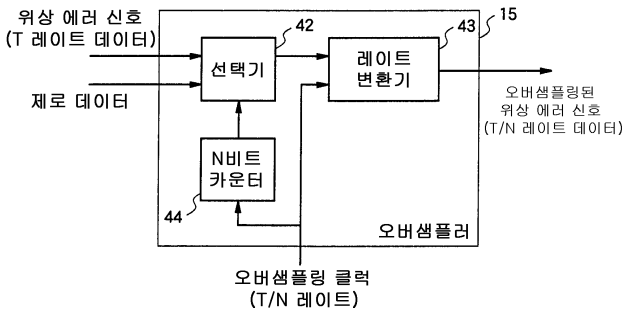
도면 10


업 신호
다운 신호
변조 기준 신호
펄스 폭 변조 신호
저역 통과 필터 출력 신호
개략 제어 D/A 변환기(13)의 LSB에 대응함

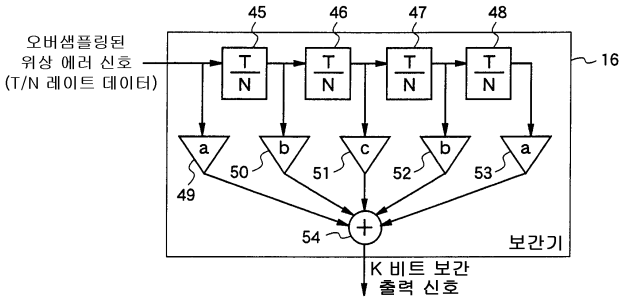
도면 11



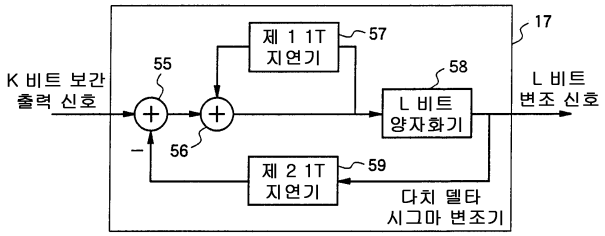
도면 12



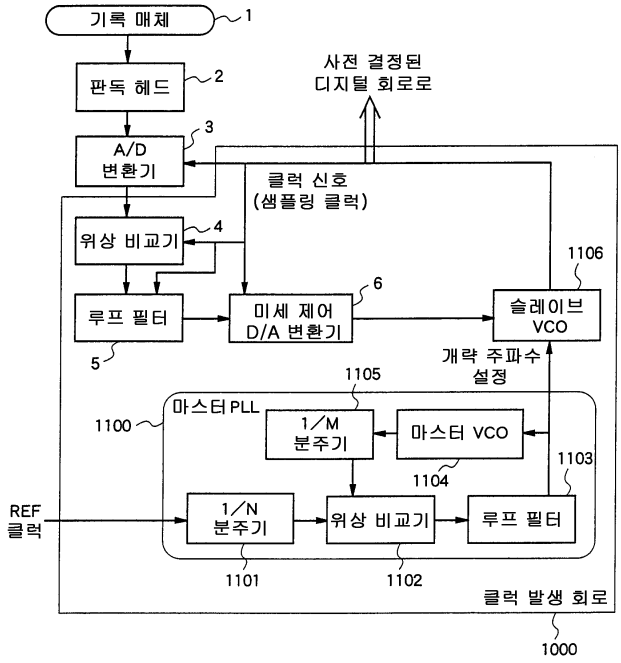
도면 13



도면 14


K 비트 보간
출력 신호
55
56
제 1 1T
지연기
57
58
L 비트
양자화기
L 비트
변조 신호
제 2 1T
지연기
59
다치 델타
시그마 변조기
17

도면 15


기록 매체
1
판독 헤드
2
A/D
변환기
3
사전 결정된
디지털 회로로
클럭 신호
(샘플링 클럭)
위상 비교기
4
루프 필터
5
미세 제어
D/A 변환기
6
슬레이브
VCO
1106
개략 주파수
설정
마스터 PLL
1100
1105
1/M
분주기
마스터 VCO
1104
1103
REF
클럭
1/N
분주기
위상 비교기
루프 필터
1101
1102
클럭 발생 회로
1000