

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5790708号
(P5790708)

(45) 発行日 平成27年10月7日(2015.10.7)

(24) 登録日 平成27年8月14日(2015.8.14)

(51) Int.Cl.

H02M 3/28 (2006.01)

F I

H02M 3/28

H

請求項の数 7 (全 19 頁)

(21) 出願番号 特願2013-107418 (P2013-107418)
 (22) 出願日 平成25年5月21日(2013.5.21)
 (65) 公開番号 特開2014-230372 (P2014-230372A)
 (43) 公開日 平成26年12月8日(2014.12.8)
 審査請求日 平成26年5月28日(2014.5.28)

(73) 特許権者 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 平野 高弘
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
 審査官 森山 拓哉

最終頁に続く

(54) 【発明の名称】 電力変換装置及び電力変換方法

(57) 【特許請求の範囲】

【請求項1】

1次側回路と、

前記1次側回路と変圧器で磁気結合する2次側回路と、

前記1次側回路に構成される1次側ポートと前記2次側回路に構成される2次側ポートのうち片方のポートのポート電圧が目標電圧に収束するように、前記1次側回路のスイッチングと前記2次側回路のスイッチングとの位相差を変更して、前記1次側回路と前記2次側回路との間で伝送される伝送電力を調整する制御部とを備える電力変換装置であって、

前記片方のポートは、第1のポートと第2のポートとを含み、

前記制御部は、前記第1のポートのポート電圧が第1の目標電圧に収束するように、前記伝送電力を調整し、且つ、前記第2のポートのポート電圧が第2の目標電圧に収束するように、前記第1のポートと前記第2のポートとの間の変圧比を調整するものであり、

前記制御部は、前記位相差が上限値に等しく且つ前記第1のポートと前記第2のポートのうち一方のポートのポート電圧が設定閾値未満であるとき、他方のポートの目標電圧を減少させる、ことを特徴とする、電力変換装置。

【請求項2】

前記制御部は、前記一方のポートのポート電圧が前記設定閾値以上になるまで、前記他方のポートの目標電圧を減少させる、請求項1に記載の電力変換装置。

【請求項3】

10

20

前記制御部は、前記他方のポートの目標電圧を漸減させる、請求項 1 又は 2 に記載の電力変換装置。

【請求項 4】

前記制御部は、前記位相差が前記上限値未満であり且つ前記他方のポートの目標電圧が基準値未満であるとき、前記他方のポートの目標電圧を増加させる、請求項 1 から 3 のいずれか一項に記載の電力変換装置。

【請求項 5】

前記制御部は、前記他方のポートの目標電圧が前記基準値以上になるまで、前記他方のポートの目標電圧を増加させる、請求項 4 に記載の電力変換装置。

【請求項 6】

前記制御部は、前記他方のポートの目標電圧を漸増させる、請求項 4 又は 5 に記載の電力変換装置。

【請求項 7】

1 次側回路に構成される 1 次側ポートと前記 1 次側回路と変圧器で磁気結合する 2 次側回路に構成される 2 次側ポートのうち片方のポートのポート電圧が目標電圧に収束するように、前記 1 次側回路のスイッチングと前記 2 次側回路のスイッチングとの位相差を変更して、前記 1 次側回路と前記 2 次側回路との間で伝送される伝送電力を調整する、電力変換方法であって、

前記片方のポートは、第 1 のポートと第 2 のポートとを含み、

前記第 1 のポートのポート電圧が第 1 の目標電圧に収束するように、前記伝送電力を調整し、且つ、前記第 2 のポートのポート電圧が第 2 の目標電圧に収束するように、前記第 1 のポートと前記第 2 のポートとの間の変圧比を調整し、

前記位相差が上限値に等しく且つ前記第 1 のポートと前記第 2 のポートのうち一方のポートのポート電圧が設定閾値未満であるとき、他方のポートの目標電圧を減少させる、ことを特徴とする、電力変換方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 次側回路と、1 次側回路と変圧器を介して磁気結合する 2 次側回路との間で電力変換する装置及び方法に関する。

【背景技術】

【0002】

従来、1 次側回路のスイッチングと 2 次側回路のスイッチングとの位相差を変更することによって、1 次側回路に構成される入出力ポートと 2 次側回路に構成される入出力ポートとの間の電力伝送量を調整可能な、電力変換装置が知られている（例えば、特許文献 1 を参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2011-193713 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、入出力ポートに流れる電流が設計想定値を超えると（例えば、負荷がユーザによって入出力ポートに後付けされた場合など）、入出力ポートにおけるポート電圧が落ち込む可能性がある。本発明は、ポート電圧の落ち込みを抑制できる、電力変換装置及び電力変換方法の提供を目的とする。

【課題を解決するための手段】

【0005】

上記目的を達成するため、本発明は、

10

20

30

40

50

１次側回路と、

前記１次側回路と変圧器で磁気結合する２次側回路と、

前記１次側回路に構成される１次側ポートと前記２次側回路に構成される２次側ポートのうち片方のポートのポート電圧が目標電圧に収束するように、前記１次側回路のスイッチングと前記２次側回路のスイッチングとの位相差を変更して、前記１次側回路と前記２次側回路との間で伝送される伝送電力を調整する制御部とを備える電力変換装置であって、

前記制御部は、前記位相差が上限値に等しく且つ前記ポート電圧が設定閾値未満であるとき、前記目標電圧を減少させることを特徴とする、電力変換装置を提供するものである。

10

【０００６】

また、上記目的を達成するため、本発明は、

１次側回路に構成される１次側ポートと前記１次側回路と変圧器で磁気結合する２次側回路に構成される２次側ポートのうち片方のポートのポート電圧が目標電圧に収束するように、前記１次側回路のスイッチングと前記２次側回路のスイッチングとの位相差を変更して、前記１次側回路と前記２次側回路との間で伝送される伝送電力を調整する、電力変換方法であって、

前記位相差が上限値に等しく且つ前記ポート電圧が設定閾値未満であるとき、前記目標電圧を減少させることを特徴とする、電力変換方法を提供するものである。

【発明の効果】

20

【０００７】

本発明によれば、ポート電圧の落ち込みを抑制できる。

【図面の簡単な説明】

【０００８】

【図１】電力変換装置の実施形態である電源装置の構成例を示したブロック図

【図２】制御部の構成例を示したブロック図

【図３】１次側回路及び２次側回路のスイッチング例を示したタイミングチャート

【図４】制御部の一構成例を示したブロック図

【図５】電力変換方法の一例を示したフローチャート

【発明を実施するための形態】

30

【０００９】

< 電源装置１０１の構成 >

図１は、電力変換装置の実施形態である電源装置１０１の構成例を示したブロック図である。電源装置１０１は、例えば、電源回路１０と、制御部５０と、センサ部７０とを備えた電源システムである。

【００１０】

電源装置１０１は、例えば、１次側高電圧系負荷６１ａが接続される第１入出力ポート６０ａと、１次側低電圧系負荷６１ｃ及び１次側低電圧系電源６２ｃが接続される第２入出力ポート６０ｃとを、１次側ポートとして有している。１次側低電圧系電源６２ｃは、１次側低電圧系電源６２ｃと同じ電圧系（例えば、１２Ｖ系）で動作する１次側低電圧系負荷６１ｃに電力を供給する。また、１次側低電圧系電源６２ｃは、１次側低電圧系電源６２ｃと異なる電圧系（例えば、１２Ｖ系よりも高い４８Ｖ系）で動作する１次側高電圧系負荷６１ａに、電源回路１０に構成される１次側変換回路２０によって昇圧された電力を供給する。１次側低電圧系電源６２ｃの具体例として、鉛バッテリー等の二次電池が挙げられる。

40

【００１１】

電源装置１０１は、例えば、２次側高電圧系負荷６１ｂ及び２次側高電圧系電源６２ｂが接続される第３入出力ポート６０ｂと、２次側低電圧系負荷６１ｄが接続される第４入出力ポート６０ｄとを、２次側ポートとして有している。２次側高電圧系電源６２ｂは、２次側高電圧系電源６２ｂと同じ電圧系（例えば、１２Ｖ系及び４８Ｖ系よりも高い２８

50

8 V系)で動作する2次側高電圧系負荷61bに電力を供給する。また、2次側高電圧系電源62bは、2次側高電圧系電源62bと異なる電圧系(例えば、288 V系よりも低い72 V系)で動作する2次側低電圧系負荷61dに、電源回路10に構成される2次側変換回路30によって降圧された電力を供給する。2次側高電圧系電源62bの具体例として、リチウムイオン電池等の二次電池が挙げられる。

【0012】

電源回路10は、上述の4つの入出力ポートを有し、それらの4つの入出力ポートのうちから任意の2つの入出力ポートが選択され、当該2つの入出力ポートの間で電力変換を行う機能を有する電力変換回路である。

【0013】

ポート電力 P_a 、 P_c 、 P_b 、 P_d は、それぞれ、第1入出力ポート60a、第2入出力ポート60c、第3入出力ポート60b、第4入出力ポート60dにおける入出力電力(入力電力又は出力電力)である。ポート電圧 V_a 、 V_c 、 V_b 、 V_d は、それぞれ、第1入出力ポート60a、第2入出力ポート60c、第3入出力ポート60b、第4入出力ポート60dにおける入出力電圧(入力電圧又は出力電圧)である。ポート電流 I_a 、 I_c 、 I_b 、 I_d は、それぞれ、第1入出力ポート60a、第2入出力ポート60c、第3入出力ポート60b、第4入出力ポート60dにおける入出力電流(入力電流又は出力電流)である。

【0014】

電源回路10は、第1入出力ポート60aに設けられるキャパシタC1と、第2入出力ポート60cに設けられるキャパシタC3と、第3入出力ポート60bに設けられるキャパシタC2と、第4入出力ポート60dに設けられるキャパシタC4とを備えている。キャパシタC1、C2、C3、C4の具体例として、フィルムコンデンサ、アルミニウム電解コンデンサ、セラミックコンデンサ、固体高分子コンデンサなどが挙げられる。

【0015】

キャパシタC1は、第1入出力ポート60aの高電位側の端子613と、第1入出力ポート60a及び第2入出力ポート60cの低電位側の端子614との間に挿入される。キャパシタC3は、第2入出力ポート60cの高電位側の端子616と、第1入出力ポート60a及び第2入出力ポート60cの低電位側の端子614との間に挿入される。キャパシタC2は、第3入出力ポート60bの高電位側の端子618と、第3入出力ポート60b及び第4入出力ポート60dの低電位側の端子620との間に挿入される。キャパシタC4は、第4入出力ポート60dの高電位側の端子622と、第3入出力ポート60b及び第4入出力ポート60dの低電位側の端子620との間に挿入される。

【0016】

キャパシタC1、C2、C3、C4は、電源回路10の内部に設けられてもよいし、電源回路10の外部に設けられてもよい。

【0017】

電源回路10は、1次側変換回路20と、2次側変換回路30とを含んで構成された電力変換回路である。なお、1次側変換回路20と2次側変換回路30とは、1次側磁気結合リアクトル204及び2次側磁気結合リアクトル304を介して接続され、且つ、変圧器400(センタータップ式変圧器)で磁気結合されている。

【0018】

1次側変換回路20は、1次側フルブリッジ回路200と、第1入出力ポート60aと、第2入出力ポート60cとを含んで構成された1次側回路である。1次側フルブリッジ回路200は、変圧器400の1次側コイル202と、1次側磁気結合リアクトル204と、1次側第1上アームU1と、1次側第1下アーム/V1と、1次側第2上アームV1と、1次側第2下アーム/V1とを含んで構成された1次側電力変換部である。ここで、1次側第1上アームU1と、1次側第1下アーム/V1と、1次側第2上アームV1と、1次側第2下アーム/V1は、それぞれ、例えば、Nチャネル型のMOSFETと、当該MOSFETの寄生素子であるボディダイオードとを含んで構成されたスイッチング素子

10

20

30

40

50

である。当該MOSFETに並列にダイオードが追加接続されてもよい。

【0019】

1次側フルブリッジ回路200は、第1入出力ポート60aの高電位側の端子613に接続される1次側正極母線298と、第1入出力ポート60a及び第2入出力ポート60cの低電位側の端子614に接続される1次側負極母線299とを有している。

【0020】

1次側正極母線298と1次側負極母線299との間には、1次側第1上アームU1と、1次側第1下アーム/U1とを直列接続した1次側第1アーム回路207が取り付けられている。1次側第1アーム回路207は、1次側第1上アームU1及び1次側第1下アーム/U1のオンオフのスイッチング動作による電力変換動作が可能な1次側第1電力変換回路部(1次側U相電力変換回路部)である。さらに、1次側正極母線298と1次側負極母線299との間には、1次側第2上アームV1と、1次側第2下アーム/V1とを直列接続した1次側第2アーム回路211が1次側第1アーム回路207と並列に取り付けられている。1次側第2アーム回路211は、1次側第2上アームV1及び1次側第2下アーム/V1のオンオフのスイッチング動作による電力変換動作が可能な1次側第2電力変換回路部(1次側V相電力変換回路部)である。

【0021】

1次側第1アーム回路207の midpoint 207mと1次側第2アーム回路211の midpoint 211mを接続するブリッジ部分には、1次側コイル202と1次側磁気結合リアクトル204とが設けられている。ブリッジ部分についてより詳細に接続関係について説明すると、1次側第1アーム回路207の midpoint 207mには、1次側磁気結合リアクトル204の1次側第1リアクトル204aの一方端が接続される。そして、1次側第1リアクトル204aの他方端には、1次側コイル202の一方端が接続される。さらに、1次側コイル202の他方端には、1次側磁気結合リアクトル204の1次側第2リアクトル204bの一方端が接続される。それから、1次側第2リアクトル204bの他方端が1次側第2アーム回路211の midpoint 211mに接続される。なお、1次側磁気結合リアクトル204は、1次側第1リアクトル204aと、1次側第1リアクトル204aと結合係数 k_1 で磁気結合する1次側第2リアクトル204bとを含んで構成される。

【0022】

midpoint 207mは、1次側第1上アームU1と1次側第1下アーム/U1との間の1次側第1中間ノードであり、midpoint 211mは、1次側第2上アームV1と1次側第2下アーム/V1との間の1次側第2中間ノードである。

【0023】

第1入出力ポート60aは、1次側正極母線298と1次側負極母線299との間に設けられるポートである。第1入出力ポート60aは、端子613と端子614とを含んで構成される。第2入出力ポート60cは、1次側負極母線299と1次側コイル202のセンタータップ202mとの間に設けられるポートである。第2入出力ポート60cは、端子614と端子616とを含んで構成される。

【0024】

センタータップ202mは、第2入出力ポート60cの高電位側の端子616に接続されている。センタータップ202mは、1次側コイル202に構成される1次側第1巻線202aと1次側第2巻線202bとの中間接続点である。

【0025】

2次側変換回路30は、2次側フルブリッジ回路300と、第3入出力ポート60bと、第4入出力ポート60dとを含んで構成された2次側回路である。2次側フルブリッジ回路300は、変圧器400の2次側コイル302と、2次側磁気結合リアクトル304と、2次側第1上アームU2と、2次側第1下アーム/U2と、2次側第2上アームV2と、2次側第2下アーム/V2とを含んで構成された2次側電力変換部である。ここで、2次側第1上アームU2と、2次側第1下アーム/U2と、2次側第2上アームV2と、2次側第2下アーム/V2は、それぞれ、例えば、Nチャネル型のMOSFETと、当該

10

20

30

40

50

M O S F E T の寄生素子であるボディダイオードとを含んで構成されたスイッチング素子である。当該 M O S F E T に並列にダイオードが追加接続されてもよい。

【 0 0 2 6 】

2 次側フルブリッジ回路 3 0 0 は、第 3 入出力ポート 6 0 b の高電位側の端子 6 1 8 に接続される 2 次側正極母線 3 9 8 と、第 3 入出力ポート 6 0 b 及び第 4 入出力ポート 6 0 d の低電位側の端子 6 2 0 に接続される 2 次側負極母線 3 9 9 とを有している。

【 0 0 2 7 】

2 次側正極母線 3 9 8 と 2 次側負極母線 3 9 9 との間には、2 次側第 1 上アーム U 2 と、2 次側第 1 下アーム / U 2 とを直列接続した 2 次側第 1 アーム回路 3 0 7 が取り付けられている。2 次側第 1 アーム回路 3 0 7 は、2 次側第 1 上アーム U 2 及び 2 次側第 1 下アーム / U 2 のオンオフのスイッチング動作による電力変換動作が可能な 2 次側第 1 電力変換回路部（2 次側 U 相電力変換回路部）である。さらに、2 次側正極母線 3 9 8 と 2 次側負極母線 3 9 9 との間には、2 次側第 2 上アーム V 2 と、2 次側第 2 下アーム / V 2 とを直列接続した 2 次側第 2 アーム回路 3 1 1 が 2 次側第 1 アーム回路 3 0 7 と並列に取り付けられている。2 次側第 2 アーム回路 3 1 1 は、2 次側第 2 上アーム V 2 及び 2 次側第 2 下アーム / V 2 のオンオフのスイッチング動作による電力変換動作が可能な 2 次側第 2 電力変換回路部（2 次側 V 相電力変換回路部）である。

【 0 0 2 8 】

2 次側第 1 アーム回路 3 0 7 の中点 3 0 7 m と 2 次側第 2 アーム回路 3 1 1 の中点 3 1 1 m を接続するブリッジ部分には、2 次側コイル 3 0 2 と 2 次側磁気結合リアクトル 3 0 4 とが設けられている。ブリッジ部分についてより詳細に接続関係について説明すると、2 次側第 1 アーム回路 3 0 7 の中点 3 0 7 m には、2 次側磁気結合リアクトル 3 0 4 の 2 次側第 1 リアクトル 3 0 4 a の一方端が接続される。そして、2 次側第 1 リアクトル 3 0 4 a の他方端には、2 次側コイル 3 0 2 の一方端が接続される。さらに、2 次側コイル 3 0 2 の他方端には、2 次側磁気結合リアクトル 3 0 4 の 2 次側第 2 リアクトル 3 0 4 b の一方端が接続される。それから、2 次側第 2 リアクトル 3 0 4 b の他方端が 2 次側第 2 アーム回路 3 1 1 の中点 3 1 1 m に接続される。なお、2 次側磁気結合リアクトル 3 0 4 は、2 次側第 1 リアクトル 3 0 4 a と、2 次側第 1 リアクトル 3 0 4 a と結合係数 k_2 で磁気結合する 2 次側第 2 リアクトル 3 0 4 b とを含んで構成される。

【 0 0 2 9 】

中点 3 0 7 m は、2 次側第 1 上アーム U 2 と 2 次側第 1 下アーム / U 2 との間の 2 次側第 1 中間ノードであり、中点 3 1 1 m は、2 次側第 2 上アーム V 2 と 2 次側第 2 下アーム / V 2 との間の 2 次側第 2 中間ノードである。

【 0 0 3 0 】

第 3 入出力ポート 6 0 b は、2 次側正極母線 3 9 8 と 2 次側負極母線 3 9 9 との間に設けられるポートである。第 3 入出力ポート 6 0 b は、端子 6 1 8 と端子 6 2 0 とを含んで構成される。第 4 入出力ポート 6 0 d は、2 次側負極母線 3 9 9 と 2 次側コイル 3 0 2 のセンタータップ 3 0 2 m との間に設けられるポートである。第 4 入出力ポート 6 0 d は、端子 6 2 0 と端子 6 2 2 とを含んで構成される。

【 0 0 3 1 】

センタータップ 3 0 2 m は、第 4 入出力ポート 6 0 d の高電位側の端子 6 2 2 に接続されている。センタータップ 3 0 2 m は、2 次側コイル 3 0 2 に構成される 2 次側第 1 巻線 3 0 2 a と 2 次側第 2 巻線 3 0 2 b との中間接続点である。

【 0 0 3 2 】

図 1 において、電源装置 1 0 1 は、センサ部 7 0 を備えている。センサ部 7 0 は、第 1 乃至第 4 入出力ポート 6 0 a , 6 0 c , 6 0 b , 6 0 d の少なくとも一つのポートにおける入出力値 Y を所定の検出周期で検出し、その検出した入出力値 Y に対応する検出値 Y d を制御部 5 0 に対して出力する検出手段である。検出値 Y d は、入出力電圧を検出して得られた検出電圧でもよいし、入出力電流を検出して得られた検出電流でもよいし、入出力電力を検出して得られた検出電力でもよい。センサ部 7 0 は、電源回路 1 0 の内部に備え

10

20

30

40

50

られても外部に備えられてもよい。

【 0 0 3 3 】

センサ部 7 0 は、例えば、第 1 乃至第 4 入出力ポート 6 0 a , 6 0 c , 6 0 b , 6 0 d の少なくとも一つのポートに生ずる入出力電圧を検出する電圧検出部を有している。センサ部 7 0 は、例えば、入出力電圧 V a と入出力電圧 V c の少なくとも一方の検出電圧を 1 次側電圧検出値として出力する 1 次側電圧検出部と、入出力電圧 V b と入出力電圧 V d の少なくとも一方の検出電圧を 2 次側電圧検出値として出力する 2 次側電圧検出部とを有している。

【 0 0 3 4 】

センサ部 7 0 の電圧検出部は、例えば、少なくとも一つのポートの入出力電圧値をモニタする電圧センサと、該電圧センサによってモニタされた入出力電圧値に対応する検出電圧を制御部 5 0 に対して出力する電圧検出回路とを有している。

10

【 0 0 3 5 】

センサ部 7 0 は、例えば、第 1 乃至第 4 入出力ポート 6 0 a , 6 0 c , 6 0 b , 6 0 d の少なくとも一つのポートに流れる入出力電流を検出する電流検出部を有している。センサ部 7 0 は、例えば、入出力電流 I a と入出力電流 I c の少なくとも一方の検出電流を 1 次側電流検出値として出力する 1 次側電流検出部と、入出力電流 I b と入出力電流 I d の少なくとも一方の検出電流を 2 次側電流検出値として出力する 2 次側電流検出部とを有している。

【 0 0 3 6 】

20

センサ部 7 0 の電流検出部は、例えば、少なくとも一つのポートの入出力電流値をモニタする電流センサと、該電流センサによってモニタされた入出力電流値に対応する検出電流を制御部 5 0 に対して出力する電流検出回路とを有している。

【 0 0 3 7 】

電源装置 1 0 1 は、制御部 5 0 を備えている。制御部 5 0 は、例えば、C P U を内蔵するマイクロコンピュータを備えた電子回路である。制御部 5 0 は、電源回路 1 0 の内部に備えられても外部に備えられてもよい。

【 0 0 3 8 】

制御部 5 0 は、第 1 乃至第 4 入出力ポート 6 0 a , 6 0 c , 6 0 b , 6 0 d の少なくとも一つのポートにおける入出力値 Y の検出値 Y d が、該ポートに設定された目標値 Y o に収束するように、電源回路 1 0 による電力変換動作をフィードバック制御する。目標値 Y o は、例えば、各入出力ポートに接続される負荷（例えば、1 次側低電圧系負荷 6 1 c 等）毎に規定される駆動条件に基づいて、制御部 5 0 又は制御部 5 0 以外の所定の装置によって設定される指令値である。目標値 Y o は、電力がポートから出力されるときには出力目標値として機能し、電力がポートに入力されるときには入力目標値として機能し、目標電圧値でもよいし、目標電流値でもよいし、目標電力値でもよい。

30

【 0 0 3 9 】

また、制御部 5 0 は、1 次側変換回路 2 0 と 2 次側変換回路 3 0 との間で変圧器 4 0 0 を介して伝送される伝送電力 P が、設定された目標伝送電力 P o に収束するように、電源回路 1 0 による電力変換動作をフィードバック制御する。伝送電力は、電力伝送量とも呼ばれる。目標伝送電力 P o は、例えば、いずれかのポートにおける検出値 Y d と目標値 Y o との偏差に基づいて、制御部 5 0 又は制御部 5 0 以外の所定の装置によって設定される指令値である。

40

【 0 0 4 0 】

制御部 5 0 は、所定の制御パラメータ X の値を変化させることによって、電源回路 1 0 で行われる電力変換動作をフィードバック制御し、電源回路 1 0 の第 1 乃至第 4 の各入出力ポート 6 0 a , 6 0 c , 6 0 b , 6 0 d における入出力値 Y を調整できる。主な制御パラメータ X として、位相差 ϕ 及びデューティ比 D（オン時間 δ ）の 2 種類の制御変数が挙げられる。

【 0 0 4 1 】

50

位相差 ϕ は、１次側フルブリッジ回路 ２００と２次側フルブリッジ回路 ３００との間で同じ相の電力変換回路部間でのスイッチングタイミングのずれ（タイムラグ）である。デューティ比 D （オン時間 δ ）は、１次側フルブリッジ回路 ２００及び２次側フルブリッジ回路 ３００に構成される各電力変換回路部でのスイッチング波形のデューティ比（オン時間）である。

【００４２】

これらの２つの制御パラメータ X は、互いに独立に制御されることが可能である。制御部 ５０は、位相差 ϕ 及びデューティ比 D （オン時間 δ ）を用いた１次側フルブリッジ回路 ２００及び２次側フルブリッジ回路 ３００のデューティ比制御及び／又は位相制御によって、電源回路 １０の各入出力ポートにおける入出力値 Y を変化させる。

10

【００４３】

図２は、制御部 ５０のブロック図である。制御部 ５０は、１次側変換回路 ２０の１次側第１上アーム U_1 等の各スイッチング素子と２次側変換回路 ３０の２次側第１上アーム U_2 等の各スイッチング素子のスイッチング制御を行う機能を有する制御部である。制御部 ５０は、電力変換モード決定処理部 ５０２と、位相差 ϕ 決定処理部 ５０４と、オン時間 δ 決定処理部 ５０６と、１次側スイッチング処理部 ５０８と、２次側スイッチング処理部 ５１０とを含んで構成される。制御部 ５０は、例えば、ＣＰＵを内蔵するマイクロコンピュータを備えた電子回路である。

【００４４】

電力変換モード決定処理部 ５０２は、例えば、所定の外部信号（例えば、いずれかのポートにおける検出値 Y_d と目標値 Y_o との偏差を表す信号）に基づいて、次に述べる電源回路 １０の電力変換モード $A \sim L$ の中から動作モードを選択して決定する。電力変換モードは、第１入出力ポート ６０ａから入力された電力を変換して第２入出力ポート ６０ｃへ出力するモード A と、第１入出力ポート ６０ａから入力された電力を変換して第３入出力ポート ６０ｂへ出力するモード B と、第１入出力ポート ６０ａから入力された電力を変換して第４入出力ポート ６０ｄへ出力するモード C がある。

20

【００４５】

そして、第２入出力ポート ６０ｃから入力された電力を変換して第１入出力ポート ６０ａへ出力するモード D と、第２入出力ポート ６０ｃから入力された電力を変換して第３入出力ポート ６０ｂへ出力するモード E と、第２入出力ポート ６０ｃから入力された電力を変換して第４入出力ポート ６０ｄへ出力するモード F がある。

30

【００４６】

さらに、第３入出力ポート ６０ｂから入力された電力を変換して第１入出力ポート ６０ａへ出力するモード G と、第３入出力ポート ６０ｂから入力された電力を変換して第２入出力ポート ６０ｃへ出力するモード H と、第３入出力ポート ６０ｂから入力された電力を変換して第４入出力ポート ６０ｄへ出力するモード I がある。

【００４７】

それから、第４入出力ポート ６０ｄから入力された電力を変換して第１入出力ポート ６０ａへ出力するモード J と、第４入出力ポート ６０ｄから入力された電力を変換して第２入出力ポート ６０ｃへ出力するモード K と、第４入出力ポート ６０ｄから入力された電力を変換して第３入出力ポート ６０ｂへ出力するモード L がある。

40

【００４８】

位相差 ϕ 決定処理部 ５０４は、電源回路 １０をＤＣ－ＤＣコンバータ回路として機能させるために、１次側変換回路 ２０と２次側変換回路 ３０との間でのスイッチング素子のスイッチング周期運動の位相差 ϕ を設定する機能を有する。

【００４９】

オン時間 δ 決定処理部 ５０６は、１次側変換回路 ２０と２次側変換回路 ３０をそれぞれ昇降圧回路として機能させるために、１次側変換回路 ２０と２次側変換回路 ３０のスイッチング素子のオン時間 δ を設定する機能を有する。

【００５０】

50

１次側スイッチング処理部５０８は、電力変換モード決定処理部５０２と位相差 ϕ 決定処理部５０４とオン時間 δ 決定処理部５０６の出力に基づいて、１次側第１上アームＵ１と、１次側第１下アーム／Ｕ１と、１次側第２上アームＶ１と、１次側第２下アーム／Ｖ１の各スイッチング素子をスイッチング制御する機能を有する。

【００５１】

２次側スイッチング処理部５１０は、電力変換モード決定処理部５０２と位相差 ϕ 決定処理部５０４とオン時間 δ 決定処理部５０６の出力に基づいて、２次側第１上アームＵ２と、２次側第１下アーム／Ｕ２と、２次側第２上アームＶ２と、２次側第２下アーム／Ｖ２の各スイッチング素子をスイッチング制御する機能を有する。

【００５２】

< 電源装置１０１の動作 >

上記電源装置１０１の動作について、図１及び図２を用いて説明する。例えば、電源回路１０の電力変換モードをモードＦとして動作させることを要求する外部信号が入力されてきた場合には、制御部５０の電力変換モード決定処理部５０２は、電源回路１０の電力変換モードをモードＦとして決定する。このとき、第２入出力ポート６０ｃに入力された電圧が１次側変換回路２０の昇圧機能によって昇圧され、その昇圧された電圧の電力が電源回路１０のＤＣ－ＤＣコンバータ回路としての機能によって第３入出力ポート６０ｂ側へと伝送され、さらに、２次側変換回路３０の降圧機能によって降圧されて第４入出力ポート６０ｄから出力される。

【００５３】

ここで、１次側変換回路２０の昇降圧機能について詳細に説明する。第２入出力ポート６０ｃと第１入出力ポート６０ａについて着目すると、第２入出力ポート６０ｃの端子６１６は、１次側第１巻線２０２ａと、１次側第１巻線２０２ａに直列接続される１次側第１リアクトル２０４ａを介して、１次側第１アーム回路２０７の midpoint ２０７ｍに接続される。そして、１次側第１アーム回路２０７の両端は、第１入出力ポート６０ａに接続されているため、第２入出力ポート６０ｃの端子６１６と第１入出力ポート６０ａとの間には昇降圧回路が取り付けられていることとなる。

【００５４】

さらに、第２入出力ポート６０ｃの端子６１６は、１次側第２巻線２０２ｂと、１次側第２巻線２０２ｂに直列接続される１次側第２リアクトル２０４ｂを介して、１次側第２アーム回路２１１の midpoint ２１１ｍに接続される。そして、１次側第２アーム回路２１１の両端は、第１入出力ポート６０ａに接続されているため、第２入出力ポート６０ｃの端子６１６と第１入出力ポート６０ａとの間には、昇降圧回路が並列に取り付けられていることとなる。なお、２次側変換回路３０は、１次側変換回路２０とほぼ同様の構成を有する回路であるため、第４入出力ポート６０ｄの端子６２２と第３入出力ポート６０ｂとの間には、２つの昇降圧回路が並列に接続されていることとなる。したがって、２次側変換回路３０は、１次側変換回路２０と同様に昇降圧機能を有する。

【００５５】

次に、電源回路１０のＤＣ－ＤＣコンバータ回路としての機能について詳細に説明する。第１入出力ポート６０ａと第３入出力ポート６０ｂについて着目すると、第１入出力ポート６０ａには、１次側フルブリッジ回路２００が接続され、第３入出力ポート６０ｂは、２次側フルブリッジ回路３００が接続されている。そして、１次側フルブリッジ回路２００のブリッジ部分に設けられる１次側コイル２０２と、２次側フルブリッジ回路３００のブリッジ部分に設けられる２次側コイル３０２とが結合係数 k_T で磁気結合することで、変圧器４００が巻き数１：Ｎのセンタータップ式変圧器として機能する。したがって、１次側フルブリッジ回路２００と２次側フルブリッジ回路３００でのスイッチング素子のスイッチング周期運動の位相差 ϕ を調整することで、第１入出力ポート６０ａに入力された電力を変換して第３入出力ポート６０ｂに伝送させ、あるいは、第３入出力ポート６０ｂに入力された電力を変換して第１入出力ポート６０ａに伝送させることができる。

【００５６】

図 3 は、制御部 50 の制御によって、電源回路 10 に構成される各アームのオンオフのスイッチング波形のタイミングチャートを示す図である。図 3 において、U1 は、1 次側第 1 上アーム U1 のオンオフ波形であり、V1 は、1 次側第 2 上アーム V1 のオンオフ波形であり、U2 は、2 次側第 1 上アーム U2 のオンオフ波形であり、V2 は、2 次側第 2 上アーム V2 のオンオフ波形である。1 次側第 1 下アーム / U1、1 次側第 2 下アーム / V1、2 次側第 1 下アーム / U2、2 次側第 2 下アーム / V2 のオンオフ波形は、それぞれ、1 次側第 1 上アーム U1、1 次側第 2 上アーム V1、2 次側第 1 上アーム U2、2 次側第 2 上アーム V2 のオンオフ波形を反転した波形である（図示省略）。なお、上下アームの両オンオフ波形間には、上下アームの両方がオンすることで貫通電流が流れないようにデッドタイムが設けられているとよい。また、図 3 において、ハイレベルがオン状態を表し、ローレベルがオフ状態を表している。

10

【0057】

ここで、U1 と V1 と U2 と V2 の各オン時間 δ を変更することで、1 次側変換回路 20 と 2 次側変換回路 30 の昇降圧比を変更することができる。例えば、U1 と V1 と U2 と V2 の各オン時間 δ を互いに等しくすることで、1 次側変換回路 20 の昇降圧比と 2 次側変換回路 30 の昇降圧比を等しくできる。

【0058】

オン時間 δ 決定処理部 506 は、1 次側変換回路 20 と 2 次側変換回路 30 の昇降圧比が互いに等しくなるように、U1 と V1 と U2 と V2 の各オン時間 δ を互いに等しくする（各オン時間 $\delta = 1$ 次側オン時間 $\delta_{11} = 2$ 次側オン時間 $\delta_{12} =$ 時間値 α ）。

20

【0059】

1 次側変換回路 20 の昇降圧比は、1 次側フルブリッジ回路 200 に構成されるスイッチング素子（アーム）のスイッチング周期 T に占めるオン時間 δ の割合であるデューティ比 D によって決まる。同様に、2 次側変換回路 30 の昇降圧比は、2 次側フルブリッジ回路 300 に構成されるスイッチング素子（アーム）のスイッチング周期 T に占めるオン時間 δ の割合であるデューティ比 D によって決まる。1 次側変換回路 20 の昇降圧比は、第 1 入出力ポート 60a と第 2 入出力ポート 60c との間の変圧比であり、2 次側変換回路 30 の昇降圧比は、第 3 入出力ポート 60b と第 4 入出力ポート 60d との間の変圧比である。

【0060】

30

したがって、例えば、

1 次側変換回路 20 の昇降圧比

$$\begin{aligned} &= \text{第 2 入出力ポート 60c の電圧} / \text{第 1 入出力ポート 60a の電圧} \\ &= \delta_{11} / T = \alpha / T \end{aligned}$$

2 次側変換回路 30 の昇降圧比

$$\begin{aligned} &= \text{第 4 入出力ポート 60d の電圧} / \text{第 3 入出力ポート 60b の電圧} \\ &= \delta_{12} / T = \alpha / T \end{aligned}$$

と表される。つまり、1 次側変換回路 20 と 2 次側変換回路 30 の昇降圧比は互いに同じ値（ $= \alpha / T$ ）である。

【0061】

40

なお、図 3 のオン時間 δ は、1 次側第 1 上アーム U1 及び 1 次側第 2 上アーム V1 のオン時間 δ_{11} を表すとともに、2 次側第 1 上アーム U2 及び 2 次側第 2 上アーム V2 のオン時間 δ_{12} を表す。また、1 次側フルブリッジ回路 200 に構成されるアームのスイッチング周期 T と 2 次側フルブリッジ回路 300 に構成されるアームのスイッチング周期 T は等しい時間である。

【0062】

また、U1 と V1 との位相差は、180 度（ π ）で動作させ、U2 と V2 との位相差も 180 度（ π ）で動作させる。さらに、U1 と U2 の位相差 φ を変更することで、1 次側変換回路 20 と 2 次側変換回路 30 の間の電力伝送量 P を調整することができ、位相差 $\varphi > 0$ であれば、1 次側変換回路 20 から 2 次側変換回路 30 に伝送し、位相差 $\varphi < 0$ であ

50

れば、２次側変換回路３０から１次側変換回路２０に伝送することができる。

【００６３】

位相差φは、１次側フルブリッジ回路２００と２次側フルブリッジ回路３００との間での同じ相の電力変換回路部間でのスイッチングタイミングのずれ（タイムラグ）である。例えば、位相差φは、１次側第１アーム回路２０７と２次側第１アーム回路３０７との間でのスイッチングタイミングのずれであり、１次側第２アーム回路２１１と２次側第２アーム回路３１１との間でのスイッチングタイミングのずれである。それらのずれは互いに等しいまま制御される。つまり、U１とU２の位相差φ及びV１とV２の位相差φは、同じ値に制御される。

【００６４】

したがって、例えば、電源回路１０の電力変換モードをモードＦとして動作させることを要求する外部信号が入力されてきた場合に、電力変換モード決定処理部５０２はモードＦを選択することを決定する。そして、オン時間δ決定処理部５０６は、１次側変換回路２０を第２入出力ポート６０ｃに入力された電圧を昇圧して第１入出力ポート６０ａに出力する昇圧回路として機能させる場合の昇圧比を規定するオン時間δを設定する。なお、２次側変換回路３０では、オン時間δ決定処理部５０６によって設定されたオン時間δによって規定された降圧比で第３入出力ポート６０ｂに入力された電圧を降圧して第４入出力ポート６０ｄに出力する降圧回路として機能する。さらに、位相差φ決定処理部５０４は、第１入出力ポート６０ａに入力された電力を所望の電力伝送量Pで第３入出力ポート６０ｂに伝送するための位相差φを設定する。

【００６５】

１次側スイッチング処理部５０８は、１次側変換回路２０を昇圧回路として、かつ、１次側変換回路２０をＤＣ－ＤＣコンバータ回路の一部として機能させるように、１次側第１上アームU１と、１次側第１下アーム/U１と、１次側第２上アームV１と、１次側第２下アーム/V１の各スイッチング素子をスイッチング制御する。

【００６６】

２次側スイッチング処理部５１０は、２次側変換回路３０を降圧回路として、かつ、２次側変換回路３０をＤＣ－ＤＣコンバータ回路の一部として機能させるように、２次側第１上アームU２と、２次側第１下アーム/U２と、２次側第２上アームV２と、２次側第２下アーム/V２の各スイッチング素子をスイッチング制御する。

【００６７】

上記のように、１次側変換回路２０および２次側変換回路３０を昇圧回路あるいは降圧回路として機能させることができ、かつ、電源回路１０を双方向ＤＣ－ＤＣコンバータ回路としても機能させることができる。したがって、電力変換モードＡ～Ｌの全てのモードの電力変換を行うことができ、換言すれば、４つの入出力ポートのうちから選択された２つの入出力ポート間で電力変換をすることができる。

【００６８】

制御部５０により位相差φに応じて調整される伝送電力P（電力伝送量Pともいう）は、１次側変換回路２０と２次側変換回路３０において一方の変換回路から他方の変換回路に変圧器４００を介して送られる電力であり、

$$P = (N \times V_a \times V_b) / (\pi \times \omega \times L) \times F(D, \varphi) \quad \dots \text{式 1}$$

で表される。

【００６９】

なお、Nは、変圧器４００の巻き数比、V_aは、第１入出力ポート６０ａの入出力電圧、V_bは、第３入出力ポート６０ｂの入出力電圧、πは円周率、ω(=2π×f=2π/T)は１次側変換回路２０及び２次側変換回路３０のスイッチングの角周波数、fは、１次側変換回路２０及び２次側変換回路３０のスイッチング周波数、Tは、１次側変換回路２０及び２次側変換回路３０のスイッチング周期、Lは、磁気結合リアクトル２０４、３０４と変圧器４００の電力伝送に関わる等価インダクタンス、F(D, φ)は、デューテ

10

20

30

40

50

ィ比 D と位相差 ϕ を変数とする関数であり、デューティ比 D に依存せずに、位相差 ϕ が増加するにつれて単調増加する変数である。デューティ比 D 及び位相差 ϕ は、所定の上下限値に挟まれた範囲内で変化するように設計された制御パラメータである。

【0070】

制御部50は、1次側ポートと2次側ポートのうち少なくとも一つの所定のポートにおけるポート電圧 V_p が目標電圧 V_o に収束するように、位相差 ϕ を変更することによって、伝送電力 P を調整する。したがって、当該所定のポートに接続される負荷の消費電流が増えても、制御部50は、位相差 ϕ を変化させることにより伝送電力 P を調整することによって、ポート電圧 V_p が目標電圧 V_o に対して落ち込むことを防止できる。

【0071】

例えば、制御部50は、1次側ポートと2次側ポートのうち伝送電力 P の伝送先である片方のポートにおけるポート電圧 V_p が目標電圧 V_o に収束するように、位相差 ϕ を変更することによって、伝送電力 P を調整する。したがって、伝送電力 P の伝送先のポートに接続される負荷の消費電流が増えても、制御部50は、位相差 ϕ を上昇変化させることにより伝送電力 P を増加方向に調整することによって、ポート電圧 V_p が目標電圧 V_o に対して落ち込むことを防止できる。

【0072】

ところで、伝送電力 P の伝送先ポートに流れる電流が設計想定値を超えると（例えば、負荷が当該ポートに後付けで追加された場合など）、制御部50は伝送電力 P が増えるように位相差 ϕ を大きくするため、位相差 ϕ は上限値 ϕ_{max} に到達する可能性がある。しかしながら、制御部50は、位相差 ϕ を上限値 ϕ_{max} よりも大きくすることができないため、位相差 ϕ が上限値 ϕ_{max} に等しいときに生成される伝送電力 P が当該ポートに必要な電力よりも不足していると、ポート電圧 V_p が目標電圧 V_o に対して低下する。

【0073】

そこで、制御部50は、位相差 ϕ が上限値 ϕ_{max} に等しく且つ伝送先ポートのポート電圧 V_p が設定閾値 V_{th} 未満であることが検出されたとき、目標電圧 V_o を減少させる減少手段を有している。

【0074】

ポート電圧 V_p の目標値である目標電圧 V_o が減少すると、制御部50により、実際のポート電圧 V_p も目標電圧 V_o の減少に従って減少する。例えばバッテリー等の電源が伝送先ポートに接続される場合、伝送先ポートのポート電圧 V_p が減少すると、電源の電源電圧及びインピーダンスと、伝送先ポートのポート電圧 V_p 及びインピーダンスとのバランスにより、伝送先ポートから出力されるポート電流 I_p が減少する。ポート電流 I_p が減少することにより、伝送先ポートに接続される電源から出力される電源電流 I_s が増加するため、伝送先ポートに接続される負荷の消費電流が増加しても、伝送先ポートにおけるポート電圧 V_p の落ち込みを防止できる。

【0075】

制御部50は、例えば、位相差 ϕ が上限値 ϕ_{max} に等しい場合において、伝送電力 P の2つの伝送先ポートのうち、一方のポートのポート電圧が設定閾値未満 V_{th} 未満であるとき、他方のポートの目標電圧を減少させる。

【0076】

例えば、制御部50は、位相差 ϕ が上限値 ϕ_{max} に等しい場合において、第1入出力ポート60aのポート電圧 V_a が設定閾値 V_{th} 未満であるとき、第2入出力ポート60cのポート電圧 V_c の目標電圧 V_{co} を減少させる。目標電圧 V_{co} の減少により、実際のポート電圧 V_c も減少するため、第2入出力ポート60cから1次側低電圧系負荷61cに出力される電力も減少する。したがって、第1入出力ポート60aに接続される1次側高電圧系負荷61aの消費電流が過剰に上昇しても、第2入出力ポート60cから1次側低電圧系負荷61cに出力される電力の減少分を第1入出力ポート60aに振り替えることができるため、ポート電圧 V_a の落ち込みを抑制できる。

【0077】

10

20

30

40

50

また、例えば、制御部 50 は、位相差 ϕ が上限値 ϕ_{max} に等しい場合において、第 2 入出力ポート 60c のポート電圧 V_c が設定閾値 V_{th} 未満であるとき、第 1 入出力ポート 60a のポート電圧 V_a の目標電圧 V_{ao} を減少させてもよい。目標電圧 V_{ao} の減少により、実際のポート電圧 V_a も減少するため、第 1 入出力ポート 60a から 1 次側高電圧系負荷 61a に出力される電力も減少する。したがって、第 2 入出力ポート 60c に接続される 1 次側低電圧系負荷 61c の消費電流が過剰に上昇しても、第 1 入出力ポート 60a から 1 次側高電圧系負荷 61a に出力される電力の減少分を第 2 入出力ポート 60b に振り替えることができるため、ポート電圧 V_c の落ち込みを抑制できる。

【0078】

図 4 は、制御部 50 の構成例を示したブロック図である。制御部 50 は、PID 制御部 51 と、上限値検出部 52 と、設定閾値検出部 53 と、目標電圧調整部 54 とを有している。

10

【0079】

PID 制御部 51 は、PID 制御によって、伝送電力 P の伝送先ポートのうち第 1 のポートのポート電圧 V_{p1} を第 1 の目標電圧 V_{o1} に収束させるための位相差 ϕ の指令値 ϕ_o を、スイッチング周期 T 毎に生成する位相差指令値生成部を有している。

【0080】

例えば、PID 制御部 51 の位相差指令値生成部は、伝送電力 P の伝送先ポートのうち高電位側のポートである第 1 入出力ポート 60a のポート電圧 V_a を目標電圧 V_{ao} に収束させるための位相差 ϕ の指令値 ϕ_o を生成する。位相差指令値生成部は、ポート電圧 V_a の目標電圧 V_{ao} とセンサ部 70 によって取得されたポート電圧 V_a の検出電圧 V_{ad} との偏差に基づいて PID 制御を行うことによって、当該偏差を零に収束させるための指令値 ϕ_o をスイッチング周期 T 毎に生成する。

20

【0081】

制御部 50 は、PID 制御部 51 によって生成された指令値 ϕ_o に従って、1 次側変換回路 20 及び 2 次側変換回路 30 のスイッチング制御を行うことによって、ポート電圧 V_{p1} が第 1 の目標電圧 V_{o1} に収束するように、伝送電力 P を調整する。例えば、制御部 50 は、ポート電圧 V_a の検出電圧 V_{ad} がポート電圧 V_a の目標電圧 V_{ao} に収束するように、位相差 ϕ の指令値 ϕ_o を変更することによって、式 1 によって定められる伝送電力 P を調整する。

30

【0082】

また、PID 制御部 51 は、PID 制御によって、伝送電力 P の伝送先ポートのうち第 2 のポートのポート電圧 V_{p2} を第 2 の目標電圧 V_{o2} に収束させるためのデューティ比 D の指令値 D_o を、スイッチング周期 T 毎に生成するデューティ比指令値生成部を有している。

【0083】

例えば、PID 制御部 51 のデューティ比指令値生成部は、伝送電力 P の伝送先ポートのうち低電位側のポートである第 2 入出力ポート 60c のポート電圧 V_c を目標電圧 V_{co} に収束させるためのデューティ比 D の指令値 D_o を生成する。デューティ比指令値生成部は、ポート電圧 V_c の目標電圧 V_{co} とセンサ部 70 によって取得されたポート電圧 V_c の検出電圧 V_{cd} との偏差に基づいて PID 制御を行うことによって、当該偏差を零に収束させるための指令値 D_o をスイッチング周期 T 毎に生成する。

40

【0084】

制御部 50 は、PID 制御部 51 によって生成された指令値 D_o に従って、1 次側変換回路 20 及び 2 次側変換回路 30 のスイッチング制御を行うことによって、ポート電圧 V_{p2} が第 2 の目標電圧 V_{o2} に収束するように、昇降圧比を調整する。この昇降圧比は、伝送電力 P の伝送先ポートのうちの第 1 のポートと第 2 のポートとの間の変圧比である。例えば、制御部 50 は、ポート電圧 V_c の検出電圧 V_{cd} がポート電圧 V_c の目標電圧 V_{co} に収束するように、デューティ比 D の指令値 D_o を変更することによって、第 1 入出力ポート 60a と第 2 入出力ポート 60c との間の昇降圧比を調整する。

50

【 0 0 8 5 】

なお、P I D制御部 5 1 は、デューティ比 D の指令値 D_o に代えて、オン時間 δ の指令値 δ_o を生成するオン時間指令値生成部を有してもよい。

【 0 0 8 6 】

上限値検出部 5 2 は、位相差 ϕ の指令値 ϕ_o が上限値 ϕ_{max} に等しいか否かを検出する手段である。

【 0 0 8 7 】

設定閾値検出部 5 3 は、伝送電力 P の伝送先ポートのうち第 1 のポートのポート電圧 V_{p1} の検出電圧が設定閾値 V_{th} 未満であるか否かを検出する手段である。例えば、設定閾値検出部 5 3 は、ポート電圧 V_a の検出電圧 V_{ad} が設定閾値 V_{th} よりも小さいか否かを検出する。

10

【 0 0 8 8 】

目標電圧調整部 5 4 は、上限値検出部 5 2 及び設定閾値検出部 5 3 の検出結果に基づいて、伝送電力 P の伝送先ポートのうち第 2 のポートのポート電圧 V_{p2} の第 2 の目標電圧 V_o2 を調整する手段である。例えば、目標電圧調整部 5 4 は、ポート電圧 V_c の検出電圧 V_{cd} に比較されるポート電圧 V_c の目標電圧 V_{co} を調整する手段である。

【 0 0 8 9 】

図 5 は、電力変換方法の一例を示したフローチャートである。図 5 の電力変換方法は、制御部 5 0 によって実行される。

【 0 0 9 0 】

20

ステップ S 1 0 において、目標電圧調整部 5 4 は、位相差 ϕ の指令値 ϕ_o が上限値 ϕ_{max} に等しいか否かを判定する。位相差 ϕ の指令値 ϕ_o が上限値 ϕ_{max} に等しいか否かを判定することによって、制御上、指令値 ϕ_o が上限値 ϕ_{max} に張り付いているか否かを判定できる。

【 0 0 9 1 】

目標電圧調整部 5 4 は、位相差 ϕ の指令値 ϕ_o が上限値 ϕ_{max} に等しいことが上限値検出部 5 2 により検出された場合、指令値 ϕ_o が上限値 ϕ_{max} で固定されているため、ステップ S 2 0 の処理を実行する。一方、目標電圧調整部 5 4 は、位相差 ϕ の指令値 ϕ_o が上限値 ϕ_{max} に等しくない（つまり、上限値 ϕ_{max} 未満である）ことが上限値検出部 5 2 により検出された場合、指令値 ϕ_o が上限値 ϕ_{max} 未満の値であるため、ステップ S 4 0 の処理を実行する。

30

【 0 0 9 2 】

ステップ S 2 0 において、目標電圧調整部 5 4 は、ポート電圧 V_a の検出電圧 V_{ad} が設定閾値 V_{th} 未満であるか否かを判定する。目標電圧調整部 5 4 は、ポート電圧 V_a の検出電圧 V_{ad} が設定閾値 V_{th} 未満であることが設定閾値検出部 5 3 により検出された場合、ステップ S 3 0 の処理を実行する。指令値 ϕ_o が上限値 ϕ_{max} に一致している場合において、ポート電圧 V_a の検出電圧 V_{ad} が設定閾値 V_{th} 未満である状態とは、伝送電力 P の出力が最大であっても、第 1 入出力ポート 6 0 a での電力不足によって、ポート電圧 V_a が落ち込んでいることを表す。

【 0 0 9 3 】

40

そこで、目標電圧調整部 5 4 は、ステップ S 3 0 において、ポート電圧 V_a の落ち込みを抑制するため、ポート電圧 V_c の目標電圧 V_{co} を減少させる。

【 0 0 9 4 】

通常時、目標電圧 V_{co} は 1 次側低電圧系電源 6 2 c の電源電圧よりも十分高い値に設定されているため、1 次側低電圧系負荷 6 1 c に流れる電流は、1 次側低電圧系電源 6 2 c からほとんど供給されずに、第 2 入出力ポート 6 0 c から供給される（図 1 参照）。つまり、通常時では、1 次側低電圧系電源 6 2 c は、第 2 入出力ポート 6 0 c のポート電圧 V_c によって充電されている。

【 0 0 9 5 】

ポート電圧 V_c の目標値である目標電圧 V_{co} が通常時から減少すると、図 4 の P I D

50

制御部 51 のデューティ比指令値生成部により、実際のポート電圧 V_c も目標電圧 V_{co} の減少に追従して減少する。ポート電圧 V_c の減少により、1 次側低電圧系電源 62c の電源電圧及びインピーダンスと、第 2 入出力ポート 60c のポート電圧 V_c 及びインピーダンスとのバランスにより、第 2 入出力ポート 60c から出力されるポート電流 I_c が減少する。ポート電流 I_c が減少し始めることにより、第 2 入出力ポート 60c に接続される 1 次側低電圧系電源 62c から出力される電源電流 I_{cs} が増加し始める。

【0096】

特に、目標電圧調整部 54 は、目標電圧 V_{co} を 1 次側低電圧系電源 62c の電源電圧よりも減少させると、1 次側低電圧系負荷 61c に流れる電流は、第 2 入出力ポート 60c からほとんど供給されずに、1 次側低電圧系電源 62c から供給される。つまり、目標電圧 V_{co} が 1 次側低電圧系電源 62c の電源電圧よりも低い状態では、1 次側低電圧系電源 62c は、放電されている。

10

【0097】

つまり、目標電圧 V_{co} を減少させることによって、電源回路 10 全体の消費電力（消費電流）を低減できるため、位相差 ϕ が上限値 ϕ_{max} に固定されたままの状態を回避できる。そして、1 次側低電圧系電源 62c から出力される電源電流 I_{cs} が増加するため、1 次側低電圧系負荷 61c の消費電流が増加し且つ第 2 入出力ポート 60c から出力されるポート電流 I_c が減少しても、ポート電圧 V_c の落ち込みを抑制できる。また、第 2 入出力ポート 60c は 1 次側低電圧系電源 62c が接続されているため、ポート電圧 V_c が 1 次側低電圧系電源 62c の電源電圧よりも落ち込みにくい。

20

【0098】

一方、第 1 入出力ポート 60a は 1 次側高電圧系負荷 61a のみが接続され電源が接続されていない。しかしながら、第 2 入出力ポート 60c から出力される電力が減るため、1 次側高電圧系負荷 61a の消費電流が増加しても、変圧器 400 を介して第 1 入出力ポート 60a から供給される伝送電力 P によって、ポート電圧 V_a の落ち込みを抑制できる。つまり、第 2 入出力ポート 60c から出力される電力の減少分を、第 1 入出力ポート 60a から出力される電力に振り替えることができる。

【0099】

図 5 のステップ S20 及び S30 において、目標電圧調整部 54 は、ポート電圧 V_a の検出電圧 V_{ad} が設定閾値 V_{th} 以上に少なくとも上昇するまで、ポート電圧 V_c の目標電圧 V_{co} を減少させる。目標電圧 V_{co} の減少によって、第 2 入出力ポート 60c から出力される電力が減少し、第 1 入出力ポート 60a から出力される電力が上昇する。これにより、落ち込んだポート電圧 V_a が上昇する。

30

【0100】

また、ステップ S30 において、目標電圧調整部 54 は、目標電圧 V_{co} を所定の電圧減少幅 ΔV 毎に漸減させる。目標電圧を漸減させることにより、その目標電圧に比較されるポート電圧が急変することを防止できる。目標電圧調整部 54 は、目標電圧 V_{co} を電圧減少幅 ΔV だけ減少させる毎に、ステップ S20 の処理を実行する。

【0101】

ステップ S20 において、目標電圧調整部 54 は、ポート電圧 V_a の検出電圧 V_{ad} が設定閾値 V_{th} 以上であることが設定閾値検出部 53 により検出された場合、ポート電圧 V_a の落ち込み量が減少したため、ステップ S10 の処理を実行する。

40

【0102】

一方、ステップ S40 において、目標電圧調整部 54 は、ポート電圧 V_c の目標電圧 V_{co} が目標電圧 V_{co} の初期値未満であるか否かを判定する。目標電圧 V_{co} の初期値は、例えば、通常時に通常値として設定される基準値であり、1 次側低電圧系電源 62c の通常時の電源電圧よりも高い電圧である。目標電圧調整部 54 は、目標電圧 V_{co} がその初期値未満であることが検出された場合、目標電圧 V_{co} がその初期値以上に上昇するまで、目標電圧 V_{co} を上昇させる（ステップ S40 及び S50）。これにより、ステップ S30 で減少させた目標電圧 V_{co} を元の値に戻すことができる。

50

【 0 1 0 3 】

また、ステップ S 5 0 において、目標電圧調整部 5 4 は、目標電圧 V_{co} を所定の電圧増加幅 ΔV 毎に漸増させる。目標電圧を漸増させることにより、その目標電圧に比較されるポート電圧が急変することを防止できる。

【 0 1 0 4 】

目標電圧調整部 5 4 は、目標電圧 V_{co} を電圧増加幅 ΔV だけ増加させると、ステップ S 1 0 の処理を実行する。

【 0 1 0 5 】

以上、電力変換装置及び電力変換方法を実施形態例により説明したが、本発明は上記実施形態例に限定されるものではない。他の実施形態例の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

【 0 1 0 6 】

例えば、上述の実施形態では、スイッチング素子の一例として、オンオフ動作する半導体素子である MOSFET を挙げた。しかしながら、スイッチング素子は、例えば、IGBT、MOSFET などの絶縁ゲートによる電圧制御型パワー素子でもよいし、バイポーラトランジスタでもよい。

【 0 1 0 7 】

また、第 1 入出力ポート 6 0 a に電源が接続されてもよいし、第 4 入出力ポート 6 0 d に電源が接続されてもよい。また、第 2 入出力ポート 6 0 c に電源が接続されなくてもよいし、第 3 入出力ポート 6 0 b に電源が接続されなくてもよい。

【 0 1 0 8 】

また、図 1 において、第 2 入出力ポート 6 0 c に 1 次側低電圧系電源 6 2 c が接続されているが、第 1 入出力ポート 6 0 a と第 2 入出力ポート 6 0 c のいずれにも電源が接続されなくてもよい。

【 0 1 0 9 】

また、2 次側ポートから 1 次側ポートに電力を伝送する場合に限らず、1 次側ポートから 2 次側ポートに電力を伝送する場合への適用も可能である。

【 符号の説明 】

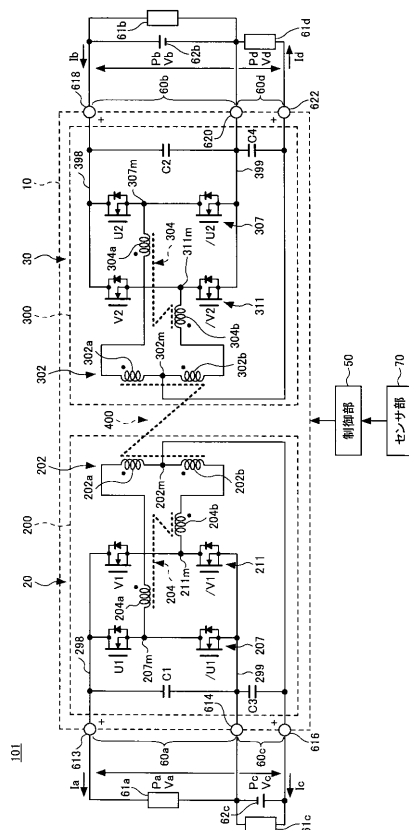
【 0 1 1 0 】

1 0	電源回路	30
2 0	1 次側変換回路	
3 0	2 次側変換回路	
5 0	制御部	
5 1	P I D 制御部	
5 2	上限値検出部	
5 3	設定閾値検出部	
5 4	目標電圧調整部	
6 0 a	第 1 入出力ポート	
6 0 b	第 3 入出力ポート	
6 0 c	第 2 入出力ポート	40
6 0 d	第 4 入出力ポート	
7 0	センサ部	
1 0 1	電源装置（電力変換装置の一例）	
2 0 0	1 次側フルブリッジ回路	
2 0 2	1 次側コイル	
2 0 4	1 次側磁気結合リアクトル	
2 0 7	1 次側第 1 アーム回路	
2 1 1	1 次側第 2 アーム回路	
2 0 7 m , 2 1 1 m	中点	
2 9 8	1 次側正極母線	50

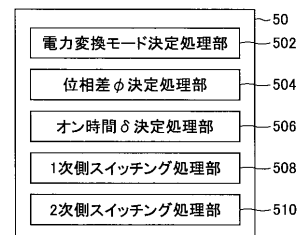
2 9 9 1 次側負極母線
 3 0 0 2 次側フルブリッジ回路
 3 0 2 2 次側コイル
 3 0 4 2 次側磁気結合リアクトル
 3 0 7 2 次側第 1 アーム回路
 3 1 1 2 次側第 2 アーム回路
 3 0 7 m , 3 1 1 m 中点
 3 9 8 2 次側正極母線
 3 9 9 2 次側負極母線
 4 0 0 変圧器
 U * , V * 上アーム
 / U * , / V * 下アーム

10

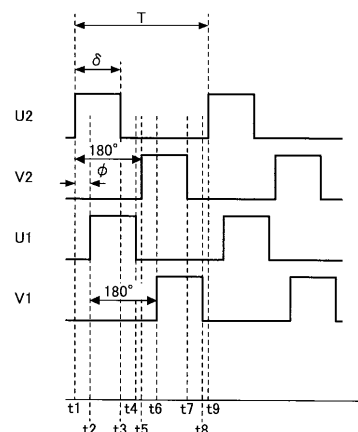
【図 1】



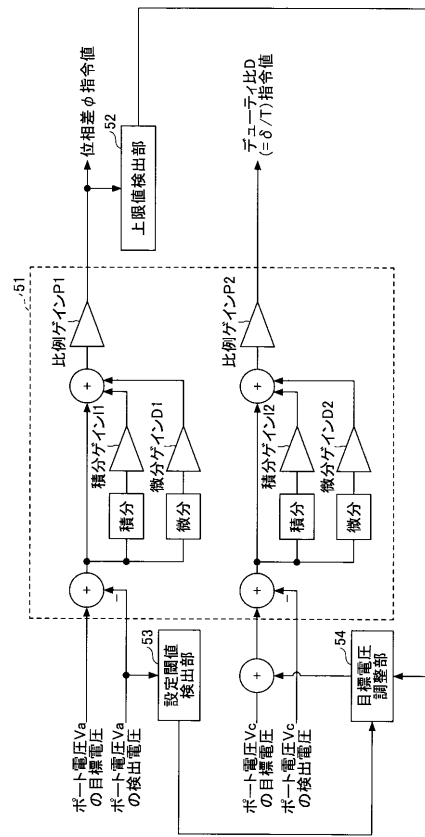
【図 2】



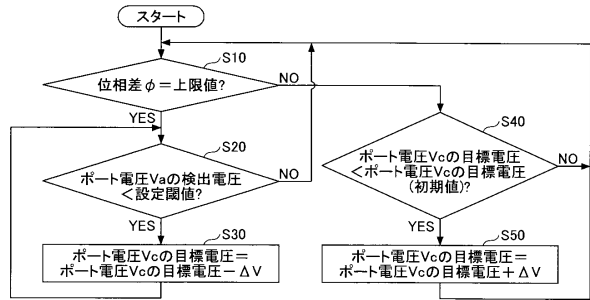
【図 3】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 国際公開第2007/060998(WO, A1)

特開2009-044889(JP, A)

特開2011-130521(JP, A)

特開2012-125040(JP, A)

特開2011-193713(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44