



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0136254  
 (43) 공개일자 2014년11월28일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/20 (2006.01) G09G 3/36 (2006.01)  
 (21) 출원번호 10-2013-0056558  
 (22) 출원일자 2013년05월20일  
 심사청구일자 없음

(71) 출원인  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**유상희**  
 경기 과천시 청석로 300, 916동 1402호 (다올동, 청석마을대원효성아파트)  
**이보선**  
 충북 청주시 상당구 무심동로 86, 105동 1001호 (용암동, 강변뜨란채아파트)  
**정훈주**  
 경기 성남시 분당구 중앙공원로 53, 116동 501호 (서현동, 시범단지삼성한신아파트)  
 (74) 대리인  
**특허법인로알**

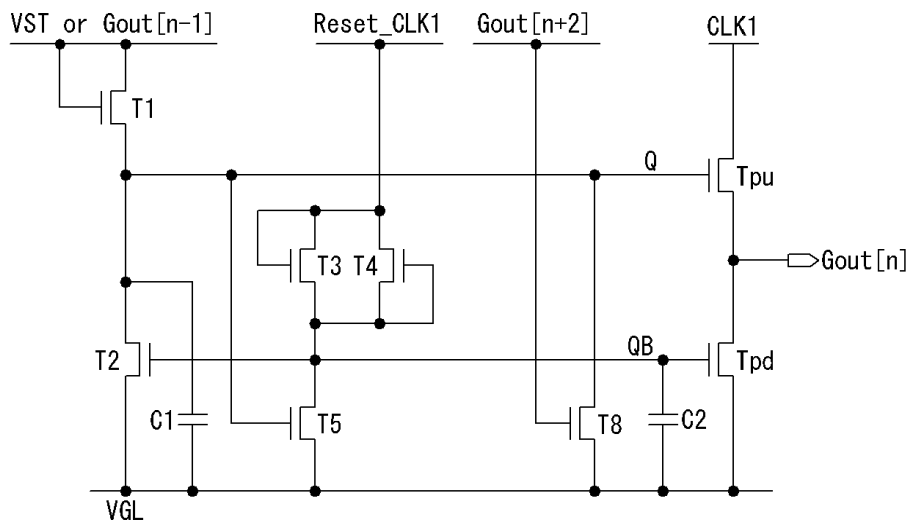
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **스캔 구동부 및 이를 이용한 표시장치**

**(57) 요약**

본 발명은 스타트신호, 클록신호들 및 리셋클록신호들을 출력하는 레벨 시프터; 및 스타트신호, 클록신호들 및 리셋클록신호들에 대응하여 스캔 신호를 시프트하여 출력하는 스테이지들로 구성된 시프트 레지스터를 포함하며, 스테이지들의 제N스테이지는 Q노드의 전위에 대응하여 제N클록신호를 제N스테이지의 출력단자에 출력하는 풀업 트랜지스터와, QB노드의 전위에 대응하여 저전위전압을 제N스테이지의 출력단자에 출력하는 풀다운 트랜지스터와, Q노드를 충전전시키는 Q노드 충전전부와, QB노드를 충전전시키는 QB노드 충전전부를 포함하되, QB노드 충전전부는 제N스테이지의 출력단자를 통해 저전위전압이 출력된 이후 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지할 수 있다.

**대표도 - 도4**



## 특허청구의 범위

### 청구항 1

스타트신호, 클록신호들 및 리셋클록신호들을 출력하는 레벨 시프터; 및

상기 스타트신호, 상기 클록신호들 및 상기 리셋클록신호들에 대응하여 스캔 신호를 시프트하여 출력하는 스테이지들로 구성된 시프트 레지스터를 포함하며,

상기 스테이지들의 제N스테이지는

Q노드의 전위에 대응하여 제N클록신호를 상기 제N스테이지의 출력단자에 출력하는 풀업 트랜지스터와,

QB노드의 전위에 대응하여 저전위전압을 상기 제N스테이지의 출력단자에 출력하는 풀다운 트랜지스터와,

상기 Q노드를 충전시키는 Q노드 충전전부와,

상기 QB노드를 충전시키는 QB노드 충전전부를 포함하되,

상기 QB노드 충전전부는 상기 제N스테이지의 출력단자를 통해 상기 저전위전압이 출력된 이후 상기 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 것을 특징으로 하는 스캔 구동부.

### 청구항 2

제1항에 있어서,

상기 QB노드 충전전부는

로직 로우의 제N리셋클록신호가 공급되면 상기 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 것을 특징으로 하는 스캔 구동부.

### 청구항 3

제1항에 있어서,

상기 QB노드 충전전부는

상기 Q노드의 전위에 대응하여 상기 QB노드를 방전시키는 QB노드 방전 트랜지스터와,

적어도 하나가 제N리셋클록신호에 대응하여 상기 QB노드를 충전시키거나 상기 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 미리형 트랜지스터를 포함하되,

상기 QB노드는 상기 미리형 트랜지스터 중 하나의 문턱전압에 대응되는 전압 레벨로 유지되는 것을 특징으로 하는 스캔 구동부.

### 청구항 4

제3항에 있어서,

상기 미리형 트랜지스터는

상기 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 상기 QB노드에 제2전극이 연결된 제1측 트랜지스터와,

상기 QB노드에 게이트전극과 제1전극이 연결되고 상기 제N리셋클록신호단자에 제2전극이 연결된 제2측 트랜지스터를 포함하는 스캔 구동부.

### 청구항 5

제3항에 있어서,

상기 미리형 트랜지스터는

상기 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 상기 QB노드에 제2

전극이 연결된 제1측 트랜지스터와,

상기 QB노드에 게이트전극과 제1전극이 연결된 제2-1측 트랜지스터와,

상기 제2-1측 트랜지스터의 제2전극에 제1전극과 게이트전극이 연결되고 상기 제N리셋클록신호단자에 제2전극이 연결된 제2-2측 트랜지스터를 포함하는 스캔 구동부.

#### 청구항 6

제1항에 있어서,

상기 Q노드 충전전부는

상기 스타트신호가 공급되는 스타트신호단자 또는 제N-1스테이지의 출력단자에 게이트전극과 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 제1트랜지스터와,

상기 QB노드에 게이트전극이 연결되고 상기 저전위전압이 공급되는 저전위전압단자에 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 제2트랜지스터와,

제N+2스테이지의 출력단자에 게이트전극이 연결되고 상기 저전위전압단자에 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 Q노드 방전 트랜지스터를 포함하는 스캔 구동부.

#### 청구항 7

표시패널;

상기 표시패널의 데이터라인들에 연결된 데이터 구동부; 및

상기 표시패널의 스캔라인들에 연결되며 스타트신호, 클록신호들 및 리셋클록신호들을 출력하는 레벨 시프터와, 상기 스타트신호, 상기 클록신호들 및 상기 리셋클록신호들에 대응하여 스캔 신호를 시프트하여 출력하는 스테이지들로 구성된 시프트 레지스터를 포함하며,

상기 스테이지들의 제N스테이지는

Q노드의 전위에 대응하여 제N클록신호를 상기 제N스테이지의 출력단자에 출력하는 풀업 트랜지스터와,

QB노드의 전위에 대응하여 저전위전압을 상기 제N스테이지의 출력단자에 출력하는 풀다운 트랜지스터와,

상기 Q노드를 충전시키기는 Q노드 충전전부와,

상기 QB노드를 충전시키기는 QB노드 충전전부를 포함하되,

상기 QB노드 충전전부는 상기 제N스테이지의 출력단자를 통해 상기 저전위전압이 출력된 이후 상기 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 것을 특징으로 하는 표시장치.

#### 청구항 8

제7항에 있어서,

상기 QB노드 충전전부는

로직 로우의 제N리셋클록신호가 공급되면 상기 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 것을 특징으로 하는 표시장치.

#### 청구항 9

제7항에 있어서,

상기 QB노드 충전전부는

상기 Q노드의 전위에 대응하여 상기 QB노드를 방전시키는 QB노드 방전 트랜지스터와,

적어도 하나가 제N리셋클록신호에 대응하여 상기 QB노드를 충전시키거나 상기 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 미러형 트랜지스터를 포함하되,

상기 QB노드는 상기 미러형 트랜지스터 중 하나의 문턱전압에 대응되는 전압 레벨로 유지되는 것을 특징으로 하

는 표시장치.

**청구항 10**

제9항에 있어서,

상기 미러형 트랜지스터는

상기 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 상기 QB노드에 제2전극이 연결된 제1측 트랜지스터와,

상기 QB노드에 게이트전극과 제1전극이 연결되고 상기 제N리셋클록신호단자에 제2전극이 연결된 제2측 트랜지스터를 포함하는 표시장치.

**청구항 11**

제9항에 있어서,

상기 미러형 트랜지스터는

상기 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 상기 QB노드에 제2전극이 연결된 제1측 트랜지스터와,

상기 QB노드에 게이트전극과 제1전극이 연결된 제2-1측 트랜지스터와,

상기 제2-1측 트랜지스터의 제2전극에 제1전극과 게이트전극이 연결되고 상기 제N리셋클록신호단자에 제2전극이 연결된 제2-2측 트랜지스터를 포함하는 표시장치.

**청구항 12**

제7항에 있어서,

상기 Q노드 충전부는

상기 스타트신호가 공급되는 스타트신호단자 또는 제N-1스테이지의 출력단자에 게이트전극과 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 제1트랜지스터와,

상기 QB노드에 게이트전극이 연결되고 상기 저전위전압이 공급되는 저전위전압단자에 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 제2트랜지스터와,

제N+2스테이지의 출력단자에 게이트전극이 연결되고 상기 저전위전압단자에 제1전극이 연결되고 상기 Q노드에 제2전극이 연결된 Q노드 방전 트랜지스터를 포함하는 표시장치.

**명세서**

**기술분야**

[0001] 본 발명은 스캔 구동부 및 이를 이용한 표시장치에 관한 것이다.

**배경기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 일부 예컨대, 액정표시장치나 유기전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔 신호(또는 게이트신호)를 공급하는 스캔 구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 위와 같은 표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔 신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

- [0005] 한편, 스캔 신호를 출력하는 스캔 구동부는 집적회로 형태로 표시패널의 외부기판에 실장되는 외장형과 박막 트랜지스터 공정과 함께 이루어지는 게이트인패널(Gate In Panel) 형태로 표시패널에 형성되는 내장형으로 구분된다.
- [0006] 내장형 스캔 구동부는 아몰포스 실리콘이나 산화물 박막 트랜지스터 등으로 이루어진다. 산화물 박막 트랜지스터의 경우 아몰포스 실리콘 박막 트랜지스터 대비 전류의 이동 특성이 우수하여 회로의 크기를 축소 설계할 수 있는 장점이 있다. 그러나 산화물 박막 트랜지스터는 아몰포스 실리콘 박막 트랜지스터 대비 스트레스 바이어스에 따른 문턱전압의 회복 특성이 낮은 단점이 있다.
- [0007] 따라서, 산화물 박막 트랜지스터로 내장형 스캔 구동부를 구성하고 표시패널을 구동하면 아몰포스 실리콘 박막 트랜지스터 대비 한계 수명에 도달하는 시간이 짧다. 그러므로, 내장형 스캔 구동부는 회로의 신뢰성과 수명을 증가시키기 위한 방안이 요구된다.

**발명의 내용**

**해결하려는 과제**

- [0008] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 포지티브 바이어스 스트레스를 줄여 스캔 구동부의 수명과 신뢰성을 향상시킬 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공하는 것이다.

**과제의 해결 수단**

- [0009] 상술한 과제 해결 수단으로 본 발명은 스타트신호, 클록신호들 및 리셋클록신호들을 출력하는 레벨 시프터; 및 스타트신호, 클록신호들 및 리셋클록신호들에 대응하여 스캔 신호를 시프트하여 출력하는 스테이지들로 구성된 시프트 레지스터를 포함하며, 스테이지들의 제N스테이지는 Q노드의 전위에 대응하여 제N클록신호를 제N스테이지의 출력단자에 출력하는 풀업 트랜지스터와, QB노드의 전위에 대응하여 저전위전압을 제N스테이지의 출력단자에 출력하는 풀다운 트랜지스터와, Q노드를 충전전시키는 Q노드 충전전부와, QB노드를 충전전시키는 QB노드 충전전부를 포함하되, QB노드 충전전부는 제N스테이지의 출력단자를 통해 저전위전압이 출력된 이후 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지할 수 있다.
- [0010] QB노드 충전전부는 로직 로우의 제N리셋클록신호가 공급되면 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지할 수 있다.
- [0011] QB노드 충전전부는 Q노드의 전위에 대응하여 QB노드를 방전시키는 QB노드 방전 트랜지스터와, 적어도 하나가 제N리셋클록신호에 대응하여 QB노드를 충전시키거나 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 미러형 트랜지스터를 포함하되, QB노드는 미러형 트랜지스터 중 하나의 문턱전압에 대응되는 전압 레벨로 유지될 수 있다.
- [0012] 미러형 트랜지스터는 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 QB노드에 제2전극이 연결된 제1측 트랜지스터와, QB노드에 게이트전극과 제1전극이 연결되고 제N리셋클록신호단자에 제2전극이 연결된 제2측 트랜지스터를 포함할 수 있다.
- [0013] 미러형 트랜지스터는 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 QB노드에 제2전극이 연결된 제1측 트랜지스터와, QB노드에 게이트전극과 제1전극이 연결된 제2-1측 트랜지스터와, 제2-1측 트랜지스터의 제2전극에 제1전극과 게이트전극이 연결되고 제N리셋클록신호단자에 제2전극이 연결된 제2-2측 트랜지스터를 포함할 수 있다.
- [0014] Q노드 충전전부는 스타트신호가 공급되는 스타트신호단자 또는 제N-1스테이지의 출력단자에 게이트전극과 제1전극이 연결되고 Q노드에 제2전극이 연결된 제1트랜지스터와, QB노드에 게이트전극이 연결되고 저전위전압이 공급되는 저전위전압단자에 제1전극이 연결되고 Q노드에 제2전극이 연결된 제2트랜지스터와, 제N+2스테이지의 출력단자에 게이트전극이 연결되고 저전위전압단자에 제1전극이 연결되고 Q노드에 제2전극이 연결된 Q노드 방전 트랜지스터를 포함할 수 있다.
- [0015] 다른 측면에서 본 발명은 표시패널; 표시패널의 데이터라인들에 연결된 데이터 구동부; 및 표시패널의 스캔라인들에 연결되며 스타트신호, 클록신호들 및 리셋클록신호들을 출력하는 레벨 시프터와, 스타트신호, 클록신호들 및 리셋클록신호들에 대응하여 스캔 신호를 시프트하여 출력하는 스테이지들로 구성된 시프트 레지스터를 포함하며, 스테이지들의 제N스테이지는 Q노드의 전위에 대응하여 제N클록신호를 제N스테이지의 출력단자에 출력하는

풀업 트랜지스터와, QB노드의 전위에 대응하여 저전위전압을 제N스테이지의 출력단자에 출력하는 풀다운 트랜지스터와, Q노드를 충전시키는 Q노드 충전전부와, QB노드를 충전시키는 QB노드 충전전부를 포함하되, QB노드 충전전부는 제N스테이지의 출력단자를 통해 저전위전압이 출력된 이후 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 것을 특징으로 하는 표시장치를 제공한다.

- [0016] QB노드 충전전부는 로직 로우의 제N리셋클록신호가 공급되면 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지할 수 있다.
- [0017] QB노드 충전전부는 Q노드의 전위에 대응하여 QB노드를 방전시키는 QB노드 방전 트랜지스터와, 적어도 하나가 제N리셋클록신호에 대응하여 QB노드를 충전시키거나 QB노드를 로직 하이와 로직 로우 사이의 전압으로 유지하는 미러형 트랜지스터를 포함하되, QB노드는 미러형 트랜지스터 중 하나의 문턱전압에 대응되는 전압 레벨로 유지될 수 있다.
- [0018] 미러형 트랜지스터는 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 QB노드에 제2전극이 연결된 제1측 트랜지스터와, QB노드에 게이트전극과 제1전극이 연결되고 제N리셋클록신호단자에 제2전극이 연결된 제2측 트랜지스터를 포함할 수 있다.
- [0019] 미러형 트랜지스터는 제N리셋클록신호가 공급되는 제N리셋클록신호단자에 게이트전극과 제1전극이 연결되고 QB노드에 제2전극이 연결된 제1측 트랜지스터와, QB노드에 게이트전극과 제1전극이 연결된 제2-1측 트랜지스터와, 제2-1측 트랜지스터의 제2전극에 제1전극과 게이트전극이 연결되고 제N리셋클록신호단자에 제2전극이 연결된 제2-2측 트랜지스터를 포함할 수 있다.
- [0020] Q노드 충전전부는 스타트신호가 공급되는 스타트신호단자 또는 제N-1스테이지의 출력단자에 게이트전극과 제1전극이 연결되고 Q노드에 제2전극이 연결된 제1트랜지스터와, QB노드에 게이트전극이 연결되고 저전위전압이 공급되는 저전위전압단자에 제1전극이 연결되고 Q노드에 제2전극이 연결된 제2트랜지스터와, 제N+2스테이지의 출력단자에 게이트전극이 연결되고 저전위전압단자에 제1전극이 연결되고 Q노드에 제2전극이 연결된 Q노드 방전 트랜지스터를 포함할 수 있다.

**발명의 효과**

- [0021] 본 발명은 QB노드에 인가되는 전압을 낮추고 해당 노드의 포지티브 바이어스 스트레스를 줄여 스캔 구동부의 수명과 신뢰성을 향상시킬 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공하는 효과가 있다. 또한, 본 발명은 미러형 트랜지스터에 의해 QB노드에 인가되는 전압이 자동으로 가변되도록 하여 해당 노드를 셀프 리프레쉬(Self Refresh)할 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공하는 효과가 있다.

**도면의 간단한 설명**

- [0022] 도 1은 표시장치의 개략적인 블록도.
- 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도.
- 도 3은 본 발명의 제1실시예에 따른 시프트 레지스터의 블록 구성도.
- 도 4는 본 발명의 제1실시예에 따른 제N스테이지의 회로 구성도.
- 도 5는 도 4에 도시된 제N스테이지의 동작 설명을 위한 일부 구성도.
- 도 6은 도 4에 도시된 제N스테이지의 동작 타이밍도.
- 도 7은 본 발명의 제2실시예에 따른 제N스테이지의 회로 구성도.
- 도 8은 도 7에 도시된 제N스테이지의 동작 설명을 위한 일부 구성도.
- 도 9는 도 7에 도시된 제N스테이지의 동작 타이밍도.

**발명을 실시하기 위한 구체적인 내용**

- [0023] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0024] <제1실시예>
- [0025] 도 1은 표시장치의 개략적인 블록도이고, 도 2는 도 1에 도시된 서브 픽셀의 구성 예시도이다.

- [0026] 도 1에 도시된 바와 같이, 표시장치에는 표시패널(100), 타이밍 컨트롤러(110), 데이터 구동부(120) 및 스캔 구동부(130, 140)가 포함된다.
- [0027] 표시패널(10)에는 상호 교차하는 데이터 라인들(DL) 및 스캔 라인들(GL)에 구분되어 연결된 서브 픽셀들이 포함된다. 표시패널(10)은 서브 픽셀들이 형성되는 표시영역(100A)과 표시영역(100A)의 외측으로 각종 신호라인들이나 패드 등이 형성되는 비표시영역(100B)을 포함한다. 표시패널(100)은 액정표시장치(LCD), 유기발광표시장치(OLED), 전기영동표시장치(EPD) 등으로 구현될 수 있다.
- [0028] 도 2에 도시된 바와 같이, 하나의 서브 픽셀(SP)에는 스캔 라인(GL1)과 데이터 라인(DL1)에 연결된 스위칭 트랜지스터(SW)와 스위칭 트랜지스터(SW)를 통해 공급된 스캔 신호에 대응하여 공급된 데이터신호(DATA)에 대응하여 동작하는 픽셀회로(PC)가 포함된다. 서브 픽셀(SP)은 픽셀회로(PC)의 구성에 따라 액정소자를 포함하는 액정표시패널이나 유기발광소자를 포함하는 유기발광표시패널 등으로 구현된다.
- [0029] 표시패널(100)이 액정표시패널로 구성된 경우, 이는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다. 표시패널(100)이 유기발광표시패널로 구성된 경우, 이는 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다.
- [0030] 타이밍 컨트롤러(110)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 수신회로를 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 도트 클럭 등의 타이밍신호를 입력받는다. 타이밍 컨트롤러(110)는 입력된 타이밍신호를 기준으로 데이터 구동부(120)와 스캔 구동부(130, 140)의 동작 타이밍을 제어하기 위한 타이밍 제어 신호들을 발생한다.
- [0031] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(110)로부터 디지털 비디오 데이터들(RGB)과 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 디지털 비디오 데이터들(RGB)을 감마전압으로 변환하여 데이터전압을 생성하고, 데이터전압을 표시패널(100)의 데이터 라인들(DL)을 통해 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 표시패널(100)의 데이터 라인들(DL)에 접속된다.
- [0032] 스캔 구동부(130, 140)는 레벨 시프터(130) 및 시프트 레지스터(140)를 포함한다. 스캔 구동부(130, 140)는 레벨 시프터(130)와 시프트 레지스터(140)가 구분되어 형성된 게이트인패널(Gate In Panel; 이하 GIP) 방식으로 형성된다. 레벨 시프터(130)는 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 외부 기판에 형성된다.
- [0033] 레벨 시프터(130)는 타이밍 컨트롤러(11)의 제어하에 클럭신호들(clk), 리셋클럭신호들(reset\_clk) 및 스타트신호(vst)의 레벨을 시프팅한 후 시프트 레지스터(140)에 공급한다. 시프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에 박막 트랜지스터(이하 TFT) 형태로 형성된다. 시프트 레지스터(140)는 클럭신호들(clk), 리셋클럭신호들(reset\_clk) 및 스타트신호(vst)에 대응하여 스캔 신호를 시프트하고 출력하는 스테이지들로 구성된다. 시프트 레지스터(140)에 포함된 스테이지들은 출력단들을 통해 스캔 신호들을 순차적으로 출력한다.
- [0034] 한편, 시프트 레지스터(140)는 박막 트랜지스터들로 이루어진다. 산화물 박막 트랜지스터는 아몰포스 실리콘 박막 트랜지스터 대비 전류의 이동 특성이 우수하여 회로의 크기를 축소 설계할 수 있는 장점이 있다. 그러나 산화물 박막 트랜지스터는 아몰포스 실리콘 박막 트랜지스터 대비 스트레스 바이어스에 따른 문턱전압의 회복 특성이 낮은 단점이 있다. 그 이유는 아몰포스 실리콘 박막 트랜지스터의 경우 시간이 지나도 문턱전압을 일정하게 유지하지만(Clamping Voltage Saturation), 산화물 박막 트랜지스터의 경우 시간이 지남에 따라 문턱전압이 포지티브(+) 방향으로 계속 시프트되기 때문이다(Clamping Voltage Not Saturation).
- [0035] 본 발명은 GIP 방식으로 내장된 시프트 레지스터(140)의 수명과 신뢰성을 개선하기 위해 포지티브 바이어스 스트레스(Positive Bias Stress)를 많이 받는 풀다운 트랜지스터의 이펙티브 스트레스 타임(Effective Stress Time)을 단축하는 방식을 제안한다. 이 방식에 따르면, 시프트 레지스터(140)를 산화물 박막 트랜지스터들로 구현할 경우 수명과 신뢰성을 향상시킬 수 있다. 그리고 이 방식에 따르면, 산화물 박막 트랜지스터는 물론 아몰포스 실리콘 박막 트랜지스터 등으로도 시프트 레지스터(140)를 구현할 수 있다.
- [0036] 이하, 수명과 신뢰성을 개선할 수 있는 GIP 방식의 시프트 레지스터에 대해 설명한다.
- [0037] 도 3은 본 발명의 제1실시예에 따른 시프트 레지스터의 블록 구성도이고, 도 4는 본 발명의 제1실시예에 따른

제N스테이지의 회로 구성도이며, 5는 도 4에 도시된 제N스테이지의 동작 설명을 위한 일부 구성도이고, 도 6은 도 4에 도시된 제N스테이지의 동작 타이밍도이다.

- [0038] 도 3 내지 도 6에 도시된 바와 같이, 본 발명의 제1실시예에 따른 시프트 레지스터에는 다수의 스테이지들(STG[n] ~ STG[n+2])이 포함된다. 다수의 스테이지들(STG[n] ~ STG[n+2])에는 4상의 클록신호들(clk1 ~ clk4), 4상의 리셋클록신호들(reset\_clk1 ~ reset\_clk4), 저전위전압 및 스타트신호(vst)가 공급된다.
- [0039] 제N스테이지(STG[n])는 스타트신호(vst), 제1클록신호(clk1), 제1리셋클록신호(reset\_clk1) 및 제N+2스테이지(STG[n+2])의 출력단자(Gout[n+2])로부터 출력되는 스캔 신호(Vg\_out[n+2])를 기반으로 동작한다. 제N스테이지(STG[n])는 자신의 출력단(Gout[n])을 통해 제N스캔 신호(Vg\_out[n])를 출력한다.
- [0040] 제N+1스테이지(STG[n+1])는 제N스테이지(STG[n])의 출력단자(Gout[n])로부터 출력되는 스캔 신호(Vg\_out[n]), 제2클록신호(clk2), 제2리셋클록신호(reset\_clk2) 및 제N+3스테이지의 출력단으로부터 출력되는 스캔 신호를 기반으로 동작한다. 제N+1스테이지(STG[n+1])는 자신의 출력단(Gout[n+1])을 통해 제N+1스캔 신호(Vg\_out[n+1])를 출력한다.
- [0041] 제N+2스테이지(STG[n+2])는 제N+1스테이지(STG[n+1])의 출력단자(Gout[n+1])로부터 출력되는 스캔 신호(Vg\_out[n+1]), 제3클록신호(clk3), 제3리셋클록신호(reset\_clk3) 및 제N+4스테이지의 출력단자로부터 출력되는 스캔 신호를 기반으로 동작한다. 제N+2스테이지(STG[n+2])는 자신의 출력단(Gout[n+2])을 통해 제N+2스캔 신호(Vg\_out[n+2])를 출력한다.
- [0042] 다수의 스테이지들(STG[n] ~ STG[n+2])은 위와 같이 전단의 출력단으로부터 출력되는 스캔 신호를 후단이 이용하도록 종속적으로 접속된다. 예컨대, 제N스테이지(STG[n])의 출력단자(Gout[n])로부터 출력되는 스캔 신호(Vg\_out[n])는 제N+1스테이지(STG[n+1])의 스타트신호단자(VST)에 공급된다. 또한, 다수의 스테이지들(STG[n] ~ STG[n+2])은 위와 같이 자신보다 두 단 후에 위치하는 출력단자로부터 출력되는 스캔 신호를 리셋 신호(Q노드의 리셋 신호)로 이용하도록 접속된다. 예컨대, 제N+2스테이지(STG[n+2])의 출력단자(Gout[n+2])로부터 출력되는 스캔 신호(Vg\_out[n+2])는 제N스테이지(STG[n])의 리셋단자(Vnext)에 공급된다.
- [0043] 이하, 제N스테이지(STG[n])를 일례로 다수의 스테이지들(STG[n] ~ STG[n+2])에 대한 회로의 구성에 대해 구체적으로 설명한다.
- [0044] 제N스테이지(STG[n])에는 풀업 트랜지스터(Tpu), 풀다운 트랜지스터(Tpd), Q노드 충전전부(T1, T2, T8), QB노드 충전전부(T3, T4, T5), 제1커패시터(C1) 및 제2커패시터(C2)가 포함된다.
- [0045] 먼저, 풀업 트랜지스터(Tpu), 풀다운 트랜지스터(Tpd), Q노드 충전전부(T1, T2, T8), QB노드 충전전부(T3, T4, T5), 제1커패시터(C1) 및 제2커패시터(C2)의 역할 및 이들 간의 접속 관계를 설명하면 다음과 같다.
- [0046] 풀업 트랜지스터(Tpu)는 Q노드(Q)의 전위에 대응하여 제N클록신호를 제N스테이지의 출력단자(Gout[n])에 출력한다. 이하, 설명의 편의를 위해 제N클록신호를 제1클록신호(clk1)로 정의한다. 그러나 클록신호의 경우 스테이지의 위치에 따라 다른 신호(예컨대 제2클록신호, 제3클록신호 등)가 선택되어 입력될 수 있음을 참고한다. 풀업 트랜지스터(Tpu)는 Q노드(Q)에 게이트전극이 연결되고 제1클록신호(clk1)를 공급하는 제1클록신호단자(CLK[n])에 제1전극이 연결되며 제N스테이지의 출력단자(Gout[n])에 제2전극이 연결된다.
- [0047] 풀다운 트랜지스터(Tpd)는 QB노드(QB)의 전위에 대응하여 저전위전압을 제N스테이지의 출력단자(Gout[n])에 출력한다. 풀다운 트랜지스터(Tpd)는 QB노드(QB)에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VGL)(또는 VSS)에 제1전극이 연결되며 제N스테이지의 출력단자(Gout[n])에 제2전극이 연결된다.
- [0048] Q노드 충전전부(T1, T2, T8)는 스타트신호(vst) 또는 전단인 제N-1스테이지의 출력단자(Gout[n-1])의 전위에 대응하여 Q노드(Q)를 충전하거나 방전한다. Q노드 충전전부(T1, T2, T8)는 제1트랜지스터(T1), 제2트랜지스터(T2) 및 Q노드 방전 트랜지스터(T8)를 포함한다.
- [0049] 제1트랜지스터(T1)는 스타트신호(vst) 또는 제N-1스테이지의 출력단자(Gout[n-1])의 전위에 대응하여 턴온되고 Q노드(Q)를 충전시킨다. 이하, 설명의 편의를 위해 제1트랜지스터(T1)는 스타트신호(vst)의 전위를 따르는 것을 일례로 한다. 그러나 제1트랜지스터(T1)의 경우 스테이지의 위치에 따라 스타트신호를 직접 받거나 전단(또는 2단 전)의 스테이지의 출력단으로부터 스타트신호에 대응되는 신호를 공급받을 수 있음을 참고한다. 제1트랜지스터(T1)는 제N-1스테이지의 출력단(Gout[n-1])에 게이트전극과 제1전극이 공통으로 연결되고 Q노드(Q)에 제2전극이 연결된다.

- [0050] 제2트랜지스터(T2)는 QB노드(QB)의 전위에 대응하여 턴온되고 Q노드(Q)를 저전위전압으로 방전시킨다. 제2트랜지스터(T2)는 QB노드(QB)에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VGL)에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다.
- [0051] Q노드 방전 트랜지스터(T8)는 제N+2스테이지의 출력단자(Gout[n+2])의 전위에 대응하여 턴온되고 Q노드(Q)를 저전위전압으로 방전시킨다. Q노드 방전 트랜지스터(T8)는 Q노드(Q)의 방전 레벨을 저전위전압으로 유지하는 역할을 한다. Q노드 방전 트랜지스터(T8)는 제N+2스테이지의 출력단자(Gout[n+2])에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VGL)에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다.
- [0052] QB노드 충전부(T3, T4, T5)는 제1리셋클럭신호(clk1)에 대응하여 QB노드(QB)를 충전시키거나 QB노드(QB)를 로직 하이와 로직 로우 사이의 전압으로 유지하며 방전한다. QB노드 충전부(T3, T4, T5)는 미러형 트랜지스터(T3, T4) 및 QB노드 방전 트랜지스터(T5)를 포함한다.
- [0053] 미러형 트랜지스터(T3, T4)는 적어도 하나가 제N리셋클럭신호에 대응하여 QB노드(QB)를 충전시키거나 QB노드(QB)를 로직 하이와 로직 로우 사이의 전압으로 유지한다. 이하, 설명의 편의를 위해 제N리셋클럭신호를 제1리셋클럭신호(reset\_clk1)로 정의한다. 그러나 리셋클럭신호의 경우 스테이지의 위치에 따라 다른 신호(예컨대 제2리셋클럭신호, 제3리셋클럭신호 등)가 선택되어 입력될 수 있음을 참고한다.
- [0054] 미러형 트랜지스터(T3, T4)는 제1측 트랜지스터(T3)와 제2측 트랜지스터(T4)를 포함한다. 제1측 트랜지스터(T3)는 제1리셋클럭신호(reset\_clk1)가 공급되는 제1리셋클럭신호단자(Reset\_CLK1)에 게이트전극과 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제2측 트랜지스터(T4)는 QB노드(QB)에 게이트전극과 제1전극이 연결되고 제1리셋클럭신호단자(Reset\_CLK1)에 제2전극이 연결된다.
- [0055] QB노드 방전 트랜지스터(T5)는 Q노드(Q)의 전위에 대응하여 턴온되고 QB노드(QB)를 저전위전압으로 방전시킨다. QB노드 방전 트랜지스터(T5)는 QB노드(QB)의 방전 레벨을 저전위전압으로 유지하는 역할을 한다.
- [0056] 제1커패시터(C1)는 Q노드(Q)가 전기적으로 플로팅(floating)될 시, 노드의 전압을 로직 로우의 전압으로 홀딩하는 역할을 한다. 제1커패시터(C1)는 Q노드(Q)에 일단이 연결되고 저전위전압단자(VGL)에 타단이 연결된다. 제2커패시터(C2)는 QB노드(QB)가 전기적으로 플로팅(floating)될 시, 노드의 전압을 로직 로우의 전압으로 홀딩하는 역할을 한다. 제2커패시터(C2)는 QB노드(QB)에 일단이 연결되고 저전위전압단자(VGL)에 타단이 연결된다.
- [0057] 한편, 위의 설명에서는 시프트 레지스터가 N타입 트랜지스터로 구성된 것을 일례로 하였으나, 본 발명은 이에 한정되지 않는다. 그리고 위의 설명에서는 N타입 트랜지스터의 드레인전극 및 소오스전극을 제1전극 및 제2전극으로 설명하였으나 이는 제2전극 및 제1전극으로 바뀔 수도 있다.
- [0058] 다음, 클럭신호들 및 리셋클럭신호들의 체계를 설명하면 다음과 같다.
- [0059] 4상의 클럭신호들(clk1 ~ clk4)의 체계를 보면 제1 내지 제4클럭신호들(clk1 ~ clk4)은 순차적으로 로직 하이 상태에서 로직 로우 상태로 전환되도록 형성된다. 이때, 제1 내지 제4클럭신호들(clk1 ~ clk4)은 상호 비중첩하는 구간을 갖도록 형성된다.
- [0060] 4상의 리셋클럭신호들(reset\_clk1 ~ reset\_clk4)의 체계를 보면 제1 내지 제4리셋클럭신호들(reset\_clk1 ~ reset\_clk4)은 순차적으로 로직 하이 상태에서 로직 로우 상태로 전환되도록 형성된다. 이때, 제1 내지 제4리셋클럭신호들(reset\_clk1 ~ reset\_clk4)은 로직 하이 상태의 신호가 비중첩하는 구간을 가지며 서로 이격되도록 형성된다. 아울러, 제1 내지 제4리셋클럭신호들(reset\_clk1 ~ reset\_clk4)의 로직 하이 구간은 제1 내지 제4클럭신호들(clk1 ~ clk4)의 로직 하이 구간보다 앞서도록 형성된다. 즉, 제1 내지 제4리셋클럭신호들(reset\_clk1 ~ reset\_clk4)의 라이징 엣지는 제1 내지 제4클럭신호들(clk1 ~ clk4)의 라이징 엣지보다 앞서도록 형성된다. 제1 내지 제4리셋클럭신호들(reset\_clk1 ~ reset\_clk4)의 라이징 엣지를 제1 내지 제4클럭신호들(clk1 ~ clk4)의 라이징 엣지의 전에 형성하는 이유는 이들 간의 커플링을 최소화함과 더불어 소비전력을 낮추기 위함이다.
- [0061] 이하, 제N스테이지의 동작 특성에 대해 설명한다.
- [0062] Q노드(Q)는 로직 하이(H)에 해당하는 스타트신호(vst)의 전위에 대응하여 충전되고, 로직 로우(L)에 해당하는 제N+2스테이지의 출력단자(Gout[+2])에 대응하여 방전된다. Q노드(Q)가 충전된 상태일 때에는 제1클럭신호(clk1)의 로직 하이(H)에 해당하는 스캔 신호가 출력되는 반면, Q노드(Q)가 방전된 상태일 때에는 저전위전압의 로직 로우(L)에 해당하는 스캔 신호가 출력된다.
- [0063] 구체적으로 설명하면, Q노드(Q)는 로직 하이(H)에 해당하는 스타트신호(vst)의 전위에 대응하여 제1트랜지스터

(T1)가 턴옴에 따라 충전된다. 이때, QB노드(QB)는 로직 하이(H)의 제1리셋클럭신호(reset\_clk1)의 전위에 대응하여 제1 및 제2측 트랜지스터(T3, T4)가 일시적으로 턴옴에 따라 잠시 충전된다(도 6의 (1)부분 참조). 그러나 QB노드 방전 트랜지스터(T5)의 Vgs1(도 5 참조)이 제2측 트랜지스터(T4)의 Vgs2(도 5 참조) 보다 증가하게 되므로 풀다운 트랜지스터(Tpd)는 턴옴되지 않고 리셋된다.

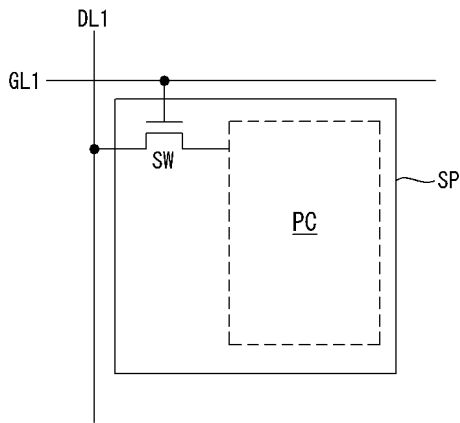
- [0064] 미러형 트랜지스터(T3, T4)가 위와 같이 동작할 수 있는 최적의 조건을 구성하기 위해, QB노드 방전 트랜지스터(T5)의 채널의 폭을 제1측 트랜지스터(T3)의 채널의 폭보다 크게 하는 것이 좋다.
- [0065] Q노드(Q)가 충전됨에 따라 풀다운 트랜지스터(Tpu)는 제N스테이지의 출력단자(Gout[n])를 통해 로직 하이(H)의 제1클럭신호(clk1)를 출력한다. 로직 하이(H)의 제1클럭신호(clk1)가 출력된 이후 Q노드(Q)는 제1커패시터(C1)에 의해 방전된다.
- [0066] 이후 로직 로우(L)에 해당하는 스타트신호(vst)의 전위에 대응하여 제1트랜지스터(T1)는 턴옴되고, 제N+2스테이지의 출력단자(Gout[n+2])의 전위에 대응하여 Q노드 방전 트랜지스터(T8)가 턴옴에 따라 Q노드(Q)는 방전된다. 로직 하이(H)에 해당하는 제1리셋클럭신호(reset\_clk1)의 전위에 대응하여 턴옴된 제2측 트랜지스터(T4)를 통해 QB노드(QB)는 리셋된다. 이때, QB노드(QB)는 제2측 트랜지스터(T4)의 문턱전압(Vth)에 해당하는 전압으로 유지된다(도 6의 (2)부분 참조).
- [0067] 이 구간 동안 제2측 트랜지스터(T4) 및 풀다운 트랜지스터(Tpd)의 게이트전극에 가해지는 스트레스(Effective Stress)는 유사하게 되므로 이들의 문턱전압 시프트(Vth Shift) 정도는 유사한 수준이 될 것이다. 이에 따라, 제2측 트랜지스터(T4)의 문턱전압이 포지티브 방향으로 시프트되면 QB노드(QB)에 인가되는 전압의 레벨은 이에 대응하여 증가하게 된다. 즉, QB노드(QB)는 제2측 트랜지스터(T4)의 문턱전압에 대응되는 전압을 인가받게 된다.
- [0068] 통상 QB노드(QB)는 로직 로우(L)의 스캔 신호를 출력한 이후 로직 하이(H)가 지속적으로 인가됨에 따라 포지티브 바이어스 스트레스(Positive Bias Stress)를 받는다. 그러나, 본 발명과 같이 구성된 미러형 트랜지스터(T3, T4)와 QB노드 방전 트랜지스터(T5)를 적용하면, 로직 로우(L)의 스캔 신호를 출력한 이후 제2측 트랜지스터(T4)의 문턱전압(Vth)에 해당하는 전압으로 QB노드(QB)의 전압이 유지되므로 포지티브 바이어스 스트레스를 감소시킬 수 있게 된다.
- [0069] <제2실시예>
- [0070] 도 7은 본 발명의 제2실시예에 따른 제N스테이지의 회로 구성도이며, 8은 도 7에 도시된 제N스테이지의 동작 설명을 위한 일부 구성도이고, 도 9는 도 7에 도시된 제N스테이지의 동작 타이밍도이다.
- [0071] 도 3, 도 7 내지 도 9에 도시된 바와 같이, 본 발명의 제2실시예에 따른 시프트 레지스터 또한 다수의 스테이지들(STG[n] ~ STG[n+2])이 포함된다. 다수의 스테이지들(STG[n] ~ STG[n+2])에는 4상의 클럭신호들(clk1 ~ clk4), 4상의 리셋클럭신호들(reset\_clk1 ~ reset\_clk4), 저전위전압 및 스타트신호(vst)가 공급된다.
- [0072] 본 발명의 제2실시예에 따른 시프트 레지스터 또한 다수의 스테이지들(STG[n] ~ STG[n+2]) 또한 제1실시예와 동일하게 종속적인 접속 관계를 가지므로 이에 대한 설명은 생략하고, 제N스테이지(STG[n])를 일례로 다수의 스테이지들(STG[n] ~ STG[n+2])에 대한 회로의 구성에 대해 구체적으로 설명한다.
- [0073] 제N스테이지(STG[n])에는 풀업 트랜지스터(Tpu), 풀다운 트랜지스터(Tpd), Q노드 충전부(T1, T2, T8), QB노드 충전부(T3, T4, T5), 제1커패시터(C1) 및 제2커패시터(C2)가 포함된다.
- [0074] 먼저, 풀업 트랜지스터(Tpu), 풀다운 트랜지스터(Tpd), Q노드 충전부(T1, T2, T8), QB노드 충전부(T3, T4, T5), 제1커패시터(C1) 및 제2커패시터(C2)의 역할 및 이들 간의 접속 관계를 설명하면 다음과 같다.
- [0075] 풀업 트랜지스터(Tpu)는 Q노드(Q)의 전위에 대응하여 제N클럭신호를 제N스테이지의 출력단자(Gout[n])에 출력한다. 이하, 설명의 편의를 위해 제N클럭신호를 제1클럭신호(clk1)로 정의한다. 그러나 클럭신호의 경우 스테이지의 위치에 따라 다른 신호(예컨대 제2클럭신호, 제3클럭신호 등)가 선택되어 입력될 수 있음을 참고한다. 풀업 트랜지스터(Tpu)는 Q노드(Q)에 게이트전극이 연결되고 제1클럭신호(clk1)를 공급하는 제1클럭신호단자(CLK[n])에 제1전극이 연결되며 제N스테이지의 출력단자(Gout[n])에 제2전극이 연결된다.
- [0076] 풀다운 트랜지스터(Tpd)는 QB노드(QB)의 전위에 대응하여 저전위전압을 제N스테이지의 출력단자(Gout[n])에 출력한다. 풀다운 트랜지스터(Tpd)는 QB노드(QB)에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VGL)(또는 VSS)에 제1전극이 연결되며 제N스테이지의 출력단자(Gout[n])에 제2전극이 연결된다.

- [0077] Q노드 충전전부(T1, T2, T8)는 스타트신호(vst) 또는 전단인 제N-1스테이지의 출력단자(Gout[n-1])의 전위에 대응하여 Q노드(Q)를 충전하거나 방전한다. Q노드 충전전부(T1, T2, T8)는 제1트랜지스터(T1), 제2트랜지스터(T2) 및 Q노드 방전 트랜지스터(T8)를 포함한다.
- [0078] 제1트랜지스터(T1)는 스타트신호(vst) 또는 제N-1스테이지의 출력단자(Gout[n-1])의 전위에 대응하여 턴온되고 Q노드(Q)를 충전시킨다. 이하, 설명의 편의를 위해 제1트랜지스터(T1)는 스타트신호(vst)의 전위를 따르는 것을 일례로 한다. 그러나 제1트랜지스터(T1)의 경우 스테이지의 위치에 따라 스타트신호를 직접 받거나 전단(또는 2단 전)의 스테이지의 출력단으로부터 스타트신호에 대응되는 신호를 공급받을 수 있음을 참고한다. 제1트랜지스터(T1)는 제N-1스테이지의 출력단(Gout[n-1])에 게이트전극과 제1전극이 공통으로 연결되고 Q노드(Q)에 제2전극이 연결된다.
- [0079] 제2트랜지스터(T2)는 QB노드(QB)의 전위에 대응하여 턴온되고 Q노드(Q)를 저전위전압으로 방전시킨다. 제2트랜지스터(T2)는 QB노드(QB)에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VGL)에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다.
- [0080] Q노드 방전 트랜지스터(T8)는 제N+2스테이지의 출력단자(Gout[n+2])의 전위에 대응하여 턴온되고 Q노드(Q)를 저전위전압으로 방전시킨다. Q노드 방전 트랜지스터(T8)는 Q노드(Q)의 방전 레벨을 저전위전압으로 유지하는 역할을 한다. Q노드 방전 트랜지스터(T8)는 제N+2스테이지의 출력단자(Gout[n+2])에 게이트전극이 연결되고 저전위전압을 공급하는 저전위전압단자(VGL)에 제1전극이 연결되고 Q노드(Q)에 제2전극이 연결된다.
- [0081] QB노드 충전전부(T3, T4, T5)는 제1리셋클럭신호(clk1)에 대응하여 QB노드(QB)를 충전시키거나 QB노드(QB)를 로직 하이와 로직 로우 사이의 전압으로 유지하며 방전한다. QB노드 충전전부(T3, T4, T5)는 미러형 트랜지스터(T3, T4-1, T4-2) 및 QB노드 방전 트랜지스터(T5)를 포함한다.
- [0082] 미러형 트랜지스터(T3, T4-1, T4-2)는 적어도 하나가 제N리셋클럭신호에 대응하여 QB노드(QB)를 충전시키거나 QB노드(QB)를 로직 하이와 로직 로우 사이의 전압으로 유지한다. 이하, 설명의 편의를 위해 제N리셋클럭신호를 제1리셋클럭신호(reset\_clk1)로 정의한다. 그러나 리셋클럭신호의 경우 스테이지의 위치에 따라 다른 신호(예컨대 제2리셋클럭신호, 제3리셋클럭신호 등)가 선택되어 입력될 수 있음을 참고한다.
- [0083] 미러형 트랜지스터(T3, T4-1, T4-2)는 제1측 트랜지스터(T3), 제2-1측 트랜지스터(T4-1) 및 제2-2측 트랜지스터(T4-2)를 포함한다. 제1측 트랜지스터(T3)는 제1리셋클럭신호(reset\_clk1)가 공급되는 제1리셋클럭신호단자(Reset\_CLK1)에 게이트전극과 제1전극이 연결되고 QB노드(QB)에 제2전극이 연결된다. 제2-1측 트랜지스터(T4-1)는 QB노드(QB)에 게이트전극과 제1전극이 연결된다. 제2-2측 트랜지스터(T4-2)는 제2-1측 트랜지스터(T4-1)의 제2전극에 제1전극과 게이트전극이 연결되고 제1리셋클럭신호단자(Reset\_CLK1)에 제2전극이 연결된다.
- [0084] 본 발명의 제2실시예에서는 제2측트랜지스터(T4-1, T4-2)가 두 개의 트랜지스터로 구성된 것을 일례로 하였다. 그러나, 제2측트랜지스터(T4-1, T4-2)는 QB노드(QB)에 인가되는 전압을 높이기 위해 N개(N은 2 이상 정수)로 구성될 수도 있다. 즉, QB노드(QB)에 인가되는 전압은 제2측트랜지스터(T4-1, T4-2)의 개수가 증가하면 증가하게 되고 제2측트랜지스터(T4-1, T4-2)의 개수가 감소하면 감소하게 된다. 이와 같이, QB노드(QB)에 인가되는 전압은 제2측트랜지스터(T4-1, T4-2)의 개수를 변경하는 방법으로 조절될 수 있는데, 제2측트랜지스터(T4-1, T4-2)의 개수는 QB노드(QB)가 받는 포지티브 바이어스 스트레스에 대응하여 설정될 수 있음을 의미한다. 예컨대, 본 발명의 제2실시예와 같이 제2측트랜지스터(T4-1, T4-2)가 두 개로 구성된 경우, QB노드(QB)는 제2측트랜지스터(T4-1, T4-2)의 문턱전압(예:  $2 \cdot V_{th}$ )에 대응되는 전압이 걸리게 된다.
- [0085] QB노드 방전 트랜지스터(T5)는 Q노드(Q)의 전위에 대응하여 턴온되고 QB노드(QB)를 저전위전압으로 방전시킨다. QB노드 방전 트랜지스터(T5)는 QB노드(QB)의 방전 레벨을 저전위전압으로 유지하는 역할을 한다.
- [0086] 제1커패시터(C1)는 Q노드(Q)가 전기적으로 플로팅(floating)될 시, 노드의 전압을 로직 로우의 전압으로 홀딩하는 역할을 한다. 제1커패시터(C1)는 Q노드(Q)에 일단이 연결되고 저전위전압단자(VGL)에 타단이 연결된다. 제2커패시터(C2)는 QB노드(QB)가 전기적으로 플로팅(floating)될 시, 노드의 전압을 로직 로우의 전압으로 홀딩하는 역할을 한다. 제2커패시터(C2)는 QB노드(QB)에 일단이 연결되고 저전위전압단자(VGL)에 타단이 연결된다.
- [0087] 한편, 위의 설명에서는 시프트 레지스터가 N타입 트랜지스터로 구성된 것을 일례로 하였으나, 본 발명은 이에 한정되지 않는다. 그리고 위의 설명에서는 N타입 트랜지스터의 드레인전극 및 소오스전극을 제1전극 및 제2전극으로 설명하였으나 이는 제2전극 및 제1전극으로 바뀔 수도 있다.
- [0088] 다음, 클럭신호들 및 리셋클럭신호들의 체계를 설명하면 다음과 같다.

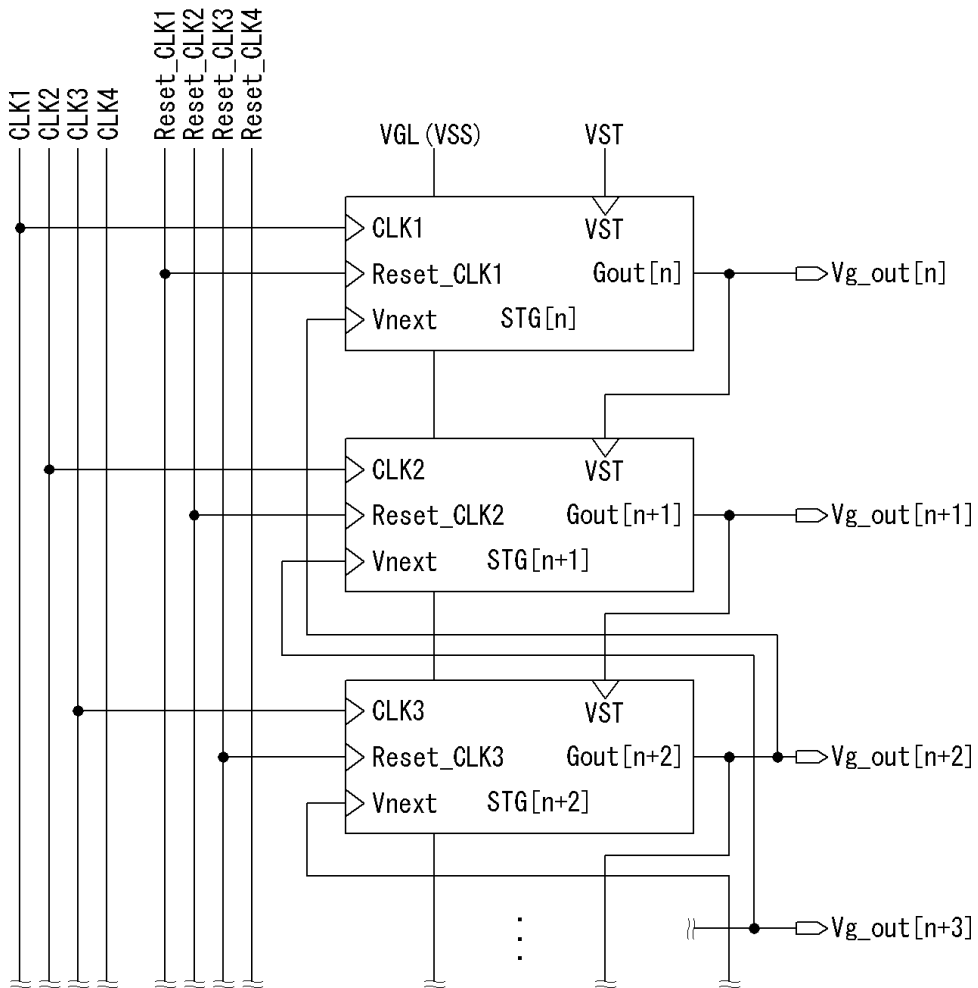
- [0089] 4상의 클록신호들(clk1 ~ clk4)의 체계를 보면 제1 내지 제4클록신호들(clk1 ~ clk4)은 순차적으로 로직 하이 상태에서 로직 로우 상태로 전환되도록 형성된다. 이때, 제1 내지 제4클록신호들(clk1 ~ clk4)은 상호 비중첩하는 구간을 갖도록 형성된다.
- [0090] 4상의 리셋클록신호들(reset\_clk1 ~ reset\_clk4)의 체계를 보면 제1 내지 제4리셋클록신호들(reset\_clk1 ~ reset\_clk4)은 순차적으로 로직 하이 상태에서 로직 로우 상태로 전환되도록 형성된다. 이때, 제1 내지 제4리셋클록신호들(reset\_clk1 ~ reset\_clk4)은 로직 하이 상태의 신호가 비중첩하는 구간을 가지며 서로 이격되도록 형성된다. 아울러, 제1 내지 제4리셋클록신호들(reset\_clk1 ~ reset\_clk4)의 로직 하이 구간은 제1 내지 제4클록신호들(clk1 ~ clk4)의 로직 하이 구간보다 앞서도록 형성된다. 즉, 제1 내지 제4리셋클록신호들(reset\_clk1 ~ reset\_clk4)의 라이징 엣지는 제1 내지 제4클록신호들(clk1 ~ clk4)의 라이징 엣지보다 앞서도록 형성된다. 제1 내지 제4리셋클록신호들(reset\_clk1 ~ reset\_clk4)의 라이징 엣지를 제1 내지 제4클록신호들(clk1 ~ clk4)의 라이징 엣지의 전에 형성하는 이유는 이들 간의 커플링을 최소화함과 더불어 소비전력을 낮추기 위함이다.
- [0091] 이하, 제N스테이지의 동작 특성에 대해 설명한다.
- [0092] Q노드(Q)는 로직 하이(H)에 해당하는 스타트신호(vst)의 전위에 대응하여 충전되고, 로직 로우(L)에 해당하는 제N+2스테이지의 출력단자(Gout[+2])에 대응하여 방전된다. Q노드(Q)가 충전된 상태일 때에는 제1클록신호(clk1)의 로직 하이(H)에 해당하는 스캔 신호가 출력되는 반면, Q노드(Q)가 방전된 상태일 때에는 저전위전압의 로직 로우(L)에 해당하는 스캔 신호가 출력된다.
- [0093] 구체적으로 설명하면, Q노드(Q)는 로직 하이(H)에 해당하는 스타트신호(vst)의 전위에 대응하여 제1트랜지스터(T1)가 턴온됨에 따라 충전된다. 이때, QB노드(QB)는 로직 하이(H)의 제1리셋클록신호(reset\_clk1)의 전위에 대응하여 제1, 제2-1측 및 제2-2측 트랜지스터(T3, T4-1, T4-2)가 일시적으로 턴온됨에 따라 잠시 충전된다(도 9의 (1)부분 참조). 그러나 QB노드 방전 트랜지스터(T5)의 Vgs1(도 8 참조)이 제2-1 및 제2-2측 트랜지스터(T4-1, T4-2)의 Vgs2(도 8 참조) 보다 증가하게 되므로 풀다운 트랜지스터(Tpd)는 턴온되지 않고 리셋된다.
- [0094] 미러형 트랜지스터(T3, T4-1, T4-2)가 위와 같이 동작할 수 있는 최적의 조건을 구성하기 위해, QB노드 방전 트랜지스터(T5)의 채널의 폭을 제1측 트랜지스터(T3)의 채널의 폭보다 크게 하는 것이 좋다.
- [0095] Q노드(Q)가 충전됨에 따라 풀다운 트랜지스터(Tpu)는 제N스테이지의 출력단자(Gout[n])를 통해 로직 하이(H)의 제1클록신호(clk1)를 출력한다. 로직 하이(H)의 제1클록신호(clk1)가 출력된 이후 Q노드(Q)는 제1커패시터(C1)에 의해 방전된다.
- [0096] 이후 로직 로우(L)에 해당하는 스타트신호(vst)의 전위에 대응하여 제1트랜지스터(T1)는 턴오프되고, 제N+2스테이지의 출력단자(Gout[n+2])의 전위에 대응하여 Q노드 방전 트랜지스터(T8)가 턴온됨에 따라 Q노드(Q)는 방전된다. 로직 하이(H)에 해당하는 제1리셋클록신호(reset\_clk1)의 전위에 대응하여 턴온된 제2-1 및 제2-2측 트랜지스터(T4-1, T4-2)를 통해 QB노드(QB)는 리셋된다. 이때, QB노드(QB)는 제2-1 및 제2-2측 트랜지스터(T4-1, T4-2)의 문턱전압(Vth)에 해당하는 전압으로 유지된다(도 9의 (2)부분 참조).
- [0097] 이 구간 동안 제2-1, 제2-2측 트랜지스터(T4-1, T4-2) 및 풀다운 트랜지스터(Tpd)의 게이트전극에 가해지는 스트레스(Effective Stress)는 유사하게 되므로 이들의 문턱전압 시프트(Vth Shift) 정도는 유사한 수준이 될 것이다. 이에 따라, 제2-1 및 제2-2측 트랜지스터(T4-1, T4-2)의 문턱전압이 포지티브 방향으로 시프트되면 QB노드(QB)에 인가되는 전압의 레벨은 이에 대응하여 증가하게 된다. 즉, QB노드(QB)는 제2-1 및 제2-2측 트랜지스터(T4-1, T4-2)의 문턱전압에 대응되는 전압을 인가받게 된다.
- [0098] 통상 QB노드(QB)는 로직 로우(L)의 스캔 신호를 출력한 이후 로직 하이(H)가 지속적으로 인가됨에 따라 포지티브 바이어스 스트레스(Positive Bias Stress)를 받는다. 그러나, 본 발명과 같이 구성된 미러형 트랜지스터(T3, T4-1, T4-2)와 QB노드 방전 트랜지스터(T5)를 적용하면, 로직 로우(L)의 스캔 신호를 출력한 이후 제2-1 및 제2-2측 트랜지스터(T4-1, T4-2)의 문턱전압(Vth)에 해당하는 전압으로 QB노드(QB)의 전압이 유지되므로 포지티브 바이어스 스트레스를 감소시킬 수 있게 된다.
- [0099] 이상 본 발명은 QB노드에 인가되는 전압을 낮추고 해당 노드의 포지티브 바이어스 스트레스를 줄여 스캔 구동부의 수명과 신뢰성을 향상시킬 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공하는 효과가 있다. 또한, 본 발명은 미러형 트랜지스터에 의해 QB노드에 인가되는 전압이 자동으로 가변되도록 하여 해당 노드를 셀프 리프레쉬(Self Refresh)할 수 있는 스캔 구동부 및 이를 이용한 표시장치를 제공하는 효과가 있다.
- [0100] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속



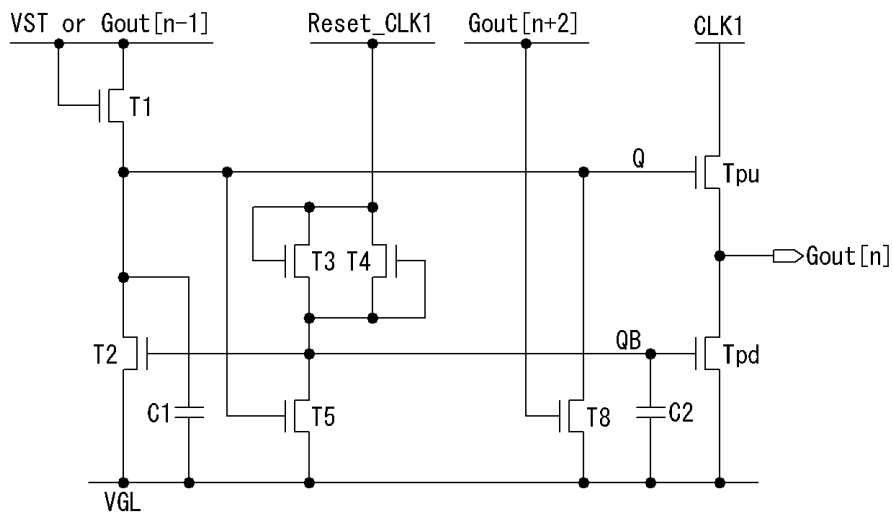
도면2



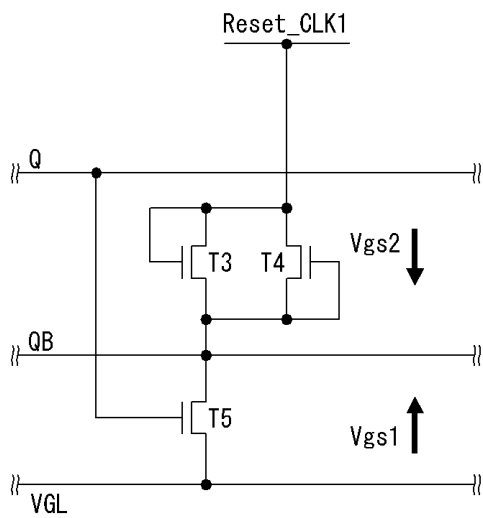
도면3



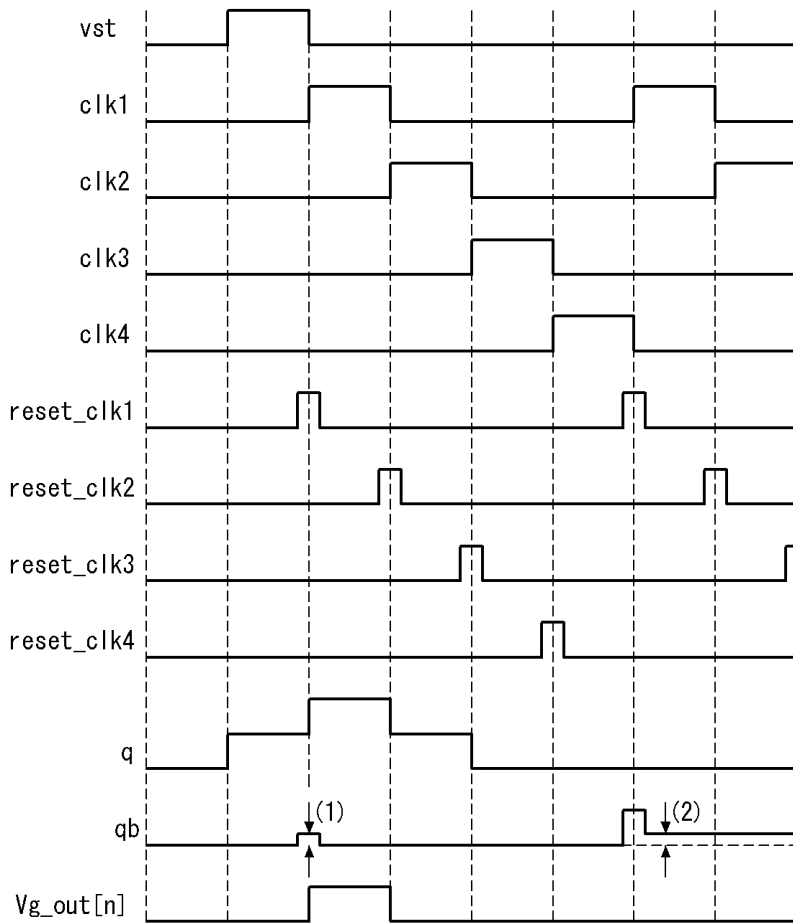
도면4



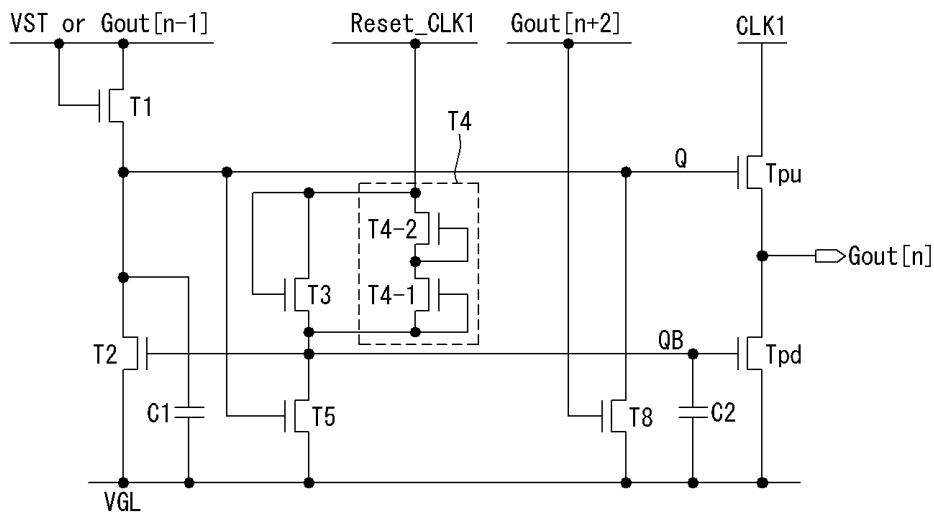
도면5



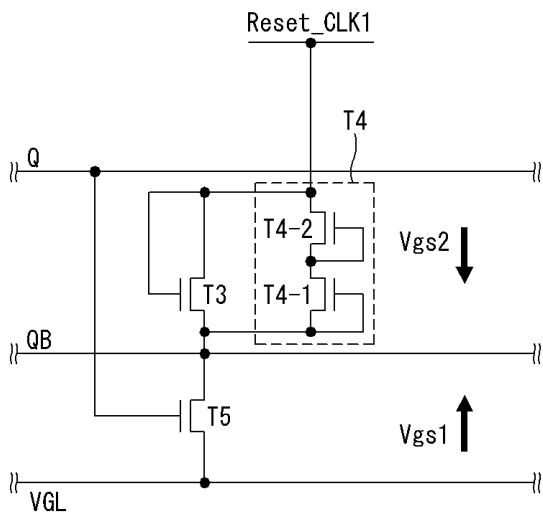
도면6



도면7



도면8



도면9

