

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication :

2 957 457

(à n'utiliser que pour les
commandes de reproduction)

21 N° d'enregistrement national :

10 51760

51 Int Cl⁸ : H 01 L 21/02 (2006.01), H 01 L 21/335, 21/8239, 27/108, 29/78

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 11.03.10.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 16.09.11 Bulletin 11/37.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR.

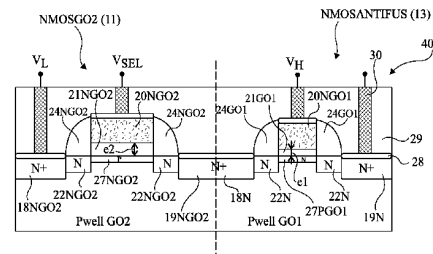
72 Inventeur(s) : CANDELIER PHILIPPE et LE ROUX
ELISE.

73 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

74 Mandataire(s) : CABINET BEAUMONT.

54 PROCÉDE DE FABRICATION D'UN POINT MEMOIRE ANTI-FUSIBLE.

57 L'invention concerne un procédé de fabrication d'un point mémoire (40) comprenant un transistor de sélection (11) et un transistor anti-fusible (13), dans une filière technologique adaptée à la fabrication de premier et second types de transistors MOS d'épaisseurs de grille distinctes, ce procédé comprenant les étapes suivantes: former le transistor de sélection (11) selon les étapes de fabrication de transistor à canal N du second type; et former le transistor anti-fusible (13) essentiellement selon les étapes de fabrication de transistor à canal N du premier type, en modifiant l'étape suivante: au lieu de faire une implantation de type P dans la région de canal en même temps que dans les transistors à canal N du premier type, faire une implantation de type N dans la région de canal (27PGO1) en même temps que dans les transistors à canal P du premier type.



FR 2 957 457 - A1



PROCÉDÉ DE FABRICATION D'UN POINT MÉMOIRE ANTI-FUSIBLEDomaine de l'invention

La présente invention concerne un point mémoire non-volatile à anti-fusible. Elle vise plus particulièrement un procédé de réalisation d'un tel point mémoire.

5 Exposé de l'art antérieur

Un anti-fusible est un élément programmable une fois, dans lequel un état programmé correspond à un état conducteur et un état non programmé correspond à un état non conducteur. On considérera ici des anti-fusibles constitués de condensateurs, dans lesquels la programmation consiste à claquer la couche
10 isolante du condensateur. On s'intéressera plus particulièrement à la réalisation d'un point mémoire anti-fusible en technologie CMOS, dans lequel le condensateur est en fait un transistor MOS, et dans lequel la programmation consiste à claquer l'oxyde de grille du transistor MOS.
15

La figure 1 est un schéma électrique équivalent d'un point mémoire anti-fusible 10, en technologie MOS. Le point mémoire 10 comprend un transistor MOS à canal N 11 de sélection, et un transistor MOS à canal N 13 d'enregistrement, ou
20 transistor anti-fusible. La source S_{13} du transistor 13 est reliée au drain D_{11} du transistor 11, et le caisson de corps du transistor 13 est relié à la masse.

Lors d'une opération d'écriture, un potentiel V_H d'écriture, relativement élevé, est appliqué à la grille G_{13} du transistor 13, et un potentiel V_L , faible devant V_H , est appliqué à la source S_{11} du transistor 11. Si le transistor 11 est mis à l'état passant par application d'un potentiel de sélection V_{SEL} sur sa grille G_{11} , il se produit un claquage de l'oxyde de grille du transistor 13. Il se forme alors un court-circuit permanent entre la grille G_{13} et le caisson de corps du transistor 13. A titre d'exemple, lors d'une opération d'écriture, le potentiel V_H peut être de l'ordre de 7 V et le potentiel V_L peut être fixé à 0 V. On notera que l'oxyde de grille du transistor de sélection 11 devra être sensiblement plus épais que l'oxyde de grille du transistor 13 afin que le transistor 11 ne soit pas endommagé lors de l'opération d'écriture.

Lors d'une opération de lecture, le transistor 11 est mis à l'état passant par application d'un potentiel de sélection V_{SEL} sur sa grille G_{11} . Un potentiel de lecture est appliqué à la grille G_{13} du transistor 13, et un potentiel inférieur au potentiel de lecture est appliqué à la source S_{11} du transistor 11. L'opération de lecture consiste à mesurer le courant circulant dans le transistor 11. Si l'oxyde de grille du transistor 13 est claqué, un courant circule entre la grille G_{13} du transistor 13 et la source S_{11} du transistor 11. En revanche, si l'oxyde de grille du transistor 13 est intact, aucun courant ne circule entre la grille G_{13} du transistor 13 et la source S_{11} du transistor 11. A titre d'exemple, lors d'une opération de lecture, le potentiel de lecture appliqué à la grille G_{13} peut être de l'ordre de 2,5 V et le potentiel appliqué à la source S_{11} peut être fixé à 0 V.

Des bibliothèques de cellules standard sont généralement utilisées pour faciliter la conception et la synthèse des circuits intégrés. Chaque cellule correspond à un composant élémentaire, par exemple un transistor MOS, ou à un ensemble de composants. Pendant la synthèse d'un circuit intégré, des

cellules de la bibliothèque sont sélectionnées, agencées, et interconnectées, pour fournir les fonctions requises du circuit.

Pour minimiser les coûts, on réalise généralement un point mémoire anti-fusible du type décrit en relation avec la figure 1, en utilisant des transistors MOS correspondant à des éléments standard de bibliothèque disponibles dans la filière technologique de fabrication considérée.

Couramment, dans une technologie donnée, il existe deux types de transistors MOS à canal N standard (et leurs complémentaires à canal P), respectivement un transistor NMOSG01 (et son complémentaire PMOSG01), de taille minimum, destiné à la mise en oeuvre des fonctions logiques des circuits intégrés, et un transistor NMOSG02 (et son complémentaire PMOSG02), d'épaisseur d'oxyde de grille supérieure à celle du transistor NMOSG01, destiné à la mise en oeuvre des fonctions de puissance des circuits intégrés (par exemple des fonctions d'amplification de sortie). A titre d'exemple, l'épaisseur d'oxyde de grille e_1 du transistor NMOSG01 peut être de l'ordre de 1 à 3 nm, et l'épaisseur d'oxyde de grille e_2 du transistor NMOSG02 peut être de l'ordre de 3 à 5 nm. Par souci de simplification, on utilise ici les termes "oxyde de grille". On notera cependant que la région isolante entre la grille et le caisson du transistor n'est pas nécessairement constituée d'oxyde de silicium. Elle peut être constituée d'autres matériaux adaptés à forte constante diélectrique.

La figure 2 est une vue en coupe représentant de façon schématique un exemple de réalisation du point mémoire 10 décrit en relation avec la figure 1. Dans cet exemple, le transistor anti-fusible 13 correspond à une cellule standard NMOSG01 d'épaisseur de grille e_1 , et le transistor de sélection 11 correspond à une cellule standard NMOSG02 d'épaisseur de grille e_2 supérieure à e_1 .

Le transistor NMOSG01 (à droite sur la figure 2) est formé dans un caisson PWellG01, dopé de type P, lui-même formé dans un substrat semiconducteur non représenté. Le transistor

B10050 - 09-GR1-427

4

NMOSG01 comprend des régions de source 18NGO1 (S_{13}) et de drain 19NGO1 (D_{13}), de type N^+ , situées de part et d'autre d'une grille 20NGO1 (G_{13}) isolée du substrat par une couche isolante 21NGO1 d'épaisseur e_1 . Des régions 22NGO1 de type N, plus faiblement dopées que les régions 18NGO1 et 19NGO1, sont formées de part et d'autre de la grille, dans la partie supérieure du caisson, sous des espaceurs isolants 24NGO1. Dans cet exemple, des poches de type P 26NGO1, plus fortement dopées que le caisson PWellG01, sont disposées en partie autour des régions 22NGO1, de façon à isoler l'une de l'autre les deux régions 22NGO1. Une région de type P 27NGO1, plus fortement dopée que le caisson PWellG01, est implantée sous la grille, au niveau de la région de canal, pour ajuster la tension de seuil du transistor. On notera que dans la pratique, les régions 22NGO1 de source et de drain, de type N, débordent légèrement sous la grille du transistor.

Le transistor NMOSG02 (à gauche sur la figure 2) est formé dans un caisson PWellG02, dopé de type P, de niveau de dopage différent du caisson PWellG01. Le transistor NMOSG02 comprend des régions de source 18NGO2 (S_{11}) et de drain 19NGO2 (D_{11}), de type N^+ (de même niveau de dopage que les régions 18NGO1 et 19NGO1 dans cet exemple) situées de part et d'autre d'une grille 20NGO2 (G_{11}) isolée du substrat par une couche isolante 21NGO2 d'épaisseur e_2 . Des régions 22NGO2 de type N, plus faiblement dopées que les régions 18NGO2 et 19NGO2, sont formées de part et d'autre de la grille, dans la partie supérieure du caisson, sous des espaceurs isolants 24NGO2. Une région de type P 27NGO2, plus fortement dopée que le caisson PWellG02, est implantée sous la grille, au niveau de la région de canal, pour ajuster la tension de seuil du transistor.

Dans cet exemple, les régions de source 18NGO1 du transistor NMOSG01 et de drain 19NGO2 du transistor NMOSG02 sont communes et il n'est pas prévu de région isolante de séparation entre les deux transistors. Les régions de source, de drain, et de grille, sont recouvertes d'une couche 28 de prise de contact

en siliciure. De plus, une couche isolante 29, comprenant par exemple de l'oxyde de silicium, recouvre l'ensemble formé par les deux transistors. Des vias 30, traversant la couche 29, viennent en contact des régions de siliciure 28 et permettent de
5 réaliser des connexions électriques avec les régions de source, de drain et de grille.

Le point mémoire 10 présente l'avantage d'être compact et peu onéreux, puisqu'il est formé exclusivement à partir de cellules élémentaires standard de la filière technologique
10 considérée. Toutefois, cet élément mémoire présente plusieurs inconvénients. Notamment, il comporte, côte à côte, des transistors réalisés dans des caissons de dopages différents, ce qui pose des problèmes de réalisation et peut dégrader les performances de l'un des transistors si le caisson de l'autre
15 transistor déborde de son côté. Par ailleurs, on constate que le courant de lecture à l'état conducteur varie d'un point mémoire à l'autre. Il serait souhaitable d'optimiser le transistor anti-fusible pour pallier au moins en partie certains des inconvénients de la structure ci-dessus. Toutefois, créer un
20 transistor spécifique pour le transistor anti-fusible pose des problèmes car il faudrait normalement prévoir une cellule standard supplémentaire et des étapes de fabrication supplémentaires.

Résumé

25 Ainsi, un objet d'un mode de réalisation de la présente invention est de prévoir un procédé de réalisation d'un point mémoire optimisé ne comportant pas d'étapes de fabrication autres que les étapes de fabrication usuelles des transistors standard de la filière technologique considérée, et n'utilisant
30 pas de masques supplémentaires.

Ainsi, un mode de réalisation de la présente invention prévoit un procédé de fabrication d'un point mémoire comprenant un transistor MOS de sélection et un transistor MOS anti-fusible, dans une filière technologique adaptée à la fabrication
35 d'un premier type de transistors MOS d'une première épaisseur de

grille et d'un second type de transistors MOS d'une seconde épaisseur de grille supérieure à la première épaisseur, ce procédé comprenant les étapes suivantes : former le transistor de sélection selon les étapes de fabrication de transistor à canal N du second type ; et former le transistor anti-fusible essentiellement selon les étapes de fabrication de transistor à canal N du premier type, en modifiant l'étape suivante : au lieu de faire une implantation de type P dans la région de canal en même temps que dans les transistors à canal N du premier type, faire une implantation de type N dans la région de canal en même temps que dans les transistors à canal P du premier type.

Selon un mode de réalisation de la présente invention, les étapes de fabrication du transistor anti-fusible comprennent en outre la modification suivante : au lieu de former le caisson de corps en même temps que dans les transistors à canal N du premier type, former le caisson de corps en même temps que dans les transistors à canal N du second type.

Selon un mode de réalisation de la présente invention, les transistors du premier type sont des transistors de dimensions minimales de la filière technologique.

Selon un mode de réalisation de la présente invention, les régions de source et de drain du transistor à canal N du premier type comprennent des portions plus faiblement dopées à proximité de la grille.

Selon un mode de réalisation de la présente invention, les étapes de fabrication du transistor anti-fusible comprennent en outre la modification suivante : au lieu de former les portions de source et de drain plus faiblement dopées en même temps que dans les transistors à canal N du premier type, former les portions de source et de drain plus faiblement dopées en même temps que dans les transistors à canal N du second type.

Selon un mode de réalisation de la présente invention, les transistors à canal N du premier type comprennent des espaceurs isolants de part et d'autre de la grille.

Selon un mode de réalisation de la présente invention, les transistors à canal N du premier type comprennent des poches de type P disposées de part et d'autre de la grille, autour d'une partie des régions de source et de drain, et le transistor anti-fusible ne comprend pas de poches de type P autour des régions de source et de drain.

Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, est un schéma électrique équivalent d'un point mémoire anti-fusible en technologie MOS ;

la figure 2, précédemment décrite, est une vue en coupe représentant de façon schématique un exemple de réalisation du point mémoire de la figure 1, dans une filière technologique de fabrication donnée ;

les figures 3A à 3I sont des vues en coupe représentant de façon schématique des étapes de fabrication de divers transistors standard d'une filière technologique donnée, et d'un transistor anti-fusible selon un mode de réalisation de la présente invention ; et

la figure 4 est une vue en coupe représentant de façon schématique un point mémoire anti-fusible formé selon le procédé décrit en relation avec les figures 3A à 3I.

Description détaillée

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation des circuits intégrés, les diverses vues en coupe ne sont pas tracées à l'échelle.

Les inventeurs ont étudié le comportement du point mémoire 10 décrit en relation avec la figure 2, et notamment les phénomènes conduisant à la dispersion des courants de lecture

d'un point mémoire à un autre. Le court-circuit formé à travers l'oxyde de grille 21NG01 du transistor anti-fusible, suite à une opération d'écriture, est généralement un court-circuit ponctuel, ou de dimensions très inférieures (en vue de dessus) aux dimensions de l'oxyde de grille. Ce court-circuit peut se produire à n'importe quelle position de l'oxyde de grille 21NG01. En particulier, le court-circuit peut se produire soit au dessus de la région de canal, de type P, soit au dessus de la région de source, de type N, au niveau du débordement de la région de source sous la grille 20NG01. Si le court-circuit est situé au niveau de la région de canal du transistor, lors d'une opération de lecture, il se produit une chute de tension, notamment liée à la jonction PN entre la région de canal (P) et la région de source (N). Il en résulte une diminution du courant de lecture du point mémoire. En revanche, si le court-circuit est situé directement au niveau de la région de source du transistor, cette chute de tension n'apparaît pas et le courant de lecture est d'autant plus fort. On observe donc une dispersion des courants de lecture d'un point mémoire à un autre.

La présente description vise un point mémoire anti-fusible dans lequel la région de canal du transistor anti-fusible est moins résistive que dans le transistor standard NMOSG01. Elle vise notamment un point mémoire dans lequel, lors des opérations de lecture, aucune chute de tension liée à des jonctions du transistor n'a lieu, et ce quelle que soit la position du court-circuit dans l'oxyde du transistor anti-fusible. Le transistor anti-fusible et le transistor de sélection sont formés dans des caissons de même niveau de dopage. Le procédé de réalisation d'un tel point mémoire ne comporte pas d'étapes de fabrication autres que les étapes usuelles de fabrication des transistors standard de la filière technologique considérée.

De façon générale, on décrit ici un point mémoire dans lequel le transistor de sélection est fabriqué selon les étapes

de fabrication d'un transistor NMOSG02 standard, et le transistor anti-fusible est fabriqué essentiellement selon les étapes de fabrication d'un transistor NMOSG01 standard, certains seulement des masques utilisés étant modifiés pour optimiser le transistor anti-fusible en utilisant des étapes de fabrication d'autres transistors standard de la technologie.

Les figures 3A à 3I sont des vues en coupe représentant de façon schématique des étapes de fabrication de divers transistors standard d'une filière technologique donnée, et d'un transistor anti-fusible. Sur les figures 3A à 3I, les première, deuxième, troisième et quatrième colonnes en partant de la gauche représentent respectivement des étapes de fabrication du transistor standard à canal N NMOSG01, de son complémentaire à canal P PMOSG01, du transistor standard à canal N NMOSG02, et d'un transistor non-standard NMOSANTIFUS, adapté à être utilisé comme transistor anti-fusible dans un point mémoire.

Comme l'illustre la figure 3A, la réalisation des transistors standard NMOSG01, PMOSG01, et NMOSG02 comprend une étape de formation de caisson, respectivement PWellG01 de type P d'un premier niveau de dopage, NWellG01 de type N, et PWellG02 de type P d'un second niveau de dopage. La réalisation du transistor NMOSANTIFUS comprend une étape de formation d'un caisson PWellG02, identique à l'étape de formation de caisson du transistor NMOSG02. C'est-à-dire qu'au moment de l'étape de formation des caissons PWellG01, au lieu d'être ouvert comme pour les transistors NMOSG01, le masque définissant le caisson du transistor NMOSANTIFUS est fermé. En revanche, au moment de l'étape de formation des caissons PWellG02, le masque définissant le caisson du transistor NMOSANTIFUS est ouvert.

Sur la figure, on a représenté les caissons des transistors NMOSG01, PMOSG01, NMOSG02 et NMOSANTIFUS juxtaposés deux à deux. On peut bien entendu choisir de prévoir ou non une séparation isolante entre les transistors. Il pourra s'agir de tranchées remplies d'un isolant tel que l'oxyde de silicium. Une

telle isolation présente cependant l'inconvénient d'augmenter l'encombrement de la structure.

Comme l'illustre la figure 3B, la réalisation des transistors standard NMOSG01, PMOSG01, et NMOSG02 comprend une
5 étape de formation, par implantation de dopants à la surface du caisson, d'une région (respectivement 27NG01, 27PG01, 27NG02) de même type de conductivité que le caisson mais de niveau de dopage supérieur. Cette implantation permet notamment d'ajuster la tension de seuil des transistors. Au lieu d'une implantation
10 de surface de type P comme pour les transistors NMOSG01, la réalisation du transistor NMOSANTIFUS comprend une étape d'implantation de surface d'une région de type N 27PG01, en même temps que l'étape d'implantation de surface des transistors PMOSG01. Si la technologie considérée permet de choisir parmi
15 plusieurs niveaux de dopage pour l'implantation de surface de type N du transistor PMOSG01, on choisira de préférence, pour le transistor NMOSANTIFUS, le niveau de dopage le plus élevé.

La figure 3C illustre, pour les transistors standard NMOSG01, PMOSG01, et NMOSG02, une étape de formation d'un oxyde
20 de grille au dessus du caisson. Pour les transistors NMOSG01 et PMOSG01 un oxyde de grille d'épaisseur e_1 (respectivement 21NG01, 21PG01) est formé à la surface du caisson. Pour le transistor NMOSG02, un oxyde de grille 21NG02, d'épaisseur e_2 supérieure à e_1 , est formé à la surface du caisson. La
25 réalisation du transistor NMOSANTIFUS comprend une étape de formation d'un oxyde de grille 21G01 d'épaisseur e_1 , identique à l'étape de formation d'oxyde de grille de l'un des transistors standard NMOSG01 ou PMOSG01.

La figure 3D illustre, pour les transistors standard
30 NMOSG01, PMOSG01, et NMOSG02, une étape de formation d'une grille conductrice (respectivement 20NG01, 20PG01, 20NG02) au dessus de l'oxyde de grille. La grille est par exemple constituée d'une couche de silicium polycristallin dopé (de type N pour les transistors à canal N NMOSG01 et NMOSG02 et de type P
35 pour le transistor à canal P PMOSG01). La réalisation du

transistor NMOSANTIFUS comprend une étape de formation d'une grille conductrice 20NGO1, identique à l'étape de formation de grille du transistor standard à canal N NMOSGO1.

Comme l'illustre la figure 3E, la réalisation des transistors standard NMOSGO1, PMOSGO1, et NMOSGO2 comprend une étape de formation de portions de source et de drain faiblement dopées (respectivement 22NGO1 de type N, 22PGO1 de type P, et 22NGO2 de type N), disposées de part et d'autre de la grille. De telles portions de source et de drain, plus faiblement dopées que les régions de source et de drain principales correspondantes, sont généralement désignées dans la technique par le sigle LDD (de l'anglais "Lightly Doped Drain" - drain faiblement dopé).

Par ailleurs, la réalisation des transistors standard de dimensions minimales NMOSGO1 et PMOSGO1 comprend une étape de formation, sous et autour des régions 22NGO1 et 22PGO1, de poches, respectivement 26NGO1 de type P, plus fortement dopées que le caisson PWellGO1, et 26PGO1 de type N, plus fortement dopées que le caisson NWellGO1.

La réalisation du transistor NMOSANTIFUS comprend une étape de formation de portions de source et de drain 22N faiblement dopées de type N, identique à l'étape de formation des portions de source et de drain des transistors standard à canal N NMOSGO1 ou NMOSGO2. De plus, dans la réalisation du transistor NMOSANTIFUS, on prévoit de préférence de ne pas former de poches de type P sous les régions 22N.

On notera que les poches de type P, quand il y en a, sont formées en utilisant le même masque que le masque de formation des régions 22. Pour la réalisation du transistor NMOSANTIFUS, on utilisera soit une étape de formation de portions de source et de drain 22N identique à l'étape de formation des portions de source et de drain du transistor NMOSGO2 (qui ne comprend pas de poches), soit une étape identique à l'étape de formation des portions de source et de drain du transistor NMOSGO1, en orientant la structure, par

rotation, par rapport aux orientations d'implantation de façon à ne pas former les poches dans ce transistor.

La figure 3F illustre, pour les transistors NMOSG01, PMOSG01, et NMOSG02, une étape de formation d'espaceurs isolants (respectivement 24NG01, 24PG01, 24NG02) de part et d'autre de la grille, au dessus des portions 22 de sources et de drains faiblement dopées. La réalisation du transistor NMOSANTIFUS comprend une étape de formation d'espaceurs isolants 24G01, identique à l'étape de formation des espaceurs des transistors standard de dimensions minimales NMOSG01 et PMOSG01.

Comme l'illustre la figure 3G, la réalisation des transistors NMOSG01, PMOSG01, et NMOSG02 comprend une étape de formation des régions de source (respectivement 18NG01, 18PG01, 18NG02) et de drain (respectivement 19NG01, 19PG01, 19NG02). On notera que les régions de 18NG01, 18NG02, 19NG01 et 19NG02 sont généralement de même niveau de dopage (N^+) et sont réalisées simultanément en utilisant le même masque. La réalisation du transistor NMOSANTIFUS comprend une étape de formation de régions de source 18N et de drain 19N, identique à l'étape de formation des régions de source et de drain des transistors standard à canal N NMOSG01 et NMOSG02.

La figure 3H illustre une étape de formation d'une couche de contact en siliciure sur les régions de grille, de source et de drain des transistors NMOSG01, PMOSG01, NMOSG02 et NMOSANTIFUS.

Lors d'une étape finale de fabrication, illustrée en figure 3I, les transistors NMOSG01, PMOSG01, NMOSG02 et NMOSANTIFUS sont recouverts d'une couche isolante 29, par exemple en oxyde de silicium. Des vias 30, traversant la couche isolante 29 et venant en contact avec les régions de siliciure 28, peuvent être formés pour réaliser des connexions électriques avec les régions de source, de drain et de grille des transistors.

On notera que l'étape, décrite en relation avec la figure 3B, d'implantation d'ajustement dans la région de canal

du transistor, n'est pas nécessairement mise en oeuvre immédiatement après la formation du caisson du transistor. A titre d'exemple, cette étape pourra être mise en oeuvre après la formation de la grille du transistor. On utilisera alors une
5 implantation en oblique (par les côtés), permettant d'atteindre la région de canal malgré la présence de la grille.

La figure 4 est une vue en coupe représentant de façon schématique un mode de réalisation d'un point mémoire anti-fusible 40 du type décrit en relation avec la figure 1. Dans le
10 point mémoire 40, le transistor de sélection 11 correspond à un transistor standard NMOSG02, et le transistor anti-fusible 13 correspond à un transistor NMOSANTIFUS formé selon le procédé décrit en relation avec les figures 3A à 3I.

Selon un avantage du point mémoire 40 de la figure 4,
15 la région de canal du transistor anti-fusible NMOSANTIFUS étant de type N, il n'existe plus de jonction susceptible de réduire le courant de lecture, et ce quelle que soit la position du court-circuit dans l'oxyde de grille du transistor. De plus, le canal du transistor anti-fusible NMOSANTIFUS est moins résistif
20 que le canal d'un transistor NMOSG01 standard. Ceci est notamment lié au choix d'un niveau de dopage de type N élevé dans la région de canal de ce transistor. En outre, à la différence du transistor NMOSG01, le transistor NMOSANTIFUS ne comprend pas de poches de type P sous et autour des portions de
25 source et de drain 22N. Ceci permet d'améliorer la conductivité électrique de la région de canal du transistor anti-fusible. Ainsi, une telle structure de point mémoire permet de supprimer ou de réduire fortement la dispersion des courants de lecture par rapport aux structures dans lesquelles le transistor anti-
30 fusible correspond directement à un transistor standard (NMOSG01) de la technologie considérée. Une telle structure permet en outre que les courants de lecture soient plus élevés que dans les solutions usuelles. En effet, à tensions de lecture identiques, dans un point mémoire 40 (figure 4), le courant de
35 lecture est toujours approximativement identique au courant de

lecture d'un point mémoire 10 (figure 2) dans lequel le court-circuit se serait produit directement au niveau de la région de source du transistor anti-fusible. Ceci permet une meilleure différenciation entre les points mémoire programmés et les points mémoire non programmés.

Plus généralement, pour la réalisation du transistor anti-fusible NMOSANTIFUS, on choisit des étapes de fabrication (en jouant sur l'ouverture et la fermeture des masques) parmi les étapes de fabrication des transistors standard de la technologie, de façon à minimiser autant que possible les implantations de type P dans la région de canal, et à les remplacer le cas échéant par des implantations de type N.

Selon un autre avantage du point mémoire 40 de la figure 4, la tension d'écriture est susceptible d'être réduite par rapport au point mémoire 10 de la figure 2. En outre, pour une tension d'écriture donnée, la structure 40 (à l'état programmé) présente une meilleure conductivité électrique dans le transistor anti-fusible que la structure 10.

Plus généralement, selon un avantage de la structure proposée, à tensions d'écriture identiques, la programmation du point mémoire 40 de la figure 4 est nettement plus rapide que la programmation du point mémoire 10 de la figure 2. Avec la structure proposée, les inventeurs ont notamment mesuré une réduction d'un facteur quarante de la vitesse de programmation du point mémoire.

Selon un autre avantage du point mémoire 40 de la figure 4, le transistor de sélection 11 et le transistor anti-fusible 13 sont formés dans des caissons PWellG02 de même niveau de dopage. Ainsi, les performances du transistor de sélection 11 ne risquent pas d'être dégradées par un éventuel débordement du caisson du transistor anti-fusible 13. Ceci permet d'améliorer les performances en lecture et en écriture des points mémoire.

Selon un avantage du point mémoire 40, le procédé de réalisation correspondant comprend uniquement des étapes choisies parmi les étapes de réalisation des transistors

standard de la technologie considérée. En outre, pour obtenir le résultat souhaité, le nombre de modifications de masques par rapport à un transistor standard NMOSG01 est très réduit (de l'ordre de deux à quatre masques dans l'exemple ci-dessus).

5 Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art.

10 En particulier, on a décrit ci-dessus un procédé de réalisation d'un point mémoire anti-fusible, ce procédé comprenant uniquement des étapes choisies parmi les étapes de réalisation de trois transistors MOS standard d'une technologie donnée (NMOSG01, PMOSG01 et NMOSG02). L'invention ne se restreint pas à ce cas particulier. L'homme de l'art saura mettre en oeuvre le fonctionnement recherché en utilisant des
15 étapes choisies parmi les étapes de réalisation d'autres cellules élémentaires standard de la technologie considérée.

20 En outre, l'homme de l'art saura mettre en oeuvre le fonctionnement recherché dans le cas où les transistors standard de la technologie auraient des topologies différentes de celles décrites ci-dessus.

REVENDICATIONS

1. Procédé de fabrication d'un point mémoire (40) comprenant un transistor MOS de sélection (11) et un transistor MOS anti-fusible (13), dans une filière technologique adaptée à la fabrication d'un premier type de transistors MOS (NMOSG01, PMOSG01) d'une première épaisseur de grille (e1) et d'un second type de transistors MOS (NMOSG02) d'une seconde épaisseur de grille (e2) supérieure à la première épaisseur, ce procédé comprenant les étapes suivantes :

former le transistor de sélection (11) selon les étapes de fabrication de transistor à canal N du second type (NMOSG02) ; et

former le transistor anti-fusible (13) essentiellement selon les étapes de fabrication de transistor à canal N du premier type (NMOSG01), en modifiant l'étape suivante : au lieu de faire une implantation de type P dans la région de canal en même temps que dans les transistors à canal N du premier type (NMOSG01), faire une implantation de type N dans la région de canal (27PG01) en même temps que dans les transistors à canal P du premier type (PMOSG01).

2. Procédé selon la revendication 1, dans lequel les étapes de fabrication du transistor anti-fusible (13) comprennent en outre la modification suivante : au lieu de former le caisson de corps en même temps que dans les transistors à canal N du premier type (NMOSG01), former le caisson de corps (PWellG02) en même temps que dans les transistors à canal N du second type (NMOSG02).

3. Procédé selon la revendication 1 ou 2, dans lequel les transistors du premier type (NMOSG01, PMOSG01) sont des transistors de dimensions minimales de la filière technologique.

4. Procédé selon l'une quelconque des revendications 1 à 3, dans lequel les régions de source (18NG01) et de drain (19NG01) du transistor à canal N du premier type (NMOSG01) comprennent des portions (22NG01) plus faiblement dopées à proximité de la grille.

5. Procédé selon la revendication 4, dans lequel les étapes de fabrication du transistor anti-fusible (13) comprennent en outre la modification suivante : au lieu de former les portions de source et de drain plus faiblement dopées en même temps que dans les transistors à canal N du premier type (NMOSG01), former les portions de source et de drain plus faiblement dopées (22N) en même temps que dans les transistors à canal N du second type (NMOSG02).

6. Procédé selon l'une quelconque des revendications 1 à 5, dans lequel les transistors à canal N du premier type (NMOSG01) comprennent des espaceurs isolants (24G01) de part et d'autre de la grille.

7. Procédé selon l'une quelconque des revendications 1 à 5, dans lequel les transistors à canal N du premier type (NMOSG01) comprennent des poches (26NG01) de type P disposées de part et d'autre de la grille, autour d'une partie des régions de source et de drain, et dans lequel le transistor anti-fusible (13) ne comprend pas de poches de type P autour des régions de source et de drain.

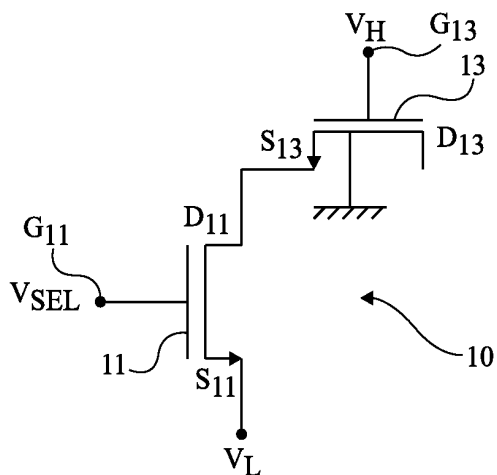


Fig 1

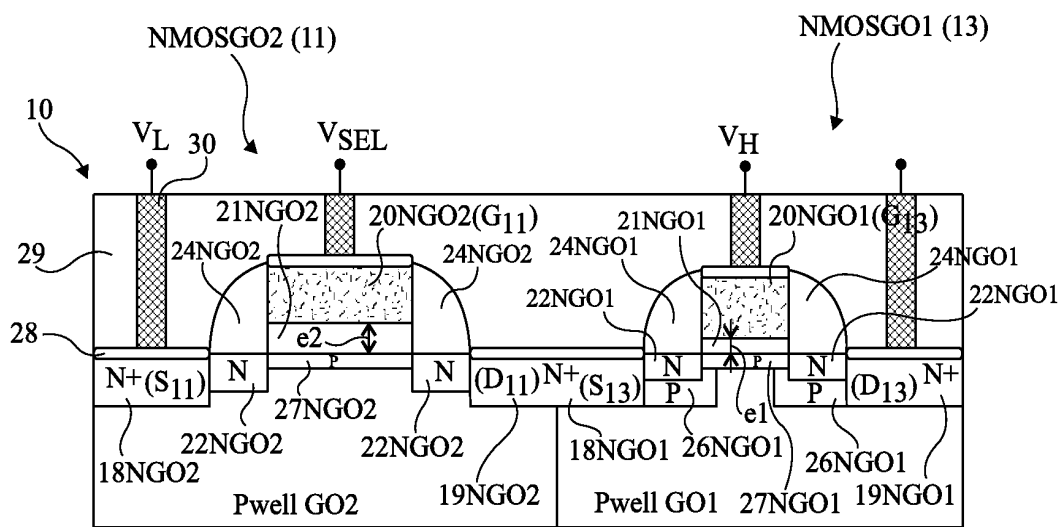


Fig 2

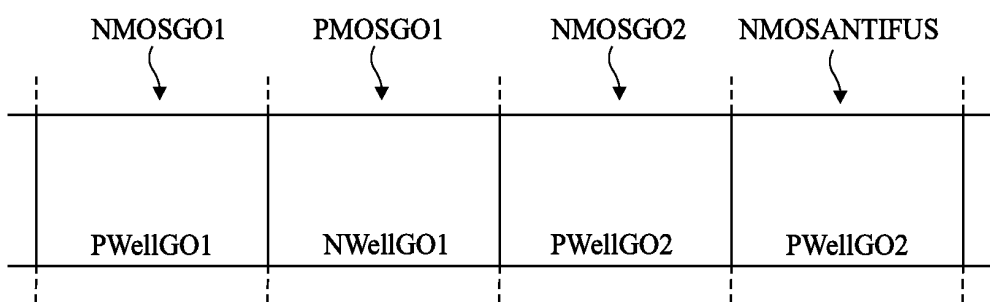


Fig 3A

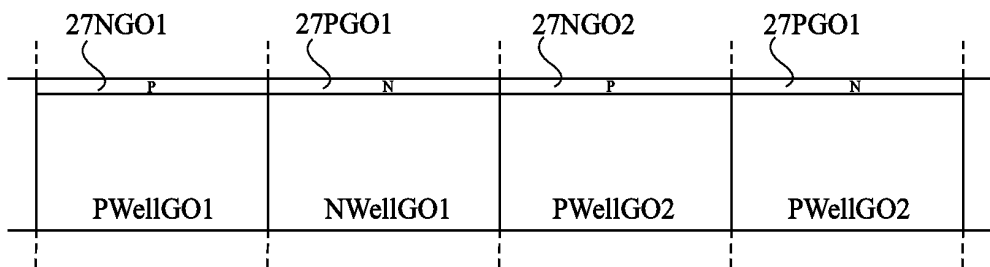


Fig 3B

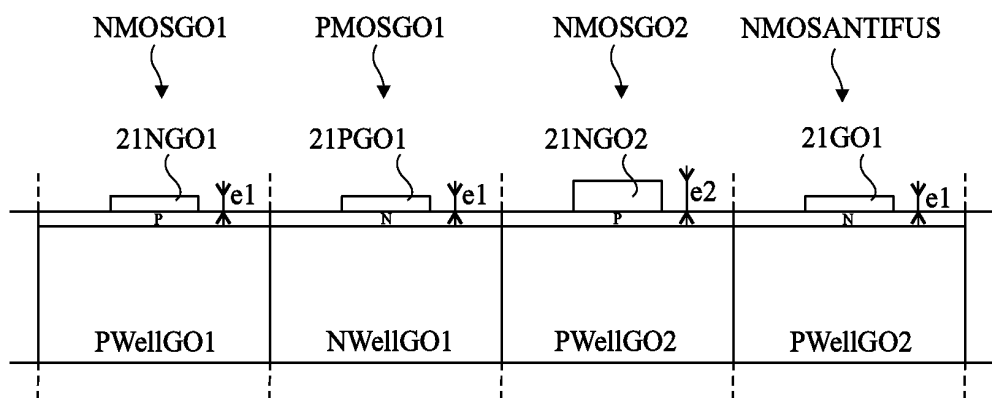


Fig 3C

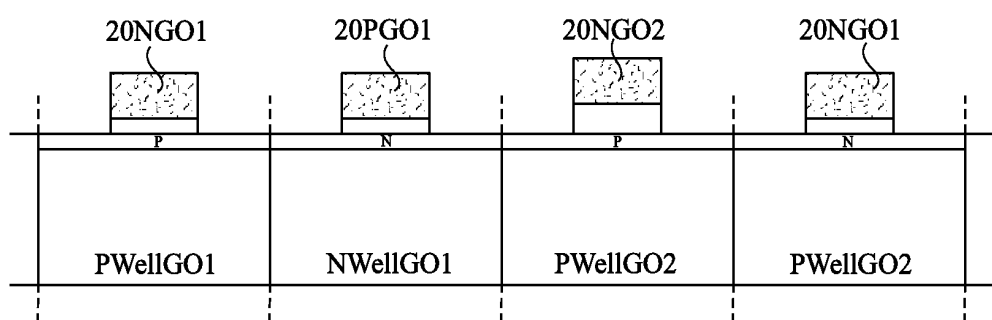


Fig 3D

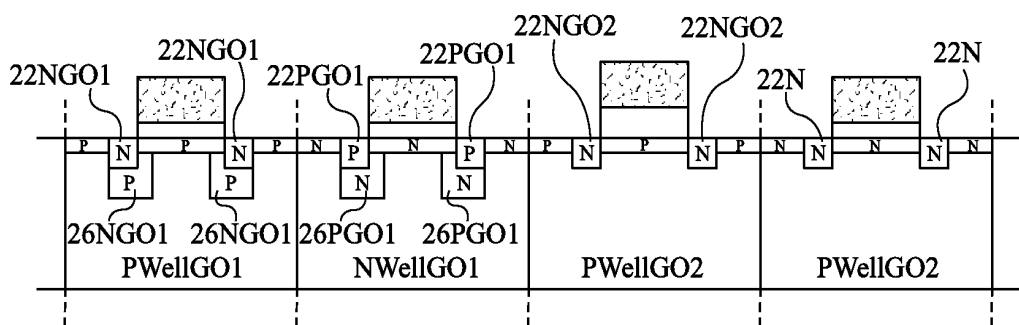


Fig 3E

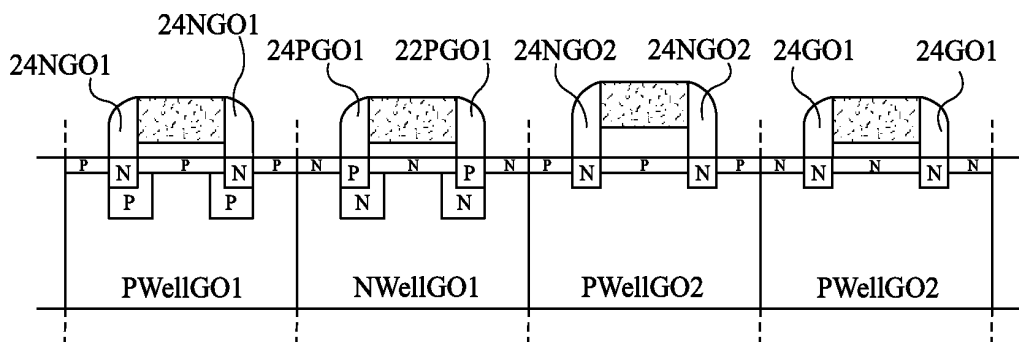


Fig 3F

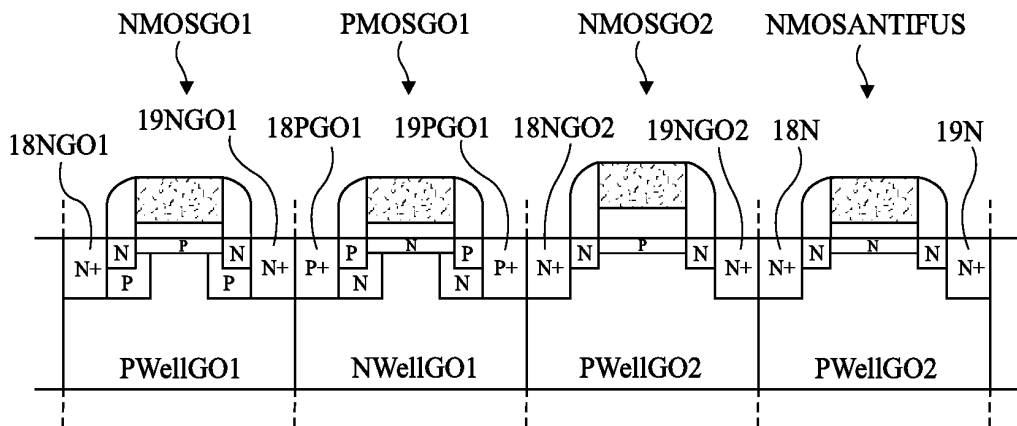


Fig 3G

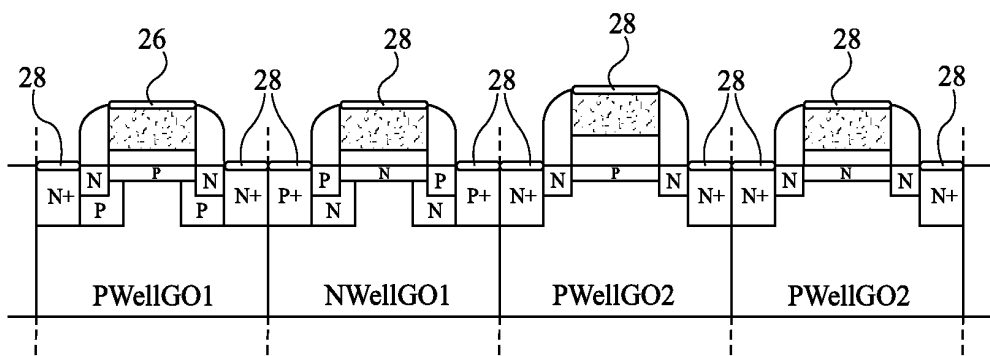


Fig 3H

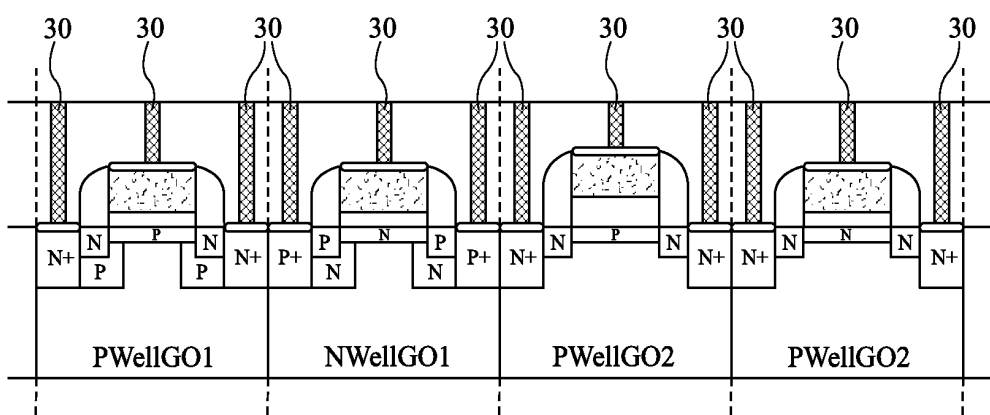


Fig 3I

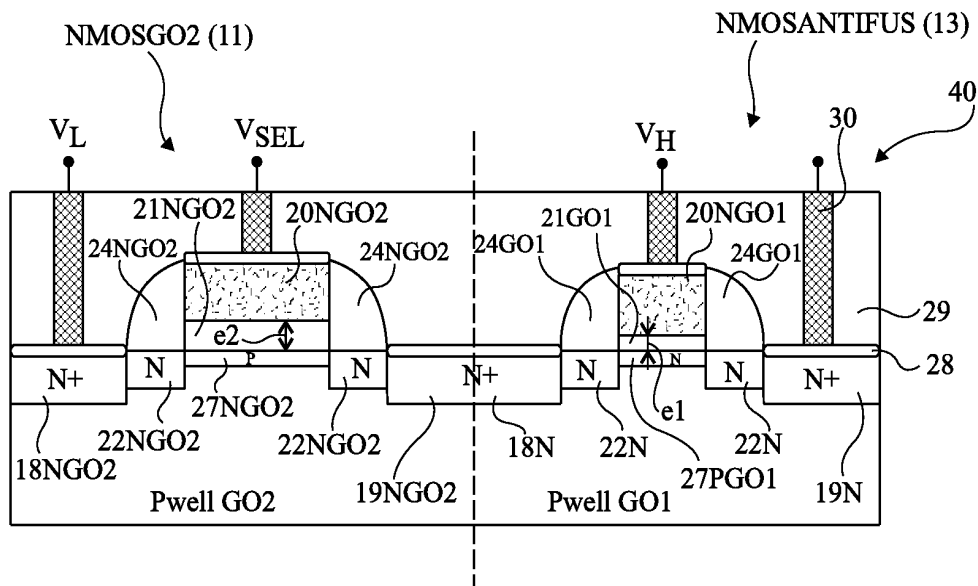


Fig 4



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 735030
FR 1051760

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2006/203591 A1 (LEE DONG K [KR]) 14 septembre 2006 (2006-09-14) * figures 1-2 *	1-3,5-7	H01L21/02 H01L21/335 H01L21/8239 H01L27/108 H01L29/78
Y	-----	4	
X	US 2008/090363 A1 (MANABE KAZUTAKA [JP] ET AL) 17 avril 2008 (2008-04-17)	1-3,5-7	
Y	* le document en entier *	4	
X	JP 2004 111957 A (IBM) 8 avril 2004 (2004-04-08) * abrégé; figure 4 *	1-3,5-7	
Y	-----	4	
Y	US 2008/316852 A1 (MATSUFUJI KENSUKE [JP] ET AL) 25 décembre 2008 (2008-12-25) * alinéa [0032] - alinéa [0041]; figures 2-5 *	4	

			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
		Date d'achèvement de la recherche	Examineur
		9 novembre 2010	Rosello Garcia, M
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		
		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1051760 FA 735030**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 09-11-2010

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2006203591 A1	14-09-2006	AUCUN	
US 2008090363 A1	17-04-2008	JP 4249774 B2 JP 2008098466 A	08-04-2009 24-04-2008
JP 2004111957 A	08-04-2004	DE 10342028 A1 US 2004051162 A1	25-03-2004 18-03-2004
US 2008316852 A1	25-12-2008	JP 4510057 B2 JP 2009004578 A	21-07-2010 08-01-2009