

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4081071号
(P4081071)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int.Cl. F I
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 3 2 1
 HO 1 L 27/108 (2006.01)

請求項の数 5 (全 12 頁)

<p>(21) 出願番号 特願2004-341937 (P2004-341937) (22) 出願日 平成16年11月26日(2004.11.26) (65) 公開番号 特開2006-156540 (P2006-156540A) (43) 公開日 平成18年6月15日(2006.6.15) 審査請求日 平成17年6月2日(2005.6.2)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100092820 弁理士 伊丹 勝 (72) 発明者 南 良博 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内 審査官 柴山 将隆 (56) 参考文献 特開2004-335553 (JP, A)</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体記憶装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板とこの上に形成された半導体層とを有する半導体素子基体と、
 前記半導体素子基体に形成されて電氣的にフローティングのチャンネルボディのキャリア蓄積状態によりデータ記憶を行うセルトランジスタが配列され、各ソース及びドレイン層が一方向に隣接する2セルトランジスタにより共有されるセルアレイと、
 前記半導体素子基体に形成された、前記セルアレイの周辺回路を構成するロジックトランジスタとを有し、
 前記セルトランジスタのソース及びドレイン層の少なくとも一部が前記ロジックトランジスタのソース及びドレイン層並びに前記セルトランジスタのチャンネル領域部よりも薄い厚みをもって形成されている

ことを特徴とする半導体記憶装置。

【請求項2】

前記セルトランジスタは、前記半導体層上にゲート絶縁膜を介して形成された第1のゲート電極と、この第1のゲート電極の側壁に形成された第1及び第2の絶縁スペーサと、前記第1のゲート電極に自己整合されて前記半導体層に前記絶縁性基板に達する深さに形成された第1の拡散層、前記第1の絶縁スペーサに自己整合されて前記半導体層に前記絶縁性基板に達する深さに形成された第2の拡散層及び前記第2の絶縁スペーサに自己整合されて前記半導体層に前記絶縁性基板に達する深さに形成された第3の拡散層からなるソース及びドレイン層を有し、かつ

前記第2及び第3の拡散層が形成される部分の半導体層が前記第1のゲート電極の直下の半導体層より薄くされている

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記ロジックトランジスタは、前記半導体層上にゲート絶縁膜を介して形成された第2のゲート電極と、この第2のゲート電極の側壁に形成された第3の絶縁スペーサと、前記第2のゲート電極に自己整合されて前記半導体層に前記絶縁性基板に達する深さに形成された第4の拡散層及び前記第3の絶縁スペーサに自己整合されて前記半導体層に前記絶縁性基板に達する深さに形成された第5の拡散層からなるソース及びドレイン層とを有することを特徴とする請求項1記載の半導体記憶装置。

10

【請求項4】

前記セルトランジスタ及びロジックトランジスタのゲート電極及び、ソース及びドレイン層の表面に形成された金属シリサイド膜を有することを特徴とする請求項1記載の半導体記憶装置。

【請求項5】

絶縁性基板上に形成された半導体層を有する半導体素子基体のセルアレイ領域にストライプ状の複数の素子形成領域を区画する工程と、

前記半導体素子基体にゲート絶縁膜を介してゲート電極膜を形成する工程と、前記セルアレイ領域で前記ゲート電極膜をパターンニングしてセルトランジスタの第1のゲート電極を形成する工程と、

20

前記セルトランジスタのソース及びドレイン領域に前記ゲート電極に自己整合された第1の拡散層を形成する工程と、

前記第1のゲート電極の側壁に第1の絶縁スペーサを形成する工程と、

前記セルトランジスタのソース及びドレイン領域の露出表面を所定厚みエッチングする工程と、

周辺回路領域で前記ゲート電極膜をパターンニングしてロジックトランジスタの第2のゲート電極を形成する工程と、

前記セルトランジスタのソース及びドレイン領域に前記第1の絶縁スペーサに自己整合された第2の拡散層を形成すると同時に、前記ロジックトランジスタのソース及びドレイン領域に前記第2のゲート電極に自己整合された第3の拡散層を形成する工程と、

30

前記第1の絶縁スペーサの側壁に第2の絶縁スペーサを形成すると同時に前記第2のゲート電極側壁に第3の絶縁スペーサを形成する工程と、

前記セルトランジスタのソース及びドレイン領域に前記第2の絶縁スペーサに自己整合された第4の拡散層を形成すると同時に、前記ロジックトランジスタのソース及びドレイン領域に前記第3の絶縁スペーサに自己整合された第5の拡散層を形成する工程と、

を有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置とその製造方法に係り、特にSOI基板に形成されて電氣的にフローティングのチャンネルボディを有し、そのチャンネルボディのキャリア蓄積状態によりデータ記憶を行うセルトランジスタを用いた半導体記憶装置に関する。

40

【背景技術】

【0002】

最近、従来のDRAM代替を目的として、より単純なセル構造でダイナミック記憶を可能とした半導体メモリが提案されている。メモリセル(セルトランジスタ)は、SOI基板に形成された電氣的にフローティングのボディ(チャンネルボディ)を持つ一つのMOSトランジスタにより構成される。このセルトランジスタは、ボディに過剰の多数キャリアが蓄積された状態を第1データ状態(例えば、データ“1”)、ボディから過剰の多数キャリアが引き抜かれた状態を第2データ状態(例えば、データ“0”)として、二値記憶

50

を行う（特許文献1参照）。

【0003】

以下、このようなメモリセルを“FBC（Floating Body Cell）”といい、FBCを用いた半導体メモリを“FBCメモリ”という。FBCメモリは、通常のDRAMのようにキャパシタを用いないから、メモリセルアレイの構造が単純であり、単位セル面積が小さく、従って高集積化が容易であるという長所を持つ。

【0004】

FBCメモリのデータ“1”の書き込みには、セルトランジスタのドレイン近傍でのインパクトイオン化を利用する。セルトランジスタに大きなチャネル電流が流れるバイアス条件を与えて、インパクトイオン化により発生する多数キャリア（セルトランジスタがnチャンネルのときは、ホール）をボディに蓄積する。データ“0”書き込みは、ドレインとボディの間のPN接合を順バイアス状態として、ボディの多数キャリア（ホール）をドレイン側に引き抜くことにより行われる。

【0005】

ボディのキャリア蓄積状態の相違は、セルトランジスタのしきい値電圧の相違として現れる。従って、ある読み出し電圧をゲートに与えて、セル電流の有無又は大小を検出することにより、データ“0”、“1”をセンスすることができる。ボディのキャリア蓄積状態は、ゲートに所定の保持電圧を与えることにより、保持することができる。

【0006】

FBCメモリの高密度化のためには、ビット線方向に並ぶセルトランジスタは、隣接セルトランジスタの間に素子分離領域を設けることなく、隣接セルトランジスタがソース/ドレイン層を共有する形で配列することが望ましい。しかし、この様なセルアレイを用いると、データの信頼性が問題になる。

【0007】

具体的にこの問題を、図16を用いて説明する。図16は、ビット線（BL）方向に隣接する二つのセルトランジスタMT_i、MT_{i+1}を示している。シリコン基板1上に絶縁膜2を介して形成されたp型シリコン層3をチャンネルボディとして、セルトランジスタが形成されている。二つのセルトランジスタMT_i、MT_{i+1}のゲート電極4はそれぞれ、紙面に直交する方向に連続するワード線WL_i、WL_{i+1}を構成する。

【0008】

二つのセルトランジスタMT_i、MT_{i+1}は、一つのn型拡散層（ドレイン層）5を共有し、これにビット線BLが接続される。またこれらのセルトランジスタのもう一方のn型拡散層（ソース層）5は、これらに隣接する図示しないセルトランジスタが共有し、これにソース線SLが接続される。

【0009】

図には、セルトランジスタMT_i、MT_{i+1}の一方MT_iで“0”書き込みを行った場合のチャンネルボディの電荷移動の様子を示している。このとき、ビット線BLに接続されたドレイン拡散層5とチャンネルボディ3の間を順バイアスすることにより、セルトランジスタMT_iのチャンネルボディ3の多数キャリアであるホール（図では、“+”記号で示している）がドレイン拡散層5に引き抜かれる。

【0010】

このとき、ドレイン拡散層5に引き抜かれたホールの一部はその拡散層5を通過し、隣接するセルトランジスタMT_{i+1}のチャンネルボディ3まで注入される。即ち、セルトランジスタMT_i、MT_{i+1}のチャンネルボディ間に形成される寄生pnptランジスタが動作する結果、セルトランジスタMT_{i+1}が“0”データを保持している場合にここに誤って“1”データが書かれる可能性がある。このデータ破壊（誤書き込み）は、寄生バイポーラトランジスタに起因するため、“バイポーラ・ディスタ urb”といわれる。

【特許文献1】特開2003-68877号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 1 1 】

以上のようにFBCメモリは、高密度化を実現しようとする、隣接セルトランジスタ間の干渉によりデータの信頼性が低下する、バイポーラ・ディスタープが問題になる。この問題を解決するには、隣接セルトランジスタ間を完全に素子分離すればよいが、これは、FBCメモリの高密度という長所を大きく損なう。従ってFBCメモリの長所を損なうことなく、また周辺回路のロジックトランジスタの特性を劣化させることなく、セルトランジスタのバイポーラ・ディスタープを低減する手法が望まれる。

【 0 0 1 2 】

この発明は、セルアレイと周辺回路の特性が最適化された半導体記憶装置を提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 1 3 】

この発明の一態様による半導体記憶装置は、絶縁性基板とこの上に形成された半導体層とを有する半導体素子基体と、前記半導体素子基体に形成されて電氣的にフローティングのチャンネルボディのキャリア蓄積状態によりデータ記憶を行うセルトランジスタが配列され、各ソース及びドレイン層が一方向に隣接する2セルトランジスタにより共有されるセルアレイと、前記半導体素子基体に形成された、前記セルアレイの周辺回路を構成するロジックトランジスタとを有し、前記セルトランジスタのソース及びドレイン層の少なくとも一部が前記ロジックトランジスタのソース及びドレイン層並びに前記セルトランジスタのチャンネル領域部よりも薄い厚みをもって形成されている。

20

【発明の効果】

【 0 0 1 4 】

この発明によると、セルアレイと周辺回路の特性が最適化された半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、図面を参照して、この発明の実施の形態を説明する。

【 0 0 1 6 】

図1、図2及び図3は、一実施の形態によるFBCメモリに用いられる半導体素子基体10のセルアレイ領域の平面図とそのI-I'及びII-II'断面図である。素子基体10は、絶縁性基板とこの上に形成されたp型シリコン層13とを有する、いわゆるSOI(Silicon-On-Insulator)基板である。絶縁性基板はこの例ではシリコン酸化膜等の絶縁膜12で覆われたシリコン基板11である。

30

【 0 0 1 7 】

セルアレイ領域では、シリコン層13は、ストライプ状にパターンニングされて、それぞれ間に素子分離絶縁膜14が埋め込まれる。即ち、各ストライプ状シリコン層13は、絶縁膜12により基板11から分離されると共に、相互に絶縁膜14により分離された素子形成領域となる。

【 0 0 1 8 】

図4、図5及び図6は、この様な素子基体10に形成されたセルアレイのレイアウトと、そのI-I'及びII-II'断面図を示している。セルトランジスタのゲート電極16は、ストライプ状のシリコン層13を横切って連続するように形成されて、ワード線WLとなる。ゲート電極16に自己整合されて、ソース及びドレイン層となるn型拡散層15が形成されて、それぞれ電氣的にフローティングのp型チャンネルボディを持つセルトランジスタが構成される。拡散層15は、ワード線WLと直交する方向に隣接する2セルトランジスタの間で共有される。

40

【 0 0 1 9 】

セルトランジスタはシリコン窒化膜17により覆われて、その上に層間絶縁膜18が形成される。この層間絶縁膜18上にビット線(BL)19が形成される。ビット線19は、ワード線WLと交差する方向に連続的に形成され、コンタクトを介してセルトランジスタ

50

タの一方の拡散層（ドレイン層）15に接続される。層間絶縁膜18内には、セルトランジスタの他方の拡散層（ソース層）15をワード線WLの方向に共通接続するソース線（SL）20が埋め込まれる。

【0020】

ここまでFBCメモリのセルアレイ基本構成を説明した。この実施の形態では、このようなセルアレイ内のセルトランジスタと、同じ素子基体10上でセルアレイの周辺回路を構成するロジックトランジスタとの間の構造上の関係に特長を有する。以下、その関係を具体的に説明する。

【0021】

図7は、この実施の形態のFBCメモリについて、セルアレイの一つセルトランジスタと周辺回路の一つのロジックトランジスタに着目して、それらの断面構造を対比して示している。素子基体10は、前述のように、シリコン基板11とこの上に絶縁膜12を介して形成されたp型シリコン層13を有する。セルトランジスタにおいては、そのゲート電極16の両側壁に沿って第1の絶縁スペーサ17aが形成され、更にその外側に第2の絶縁スペーサ17bが形成されている。これらのスペーサ17a, 17bは例えばシリコン窒化膜である。

10

【0022】

セルトランジスタのソース/ドレイン領域（ソース/ドレイン層）15はそれぞれ、ゲート電極16に自己整合されたn⁻型拡散層15a、第1のスペーサ17aに自己整合されたn型拡散層15b及び、第2のスペーサ17bに自己整合されたn⁺型拡散層15cを有する。これらの拡散層15a, 15b及び15cは全て、シリコン層13に、その底部絶縁膜12に達する深さに形成されている。

20

【0023】

これに対して、ロジックトランジスタのゲート電極26の両側壁には、一層の絶縁スペーサ27のみが形成されている。このスペーサ27も例えばシリコン窒化膜である。そして、ロジックトランジスタのソース/ドレイン層25はそれぞれ、ゲート電極26に自己整合されn型拡散層25aと、スペーサ27に自己整合されn⁺型拡散層25bとを有する。例えばn型拡散層25aは、セルトランジスタのn型拡散層15bと同時に同じ不純物濃度で、p型シリコン層13の底部に達する深さに形成される。またn⁺型拡散層25bは、例えばセルトランジスタのn⁺型拡散層15cと同時に同じ不純物濃度で、やはり

30

【0024】

セルトランジスタとロジックトランジスタとの間の重要な構造上の相違点は、両者のソース/ドレイン層15, 25が異なる厚みをもって形成されていることである。具体的に説明する。セルトランジスタとロジックトランジスタとも、当初のシリコン層13の厚みは等しく、D1であり、その厚み部分にチャンネル領域が形成されている。セルトランジスタでは、第1の絶縁スペーサ17aと第2の絶縁スペーサ17bとの境界直下でシリコン層13の厚みを減少させている。即ちn型層15b及びn⁺型層15cが形成された部分のシリコン層厚みD2を、他の領域のそれより薄くしている。ロジックトランジスタでは、p型シリコン層13の厚みは、チャンネル領域からソース及びドレイン領域まで一定値D1であり、セルトランジスタのチャンネル領域部のそれと同じである。

40

【0025】

セルトランジスタのゲート電極16、ソース/ドレイン領域15のn⁺型拡散層15cの表面には、自己整合されたシリサイド（サリサイド）膜21が形成されている。ロジックトランジスタのゲート電極26、ソース/ドレイン領域25のn⁺型拡散層25bの表面にも同様に、サリサイド膜21が形成されている。更に、両トランジスタの表面は、シリコン窒化膜等のバリア膜22で覆われ、その上に層間絶縁膜18が形成される。

【0026】

以上のようにこの実施の形態では、セルトランジスタ及びロジックトランジスタが形成されるp型シリコン層12のうち、少なくともセルトランジスタのソース/ドレイン層部

50

分を薄くしている。これにより、セルトランジスタのソース/ドレイン層の横方向抵抗が大きくなり、バイポーラ・ディスターブが抑制される。ソース/ドレイン層は、表面にシリサイド膜を形成することによって結晶欠陥が多い状態（従ってキャリア寿命が短い状態）となっており、これもバイポーラ・ディスターブの抑制に有効に働く。

【0027】

一方、周辺回路のロジックトランジスタでは、ソース/ドレイン層の抵抗増大はなく、従って高速動作が保証される。即ちこの実施の形態によると、ロジックトランジスタの高速性能とセルトランジスタの信頼性を両立させることができる。

【0028】

この実施の形態のFBCメモリの製造工程を、図7に対応する製造工程断面図である図8～図12を参照して説明する。

10

【0029】

図8に示すように、素子基体10のp型シリコン層13の表面にゲート絶縁膜31を形成した後、ゲート電極膜として例えば多結晶シリコン膜160を堆積する。この多結晶シリコン膜160をRIE(Reactive Ion Etching)によりエッチングして、セルアレイ領域にワード線となるゲート電極16を形成する。この段階で周辺回路領域はマスク(図示しない)で覆われた状態とし、従って多結晶シリコン膜160がパターンニングされず残されるようにする。

【0030】

ゲート電極16の形成後、そのゲート電極16及びp型シリコン層13に熱酸化による薄い酸化膜32を形成し、ゲート電極16をマスクとしてイオン注入を行う。これにより、セルアレイ領域のドレイン/ソース領域に、ゲート電極16に自己整合されたn⁻型層15aを形成する。n⁻型層15aは、p型シリコン層13の底部、即ち絶縁膜12に達する深さに形成する。

20

【0031】

次に、CVD(Chemical Vapor Deposition)法等によりシリコン窒化膜を堆積し、これをRIEによりエッチングして、図9に示すように、ゲート電極16の側壁に第1の絶縁スペーサ17aを形成する。このRIE工程ではオーバーエッチングを行うことにより、露出したシリコン層13をリセスして、図9に示すように、セルトランジスタのソース/ドレイン領域部分の厚みをD1からD2まで減少させる。このとき同時に、ゲート電極16の膜厚も減少するが、その減少程度を見込んで最初の膜厚を決めれば、問題ない。周辺回路領域の多結晶シリコン膜160の膜厚減少についても同様のことがいえる。

30

【0032】

次に図10に示すように、周辺回路領域で多結晶シリコン膜160をRIEによりパターンニングして、ロジックトランジスタのゲート電極26を形成する。後酸化による薄い酸化膜33を形成した後、ゲート電極16, 26及び絶縁スペーサ17aをマスクとしてイオン注入を行う。これにより、セルトランジスタのソース/ドレイン領域にスペーサ17aに自己整合されたn型層15bを形成し、同時にロジックトランジスタのソース/ドレイン領域にはゲート電極26に自己整合されたn型層25aを形成する。これらのn型層15b, 25aもp型シリコン層13の底部に達する深さとする。

40

【0033】

続いて、CVD法等によるシリコン窒化膜を堆積し、これをRIEによりエッチングすることにより、図11に示すように、セルトランジスタのゲート電極16の第1の絶縁スペーサ17aの側壁に更に第2の絶縁スペーサ17bを形成し、同時にロジックトランジスタのゲート電極27の側壁に絶縁スペーサ27を形成する。このシリコン窒化膜のRIE工程は、好ましくは、図9で説明したそれに比べて、シリコン窒化膜のシリコン酸化膜やシリコンに対するエッチング選択比を大きく設定する。これにより、シリコン層のリセスエッチングが抑制される。

【0034】

50

そして、後酸化による薄い酸化膜 3 4 を形成した後、ゲート電極 1 6 , 2 6、絶縁スペーサ 1 7 a , 1 7 b 及び 2 7 をマスクとしてイオン注入を行う。これにより、図 1 1 に示すように、セルトランジスタのソース/ドレイン領域 1 5 に、スペーサ 1 7 b に自己整合された n^+ 型層 1 5 c を形成し、同時にロジックトランジスタのソース/ドレイン領域 2 5 にスペーサ 2 7 に自己整合された n^+ 型層 2 5 b を形成する。

【 0 0 3 5 】

ゲート電極及びソース/ドレイン層表面の酸化膜除去処理を行った後、高融点金属膜、例えば Ni 膜又は Co 膜を形成し、熱処理を行うことにより、図 1 2 に示すように、各ゲート電極及びソース/ドレイン層表面にシリサイド膜 2 1 を形成する。

【 0 0 3 6 】

この後、バリア膜 2 2、次いで層間絶縁膜 1 8 を堆積することにより、図 7 の構造が得られる。セルアレイ領域では、図 4 ~ 図 6 で説明したように、層間絶縁膜 1 8 上にビット線 BL が形成され、また層間絶縁膜 1 8 内部にソース線 SL が埋め込まれる。周辺回路領域にも同様に、層間絶縁膜 1 8 の内外に配線が形成される。

【 0 0 3 7 】

この実施の形態において、セルトランジスタのチャネル領域部分の厚み D_1 及びソース/ドレイン領域の厚み D_2 は、最適化することが望ましい。セルトランジスタがそのチャネルボディの電荷蓄積状態に応じて十分なデータ “ 0 ” , “ 1 ” のマージンを確保するためには、 p 型シリコン層 1 3 の厚み D_1 をあまり小さくすることはできず、例えば、 $D_1 = 20 \sim 200 \text{ nm}$ に設定される。このとき、セルトランジスタのバイポーラ・ディタープを効果的に抑制するためには、ソース/ドレイン層の厚み D_2 を、 $D_2 = 10 \sim 100 \text{ nm}$ 程度にする。厚み D_2 の下限値は、ソース/ドレイン領域表面にシリサイド膜 2 1 を形成した後も、図 7 に示すように、その部分に望ましくは $D_3 = 5 \sim 50 \text{ nm}$ 程度のシリコン層を確保するために、必要である。シリサイド形成後のシリコン層厚み D_3 がこれより小さくなると、ソース/ドレインの抵抗が大きくなり、所望の読み出し/書き込み性能への影響が大きくなり始める。

【 0 0 3 8 】

上記実施の形態では、セルアレイ領域と周辺回路領域の p 型シリコン層厚みを同じとしたが、これを異ならせることもできる。例えば、図 1 3 はその様な実施の形態のセルトランジスタとロジックトランジスタの構造を、上記実施の形態の図 7 と対応させて示している。

【 0 0 3 9 】

この実施の形態では、 p 型シリコン層 1 3 の当初の厚みが D_0 であり、最初に周辺回路領域をマスクで覆って、セルアレイ領域についてシリコンエッチングを行って、その厚みを $D_1 (< D_0)$ としている。このシリコンエッチング工程は例えば、図 1 ~ 図 3 に示した素子分離絶縁膜 1 4 の埋め込み前に行うが、その後でもよい。その後、先の実施の形態と同様の工程により、セルトランジスタについてソース/ドレイン領域の厚みを $D_2 (< D_1)$ と小さくした構造を作る。

【 0 0 4 0 】

図 1 4 は、他の実施の形態のセルトランジスタ構造を示している。図 7 のセルトランジスタと異なる点は、補助ゲート 4 1 が埋め込まれていることである。即ちシリコン基板 1 1 を p 型として、セルトランジスタのチャネルボディ直下の絶縁膜 1 2 の下に、 n^+ 型拡散層による補助ゲート 4 1 が埋め込まれる。補助ゲート 4 1 は、ゲート電極 1 6 と並行して走る補助ワード線となり、チャネルボディの電位を補助的に制御するために用いられる。

【 0 0 4 1 】

図 1 5 は、更に他の実施の形態のセルトランジスタ構造を示している。図 7 のセルトランジスタと異なる点は、ソース/ドレイン領域 1 5 が、チャネル領域のすぐ外側でリセスエッチングされていることである。具体的には、ゲート電極 1 6 を形成した後、絶縁スペーサ 1 7 を形成する前に、 p 型シリコン層 1 3 をリセスエッチングして、ソース/ドレイ

10

20

30

40

50

ン領域 15 を薄くしている。

【0042】

また絶縁スペーサ 17 が図 7 のセルトランジスタと異なり、二重ではない。ソース/ドレイン領域が、ゲート電極 16 に自己整合された n 型拡散層 15 a と、スペーサ 17 に自己整合された n⁺ 型拡散層 15 b の二つの拡散層のみからなっている点も図 7 のセルトランジスタと異なる。

【0043】

ここまで、n チャンネルのセルトランジスタを説明したが、この発明は p チャンネル型のセルトランジスタを用いる場合にも同様に適用できる。また周辺回路のロジックトランジスタを p チャンネルにすること、更に周辺回路を n チャンネル型トランジスタと p チャンネル型トランジスタを用いた CMOS 回路とすることもできる。

10

【0044】

更に、実施の形態ではセルトランジスタとロジックトランジスタのソース/ドレイン拡散層を同時に形成する場合を説明したが、それぞれ最適の不純物と濃度を選択して独立に形成することもできる。セルトランジスタのソース/ドレイン拡散層が一層の場合もこの発明は有効である。

【図面の簡単な説明】

【0045】

【図 1】実施の形態による FBC メモリに用いられる素子基体のセルアレイ領域の平面図である。

20

【図 2】図 1 の I - I' 断面図である。

【図 3】図 1 の II - II' 断面図である。

【図 4】実施の形態の FBC メモリのメモリセルアレイの平面図である。

【図 5】図 4 の I - I' 断面図である。

【図 6】図 4 の II - II' 断面図である。

【図 7】実施の形態の FBC メモリにおけるセルトランジスタ部とロジックトランジスタ部の断面を示す図である。

【図 8】セルトランジスタのゲート電極形成工程を示す断面図である。

【図 9】セルトランジスタの第 1 の絶縁スペーサと n⁻ 型拡散層の形成工程を示す断面図である。

30

【図 10】ロジックトランジスタのゲート電極形成、及び両トランジスタの n 型拡散層形成工程を示す断面図である。

【図 11】セルトランジスタの第 2 の絶縁スペーサとロジックトランジスタの絶縁スペーサ形成及び、両トランジスタの n⁺ 型拡散層形成工程を示す断面図である。

【図 12】セルトランジスタ及びロジックトランジスタのサリサイド工程を示す断面図である。

【図 13】他の実施の形態による FBC メモリのセルトランジスタ部とロジックトランジスタ部の断面を示す図である。

【図 14】他の実施の形態によるセルトランジスタ構造を示す断面図である。

【図 15】他の実施の形態によるセルトランジスタ構造を示す断面図である。

40

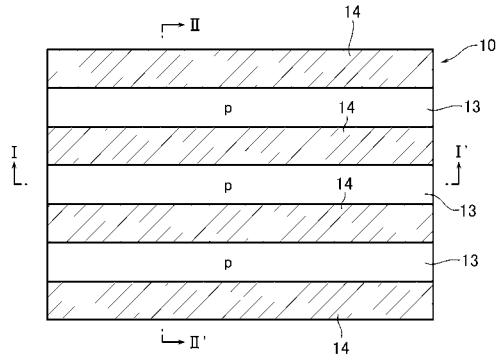
【図 16】従来の FBC メモリのバイポーラ・ディスタープを説明するための図である。

【符号の説明】

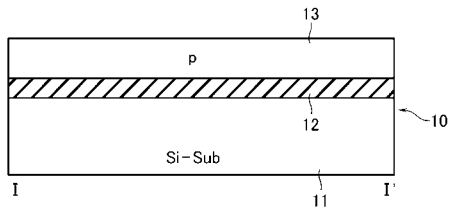
【0046】

10 ... 半導体素子基体、11 ... シリコン基板、12 ... 絶縁膜、13 ... p 型シリコン層、14 ... 素子分離絶縁膜、15 (15 a, 15 b, 15 c) ... ソース/ドレイン層、16 ... ゲート電極、17 (17 a, 17 b) ... 絶縁スペーサ、18 ... 層間絶縁膜、19 ... ビット線、20 ... ソース線、21 ... 金属シリサイド膜、22 ... バリア膜、25 (25 a, 25 b) ... ソース/ドレイン層、26 ... ゲート電極、27 ... 絶縁スペーサ。

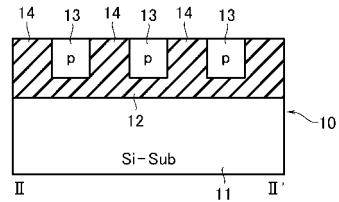
【 図 1 】



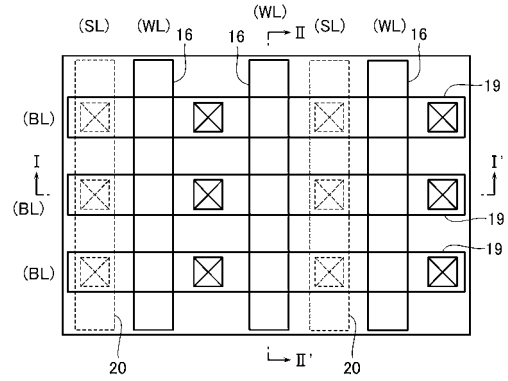
【 図 2 】



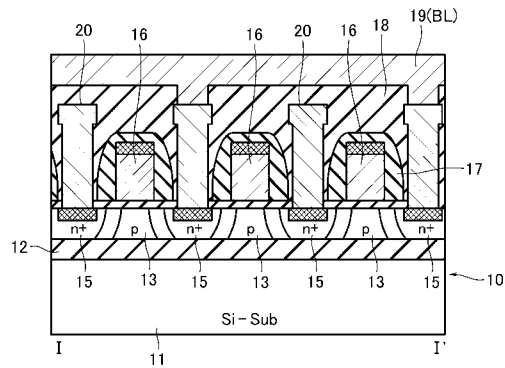
【 図 3 】



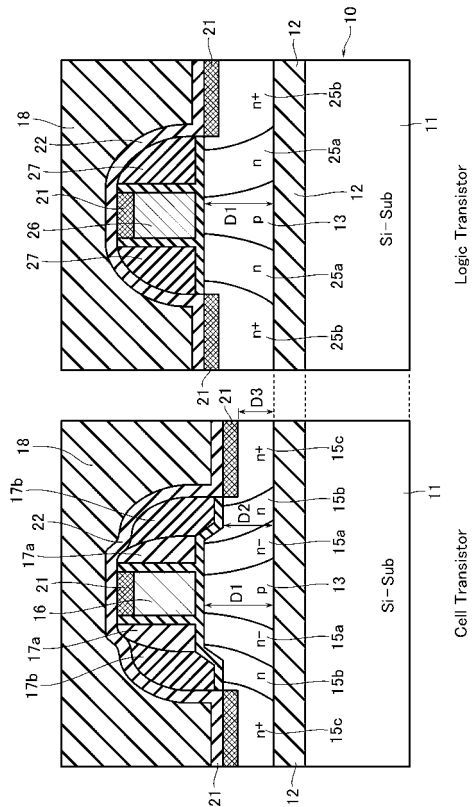
【 図 4 】



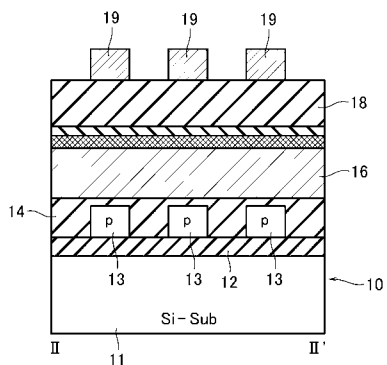
【 図 5 】



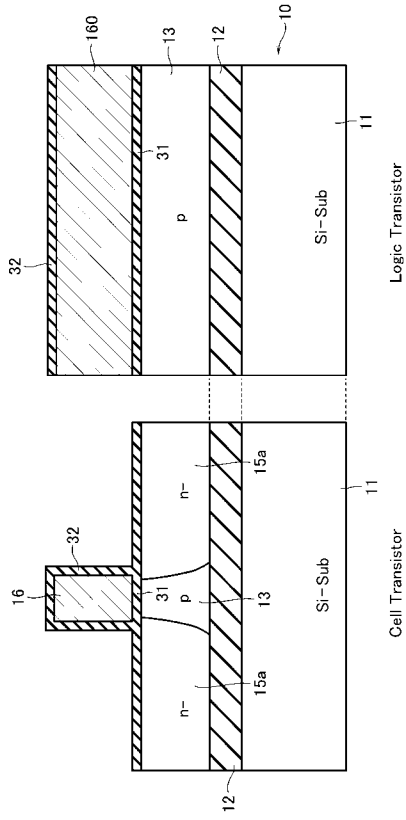
【 図 7 】



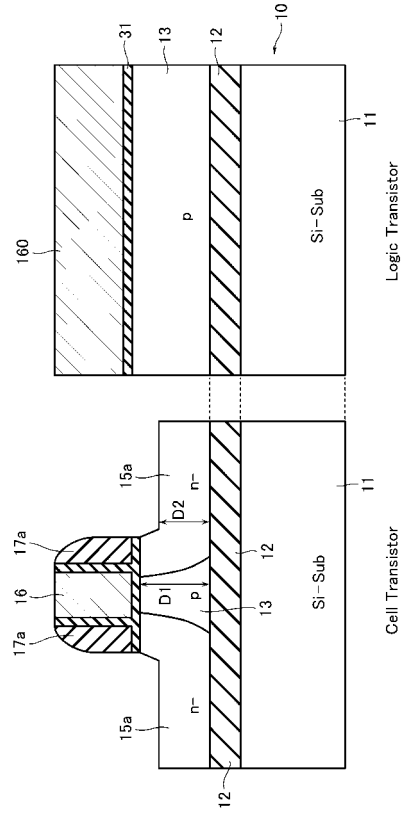
【 図 6 】



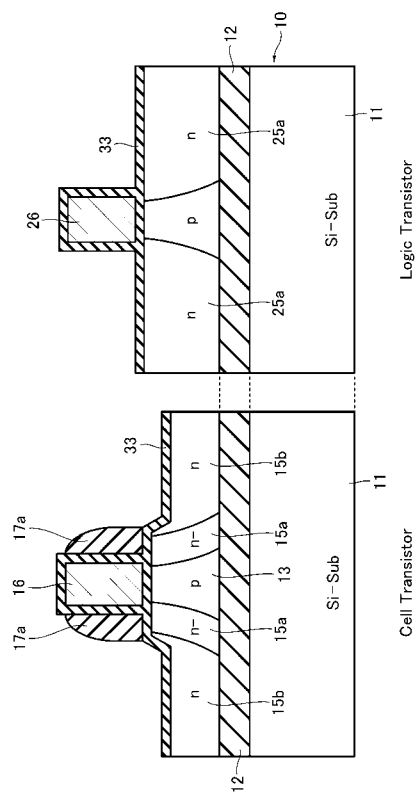
【 図 8 】



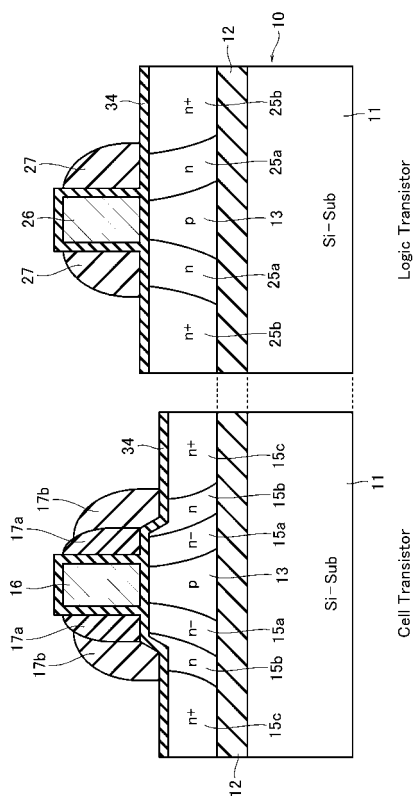
【 図 9 】



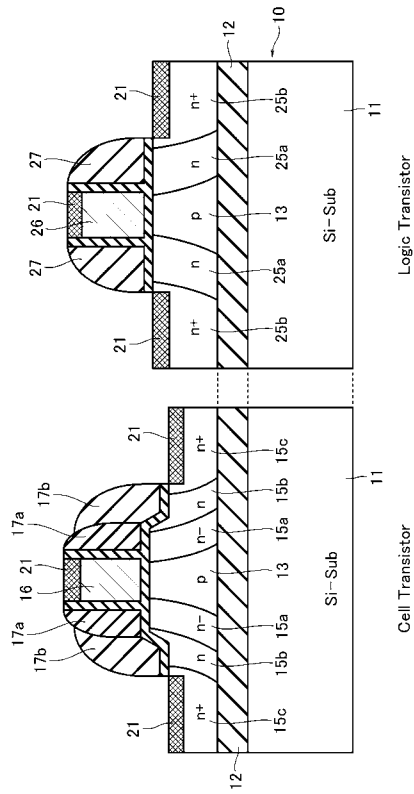
【 図 10 】



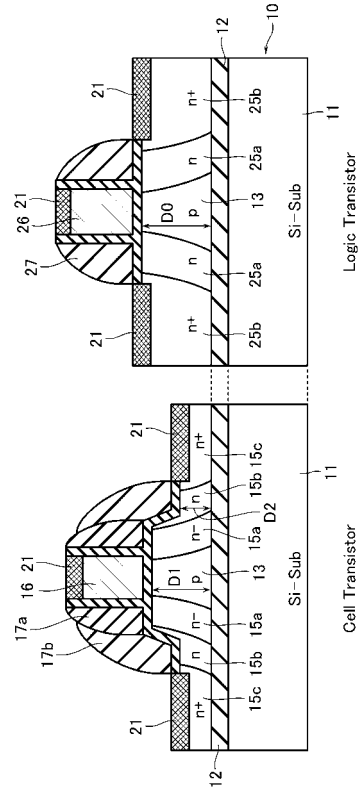
【 図 11 】



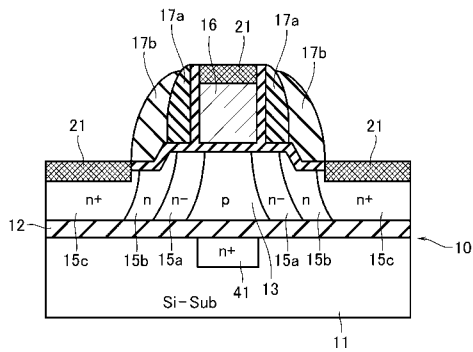
【 図 1 2 】



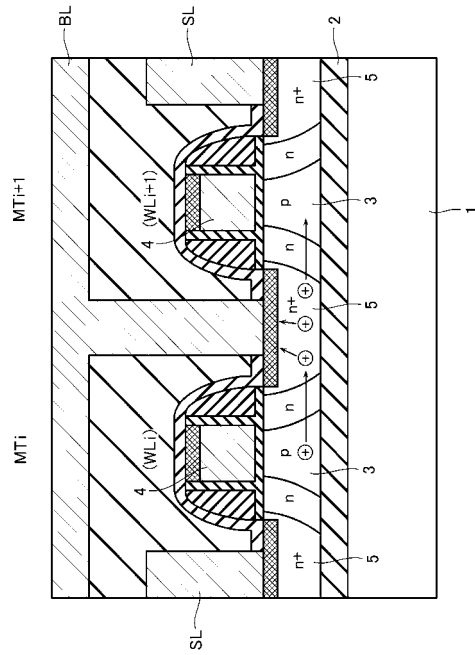
【 図 1 3 】



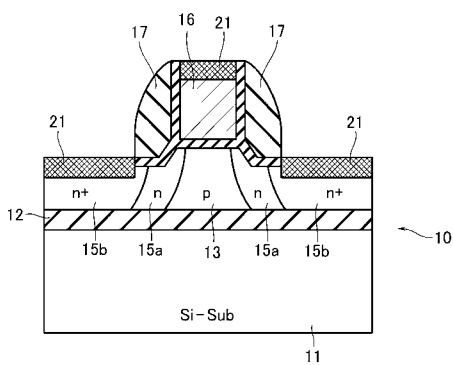
【 図 1 4 】



【 図 1 6 】



【 図 1 5 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 7 / 1 0 8