



(12) 发明专利申请

(10) 申请公布号 CN 119032635 A

(43) 申请公布日 2024. 11. 26

(21) 申请号 202380036950.7

(22) 申请日 2023.02.17

(30) 优先权数据

2022-102606 2022.06.27 JP

(85) PCT国际申请进入国家阶段日

2024.10.28

(86) PCT国际申请的申请数据

PCT/JP2023/005690 2023.02.17

(87) PCT国际申请的公布数据

W02024/004263 JA 2024.01.04

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 久保龙一

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

专利代理师 朴云龙

(51) Int.Cl.

H05K 3/46 (2006.01)

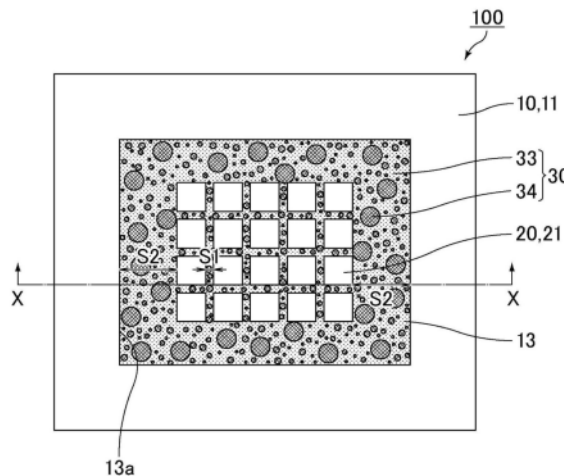
权利要求书1页 说明书11页 附图6页

(54) 发明名称

基板

(57) 摘要

一种基板(100),具备:芯基板(10),具有第1面(11)以及与第1面(11)相反侧的第2面(12),在内部设置有开口部(13);电子部件(20),在开口部(13)设置有至少多个;以及密封材料(30),设置在开口部(13)与多个电子部件(20)之间以及多个电子部件(20)之间,包含树脂(33)以及填料(34),多个电子部件(20)之间的间隔(S1)的平均比开口部(13)的壁面(13a)和与壁面(13a)相邻的电子部件(20)之间的最短距离(S2)小。



1. 一种基板,具备:

芯基板,具有第1面以及与所述第1面相反侧的第2面,在内部设置有开口部;

电子部件,在所述开口部设置有至少多个;以及

密封材料,设置在所述开口部与所述多个电子部件之间以及所述多个电子部件之间,包含树脂以及填料,

所述多个电子部件之间的间隔的平均比所述开口部的壁面和与所述壁面相邻的电子部件之间的最短距离小。

2. 根据权利要求1所述的基板,其中,

在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的平均粒径比填充到所述多个电子部件之间的区域的填料的平均粒径大。

3. 根据权利要求2所述的基板,其中,

在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的占有面积的比例比填充到所述多个电子部件之间的区域的填料的占有面积的比例小。

4. 根据权利要求1~3中的任一项所述的基板,其中,

在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的最大粒径比填充到所述多个电子部件之间的区域的填料的最大粒径大。

5. 根据权利要求1~4中的任一项所述的基板,其中,

在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的最大粒径比所述多个电子部件之间的间隔的平均大。

6. 根据权利要求1~5中的任一项所述的基板,其中,

所述多个电子部件分别具有长尺寸方向在相对于所述第2面正交的方向上延伸的形状。

7. 根据权利要求6所述的基板,其中,

所述电子部件的电极位于所述长尺寸方向上的一方以及另一方的端部。

8. 根据权利要求1~7中的任一项所述的基板,其中,

对于所述多个电子部件中的至少一部分的电子部件,密封材料的从所述电子部件的表面朝向相对于所述第2面正交的方向的厚度比所述多个电子部件之间的间隔的平均大。

9. 根据权利要求8所述的基板,其中,

填充到如下的区域的填料的平均粒径比填充到所述多个电子部件之间的区域的填料的平均粒径大,该区域是,对于所述多个电子部件中的至少一部分的电子部件,密封材料的从所述电子部件的表面朝向相对于所述第2面正交的方向的厚度比所述多个电子部件之间的间隔的平均大。

基板

技术领域

[0001] 本发明涉及基板。

背景技术

[0002] 在专利文献1记载了一种半导体封装,其具备:芯构件;贯通孔,贯通芯构件;一个以上的无源部件,配置在贯通孔;以及密封材料,覆盖无源部件的至少一部分,并填充贯通孔的至少一部分(例如,参照图9)。

[0003] 在专利文献2记载了一种印刷布线板,其具备:芯基板,设置有贯通芯材料的开口;多个种类的电子部件,容纳在开口内;以及树脂,形成在开口内,并将多个种类的电子部件固定于芯基板(例如,参照图1)。

[0004] 在先技术文献

[0005] 专利文献

[0006] 专利文献1:日本专利第6694931号公报

[0007] 专利文献2:日本特开2019-207978号公报

发明内容

[0008] 发明要解决的问题

[0009] 以往,在将电子部件表面安装于基板的情况下,需要在基板上形成焊料连接用的连接盘,因此电子部件之间的间隔需要确保为几百 μm 以上,难以进一步减小间隔。

[0010] 相对于此,根据在专利文献1、专利文献2记载的技术,能够经由过孔对埋入到芯基板的开口部内的电子部件电连接布线。因此,能够进一步减小电子部件之间的间隔。

[0011] 然而,若减小电子部件之间的间隔,则用于将电子部件密封在基板内的密封材料有可能无法充分地填充到电子部件之间的间隙。

[0012] 本发明是为了解决上述的问题而完成的,其目的在于,提供一种电子部件之间的密封材料的填充性优异的基板。

[0013] 用于解决问题的技术方案

[0014] 本发明的基板具备:芯基板,具有第1面以及与上述第1面相反侧的第2面,在内部设置有开口部;电子部件,在上述开口部设置有至少多个;以及密封材料,设置在上述开口部与上述多个电子部件之间以及上述多个电子部件之间,包含树脂以及填料,上述多个电子部件之间的间隔的平均比上述开口部的壁面和与上述壁面相邻的电子部件之间的最短距离小。

[0015] 发明效果

[0016] 根据本发明,能够提供一种电子部件之间的密封材料的填充性优异的基板。

附图说明

[0017] 图1是示意性地示出本发明的实施方式涉及的基板的一个例子的剖视图。

- [0018] 图2是示意性地示出图1所示的基板具备的芯基板以及电子部件的一个例子的俯视图。
- [0019] 图3是将图1所示的基板的开口部放大的剖面示意图。
- [0020] 图4是示意性地示出用密封材料对电子部件进行密封的情况的俯视图。
- [0021] 图5是示意性地示出用密封材料对电子部件进行密封的情况的剖视图。
- [0022] 图6是示意性地示出图1所示的基板具备的芯基板发生了变形的状态的俯视图。
- [0023] 图7是示意性地示出图1所示的基板的变形例的剖视图。
- [0024] 图8是示意性地示出在芯基板粘附电子部件固定用的粘接膜的工序的一个例子的图。
- [0025] 图9是示意性地示出将电子部件(无源部件)配置在粘接膜上的工序的一个例子的剖视图。
- [0026] 图10是示意性地示出将电子部件(无源部件以及半导体芯片)配置在粘接膜上的工序的一个例子的剖视图。
- [0027] 图11是示意性地示出向芯基板的开口部填充密封材料的工序的一个例子的剖视图。
- [0028] 图12是示意性地示出形成过孔的工序的一个例子的剖视图。
- [0029] 图13是示意性地示出形成布线层的工序的一个例子的剖视图。
- [0030] 图14是示意性地示出形成堆叠层的工序的一个例子的剖视图。

具体实施方式

[0031] 以下,对本发明的基板进行说明。

[0032] 然而,本发明并不限定于以下的结构,能够在不变更本发明的主旨的范围内适当地变更而进行应用。另外,将以下记载的各个优选的结构组合了两个以上的结构也还是本发明。

[0033] [基板]

[0034] 图1是示意性地示出本发明的实施方式涉及的基板的一个例子的剖视图。图2是示意性地示出图1所示的基板具备的芯基板以及电子部件的一个例子的俯视图。另外,图1是沿着图2所示的X—X线的剖视图。

[0035] 图1以及图2所示的基板100具备:芯基板10,具有第1面11以及与第1面11相反侧的第2面12,在内部设置有开口部13;电子部件20,在开口部13设置有至少多个;密封材料30,设置在开口部13与电子部件20之间以及多个电子部件20之间,并具有第1面11侧的第3面31以及第2面12侧的第4面32;多个第1过孔导体40,贯通密封材料30的第3面31,并与多个电子部件20的第1电极21电连接;多个第2过孔导体50,与多个电子部件20的第2电极22电连接;第1堆叠层(再布线层)60,设置在芯基板10的第1面11以及密封材料30的第3面31上;以及第2堆叠层(再布线层)70,设置在芯基板10的第2面12以及密封材料30的第4面32上。

[0036] 作为芯基板10,能够使用树脂基板、玻璃基板、陶瓷基板等。芯基板10也可以是在其表面或内部设置有导体布线的印刷布线板。作为芯基板10,优选地,能够使用由环氧树脂等树脂和玻璃布等增强材料形成的绝缘性的支承基板(芯材料)。也可以在支承基板中包含二氧化硅粒子、矾土粒子等无机粒子。

[0037] 芯基板10的第1面11和第2面12是相互平行的面,构成了芯基板10的对置的一对主面。

[0038] 芯基板10的开口部13贯通芯基板10。俯视芯基板10时的开口部13的形状没有特别限定,除了图2所示的矩形以外,也可以是圆形、椭圆形、长圆形、n边形(n为5以上的整数)等。

[0039] 基板100是埋入了多个电子部件20的部件埋入型基板,各电子部件20不是容纳在芯基板10的第1面11以及第2面12上,而是容纳在芯基板10的开口部13内。

[0040] 电子部件20可以如图2所示地以二维方式配置在开口部13内,也可以以一维方式配置在开口部13内。在前者的情况下,电子部件20例如可以排列成矩阵状(图2),也可以排列成锯齿状。

[0041] 多个电子部件20之间的间隔(即,相邻的电子部件20之间的间隔)S1没有特别限定,间隔S1的平均优选为10 μ m以上且100 μ m以下,更优选为10 μ m以上且50 μ m以下。

[0042] 在此,间隔S1的平均可通过对基板100的照片进行图像分析而求出。更详细地,通过扫描型电子显微镜(SEM)或透射型电子显微镜(TEM)得到芯基板10的与第2面12平行的剖面的放大照片,对于相邻的各组的电子部件20,使用图像分析软件在对置的轮廓线上分别绘制线段并求出该线段间的平均距离。然后,求出根据全部的组合的电子部件20得到的平均距离的平均,并将该平均值作为间隔S1的平均。也可以代替通过扫描型电子显微镜(SEM)或透射型电子显微镜(TEM)得到的照片而使用X射线照片。

[0043] 另外,电子部件20之间的间隔S1可以如图1以及图2所示地实质上固定(无论哪里都相同),也可以根据测定位置、成为对象的电子部件20而不同。

[0044] 此外,关于间隔S1的平均,只在与第2面12平行的一个剖面中测定即可,未必一定要在与第2面12平行的两个以上的剖面中测定。

[0045] 此外,图1示出了芯基板10的相对于第2面12正交的剖面。以下,有时将该剖面简称为“垂直剖面”。

[0046] 电子部件20的种类没有特别限定,在此,配置有电容器(例如,层叠陶瓷电容器(MLCC))、电感器等无源部件20A。这些电子部件20(无源部件20A)是具有长方体状、圆柱状等长尺寸形状的芯片部件。

[0047] 另外,在同一个开口部13内,可以仅配置有一种电子部件20,也可以配置有(混合存在)两种以上的电子部件20。此外,在后者的情况下,所谓相同种类电子部件20,是用芯片部件的尺寸代码进行了标准化的同一尺寸的部件。尺寸代码是由JIS(Japanese Industrial Standards:日本工业标准)和EIA(Electronic Industries Alliance:电子工业协会)规定的代码,拿JIS来说,例如可列举0603等代码。此外,所谓相同种类电子部件20,也可以是电路的基本构成部件中的种类相同的部件,例如,像电容器彼此、电感器彼此。此外,所谓相同种类电子部件20,例如,也可以是电容器彼此、电感器彼此中的具有同一型式的部件。

[0048] 各电子部件20具有长尺寸方向在相对于芯基板10的第2面12正交的方向(后述的第1方向D1或第2方向D2)上延伸的形状。在该情况下,变得特别难以将密封材料30填充到电子部件20之间的间隙,但是根据本实施方式,如后所述,能够提高电子部件20之间的密封材料30的填充性。

[0049] 在垂直剖面中,关于各电子部件20的尺寸,与平行于芯基板10的第2面12的方向相比,在相对于第2面12正交的方向(后述的第1方向D1或第2方向D2)上更大。由此,能够以更高的密度配置电子部件20。

[0050] 此外,各电子部件20在第1方向D1上具有第1电极21,并且在与第1方向D1相反的第2方向D2上具有第2电极22,其中,第1方向D1是相对于芯基板10的第2面12正交的方向,并且朝向第1面11侧。通过像这样以纵方向安装电子部件20,从而能够以更高的密度配置长尺寸形状的电子部件20。

[0051] 在各电子部件20中,第1电极21以及第2电极22分别位于长尺寸形状的电子部件20的长尺寸方向上的一方以及另一方的端部。

[0052] 另外,也可以是,关于电子部件20中的至少一个的尺寸,在垂直剖面中,与平行于芯基板10的第2面12的方向相比,在相对于第2面12正交的方向(第1方向D1或第2方向D2)上更小。此外,也可以是,在电子部件20中的至少一个中,第1电极21以及第2电极22配置在与芯基板10平行的方向上。

[0053] 图3是将图1所示的基板的开口部放大的剖面示意图。另外,图3是沿着图2所示的X—X线的剖视图的一部分,示出了垂直剖面。

[0054] 密封材料30是用于在开口部13内对电子部件20进行密封的构件,在开口部13内填充在各电子部件20的周围。如图2以及图3所示,密封材料30包含树脂33以及填料34。

[0055] 作为树脂33,例如,可列举环氧树脂、聚酰亚胺等,其中,尤其优选环氧树脂。

[0056] 如图2以及图3所示,填料34包含粒子。作为填料34,例如,优选二氧化硅粒子、矾土粒子等无机粒子。

[0057] 像这样,作为填料34的材质,优选 SiO_2 以及 Al_2O_3 ,填料34优选包含 SiO_2 以及 Al_2O_3 中的至少一者。

[0058] 填料34的形状没有特别限定,例如,如图2以及图3所示,可以是球状,除此以外,也可以是椭圆球状、板状、针状、无定形等。

[0059] 第1过孔导体40对各电子部件20各设置有至少一个,各电子部件20经由第1过孔导体40与第1堆叠层60电连接。各第1过孔导体40至少贯通第1堆叠层60的最靠近芯基板10的绝缘层61和密封材料30的第3面31,到达至对应的电子部件20的第1电极21。

[0060] 第2过孔导体50对各电子部件20各设置有至少一个,各电子部件20经由第2过孔导体50与第2堆叠层70电连接。各第2过孔导体50至少贯通第2堆叠层70的最靠近芯基板10的绝缘层71,到达至对应的电子部件20的第2电极22。

[0061] 第1堆叠层60将电子部件20彼此、电子部件20与其它部件、通孔、端子等电连接,交替地层叠有至少一个绝缘层61和至少一个布线层62。

[0062] 第2堆叠层70也同样地,将电子部件20彼此、电子部件20与其它部件、通孔、端子等电连接,交替地层叠有至少一个绝缘层71和至少一个布线层72。

[0063] 图4是示意性地示出用密封材料对电子部件进行密封的情况的俯视图。图5是示意性地示出用密封材料对电子部件进行密封的情况的剖视图。图6是示意性地示出图1所示的基板具备的芯基板发生了变形的状态的俯视图。

[0064] 在本实施方式中,如图2以及图3所示,多个电子部件20之间的间隔S1的平均比开口部13的壁面13a和与壁面13a相邻的电子部件20之间的最短距离S2小。像这样,在安装电

子部件20的区域的周边存在空隙,由此在用密封材料30对电子部件20进行密封时,如图4以及图5所示,能够形成朝向周边部的密封材料30的流动,密封材料30的流动性提高。其结果是,可抑制包含气泡、填料34的堵塞,因此电子部件20之间的密封材料30的填充性提高。

[0065] 此外,在本实施方式中,电子部件20的电极(第1电极21以及第2电极22)位于长尺寸形状的电子部件20的长尺寸方向上的一方以及另一方的端部。若在该位置设置电极,则在填充密封材料30时填料34与电子部件20接触的位置将变成电极。关于电极的材质,典型地,是金属,强度比电极以外的部位(典型地,陶瓷)高,因此即使填料34与电极接触,电极也不易受到损伤。

[0066] 另一方面,因为多个电子部件20的间隔小,大的填料34不易进入到电子部件20之间,所以可防止在电子部件20之间大的填料34与电子部件20的长尺寸方向上的端部以外的部位的陶瓷接触。因此,可防止在多个电子部件20之间电子部件20的陶瓷部分受到损伤。

[0067] 基于以上的理由,通过将电极设置在该位置,从而可防止在填充密封材料30时电子部件20由于与填料34的接触而受到损伤。

[0068] 此外,能够充分地确保弹性模量比芯基板10小的密封材料30的树脂33的框架,因此如图6所示,能够通过该框架部分来缓解在芯基板10发生了变形时产生的来自芯基板10的应力,能够降低施加于电子部件20的应力。即,即使芯基板10变形,密封材料30的宽度宽的外周部也会成为缓冲,能够降低对电子部件20的影响。

[0069] 间隔S1的平均和最短距离S2的比率没有特别限定,但是最短距离S2优选相对于间隔S1的平均为5倍以上,更优选为8倍以上,进一步优选为实质上10倍以上。

[0070] 此外,最短距离S2也没有特别限定,优选为50 μm 以上,更优选为100 μm 以上。

[0071] 在此,最短距离S2可通过对基板100的照片进行图像分析而求出。更详细地,通过扫描型电子显微镜(SEM)或透射型电子显微镜(TEM)得到芯基板10的与第2面12平行的剖面的放大照片,对于开口部13的壁面13a和与壁面13a相邻的电子部件20各自使用图像分析软件在对置的轮廓线上分别绘制线段并求出该线段间的最小间隔。然后,将求出的最小间隔中的最短的距离作为最短距离S2。也可以代替通过扫描型电子显微镜(SEM)或透射型电子显微镜(TEM)得到的照片而使用X射线照片。

[0072] 也可以如图2以及图3所示,多个电子部件20之间的间隔S1均比最短距离S2小,即,相邻的各组的电子部件20之间的间隔S1全部比最短距离S2小。

[0073] 如图3所示,在垂直剖面中,填充到开口部13的壁面13a和与壁面13a相邻的多个电子部件20之间的区域A1的填料34的平均粒径优选比填充到多个电子部件20之间的区域A2的填料34的平均粒径大。

[0074] 若在区域A1中粒径大的填料34多,则填料34的填充率容易变小。在填料34的填充率小的情况下,树脂33的比率变大。因为能够将弹性模量小的树脂配置在电子部件20的周围,所以能够进一步缓解来自芯基板10的应力。

[0075] 即,优选地,在垂直剖面中,填充到开口部13的壁面13a和与壁面13a相邻的多个电子部件20之间的区域A1的填料34的占有面积的比例比填充到多个电子部件20之间的区域A2的填料34的占有面积的比例小。另外,关于填料34的填充率,能够作为垂直剖面处的图像中的每单位区域的填料34的占有面积的比例而求出。

[0076] 通过调整区域A1中的填料34的填充率,从而能够进行密封材料30的线膨胀系数的

调整、密封材料30的固化时的热收缩的调整等,能够抑制裂缝的产生、对电子部件20的负荷。

[0077] 粒径大的填料34不易填充到多个电子部件20之间的区域A2,容易填充到开口部13的壁面和开口部13的壁面13a和与壁面13a相邻的多个电子部件20之间的区域A1。即,粒径大的填料34将偏多地存在于区域A1。利用该性质,能够通过改变粒径大的填料34和粒径小的填料34的材质,从而在电子部件20的安装区域与其周围的区域之间有意地使密封材料30的特性不同。

[0078] 作为能够通过改变填料34的材质而使其不同的密封材料30的特性的例子,可列举如下的特性,即,线膨胀系数、介电常数、杨氏模量、热传导率、电磁波吸收性、水分吸收性。

[0079] 作为一个例子,可列举如下的例子,即,增大粒径小的填料34的热传导率,并减小粒径大的填料34的热传导率。在该情况下,区域A2的密封材料30的热传导率提高,区域A1的密封材料30的热传导率变低。若如此,则能够将由内置于开口部13的电子部件20产生的热在不向与第2面12水平的方向(横方向)释放的情况下高效地向基板100的上下表面释放。

[0080] 作为这样的填料34的组合,可列举如下的例子,即,作为粒径大的填料34,使用二氧化硅,作为粒径小的填料34,使用氮化硼或氮化铝。

[0081] 作为另一个例子,可列举对粒径大的填料34附加电磁波吸收性能的例子。在该情况下,在区域A1中,密封材料30的电磁波屏蔽性提高。若如此,则能够在电子部件20的周围(区域A2)的密封材料30中维持电特性,并且能够屏蔽来自开口部13的外部的噪声的影响。

[0082] 作为这样的填料34的组合,可列举如下的例子,即,作为粒径大的填料34,使用氧化铁。

[0083] 作为另一个例子,可列举如下的例子,即,作为粒径小的填料34,使用介电常数和介电损耗小的材料,作为粒径大的填料34,使用线膨胀系数小的材料。若如此,则能够在电子部件20的周围(区域A2)的密封材料30中使电子部件20的电特性提高(降低损耗),并且由于在区域A1中密封材料30的线膨胀系数变小,从而能够降低由热造成的物理影响。

[0084] 作为这样的填料34的组合,可列举如下的例子,即,作为粒径大的填料34,使用磷酸锆化合物(东亚合成株式会社制造,ULTEA™等),作为粒径小的填料34,使用二氧化硅。

[0085] 作为另一个例子,可列举如下的例子,即,作为粒径小的填料34,使用介电常数和介电损耗小的材料,作为粒径大的填料34,使用热传导率大的材料。若如此,则能够在电子部件20的周围(区域A2)的密封材料30中使电子部件20的电特性提高(降低损耗),并且能够通过区域A1的密封材料30将热高效地释放到开口部13之外。

[0086] 作为这样的填料34的组合,可列举如下的例子,即,作为粒径大的填料34,使用氮化硼或氮化铝,作为粒径小的填料34,使用二氧化硅。

[0087] 此外,若区域A1的密封材料30中包含的粒径大的填料34多,则会阻碍断裂面的连续性。即,密封材料30变得更加不易破裂。

[0088] 另外,填料34的平均粒径可通过对垂直剖面的照片进行图像分析而求出。更详细地,在通过扫描型电子显微镜(SEM)或透射型电子显微镜(TEM)得到的垂直剖面的放大照片中,对区域A1或A2内包含的至少50个填料34求出与各自的轮廓线形成的闭合曲线内的面积相等的圆的直径(即,等效圆直径),并将其平均值作为填料34的平均粒径。

[0089] 另外,虽然关于填料34的粒子的剖面,难以判断照片包含的填料34的剖面是在填

料34的粒径变大的中心附近切断的剖面,还是在填料34的粒径变小的端部附近切断的剖面,但是填料34的粒径、形状以及面积等可基于在照片中观察到的填料34的剖面的图像来求出。

[0090] 如图3所示,区域A1可以是在垂直剖面中被开口部13的壁面13a和与壁面13a相邻的电子部件20夹着的区域整体。此外,区域A2可以是在垂直剖面中被至少一组(也可以是各组)中的相邻的两个电子部件20夹着的区域整体。

[0091] 此外,在垂直剖面中,开口部13的壁面13a通常存在两个,在该情况下,只要将任一个壁面13a和与该壁面13a相邻的电子部件20之间的区域设为区域A2即可。

[0092] 此外,用于对平均粒径进行比较的垂直剖面的位置没有特别限定,如图3所示,可以是露出多个电子部件20和相邻的电子部件20之间的间隙的剖面。此外,用于对平均粒径进行比较的垂直剖面可以是露出最短距离S2的剖面,也可以不是这样。

[0093] 另外,填充到区域A1的填料34的平均粒径和填充到区域A2的填料34的平均粒径只在一个垂直剖面中满足上述关系即可,未必一定要在两个以上的垂直剖面中满足上述关系。

[0094] 这些平均粒径的比率没有特别限定,但是填充到区域A1的填料34的平均粒径优选相对于填充到区域A2的填料34的平均粒径为5倍以上,更优选为10倍以上。

[0095] 填充到区域A1的填料34的平均粒径优选为10 μ m以上且100 μ m以下,更优选为50 μ m以上且100 μ m以下。

[0096] 填充到区域A2的填料34的平均粒径优选为10nm以上且100 μ m以下,更优选为10nm以上且50 μ m以下。

[0097] 此外,优选地,在相对于第2面12正交的剖面(垂直剖面)中,填充到壁面13a和与壁面13a相邻的多个电子部件20之间的区域的填料34的最大粒径比填充到多个电子部件20之间的区域的填料34的最大粒径大。

[0098] 即,优选地,填充到区域A1的填料34的最大粒径比填充到区域A2的填料34的最大粒径大。

[0099] 填充到区域A1的填料34的最大粒径优选为10 μ m以上且100 μ m以下,更优选为50 μ m以上且100 μ m以下。

[0100] 填充到区域A2的填料34的最大粒径优选为10nm以上且100 μ m以下,更优选为10nm以上且50 μ m以下。

[0101] 此外,优选地,在相对于第2面12正交的剖面(垂直剖面)中,填充到壁面13a和与壁面13a相邻的多个电子部件20之间的区域A1的填料34的最大粒径比多个电子部件20之间的间隔S1的平均大。这表示,在区域A1中存在无法填充到电子部件20之间的大小的填料34。

[0102] 另外,填料34的最大粒径可通过对垂直剖面的照片进行图像分析而求出。更详细地,在通过扫描型电子显微镜(SEM)或透射型电子显微镜(TEM)得到的垂直剖面的放大照片中,对于区域A1或A2内包含的填料34,对作为大的填料而被观察到的填料中的若干个求出与各自的轮廓线形成的闭合曲线内的面积相等的圆的直径(即,等效圆直径),并将其最大值作为填料34的最大粒径。

[0103] 图7是示意性地示出图1所示的基板的变形例的剖视图。

[0104] 如图7所示,在芯基板10的开口部13中,作为电子部件20,也可以与无源部件20A—

同混合搭载有集成电路(IC)等半导体芯片20B。在该情况下,关于间隔S1的平均,如图7所示,不仅使用无源部件20A之间的间隔S1(平均距离),还使用无源部件20A与半导体芯片20B之间的间隔S1(平均距离)来计算。

[0105] 另外,在本变形例中,半导体芯片20B也可以与开口部13的壁面13a相邻地配置,在该情况下,上述最短距离S2也可以是壁面13a和与壁面13a相邻的半导体芯片20B之间的距离。此外,在该情况下,上述区域A1也可以是在垂直剖面中壁面13a和与壁面13a相邻的半导体芯片20B之间的区域。

[0106] 进而,在本变形例中,上述区域A2也可以包含在垂直剖面中被至少一组(也可以是多组)中的相邻的无源部件20A和半导体芯片20B夹着的区域。

[0107] 此外,优选地,对于多个电子部件20中的至少一部分的电子部件20,密封材料30的从电子部件20的表面朝向相对于第2面12正交的方向的厚度比多个电子部件20之间的间隔S1的平均大。

[0108] 而且,优选地,填充到如下的区域的填料34的平均粒径比填充到多个电子部件20之间的区域的填料34的平均粒径大,该区域是,对于多个电子部件20中的至少一部分的电子部件20,密封材料30的从电子部件20的表面朝向相对于第2面12正交的方向的厚度比多个电子部件20之间的间隔S1的平均大。

[0109] 关于图7中的半导体芯片20B,满足该条件,存在于半导体芯片20B的上表面的密封材料30的厚度S3变得比间隔S1的平均大。

[0110] 若如此,则能够使位于半导体芯片20B的上表面的密封材料30中存在粒径大的填料34。而且,存在于该区域的填料34的平均粒径变得比填充到多个电子部件20之间的区域的填料34的平均粒径大。

[0111] 通过将粒径大的填料34设为热传导率高的填料,从而能够提高从半导体芯片20B向密封材料30的第3面31侧的散热性。

[0112] 此外,通过将粒径大的填料34设为电磁波吸收性能高的填料,从而能够屏蔽来自外部的噪声对半导体芯片20B的影响。

[0113] 此外,通过将粒径大的填料34设为线膨胀系数小的材料,从而能够减小密封材料30的线膨胀系数,降低热对半导体芯片20B造成的物理影响。

[0114] [基板的制造方法]

[0115] 基板100能够通过以下的方法来制造。图8是示意性地示出在芯基板粘附电子部件固定用的粘接膜的工序的一个例子的图。

[0116] 首先,如图8所示,在芯基板10形成开口部13,并在芯基板10的第2面12粘附电子部件固定用的粘接膜80。

[0117] 图9是示意性地示出将电子部件(无源部件)配置在粘接膜上的工序的一个例子的剖视图。图10是示意性地示出将电子部件(无源部件以及半导体芯片)配置在粘接膜上的工序的一个例子的剖视图。

[0118] 接着,如图9所示,将多个电子部件20(无源部件20A)配置在粘接膜80上。例如,将无源部件20A配置在粘接膜80上,使得第1电极21朝向上方向,第2电极22朝向下方。由此,第2电极22粘附于粘接膜80。此时,如图10所示,也可以混合搭载无源部件20A和半导体芯片20B。

[0119] 图11是示意性地示出向芯基板的开口部填充密封材料的工序的一个例子的剖视图。

[0120] 接着,如图11所示,用密封材料30对电子部件20进行密封。具体地,在真空下,在芯基板10的第1面11上层叠包含热固化性树脂和填料的未固化的膜。然后,对该膜进行加热压制而使其软化,由此在开口部13内在各电子部件20的周围填充热固化性树脂以及填料。此时,如上所述,电子部件20之间的间隔S1的平均比壁面13a与电子部件20之间的最短距离S2小,因此从电子部件20的安装区域朝向其周围产生软化了的材料的流动,因此能够将材料有效地填充到电子部件20之间的间隙。然后,通过使热固化性树脂固化,从而形成充分地填充到电子部件20之间的密封材料30。

[0121] 图12是示意性地示出形成过孔的工序的一个例子的剖视图。

[0122] 接着,如图12所示,在剥离了粘接膜80之后,在芯基板10的第1面11以及密封材料30的第3面31上形成绝缘层61,并且在芯基板10的第2面12以及密封材料30的第4面32上形成绝缘层71。另外,也可以不剥离粘接膜80而直接使用。然后,通过CO₂激光等在绝缘层61形成过孔82而使第1电极21露出,并且在绝缘层71形成过孔83而使第2电极22露出。

[0123] 图13是示意性地示出形成布线层的工序的一个例子的剖视图。

[0124] 接着,如图13所示,使用镀敷(例如,半加成工法)来填埋过孔82以及83,从而形成第1过孔导体40以及第2过孔导体50,并且形成布线层62以及72。

[0125] 图14是示意性地示出形成堆叠层的工序的一个例子的剖视图。

[0126] 然后,如图14所示,根据需要而追加层,从而形成第1堆叠层60以及第2堆叠层70。

[0127] 通过以上,能够制造基板100。

[0128] 在本说明书中,公开了以下的内容。

[0129] <1>

[0130] 一种基板,具备:

[0131] 芯基板,具有第1面以及与所述第1面相反侧的第2面,在内部设置有开口部;

[0132] 电子部件,在所述开口部设置有至少多个;以及

[0133] 密封材料,设置在所述开口部与所述多个电子部件之间以及所述多个电子部件之间,包含树脂以及填料,

[0134] 所述多个电子部件之间的间隔的平均比所述开口部的壁面和与所述壁面相邻的电子部件之间的最短距离小。

[0135] <2>

[0136] 根据<1>所述的基板,其中,

[0137] 在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的平均粒径比填充到所述多个电子部件之间的区域的填料的平均粒径大。

[0138] <3>

[0139] 根据<2>所述的基板,其中,

[0140] 在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的占有面积的比例比填充到所述多个电子部件之间的区域的填料的占有面积的比例小。

[0141] <4>

[0142] 根据<1> ~ <3>中的任一项所述的基板,其中,

[0143] 在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的最大粒径比填充到所述多个电子部件之间的区域的填料的最大粒径大。

[0144] <5>

[0145] 根据<1> ~ <4>中的任一项所述的基板,其中,

[0146] 在相对于所述第2面正交的剖面中,填充到所述壁面和与所述壁面相邻的多个电子部件之间的区域的填料的最大粒径比所述多个电子部件之间的间隔的平均大。

[0147] <6>

[0148] 根据<1> ~ <5>中的任一项所述的基板,其中,

[0149] 所述多个电子部件分别具有长尺寸方向在相对于所述第2面正交的方向上延伸的形状。

[0150] <7>

[0151] 根据<6>所述的基板,其中,

[0152] 所述电子部件的电极位于所述长尺寸方向上的一方以及另一方的端部。

[0153] <8>

[0154] 根据<1> ~ <7>中的任一项所述的基板,其中,

[0155] 对于所述多个电子部件中的至少一部分的电子部件,密封材料的从所述电子部件的表面朝向相对于所述第2面正交的方向的厚度比所述多个电子部件之间的间隔的平均大。

[0156] <9>

[0157] 根据<8>所述的基板,其中,

[0158] 填充到如下的区域的填料的平均粒径比填充到所述多个电子部件之间的区域的填料的最大粒径大,该区域是,对于所述多个电子部件中的至少一部分的电子部件,密封材料的从所述电子部件的表面朝向相对于所述第2面正交的方向的厚度比所述多个电子部件之间的间隔的平均大。

[0159] 附图标记说明

[0160] 10:芯基板;

[0161] 11:第1面;

[0162] 12:第2面;

[0163] 13:开口部;

[0164] 13a:壁面;

[0165] 20:电子部件;

[0166] 20A:无源部件;

[0167] 20B:半导体芯片;

[0168] 21:第1电极;

[0169] 22:第2电极;

[0170] 30:密封材料;

- [0171] 31:第3面;
- [0172] 32:第4面;
- [0173] 33:树脂;
- [0174] 34:填料;
- [0175] 40:第1过孔导体;
- [0176] 50:第2过孔导体;
- [0177] 60:第1堆叠层;
- [0178] 61:绝缘层;
- [0179] 62:布线层;
- [0180] 70:第2堆叠层;
- [0181] 71:绝缘层;
- [0182] 72:布线层;
- [0183] 80:粘接膜;
- [0184] 82、83:过孔;
- [0185] 100:基板;
- [0186] D1:第1方向;
- [0187] D2:第2方向;
- [0188] S1:相邻的电子部件之间的间隔;
- [0189] S2:开口部的壁面和与壁面相邻的电子部件之间的最短距离;
- [0190] S3:存在于半导体芯片的上表面的密封材料的厚度;
- [0191] A1:开口部的壁面和与壁面相邻的电子部件之间的区域;
- [0192] A2:电子部件之间的区域。

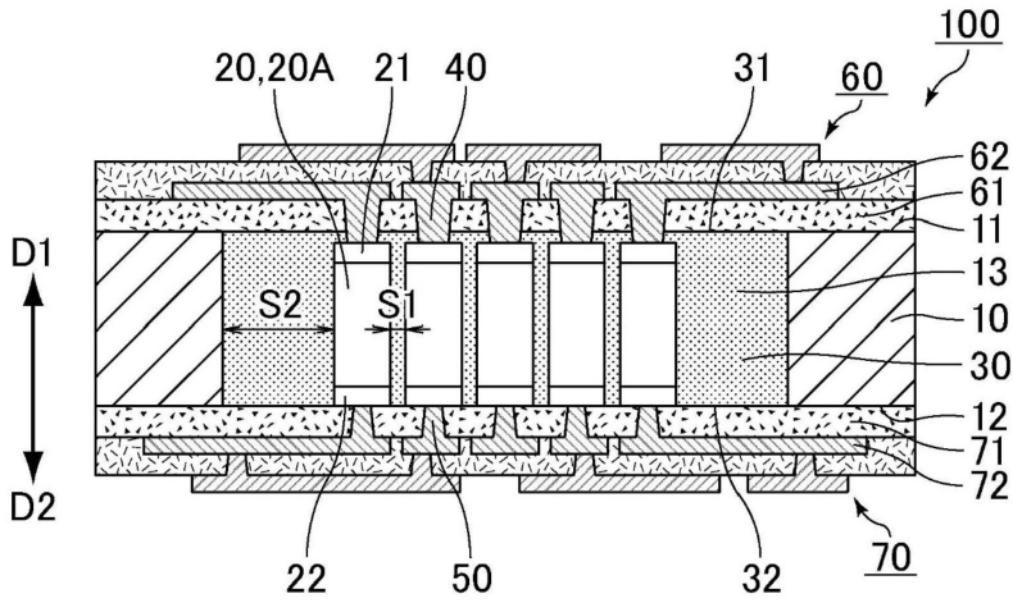


图1

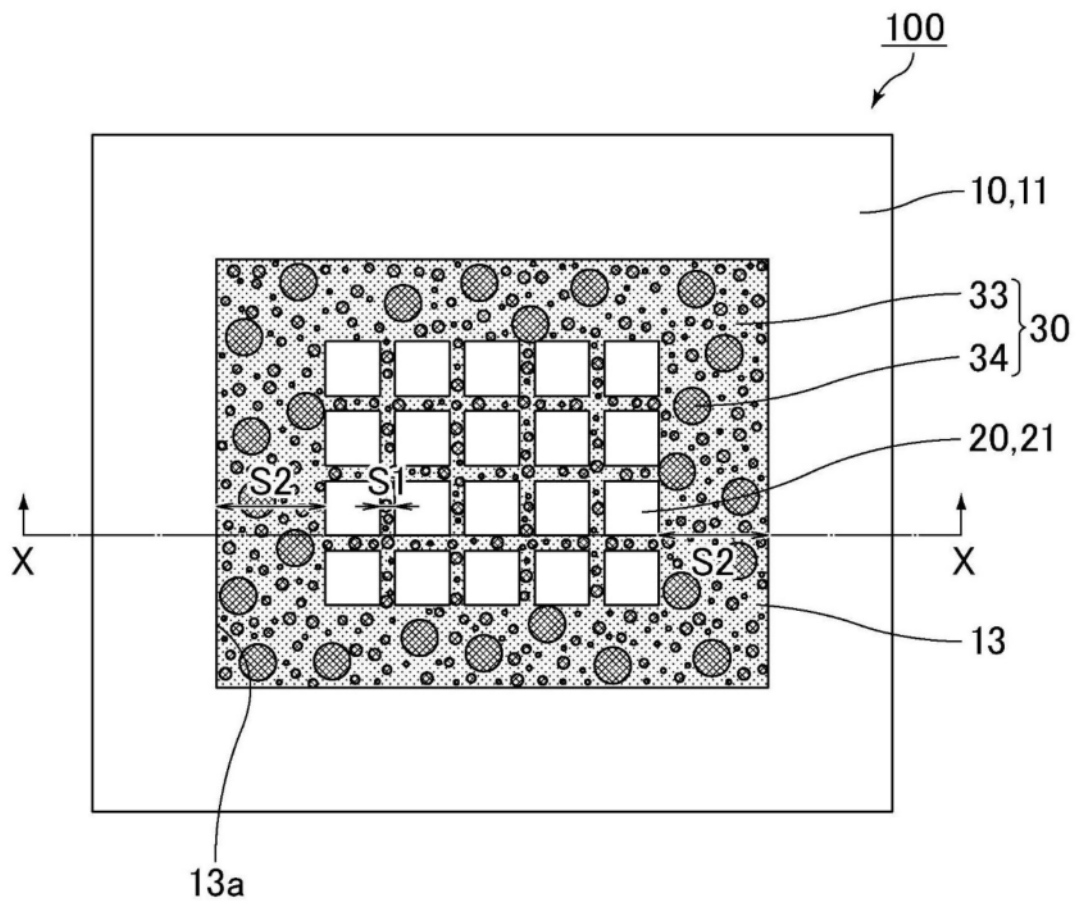


图2

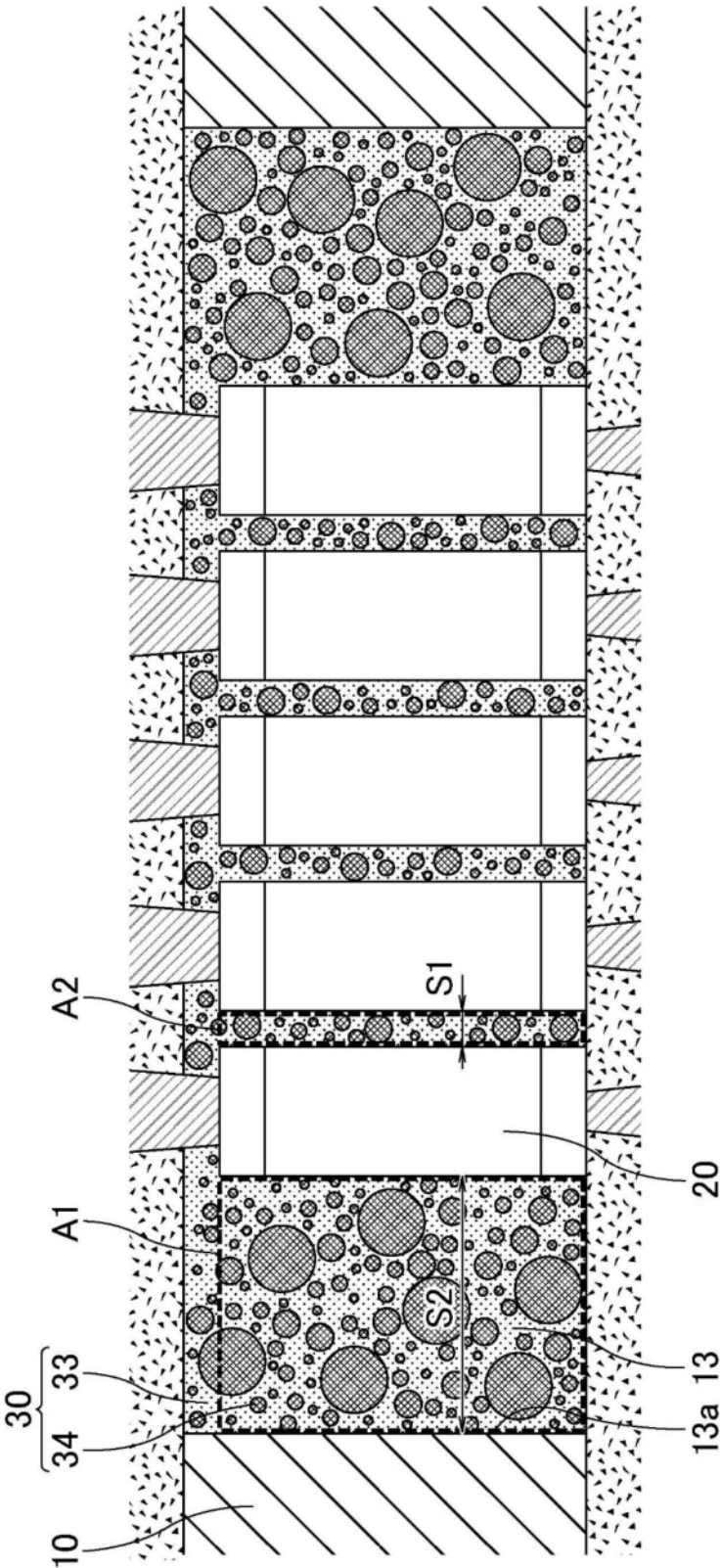


图3

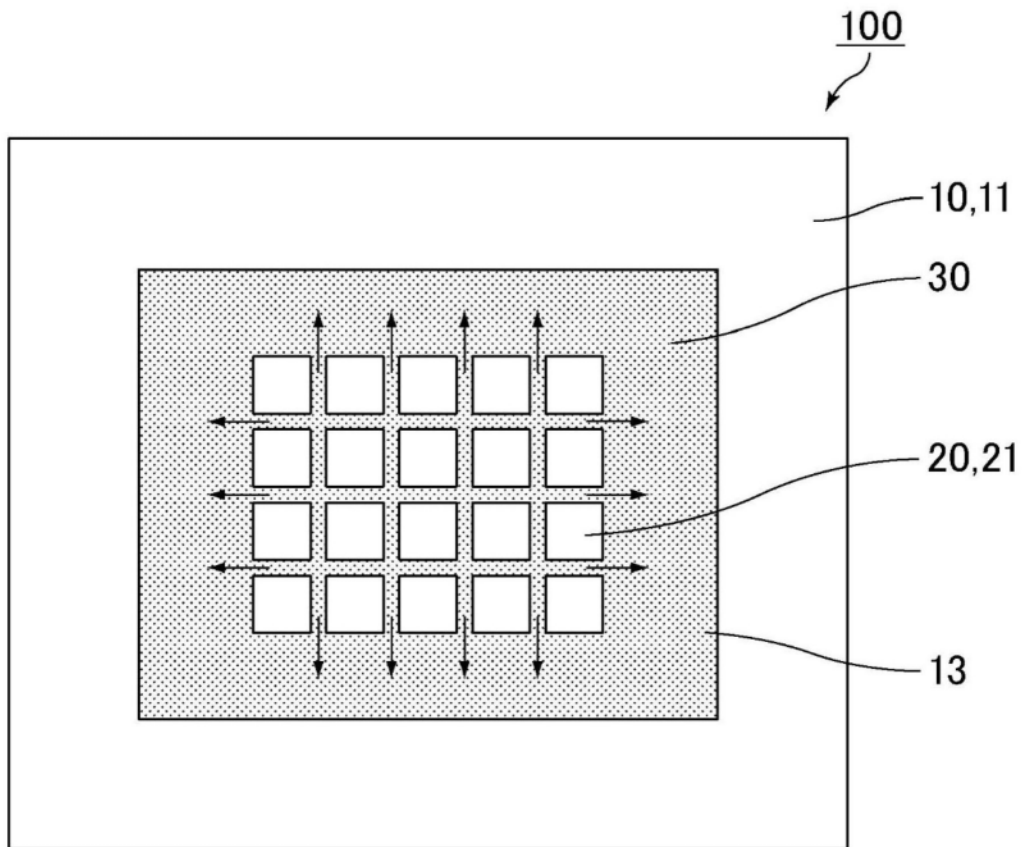


图4

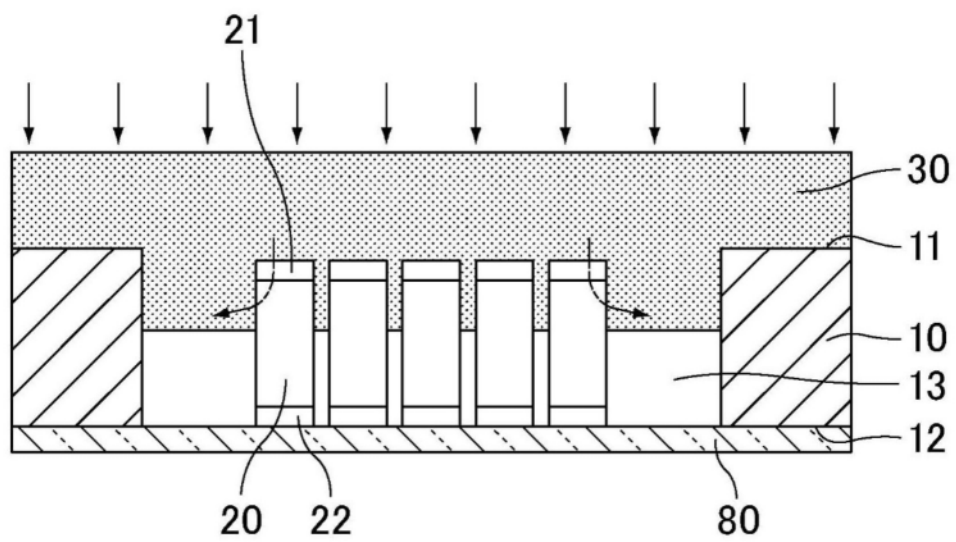


图5

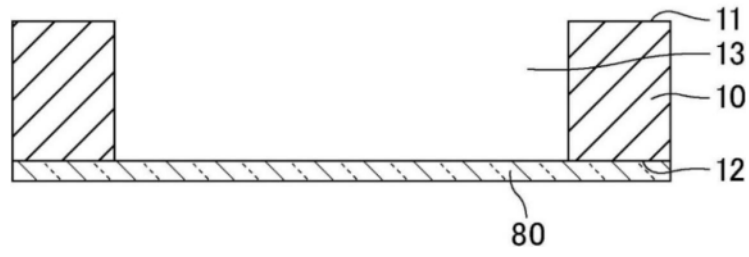


图8

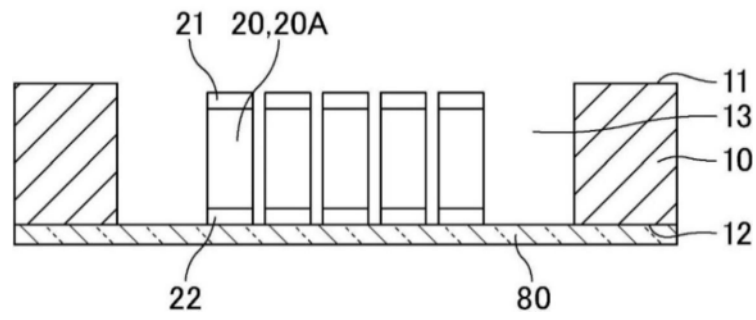


图9

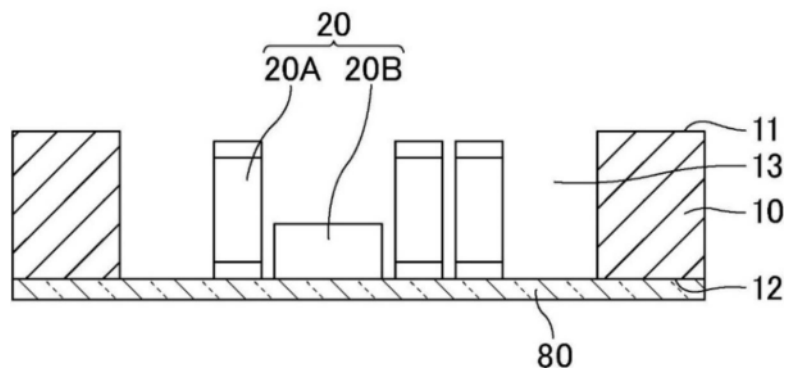


图10

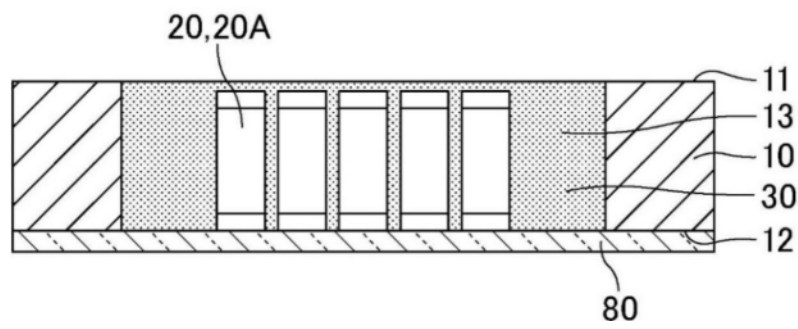


图11

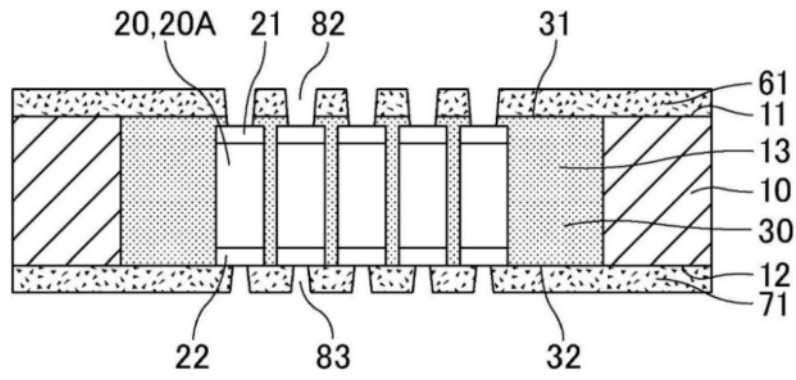


图12

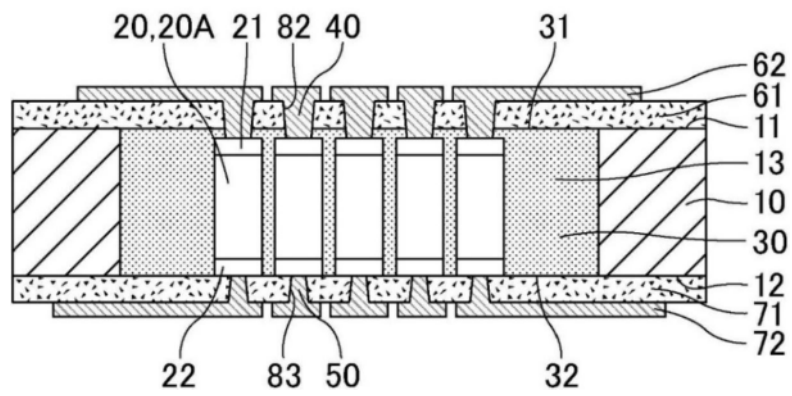


图13

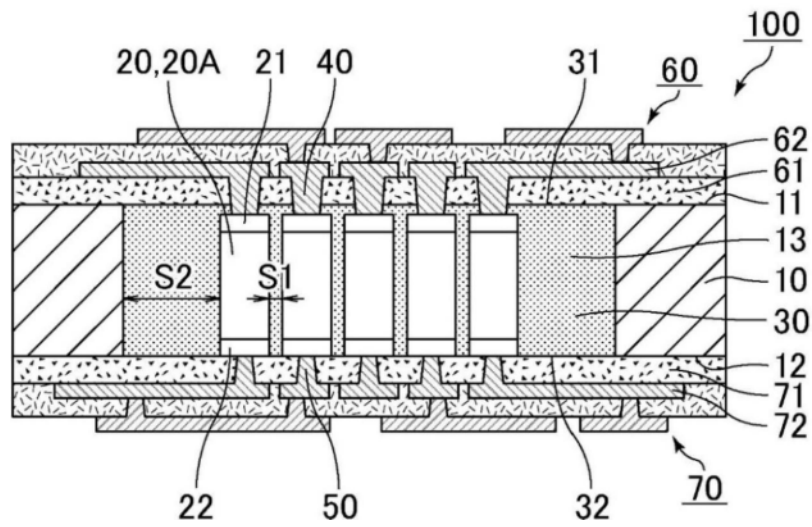


图14