

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95107031

※申請日期：95.3.2

※IPC 分類：H01L

21/335 (2006.01)

一、發明名稱：(中文/英文)

具有圓形形狀奈米線電晶體通道之半導體裝置及其製作方法

SEMICONDUCTOR DEVICE HAVING A ROUND-SHAPED
NANO-WIRE TRANSISTOR CHANNEL AND METHOD OF
MANUFACTURING SAME

二、申請人：(共1人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司
SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)(簽章)

尹鍾龍
YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地
416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,
GYEONGGI-DO, KOREA

國籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 李成泳
LEE, SUNG-YOUNG
2. 申東石
SHIN, DONG-SUK

國 籍：(中文/英文)

1. 韓國 REPUBLIC OF KOREA
2. 韓國 REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005 年 03 月 24 日；10-2005-0024543
2. 美國；2005 年 12 月 16 日；11/303,408

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於在半導體基板上的場效電晶體(FET)及其製作方法，且特定言之，係關於具有一圓形形狀(意即，圓形)奈米線通道的FET及其製作方法。

【先前技術】

隨著半導體裝置之應用的膨脹，對高整合度及/或高速半導體裝置的需求日益增長。隨著半導體裝置之整合密度的增加，設計規則變得較小。該減少的設計規則導致場效電晶體(FET)的通道長度及通道寬度同樣地減少。通道長度的減少將導致短通道效應。通道寬度的減少將導致窄通道效應。該短通道效應可顯著地影響在通道區上之源極/汲極區中的電位。該窄通道寬度效應通常可增加臨限電壓。然而，在使用STI(淺溝槽絕緣)之裝置的情況下，太窄的通道寬度會減少臨限電壓。這被稱作逆窄寬度效應。為了試圖防止該短通道效應及/或該窄通道效應的產生，已提出具有新型結構的各種FET。

最近，已作出許多嘗試，尤其在半導體領域的奈米技術方面作出了努力，以增加電晶體的驅動電流且減少該短通道效應。習知在達成此等結果的努力中已使用若干方法。此等嘗試的實例包括凹陷式通道陣列電晶體(RCAT)、鰭式FET(FinFET)及閘極包圍電晶體(GAT)技術。

此等習知裝置中之每一裝置及製作此等裝置的對應方法具有一個缺點。舉例而言，此等習知裝置在執行快速運算

之能力方面有限。此外，歸因於製作的侷限性(例如，關於在乾式蝕刻過程中可達成的蝕刻深度為有限的)，在此等習知裝置中，隔開通道層的數目係有限的。

【發明內容】

因此，本發明係針對具有一或多個奈米線通道的FET及製作該FET的方法，其大體上克服了歸因於先前技術之侷限性及缺點而產生的一或多個缺點。

根據第一態樣，本發明係針對一種製作場效電晶體(FET)的方法。根據該方法，源極及汲極區形成於一半導體基板上。複數個初級通道區耦接於源極區與汲極區之間。蝕刻該等初級通道區，且該等經蝕刻的初級通道區經退火以形成FET通道區，該等FET通道區具有一大體上圓形橫截面形狀。

在一實施例中，初級通道區具有一大體上矩形橫截面形狀。在一實施例中，初級通道區在橫截面中具有稜角。

在一實施例中，在含有HCl與H₂中之一者或兩者的氣體環境中執行該蝕刻。在一實施例中，HCl之流速與H₂之流速的比率為3:7至1:1。在一特定實施例中，HCl之流速與H₂之流速的比率為3:5。

在一實施例中，可在600°C至900°C的溫度下執行該蝕刻。可執行該蝕刻達1秒至120秒的時段。該蝕刻可在10托至100托的壓力下執行。

在一實施例中，可在一含有H₂的氣體環境中執行該退火。可在1 sccm至500 sccm之流速下引入H₂而執行該退火。

可在600°C至900°C的溫度下執行該退火，且更特定言之，在810°C的溫度下執行該退火。可執行該退火達10秒至800秒的時段，且更特定言之，達500秒的時段。

在一實施例中，該方法進一步包含在形成初級通道區之後清洗該結構以從該結構中移除氧化物。該清洗可在含有H₂、Ar及He中之至少一者的氣體環境中執行。可在600°C至900°C的溫度下執行該清洗。可在1 sccm至500 sccm的氣體流速下執行該清洗。可執行該清洗達1分鐘至5分鐘的時段。可在0.1托至10托的壓力下執行該清洗。

在一實施例中，形成該複數個初級通道區包含形成一通道層及一垂直鄰近於該通道層的犧牲層。在一實施例中，該通道層及該犧牲層係經磊晶形成。在一實施例中，該通道層為一矽層。在一實施例中，該犧牲層為一SiGe層。

在一實施例中，形成該複數個初級通道區進一步包含修整該通道層至一所要尺寸以使得該等初級通道區中之至少一者之前表面在垂直於源極及汲極區之一前表面的方向上相對於源極及汲極區之前表面偏移。該修整可包括蝕刻該通道層。蝕刻該通道層可包括一化學乾式蝕刻。

在一實施例中，形成該複數個初級通道區進一步包含在該通道層及犧牲層之上形成一遮罩層，該遮罩層界定一隔開FET通道區的區域。

在一實施例中，形成該複數個初級通道區包含形成垂直鄰近於一通道層的複數個犧牲層。該等犧牲層可包含SiGe。一上犧牲層可比一下犧牲層具有一較低的鍍濃度。

在一實施例中，該方法進一步包含在蝕刻初級通道區與退火經蝕刻的初級通道區之間淨化一製程腔室。

在一實施例中，該蝕刻步驟及該退火步驟至少被執行兩次。在一實施例中，該方法進一步包含在一先前的蝕刻步驟與其後的退火步驟之間的淨化步驟。

在一實施例中，該方法進一步包含在FET通道區之上形成一閘極介電層。

在一實施例中，該方法進一步包含形成一包圍FET通道區的閘極。該閘極可包括多晶矽。而且，該閘極包含金屬。

根據另一態樣，本發明係針對一種製作場效電晶體(FET)的方法。根據該方法，至少一通道層及至少一犧牲層可交替地堆疊於一基板上。在一基板上形成耦接至該交替堆疊之至少一通道層及至少一犧牲層的源極及汲極區。該交替堆疊的至少一通道層及至少一犧牲層經圖案化以形成耦接於源極區與汲極區之間的複數個初級通道區。移除該至少一犧牲層之剩餘部分。蝕刻初級通道區，退火該經蝕刻的初級通道區以形成FET通道區，FET通道區具有一代替上圓形的橫截面形狀。

在一實施例中，初級通道區具有一大體上矩形之橫截面形狀。在一實施例中，初級通道區在橫截面中具有稜角。

在一實施例中，該至少一通道層及該至少一犧牲層係經磊晶形成。

在一實施例中，該至少一通道層為一矽層。在一實施例中，該至少一犧牲層為一SiGe層。

在一實施例中，形成該複數個初級通道區進一步包含修整該至少一通道層至一所要尺寸以使得該等初級通道區中之至少一者之前表面在垂直於源極及汲極區之一前表面的方向上相對於源極及汲極區之前表面偏移。在一實施例中，該修整包含蝕刻該至少一通道層。蝕刻該至少一通道層可包括一化學乾式蝕刻。

在一實施例中，形成該複數個初級通道區進一步包含在該至少一該通道層及該至少一犧牲層之上形成一遮罩層，該遮罩層界定一隔開FET通道區的區域。

在一實施例中，形成該複數個初級通道區進一步包含形成垂直鄰近於該通道層的複數個犧牲層。該等犧牲層可包含SiGe。在一實施例中，一上犧牲層可比一下犧牲層具有一較低的鍍濃度。

在一實施例中，該方法進一步包含在蝕刻初級通道區與退火該經蝕刻的初級通道區之間淨化一製程腔室。

在一實施例中，該方法進一步包含在FET通道區上形成一閘極介電層。

在一實施例中，該方法進一步包含形成一包圍FET通道區的閘極。該閘極可包括多晶矽。而且，該閘極可包括金屬。

根據另一態樣，本發明係針對一種製作場效電晶體(FET)的方法。根據該方法，源極及汲極區形成於一半導體基板上。形成複數個初級通道區耦接於源極區與汲極區之間。形成該複數個初級通道區包含：(i)形成一通道層及一垂直鄰近於該通道層的犧牲層，及(ii)修整該通道層至一所要尺

寸以使得該等初級通道區中之至少一者之前表面在垂直於源極及汲極區之一前表面的方向上相對於源極及汲極區之前表面偏移。蝕刻該等初級通道區，並退火經蝕刻的初級通道區以形成FET通道區，FET通道區具有一大體上圓形之橫截面形狀。

在一實施例中，初級通道區具有一大體上矩形之橫截面形狀。在一實施例中，初級通道區在橫截面中具有稜角。

在一實施例中，該方法進一步包含在形成初級通道區之後清洗該結構以從該結構中移除氧化物。

在一實施例中，該通道層及該犧牲層係經磊晶形成。

該通道層可為一矽層，且該犧牲層可為一SiGe層。

在一實施例中，該修整包含蝕刻該通道層。蝕刻該通道層可包括一化學乾式蝕刻。

在一實施例中，形成該複數個初級通道區進一步包含形成垂直鄰近於該通道層的複數個犧牲層。該等犧牲層可包括SiGe。一上犧牲層可比一下犧牲層具有一較低的鍍濃度。

在一實施例中，該方法進一步包含在蝕刻初級通道區與退火該經蝕刻的初級通道區之間淨化一製程腔室。

在一實施例中，該方法進一步包含在FET通道區上形成一閘極介電層。

在一實施例中，該方法進一步包含形成一包圍FET通道區的閘極。在一實施例中，該閘極包含多晶矽。在一實施例中，該閘極包含金屬。

根據另一態樣，本發明係針對一種製作一場效電晶體

(FET)的方法。根據該方法，源極及汲極區形成於一半導體基板上。形成一初級通道區耦接於源極區與汲極區之間，形成該初級通道區包含：(i)形成一通道層及一垂直鄰近於該通道層的犧牲層，及(ii)修整該通道層至一所要尺寸以使得該初級通道區之前表面在垂直於源極及汲極區之前表面的方向上相對於源極及汲極區之前表面偏移。移除該犧牲層之剩餘部分。蝕刻該經修整的通道層，且退火該經蝕刻的通道層以形成一FET通道區，該FET通道區具有一大體上圓形橫截面形狀。

根據另一態樣，本發明係針對一種製作一場效電晶體(FET)的方法。根據該方法，源極及汲極區形成於一半導體基板上。形成一初級通道區耦接於源極區與汲極區之間，形成該初級通道區包含形成一通道層及一垂直鄰近於該通道層的犧牲層。移除該犧牲層之剩餘部分。蝕刻該初級通道區，且退火該經蝕刻之初級通道區以形成一FET通道區，該FET通道區具有一大體上圓形之橫截面形狀。

根據另一態樣，本發明係針對一種製作一場效電晶體(FET)的方法。根據該方法，源極及汲極區形成於一半導體基板上。形成複數個初級通道區耦接於源極區與汲極區之間。蝕刻該等初級通道區，且退火該等經蝕刻之初級通道區以形成FET通道區，該等FET通道區具有一大體上圓形之橫截面形狀。

根據另一態樣，本發明係針對一種具有一半導體基板及在該半導體基板上之源極及汲極區的場效電晶體(FET)。複

數個FET通道區耦接於源極區與汲極區之間，該等FET通道區具有一大體上圓形之橫截面形狀，修整FET通道區至一所要尺寸以使得該等FET通道區中之至少一者之前表面在垂直於源極及汲極區之前表面的方向上相對於源極及汲極區之前表面偏移。

在一實施例中，該FET進一步包含在FET通道區上的一閘極介電層。

在一實施例中，該FET進一步包含一包圍FET通道區的閘極。

在一實施例中，該FET進一步包含該閘極，該閘極包含多晶矽。在一實施例中，該FET進一步該閘極，該閘極包含金屬。

根據另一態樣，本發明係針對一種包含一半導體基板及在該半導體基板上之源極及汲極區的場效電晶體(FET)。一FET通道區耦接於源極區與汲極區之間，該FET通道區具有一大體上圓形之橫截面形狀，修整該FET通道區至一所要尺寸以使得該FET通道區之一前表面在垂直於源極及汲極區之前表面的方向上相對於源極及汲極區之前表面偏移。

根據本發明，使用一蝕刻製程及一使用H₂的退火製程在一FET中產生一圓形形狀(圓形)奈米線通道。製作該FET的該製程減少了一電場濃縮現象，該現象在一具有一正方形形狀奈米線通道之習知FET的稜角處發生。在生產該圓形形狀奈米線通道中，在相對低的溫度下進行H₂退火。在高溫下的退火導致一奈米線，其形狀歸因於一矽遷移效應可導

致FET通道被切割或中斷。而且，用作一犧牲層之最上的鍍化矽層可比其他層具有更高的鍍含量百分數。此導致在蝕刻期間防止最上的矽通道層被消耗。一鑲嵌製程可用以形成一自動對準電晶體閘極。

【實施方式】

在以下詳細描述中，當一層被描述成形成於另一層上或一基板上時，該層可形成於另一層上或該基板上，或一第三層可插入於該層與該另一層或該基板之間。

圖1為根據本發明之一實施例之具有一圓形或圓形(circular)形狀奈米線通道之FET的示意俯視平面圖。圖2A為圖1之FET之實施例沿圖1之線A-A'所截取的示意橫截面圖。圖2B為圖2A之FET之實施例沿圖1之線B-B'所截取的示意橫截面圖。

參看圖1、圖2A及圖2B，本發明之FET結構包括一半導體基板110。源極/汲極區14形成於該基板110上。源極/汲極區14包括一第一鍍化矽(SiGe)層14a、一矽層14b及一第二SiGe層14c如所示之相繼堆疊的堆疊結構。第一及第二SiGe層及矽層可為磊晶層。矽層14b包括一圓形形狀奈米線通道區12，該奈米線通道區12穿過該結構沿源極與汲極區14之間的一縱向線X延伸。基板110之一部分在奈米線通道區12下之區域中之基板表面的上方突出。如圖2B所示，奈米線通道12與基板110之突出部分隔開一距離d。一絕緣區116將FET與其他裝置絕緣。一由諸如氧化矽之材料製成的閘極介電層30包圍奈米線通道區12。閘極介電層30亦包圍該基板

之突出部分。一由諸如多晶矽、金屬或多晶矽與金屬之組合物之導電材料製成的閘極20包圍奈米線通道區12。閘極20由閘極介電層30與奈米線通道區12絕緣。

圖3為圖1之FET之另一實施例對應於圖1之線A-A'的示意橫截面圖。圖3之裝置100B與圖2A及圖2B之裝置不同，圖3之裝置僅具有一單一的Si層14d而不是如圖2A及圖2B中具有第一SiGe層14a及第二SiGe層14c及Si層14b的多層堆疊，該Si層14d充當該裝置之源極/汲極區且提供該裝置之圓形奈米線通道12。

圖4A為根據本發明之FET之另一實施例對應於圖1之線A-A'的示意橫截面圖。圖4B為圖4A之FET之實施例對應於圖1之線B-B'的示意橫截面圖。

參看圖4A及圖4B，該結構與前述實施例之結構不同，在該結構中FET 100C包括多個(意即，兩個)圓形形狀奈米線通道112a及112b而不是一單一的奈米線通道12。結構100C包括一半導體基板110。源極/汲極區114形成於基板110上。源極/汲極區114由一第一SiGe層114a、一第一Si層114b、一第二SiGe層114c、一第二Si層114d及一第三SiGe層114e如圖所示相繼堆疊的堆疊結構形成。第一SiGe層114a、第二SiGe層114c及第三SiGe層114e及第一Si層114b及第二Si層114d可為磊晶層。第一Si層114b包括一第一圓形形狀奈米線通道區112a，該奈米線通道區112a穿過該結構沿源極與汲極區114之間的一縱向線X₁延伸。第二Si層114d包括一第二圓形形狀奈米線通道112b，奈米線通道112b穿過該結構沿源

極與汲極區 114 之間的一縱向線 X_2 延伸。基板 110 之一部分在奈米線通道區 112a 及 112b 下之區域中之基板表面的上方突出。如圖 4B 所示，第一奈米線通道 112a 與基板 110 之突出部分被一距離 d_1 隔開。而且，第二奈米線通道區 112b 與基板 110 之突出部分被一距離 d_2 隔開。一絕緣區 116 將 FET 100C 與其他裝置絕緣。一由諸如氧化矽之材料製成的閘極介電層 30 包圍第一奈米線通道區 112a 及第二奈米線通道區 112b。閘極介電層 30 亦包圍該基板之突出部分。一由諸如多晶矽、金屬或多晶矽與金屬之組合物之導電材料製成的閘極 20 包圍奈米線通道區 112a 及 112b。閘極 20 由閘極介電層 30 與奈米線通道 112a 及 112b 絕緣。

圖 5 為圖 1 之 FET 之另一實施例對應於圖 1 之線 A-A' 的示意橫截面圖。圖 5 之裝置 100D 與圖 4a 及圖 4b 之裝置不同，圖 5 之裝置僅具有一單一的 Si 層 114f 而不是圖 4a 及圖 4b 中之具有第一 SiGe 層 114a、第二 SiGe 層 114c 及第三 SiGe 層 114e 及第一 Si 層 114b 及第二 Si 層 114d 的多層堆疊，該 Si 層 114f 充當該裝置之源極/汲極區且提供該裝置之圓形形狀奈米線通道 112a 及 112b。

圖 6A 為根據本發明之 FET 之另一實施例對應於圖 1 之線 A-A' 的示意橫截面圖。圖 6B 為圖 6A 之 FET 對應於圖 1 之線 B-B' 的示意橫截面圖。

參看圖 6A 及圖 6B，該結構與前述實施例之結構不同，在該結構中 FET 100E 包括多個(意即，三個)圓形形狀奈米線通道 212a、212b 及 212c 而不是單一的奈米線通道 12 或兩個

奈米線通道112a及112b。結構100E包括一半導體基板110。源極/汲極區214形成於基板110上。源極/汲極區214由一第一SiGe層214a、一第一Si層214b、一第二SiGe層214c、一第二Si層214d、一第三SiGe層214e、一第三Si層214f及一第四SiGe層214g如圖所示相繼堆疊的堆疊結構形成。第一SiGe層214a、第二SiGe層214c、第三SiGe層214e及第四SiGe層214g及第一Si層214b、第二Si層214d及第三Si層214f可為磊晶層。第一Si層214b包括一第一圓形形狀奈米線通道區212a，該奈米線通道區212a穿過該結構沿源極與汲極區214之間的一縱向線 X_3 延伸。第二Si層214d包括一第二圓形形狀奈米線通道212b，奈米線通道212b穿過該結構沿源極與汲極區214之間的一縱向線 X_4 延伸。第三Si層214f包括一第三圓形形狀奈米線通道212c，奈米線通道212c穿過該結構沿源極與汲極區214之間的一縱向線 X_5 延伸。基板110之一部分在奈米線通道區212a、212b及212c下之區域中之基板表面的上方突出。如圖6B所示，第一奈米線通道212a與基板110之突出部分被一距離 d_1 隔開。而且，第二奈米線通道區212b與基板110之突出部分被一距離 d_2 隔開。而且，第三奈米線通道區212c與基板110之突出部分被一距離 d_3 隔開。一絕緣區116將FET 100E與其他裝置絕緣。一由諸如氧化矽之材料製成的閘極介電層30包圍第一奈米線通道區212a、第二奈米線通道區212b及第三奈米線通道區212c。閘極介電層30亦包圍該基板之突出部分。一由諸如多晶矽、金屬或多晶矽與金屬之組合物之導電材料製成的閘極

20包圍奈米線通道區212a、212b及212c。閘極20由閘極介電層30與奈米線通道212a、212b及212c絕緣。

圖7為圖1之FET之另一實施例對應於圖1之線A-A'的示意橫截面圖。圖7之裝置100F與圖6A及圖6B之裝置不同，圖7之裝置僅具有一單一的Si層214h而不是圖6A及圖6B中之具有第一SiGe層214a、第二SiGe層214c、第三SiGe層214e及第四SiGe層214g及第一Si層214b、第二Si層214d及第三Si層214f的多層堆疊，Si層214h充當該裝置之源極/汲極區且提供該裝置之圓形形狀奈米線通道212a、212b及212c。

圖8為說明形成圓形形狀奈米線通道及根據本發明之FET之閘極之製程的邏輯流程圖。圖9A至圖9D為說明在形成奈米線通道及本發明之閘極之製程中之步驟的示意透視圖。本文中所描述之形成奈米線通道、本發明之閘極及FET的製程可應用於本文中所描述之FET的任何實施例。具體言之，該形成製程可應用於具有任何數目之圓形形狀奈米線通道的FET。

參看圖8及圖9A至圖9D，在步驟S50處，形成一具有一多邊形橫截面形狀的活性Si圖案。舉例而言，特別地參看圖9A，活性Si圖案402可具有平外表面402b及一大體上正方形形狀402a的橫截面。

其次，在步驟S60處，執行一清洗製程以移除已形成於活性Si圖案402之上的任何氧化物。

再次，在步驟S70處，執行蝕刻以自活性圖案402移除正方形稜角。執行一退火步驟以完成圓形形狀Si奈米線通道

404。如圖9B所示，通道404的橫截面具有一大體上圓形形狀404a。

再次，在步驟S80處，形成一閘極介電層406包圍該圓形形狀奈米線通道區404，如圖9C所示。

再次，在步驟S90處，形成一閘電極408包圍該閘極介電層406及該圓形形狀或圓柱狀Si奈米線通道404，如圖9D所示。閘電極408由諸如多晶矽、金屬或多晶矽與金屬之組合物的導電材料製成。

圖10為說明自正方形奈米線通道402形成圓形奈米線通道404之製程的詳細流程圖。在下文將詳細描述圖10。

圖11A至圖11M為說明根據本發明之一實施例在製作本發明之FET之製程中之步驟的示意透視圖。參看圖11A，提供一矽基板500。一第一鍺化矽(SiGe)層512形成於基板500之頂部上。第一SiGe層512可具有5 nm至50 nm的厚度且可含有15%至20%的鍺。一活性矽層514形成於第一SiGe層之上。矽層514為最終形成該FET之圓形形狀奈米線通道區的層。一第二SiGe層516形成於矽層514之上。第二SiGe層516可經形成至一5 nm至50 nm的厚度且可含有5%至10%的鍺。第二SiGe層516可具有一較低的鍺濃度以使得在隨後的蝕刻製程期間，上層SiGe消耗的速率較低以防止損壞矽層514，確保一好的奈米線通道。在一實施例中，第一SiGe層512及第二SiGe層516及矽層514經磊晶成長至5 nm至50 nm的厚度。

一頂蓋層518隨後形成於第二SiGe層516之上。該頂蓋層

可為由具有相對於氮化矽(SiN)之高蝕刻選擇性之材料製成的緩衝氧化層(諸如氧化矽)，用於隨後的蝕刻製程。其次，一由諸如SiN之材料製成的硬遮罩層形成於緩衝氧化層518之上。圖案化硬遮罩層(諸如由光微影及蝕刻製程)以在緩衝氧化層518上形成一硬遮罩圖案520。

參看圖11B，將硬遮罩圖案520用作一蝕刻遮罩蝕刻該結構以形成一STI溝槽522。在一實施例中，該溝槽的深度為150 nm至350 nm。

參看圖11C，再次，一淺溝槽絕緣(STI)524形成於溝槽522中。由一高密度電漿(HDP)製程形成STI以沉積一氧化物。在該HDP製程之後，執行一化學機械研磨(CMP)製程以曝露硬遮罩圖案520之頂表面。如圖所示，在CMP製程期間使用的研磨漿在HDP氧化物524上比在硬遮罩圖案520上使用的漿料具有一較高的研磨速率以使得在HDP氧化物524與硬遮罩圖案520之間生產一臺階。

再次，參看圖11D，使用磷酸移除硬遮罩圖案520及HDP氧化物之一部分，使得緩衝氧化層518及HDP氧化物524之頂面曝露於該結構之頂部上。

再次，參看圖11E，藉由形成一由SiN製成的硬遮罩層且隨後應用光微影及蝕刻製程以圖案化該硬遮罩層，來於該結構之頂表面上形成一第二硬遮罩圖案530。

再次，參看圖11F，將該第二硬遮罩圖案530用作一蝕刻遮罩蝕刻該結構以形成一STI凹座532。控制凹座532的深度比第一SiGe層512及第二SiGe層516及Si層514的總厚度更

深。意即，凹座532向下延伸至比磊晶SiGe及Si層之底部更深的結構中。剩餘磊晶SiGe及Si層以及在磊晶層下方之基板之一部分的寬度在圖中用符號 W_1 表示。

再次，參看圖11G，具有寬度 W_1 之SiGe磊晶層512及516之剩餘部分、活性Si層514a之剩餘部分及在磊晶層下方之基板的升高部分可視需要藉由蝕刻修整，以使得磊晶層之剩餘部分及在磊晶層下方之基板的升高部分具有寬度 W_2 。該蝕刻較佳地為一化學乾式蝕刻(CDE)，例如，在400W、225毫托、250°C條件下持續20秒，在含有分別在60 sccm及150 sccm流速下之 CF_4 及 O_2 之氣體環境中可執行該蝕刻。基於一待形成之最終奈米線通道的所要大小選擇該寬度 W_2 。執行該CDE以減少該通道寬度至 W_2 且以使該通道的橫截面為正方形。為了清楚地說明所得的結構，圖11H為圖11G旋轉90°的結構。

再次，參看圖11I，移除在通道區514a之頂部的犧牲SiGe層512及在通道區514a之底部的犧牲SiGe層516以完全曝露通道區514a。亦應注意基板500之一矩形部分在該步驟之後仍保留在該通道區514a之下剩餘層。藉由使用包括 CH_3COOOH (或 CH_3COOH)+ HF + DIW(去離子水)(+ H_2O_2 + 界面活性劑，等等)之化學品之化學乾式蝕刻執行該步驟。

再次，參看圖11J，正方形橫截面通道區514a形成為具有一圓形或圓形(circular)橫截面之奈米線通道514b。藉由蝕刻及退火正方形橫截面通道區514a直至其變成圓形奈米線通道514b而執行此形成。

圖 12 為說明自正方形奈米線通道 514a 形成圓形奈米線通道 514b 之製程的流程圖。首先，在 H_2 氣體環境中執行一可選清洗步驟 S100。在一實施例中，在 100% H_2 的氣體環境中執行該清洗。或者，該氣體環境亦可含有具有或不具有 H_2 的 Ar 及 / 或 He。在一實施例中，在 0.1 托至 10 托之壓力下且在 600°C 至 900°C 之溫度下執行該清洗。在一特定實施例中，在 700°C 至 800°C 之溫度下執行該清洗。在清洗步驟期間該氣體的流速可為 1 sccm 至 500 sccm，且製程時間可為 1 分鐘至 5 分鐘。

在該清洗步驟之後，正方形奈米線通道 514a 之四個稜角在步驟 S200 處被蝕刻。可藉由引進 HCl 與 H_2 氣體之組合物至製程腔室中執行該蝕刻。在一特定實施例中，在蝕刻期間 HCl 的氣體流速為 100 sccm 至 2000 sccm，且 H_2 的氣體流速為 100 sccm 至 2000 sccm。HCl : H_2 的流速可比在 5:5 至 3:7 範圍內變動。在一特定實施例中，HCl : H_2 的流速比為 300 sccm : 500 sccm。蝕刻溫度可在 600°C 至 900°C 範圍內變動，且壓力可為 10 托至 100 托。蝕刻的時間可在 1 秒至 120 秒範圍內變動。

可在至少三組可能條件中之一者下執行步驟 S200 之蝕刻。對於一相對長的持續時間、低溫蝕刻而言，蝕刻溫度可在 600°C 至 700°C 範圍內變動。對於一相對短的持續時間、高溫蝕刻而言，蝕刻溫度可在 850°C 至 900°C 範圍內變動。在以上兩種製程條件之間，可在 750°C 與 820°C 之間的溫度下執行中間的持續時間、中間的溫度蝕刻。

在該蝕刻製程之後，在步驟S300處執行一低溫退火以形成圓形形狀奈米線通道區514b。在H₂氣體之氣體環境中執行該退火。在一實施例中，在0.1托至10托的壓力下執行該退火。若該壓力降低，則亦可降低該製程時間。在一實施例中，在600°C至900°C溫度下執行該退火達10秒至800秒的時段。在一實施例中，H₂氣體的流速為1 sccm至500 sccm。在一特定實施例中，在約810°C溫度下，在5托之壓力下執行該退火且達500秒的時段。

可根據需要重複該蝕刻及該退火步驟以形成最終的圓形形狀奈米線通道514b。在退火步驟S300與下一個重複的蝕刻步驟S200之間，可執行一淨化步驟S400以自該製程腔室中移除剩餘的退火H₂氣。可使用Ar、He及H₂氣體中之至少一者執行該淨化。

在淨化步驟S400之後，在步驟S500處進行一判定以判定是否通道514b為所要的大小及/或形狀。若通道514b具有正確的形狀及大小，則該製程結束。若通道514b不具有正確的形狀及大小，則該製程返回至步驟S200處以開始蝕刻、退火(S300)及可選淨化(S400)之另一輪循環。

參看圖11K，在形成圓形形狀奈米線通道514b之後，一閘極介電層形成於該結構(包括包圍奈米線通道514b)上。可藉由在該結構上使用O₂氣生長SiO₂形成該閘極介電層。其次，形成一諸如多晶矽或具有多晶矽之金屬層的閘極材料包圍奈米線通道514b。隨後平面化該閘極材料(諸如藉由化學機械研磨(CMP))以形成包圍奈米線通道514b的閘極540。

其次，參看圖 11L，移除第二硬遮罩圖案 530。圖 11M 說明假想的具有閘極圖案 540 的最終結構。圖 11M 展示圓形形狀奈米線通道 514b 及基板 500 之升高部分，其皆藉由本發明之蝕刻及退火步驟已而形成一圓形形狀。

應注意製作一 FET 之該實施例可應用於任何數目之通道區的形成。當更多的通道區待形成時，初始形成 SiGe 層及 Si 層之更多交替層。

應注意圖 2A 對應於沿圖 11L 之線 IIa-IIa' 截取之圖 11L 的橫截面視圖。同樣地，圖 2B 對應於沿圖 11L 之線 IIb-IIb' 截取之圖 11L 的橫截面視圖。

圖 12A 至圖 12K 為說明根據本發明之另一實施例在製作本發明之 FET 之製程中之步驟的視圖。在圖 12A 至圖 12K 之實施例中使用的最初步驟與在先前描述之實施例中圖 11A 至圖 11D 之彼等步驟相同。對於其餘步驟，其中一步驟類似於一結合圖 11A 至圖 11M 之實施例描述的步驟，係以相似的方式執行該步驟。因此，將不再重複彼等步驟的描述。圖 12A 至圖 12F 為沿圖 11D 之線 XII-XII' 截取之圖 11D 之結構的示意橫截面圖，說明在根據本發明之實施例製作一 FET 之製程中的步驟。圖 12G 至圖 12K 為說明在製作一根據本發明之實施例之 FET 之製程中之步驟的示意透視圖。

參看圖 12A，其說明在步驟 11A 至 11D 執行之後所得的結構。

其次，參看圖 12B，一硬遮罩圖案 630 形成於該結構之上。可藉由圖案化一 SiN 層形成硬遮罩圖案 630。

接著，參看圖 12C，凹區 632 形成於該結構中。可藉由蝕刻一溝槽至比將硬遮罩圖案 630 用作一蝕刻遮罩之第一磊晶 SiGe 層 512 更深的深度而執行凹區 632 之形成。

接著，參看圖 12D，藉由在凹座 632 中磊晶生長一 Si 層 640 而部分地填充凹座 632。在一實施例中，磊晶 Si 層 640 經生長至一比第二磊晶 SiGe 層 516 高的深度。

接著，參看圖 12E，另一硬遮罩圖案(例如，由 SiN 製成)形成於磊晶 Si 層 640 之上且鄰近於硬遮罩圖案 630。

參看圖 12F 及圖 12G，隨後移除硬遮罩圖案 630，曝露頂部或第二磊晶 SiGe 層 516 及 STI 介電層 524 之頂表面的一部分。

接著，參看圖 12H，蝕刻該結構以移除 STI 介電層 524 之一部分，以形成一鑲嵌凹區 532 以曝露第一 SiGe 層 512 及第二 SiGe 層 516、Si 層 514 之堆疊及在堆疊磊晶層 512、514 及 516 下方之基板 500 之一部分的側面。

接著，參看圖 12I，蝕刻該結構，較佳地藉由一化學乾式蝕刻以修整第一犧牲 SiGe 層 512 及第二犧牲 SiGe 層 516、Si 層 514 及基板 500 之突出部分。該修整亦曝露所示之磊晶 Si 層 640 之一部分。

接著，參看圖 12J，移除在通道區 514a 之頂部的犧牲 SiGe 層 512 及在通道區 514a 之底部的犧牲 SiGe 層 516 以完全曝露通道區 514a。亦應注意基板 500 之矩形突出部分在該步驟之後仍保留在通道區 514a 之下。藉由使用包括 CH_3COOOH (或 CH_3COOH) + HF + DIW (去離子水) (+ H_2O_2 + 界面活性劑，等等) 之化學品進行化學乾式蝕刻執行該步驟。

接著，參看圖 12K，根據圖 10 之描述清洗、蝕刻及退火通道區 514a 以形成圓形形狀奈米線通道區 514b。在該實施例中應注意該 FET 之源極/汲極區由該單一的磊晶 Si 層 640 製成，此與磊晶 SiGe 層及 Si 層之堆疊結構相反。在該實施例中亦應注意如同先前描述的實施例，其可應用於任何數目之通道區的形成。當更多的通道區待形成時，最初形成 SiGe 層及 Si 層之更多交替層。

儘管已參考本發明例示性實施例特別展示及描述本發明，但是普通熟習此項技術者將瞭解在不偏離由以下申請專利範圍界定之本發明之精神及範疇的情況下，可對其進行形式及細節上的各種改變。

【圖式簡單說明】

圖 1 為根據本發明之一實施例之具有一圓形或圓形 (circular) 形狀奈米線通道之 FET 的示意俯視平面圖。

圖 2A 為圖 1 之 FET 之一實施例沿圖 1 之線 A-A' 所截取的示意橫截面圖。

圖 2B 為圖 2A 之 FET 之實施例沿圖 1 之線 B-B' 所截取的示意橫截面圖。

圖 3 為圖 1 之 FET 之另一實施例對應於圖 1 之線 A-A' 的示意橫截面圖。

圖 4A 為根據本發明之 FET 之另一實施例對應於圖 1 之線 A-A' 的示意橫截面圖。

圖 4B 為圖 4A 之 FET 之實施例對應於圖 1 之線 B-B' 的示意橫截面圖。

圖5為圖1之FET之另一實施例對應於圖1之線A-A'的示意橫截面圖。

圖6A為根據本發明之FET之另一實施例對應於圖1之線A-A'的示意橫截面圖。

圖6B為圖6A之FET對應於圖1之線B-B'的示意橫截面圖。

圖7為圖1之FET之另一實施例對應於圖1之線A-A'的示意橫截面圖。

圖8為說明形成圓形形狀奈米線通道及根據本發明之FET之閘極之製程的邏輯流程圖。

圖9A至圖9D為說明在形成奈米線通道及本發明之閘極之製程中之步驟的示意透視圖。

圖10為說明根據本發明之一實施例自一正方形奈米線通道形成一圓形奈米線通道之製程的詳細流程圖。

圖11A至圖11M為說明根據本發明之一實施例在製作本發明之FET之製程中之步驟的示意透視圖。

圖12A至圖12K為說明根據本發明之另一實施例在製作本發明之FET之製程中之步驟的視圖。

【主要元件符號說明】

- | | |
|-----|------------|
| 12 | 圓形形狀奈米線通道區 |
| 14 | 源極/汲極區 |
| 14a | 第一SiGe層 |
| 14b | 矽層 |
| 14c | 第二SiGe層 |
| 14d | Si層 |

20	閘極
30	閘極介電層
100B	裝置
100C	FET
100D	裝置
100E	FET
100F	裝置
110	基板
112a	第一奈米線通道區
112b	第二奈米線通道區
114	源極/汲極區
114a	第一 SiGe 層
114b	第一 Si 層
114c	第二 SiGe 層
114d	第二 Si 層
114e	第三 SiGe 層
114f	Si 層
116	絕緣區
212a	第一奈米線通道區
212b	第二奈米線通道區
212c	第三奈米線通道區
214	源極/汲極區
214a	第一 SiGe 層
214b	第一 Si 層

214c	第二 SiGe 層
214d	第二 Si 層
214e	第三 SiGe 層
214f	第三 Si 層
214g	第四 SiGe 層
214h	Si 層
402	正方形奈米線通道
402a	正方形形狀
402b	平外表面
404	圓形奈米線通道
404a	圓形形狀
406	閘極介電層
408	閘電極
500	矽基板
512	第一鍺化矽 (SiGe) 層
514	Si 層
514a	活性 Si 層 / 通道區
514b	圓形形狀奈米線通道
516	第二磊晶 SiGe 層
518	緩衝氧化層
520	硬遮罩圖案
522	溝槽
524	STI 介電層 / HDP 氧化物
530	第二硬遮罩圖案

532	STI凹座
540	閘極
630	硬遮罩圖案
632	凹區
640	磊晶Si層

五、中文發明摘要：

本發明揭示一種具有圓形形狀奈米線通道的場效電晶體(FET)及製作該FET的方法。根據該方法，源極及汲極區形成於一半導體基板上。複數個初級通道區耦接於源極區與汲極區之間。蝕刻該等初級通道區，且退火該等經蝕刻的初級通道區以形成FET通道區，該等FET通道區具有一大體上圓形之橫截面形狀。

六、英文發明摘要：

十一、圖式：

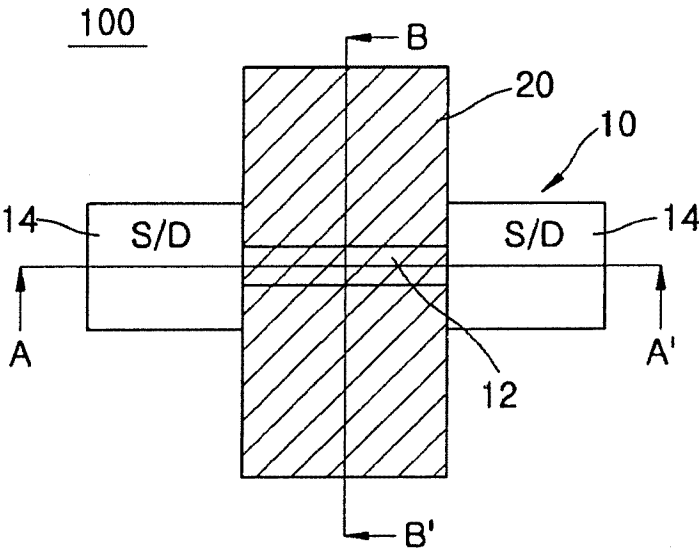


圖 1

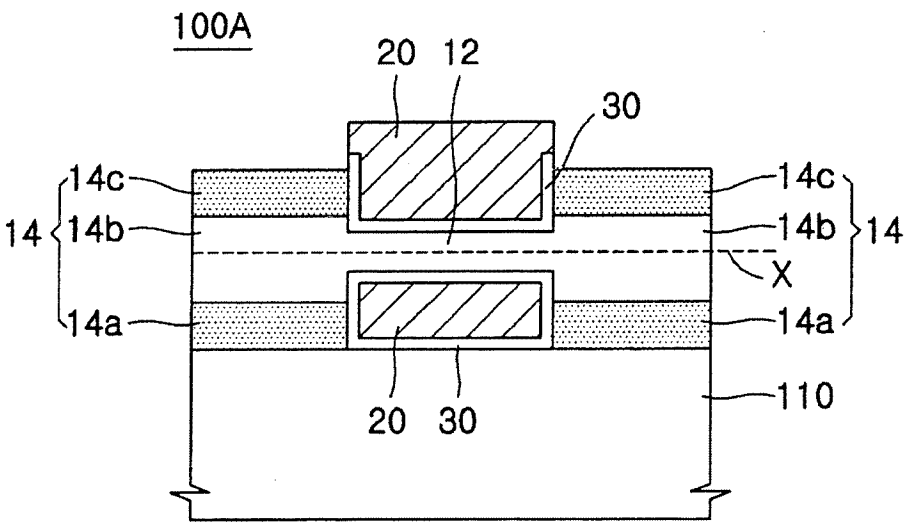


圖 2A

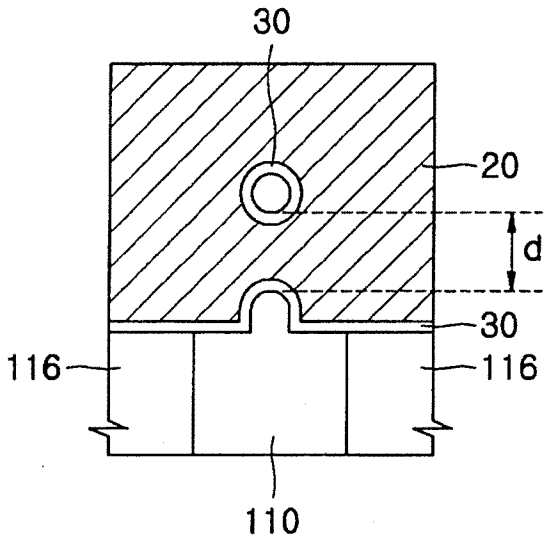


圖2B

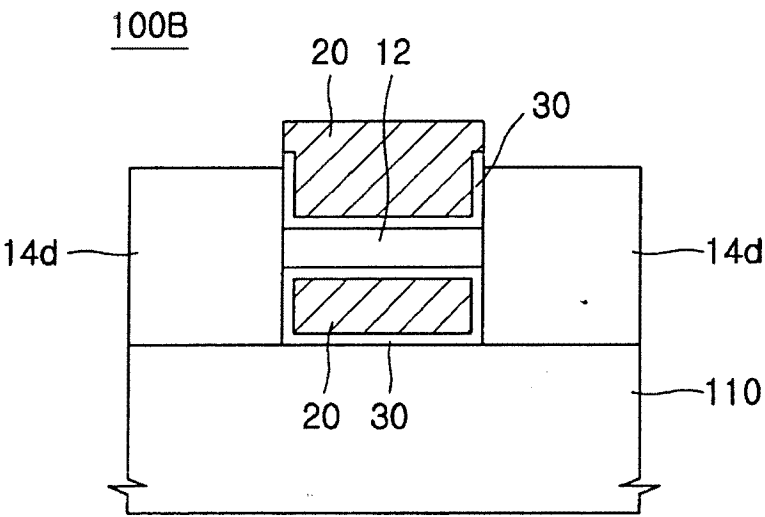


圖3

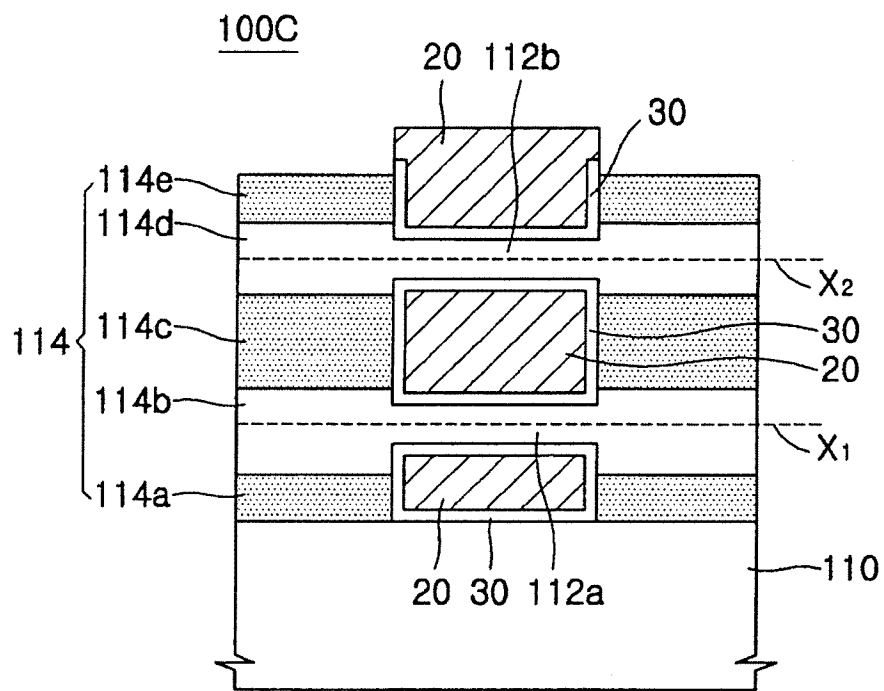


圖 4A

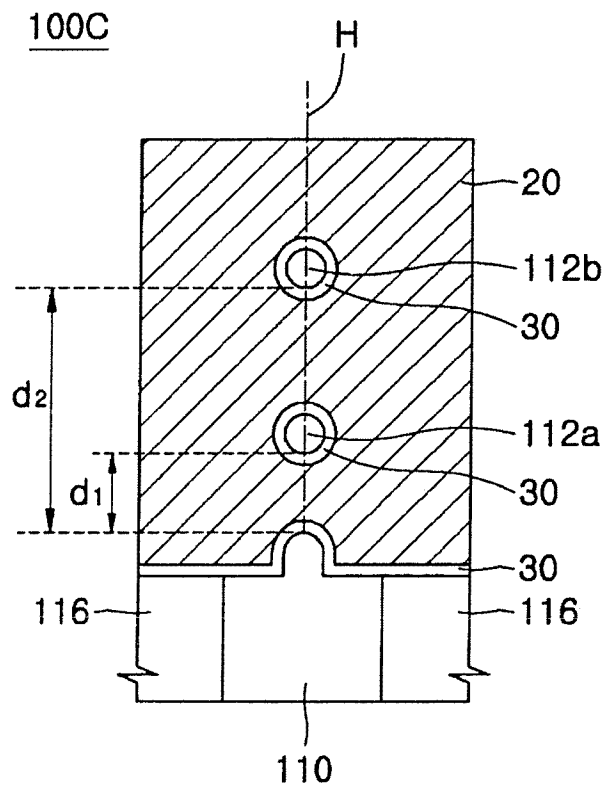


圖 4B

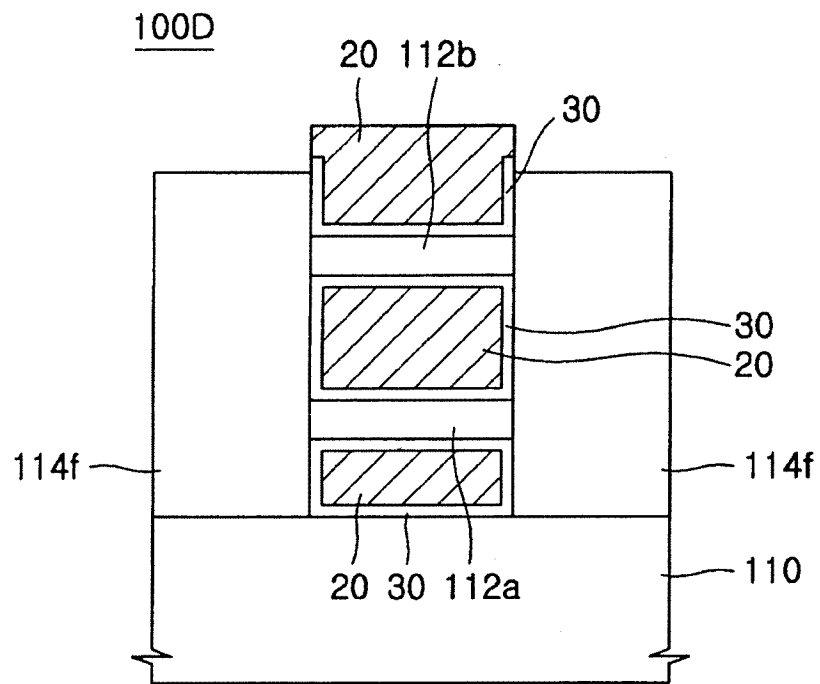


圖5

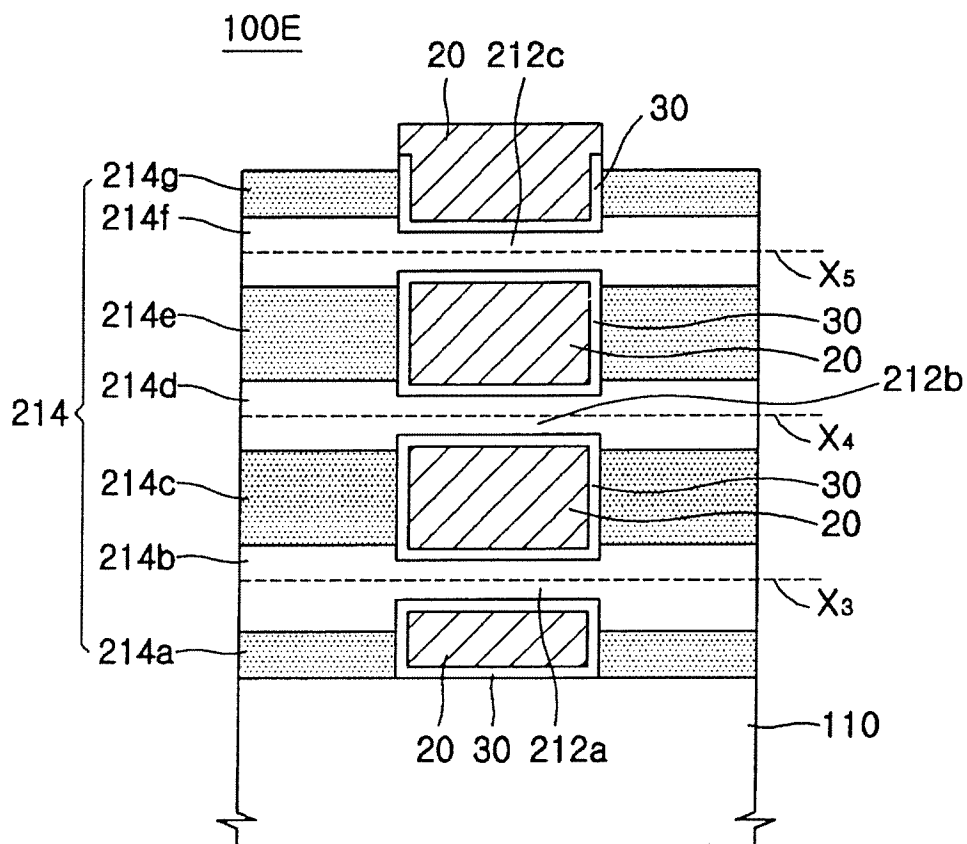


圖6A

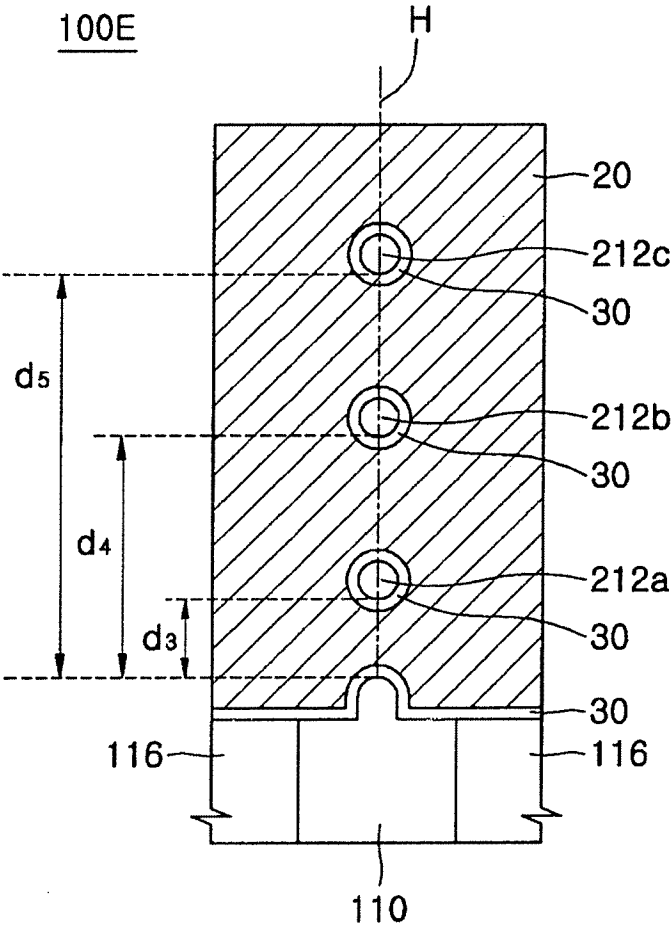


圖6B

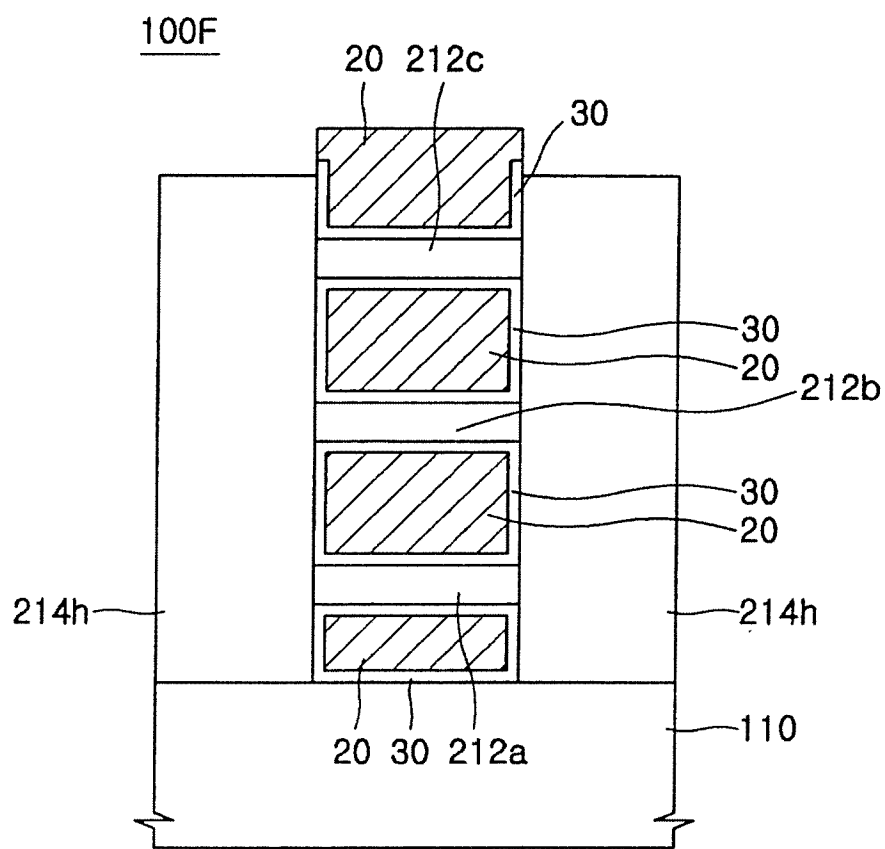


圖7

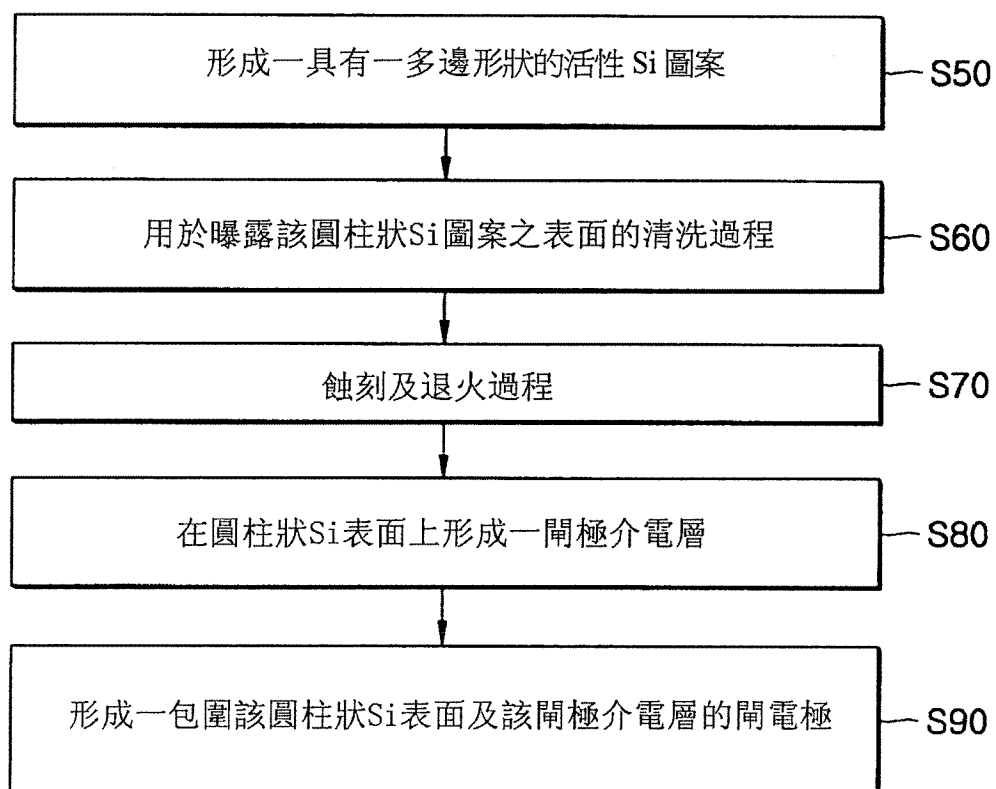


圖8

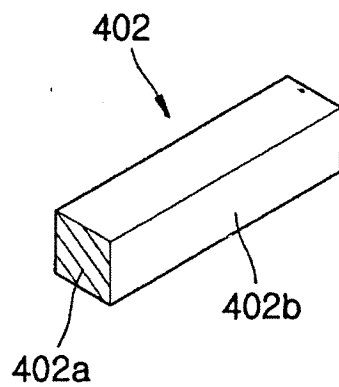


圖9A

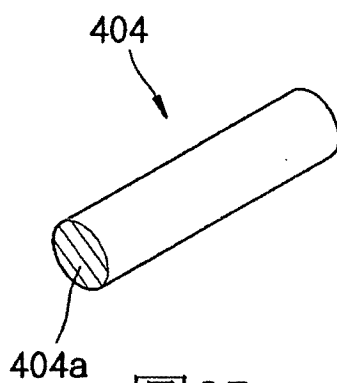


圖9B

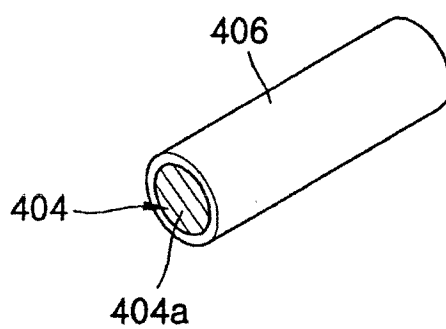


圖9C

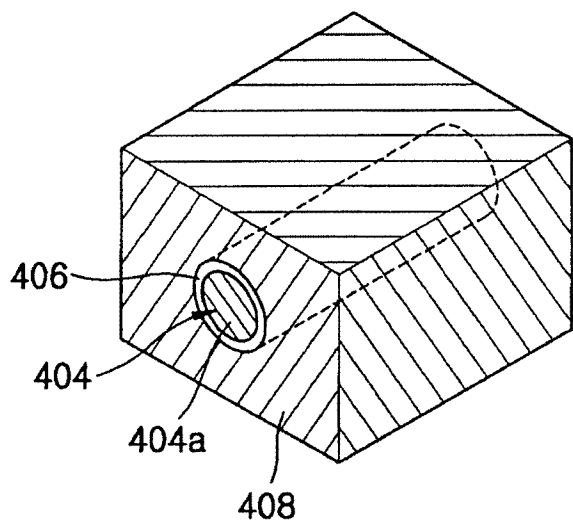


圖9D

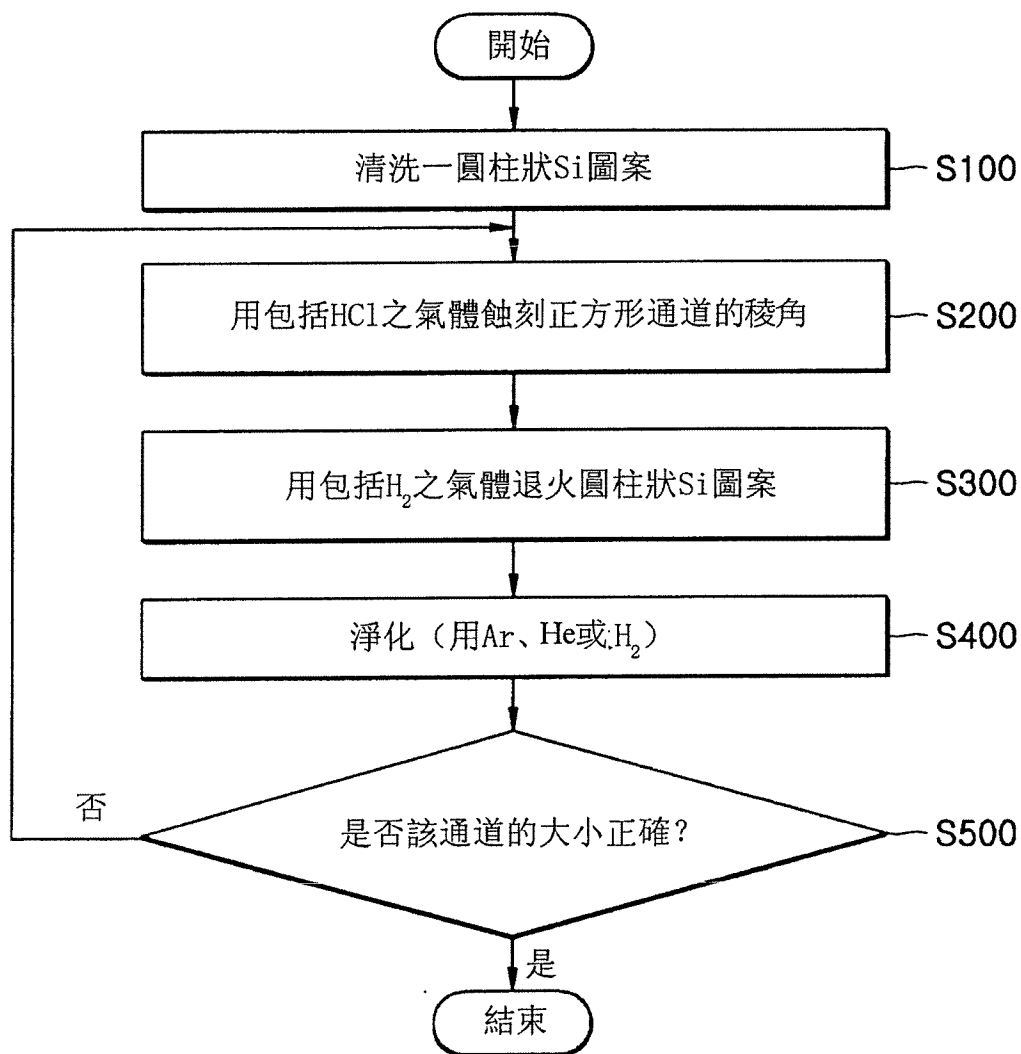


圖10

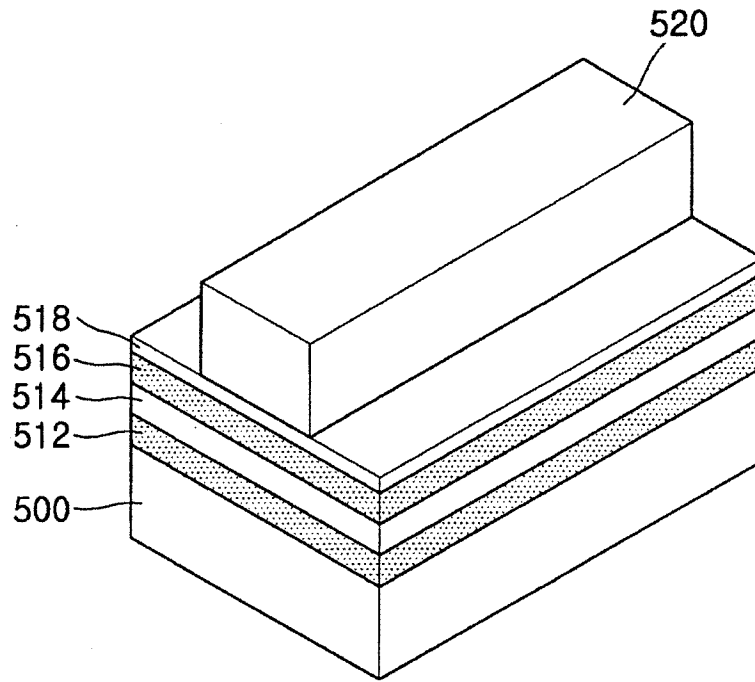


圖11A

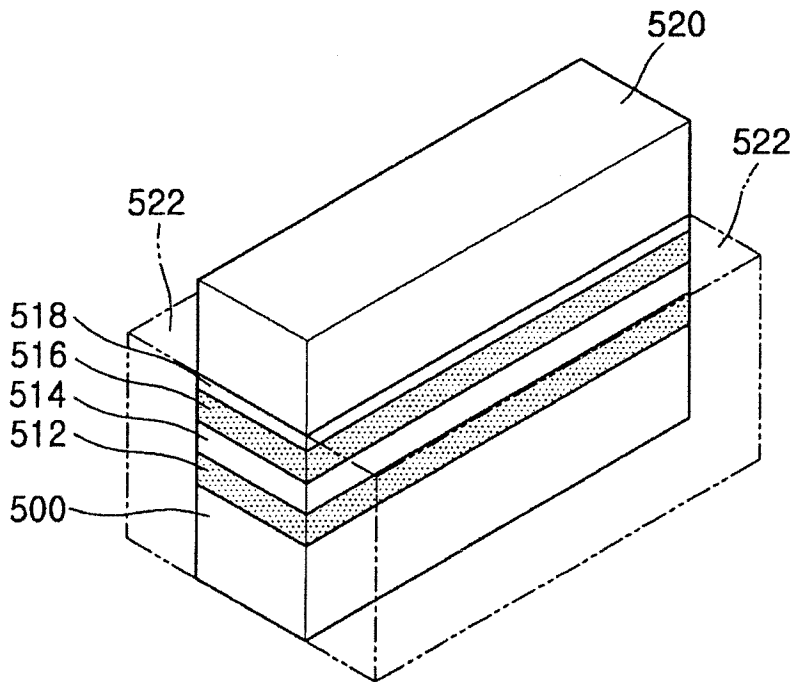


圖11B

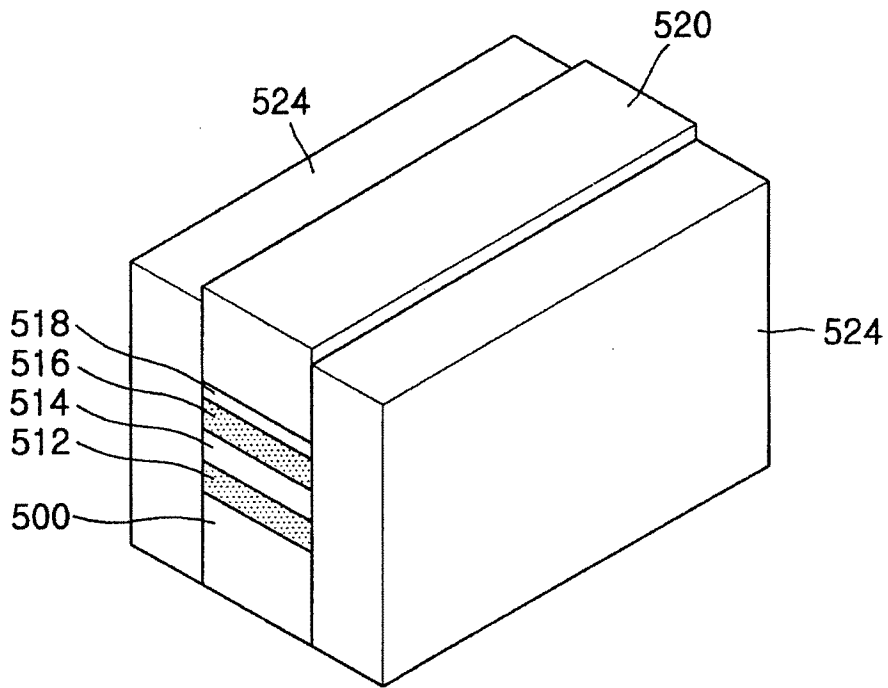


圖11C

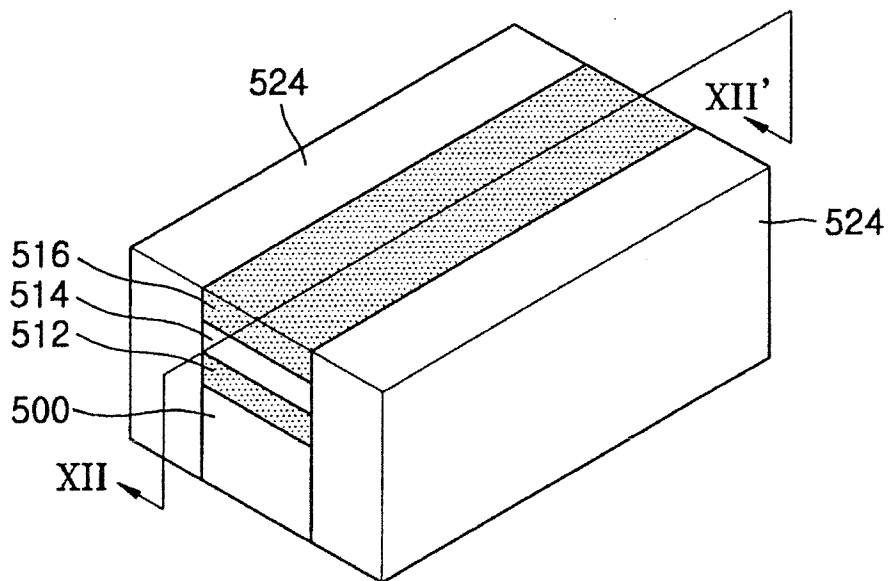


圖11D

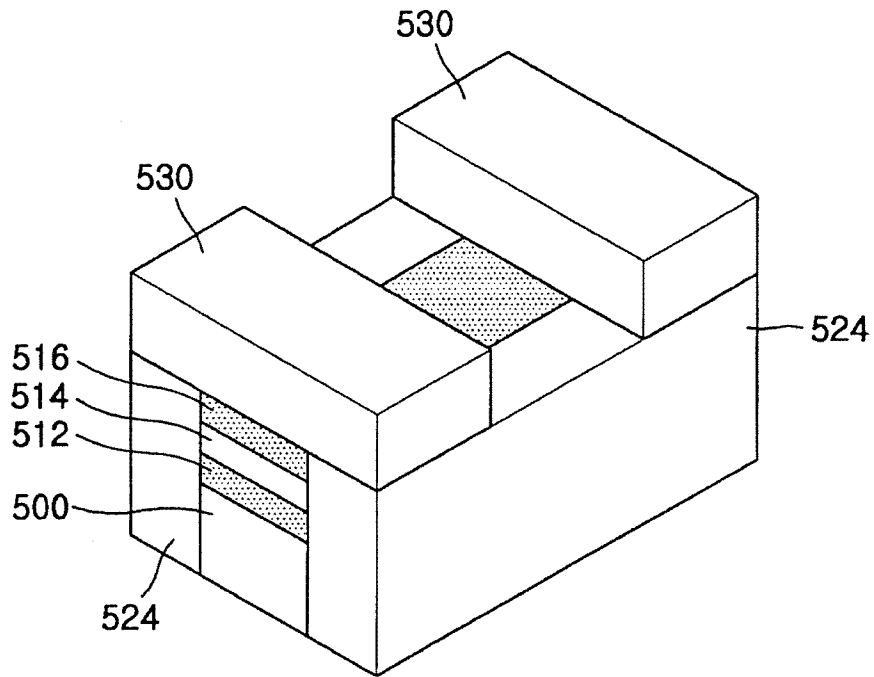


圖11E

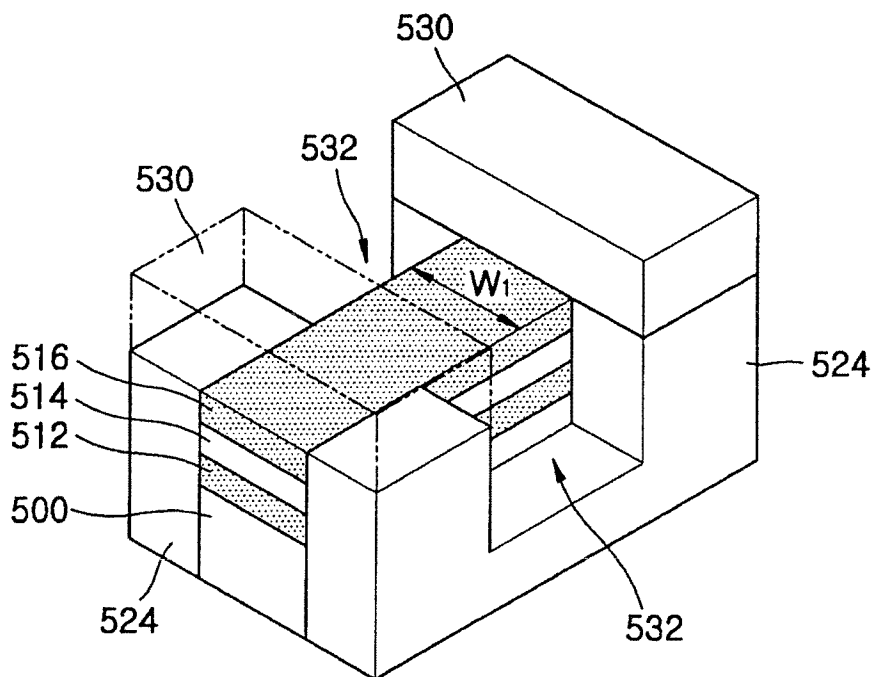


圖11F

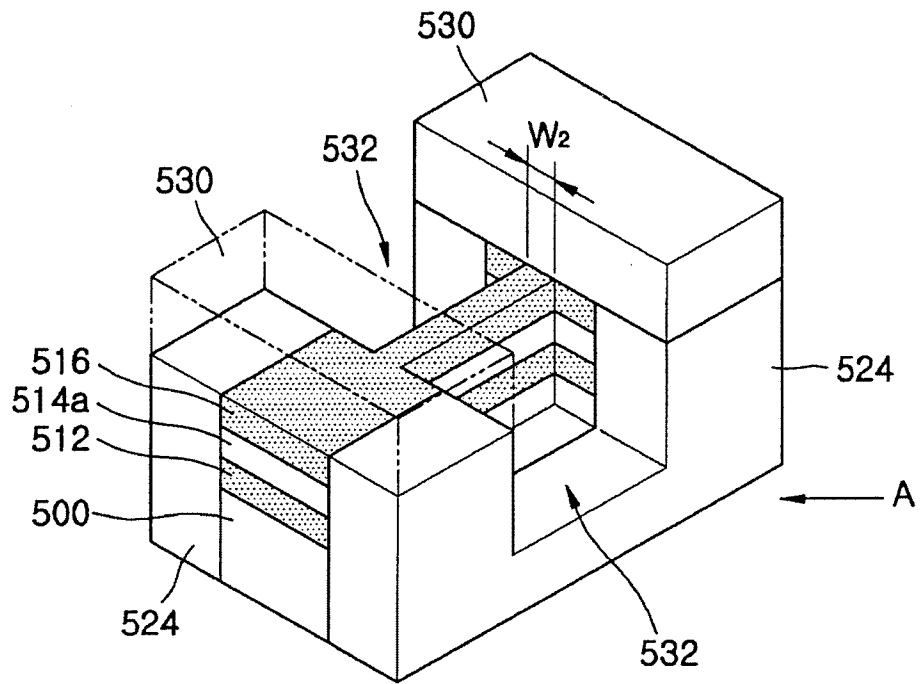


圖 11G

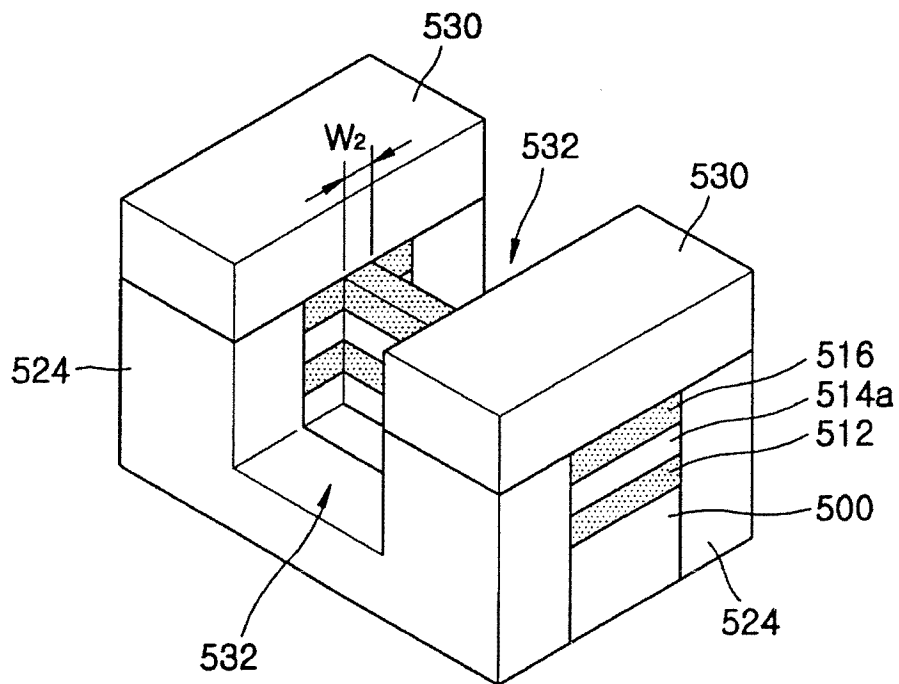


圖 11H

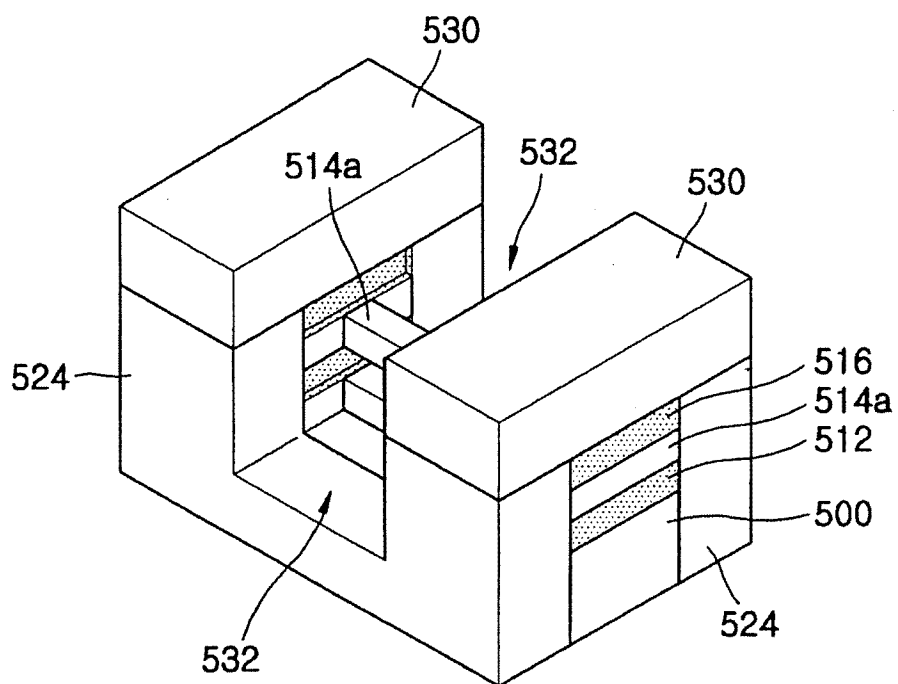


圖11I

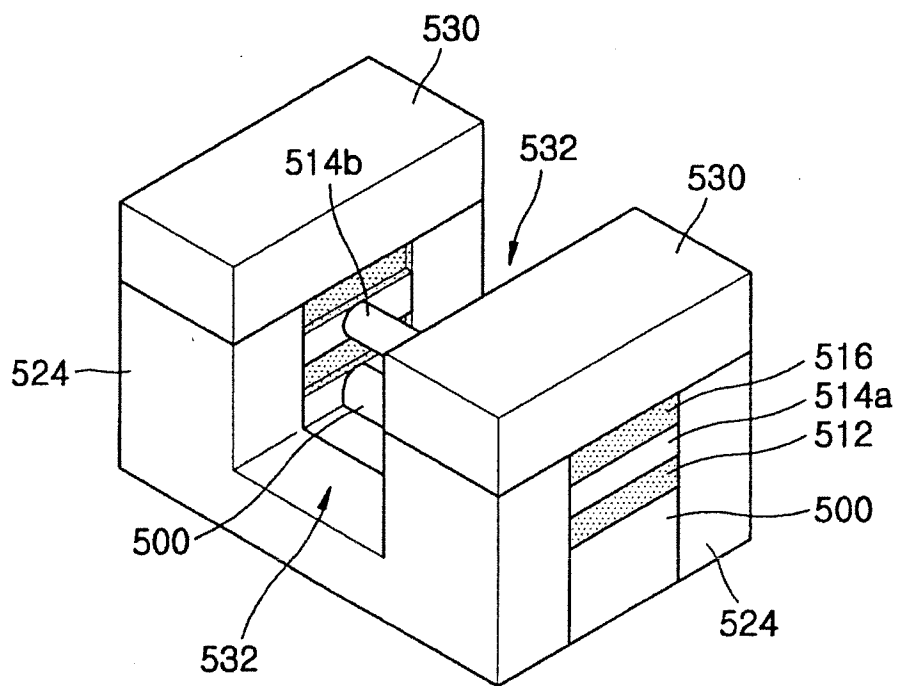


圖11J

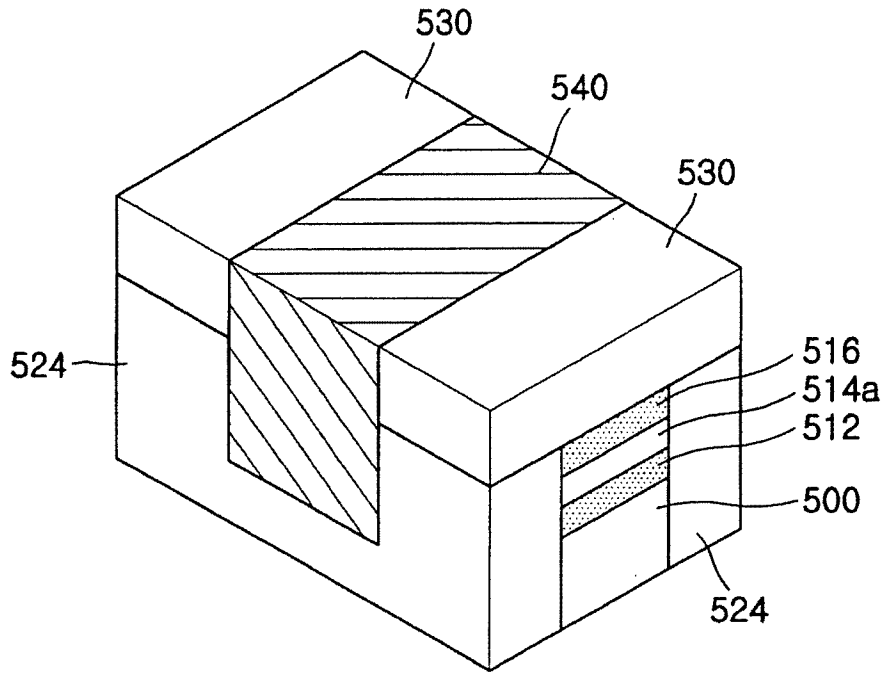


圖11K

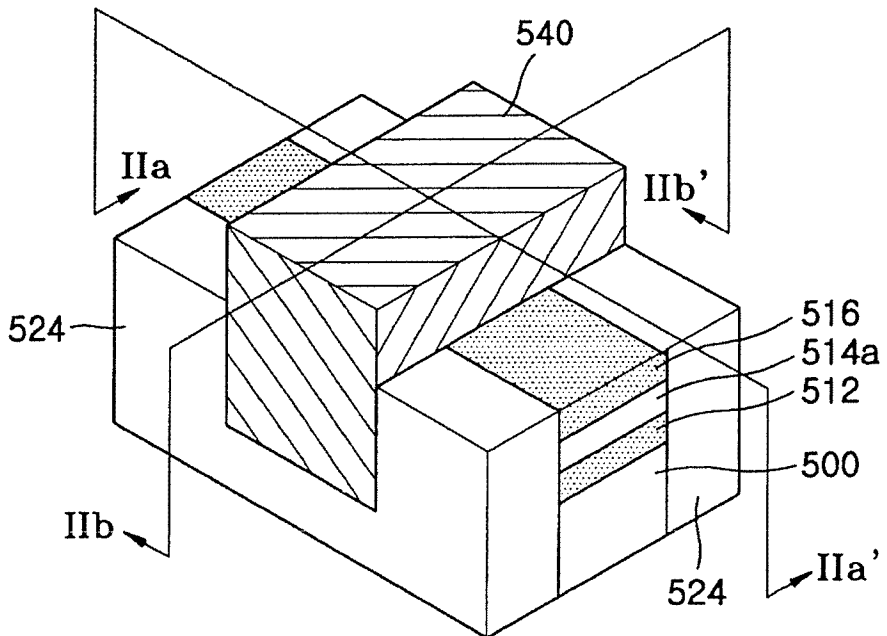


圖11L

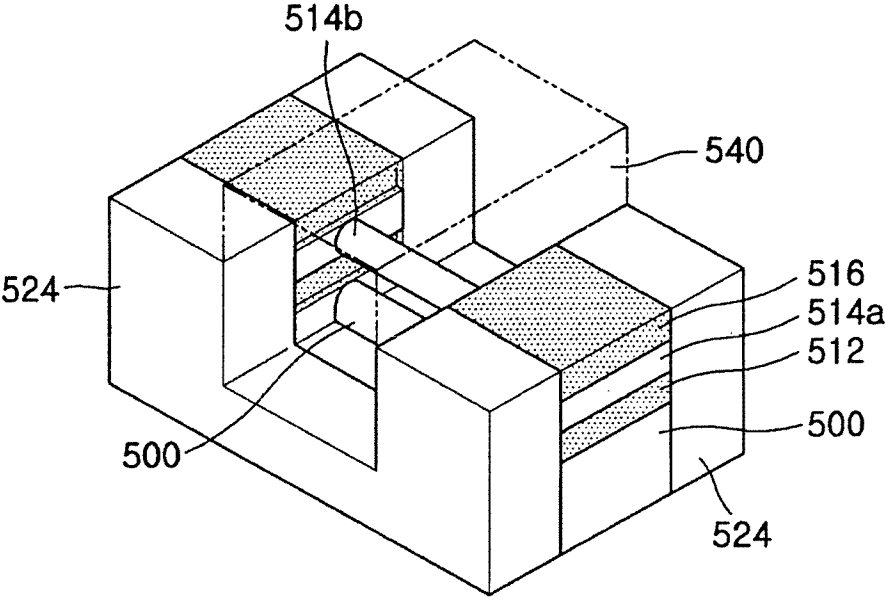


圖 11M

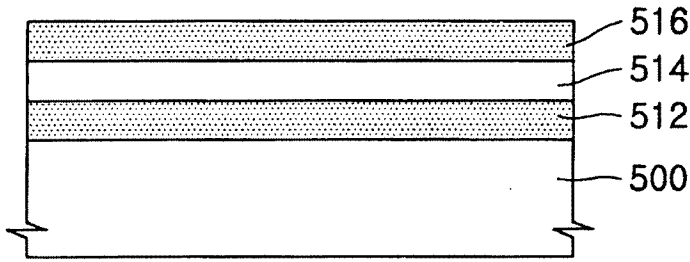


圖12A

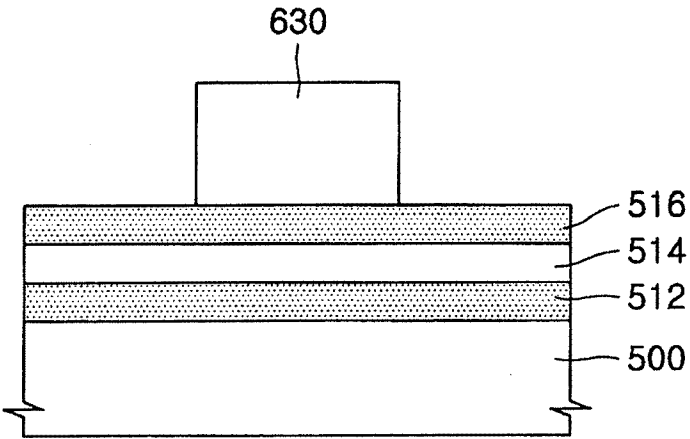


圖12B

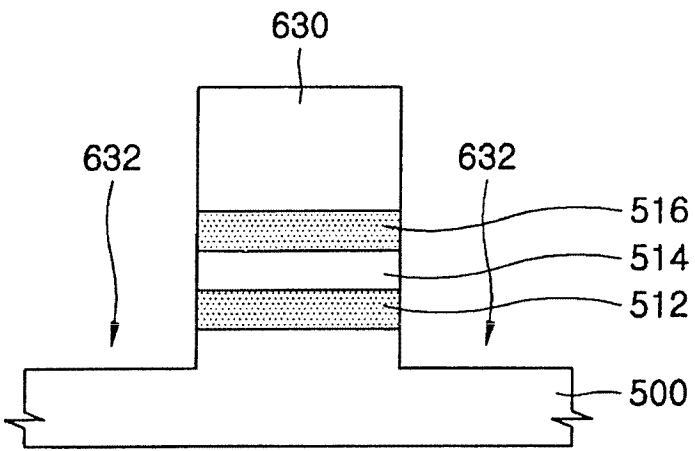


圖12C

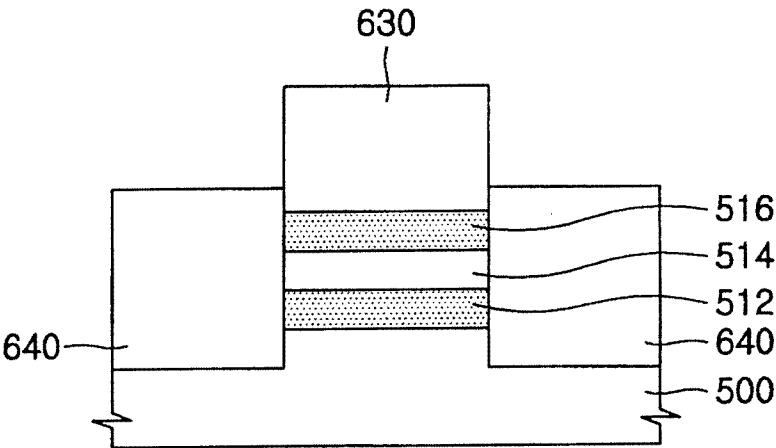


圖12D

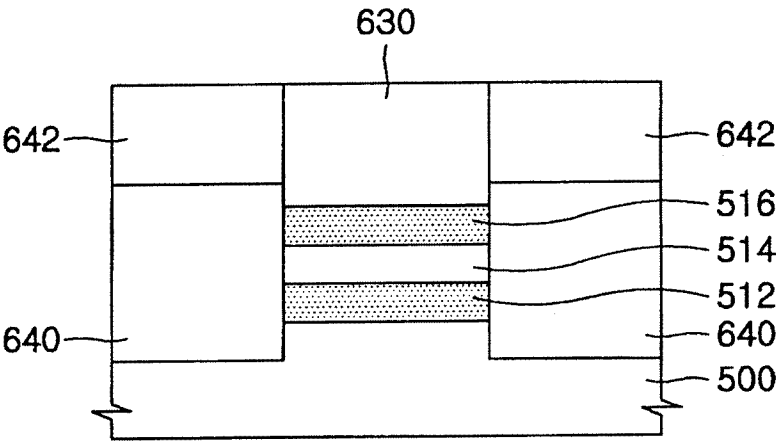


圖12E

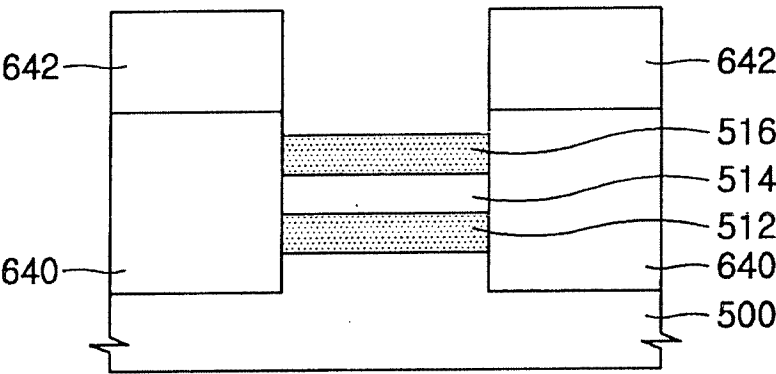


圖12F

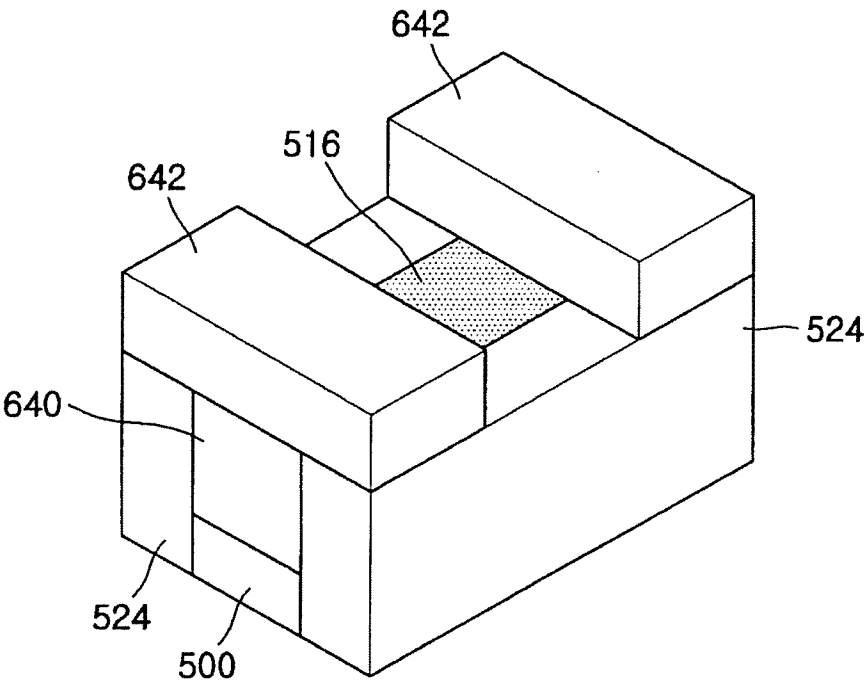


圖12G

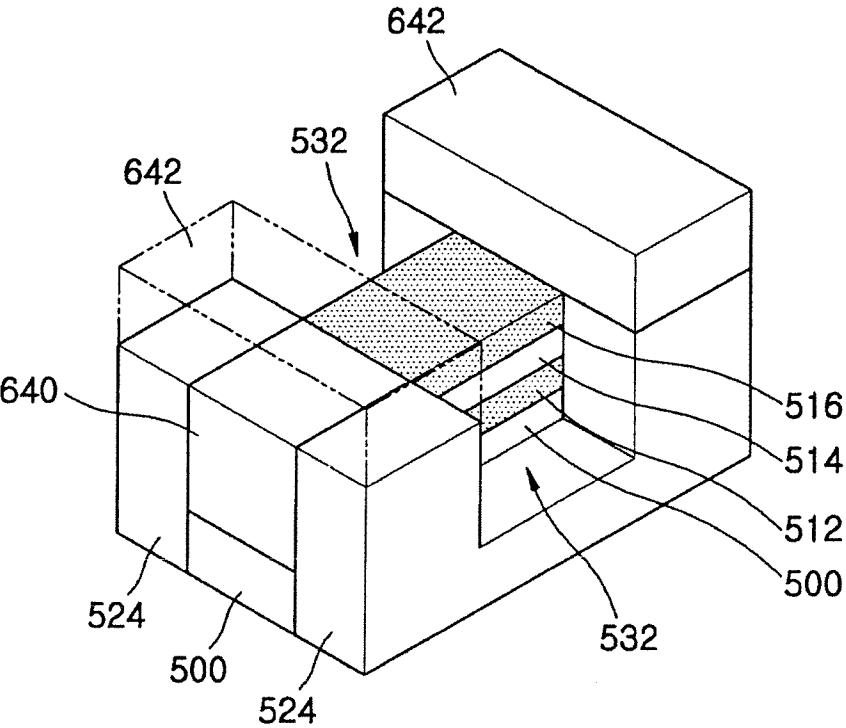


圖12H

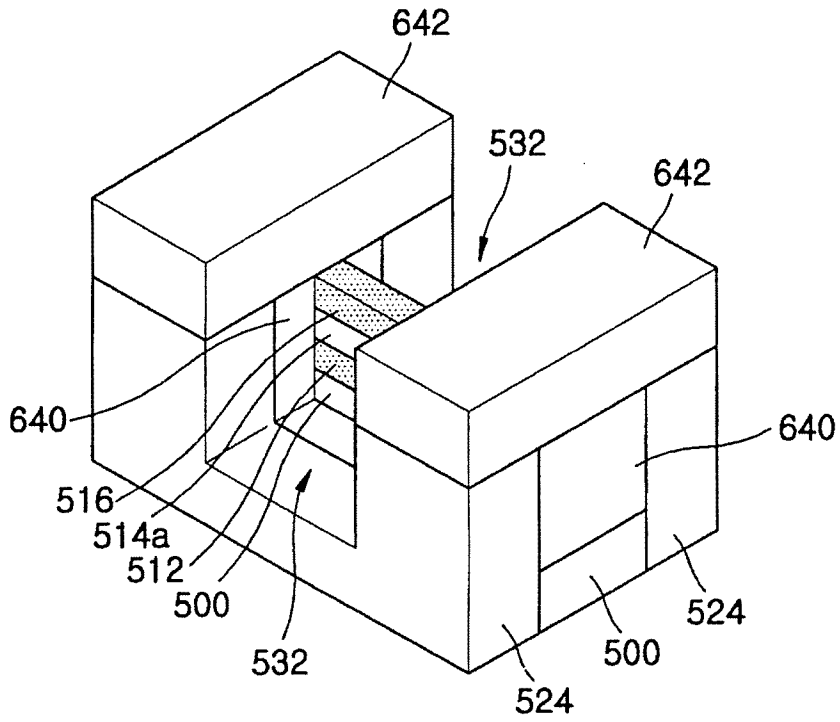


圖12I

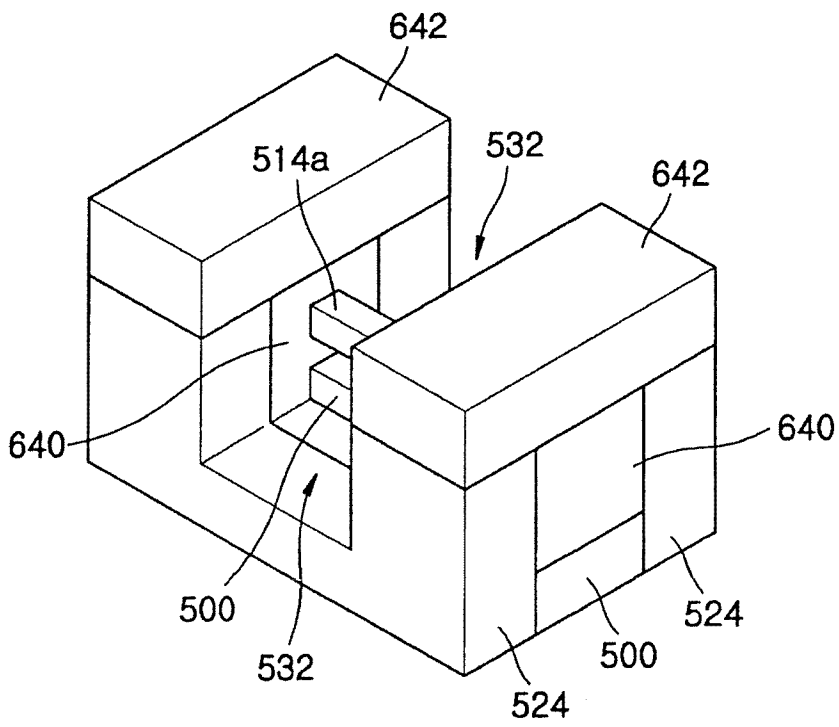


圖12J

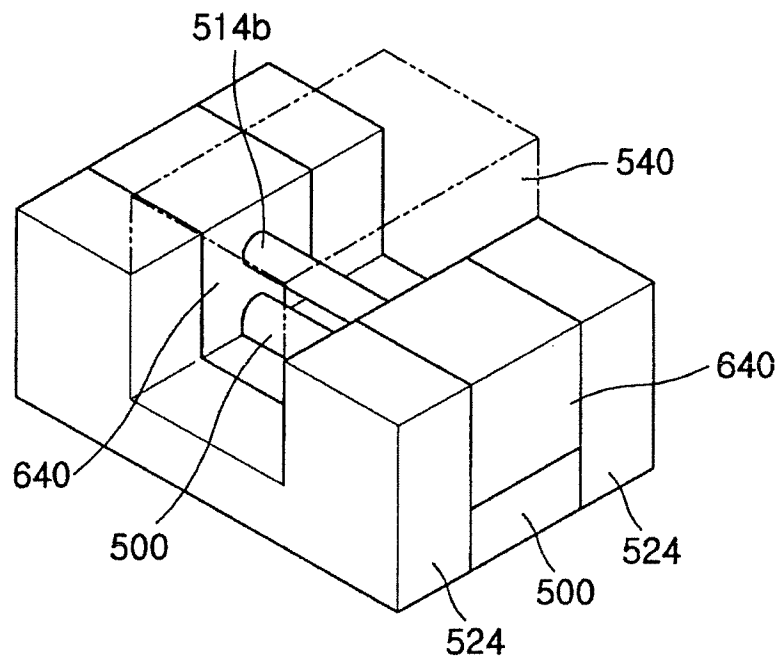


圖12 K

七、指定代表圖：

(一)本案指定代表圖為：第(11M)圖。

(二)本代表圖之元件符號簡單說明：

500 矽基板

512 第一鍺化矽(SiGe)層

514a 活性Si層/通道區

514b 圓形奈米線通道

516 第二磊晶SiGe層

524 STI介電層/HDP氧化物

540 閘極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種製作一場效電晶體(FET)之方法，其包含：
 在一半導體基板上形成源極及汲極區；
 形成耦接於該源極區與該汲極區之間的複數個初級通道區；
 蝕刻該等初級通道區，及；
 退火該等經蝕刻的初級通道區以形成若干FET通道區，該等FET通道區具有一大體上圓形之橫截面形狀。
2. 如請求項1之方法，其中該等初級通道區具有一大體上矩形之橫截面形狀。
3. 如請求項1之方法，其中該等初級通道區在橫截面上具有若干稜角。
4. 如請求項1之方法，其中該蝕刻係在一含有HCl之氣體環境中執行。
5. 如請求項1之方法，其中該蝕刻係在一含有H₂之氣體環境中執行。
6. 如請求項1之方法，其中該蝕刻係在一含有HCl及H₂之氣體環境中執行。
7. 如請求項6之方法，其中一HCl之流速與一H₂之流速的一比率係自3:7至1:1範圍內變動。
8. 如請求項6之方法，其中HCl之流速與H₂之流速的該比率為3:5。
9. 如請求項1之方法，其中該蝕刻係在一600℃至900℃之溫度下執行。

10. 如請求項1之方法，其中該蝕刻執行達一1秒至120秒的時段。
11. 如請求項1之方法，其中該蝕刻在一10托至100托之壓力下執行。
12. 如請求項1之方法，其中該退火在一含有H₂之氣體環境中執行。
13. 如請求項1之方法，其中該退火在以一1 sccm至500 sccm之流速下引入H₂的條件下執行。
14. 如請求項1之方法，其中該退火在一600°C至900°C之溫度下執行。
15. 如請求項1之方法，其中該退火執行達一10秒至800秒的時段。
16. 如請求項1之方法，進一步包含在形成該等初級通道區之後清洗該結構以自該結構中移除氧化物。
17. 如請求項16之方法，其中該清洗在一至少含有H₂、Ar及He其中之一的氣體環境中執行。
18. 如請求項16之方法，其中該清洗在一600°C至900°C之溫度下執行。
19. 如請求項16之方法，其中該清洗在一1 sccm至500 sccm之氣體流量下執行。
20. 如請求項16之方法，其中該清洗執行達一1分鐘至5分鐘的時段。
21. 如請求項16之方法，其中該清洗在一0.1托至10托之壓力下執行。

22. 如請求項1之方法，其中形成該複數個初級通道區包含形成一通道層及一垂直鄰近於該通道層的犧牲層。
23. 如請求項22之方法，其中該通道層及該犧牲層係經磊晶形成。
24. 如請求項22之方法，其中該通道層為一矽層。
25. 如請求項22之方法，其中該犧牲層為一SiGe層。
26. 如請求項22之方法，其中形成該複數個初級通道區進一步包含修整該通道層至一所要尺寸，以使得該等初級通道區中之至少一初級通道區的一前表面在一垂直於該源極區及該汲極區之一前表面之方向上相對於該源極區及該汲極區的該前表面偏移。
27. 如請求項26之方法，其中該修整包含蝕刻該通道層。
28. 如請求項27之方法，其中蝕刻該通道層包含一化學乾式蝕刻。
29. 如請求項22之方法，其中形成該複數個初級通道區進一步包含在該通道層及犧牲層之上形成一遮罩層，該遮罩層界定一隔開該等FET通道區的區域。
30. 如請求項1之方法，其中形成該複數個初級通道區包含形成垂直鄰近於一通道層的複數個犧牲層。
31. 如請求項30之方法，其中該等犧牲層包含SiGe。
32. 如請求項31之方法，其中一上犧牲層比一下犧牲層具有一較低的鍍濃度。
33. 如請求項1之方法，進一步包含在蝕刻該等初級通道區與退火該等經蝕刻的初級通道區之間淨化一製程腔室。

34. 如請求項1之方法，其中該蝕刻及該退火步驟至少執行兩次。
35. 如請求項34之方法，進一步包含在一先前蝕刻步驟與一後續之退火步驟之間的若干淨化步驟。
36. 如請求項1之方法，進一步包含在該等FET通道區上形成一閘極介電層。
37. 如請求項1之方法，進一步包含形成一包圍該等FET通道區的閘極。
38. 如請求項37之方法，其中該閘極包含多晶矽。
39. 如請求項37之方法，其中該閘極包含金屬。
40. 如請求項26之方法，其中該等初級通道區具有一大體上矩形之橫截面形狀。
41. 如請求項26之方法，其中該等初級通道區在橫截面上具有若干稜角。
42. 如請求項26之方法，進一步包含在形成該等初級通道區之後清洗該結構以自該結構移除氧化物。
43. 如請求項26之方法，其中該通道層及該犧牲層係經磊晶形成。
44. 如請求項26之方法，其中該通道層為一矽層。
45. 如請求項26之方法，其中該犧牲層為一SiGe層。
46. 如請求項26之方法，其中形成該複數個初級通道區包含形成垂直鄰近於該通道層的複數個犧牲層。
47. 如請求項46之方法，其中該等犧牲層包含SiGe。
48. 如請求項47之方法，其中一上犧牲層比一下犧牲層具有

一較低的鍍濃度。

49. 如請求項26之方法，進一步包含在蝕刻該等初級通道區與退火該等經蝕刻的初級通道區之間淨化一製程腔室。

50. 如請求項26之方法，進一步包含在該等FET通道區上形成一閘極介電層。

51. 如請求項26之方法，進一步包含形成一包圍該等FET通道區的閘極。

52. 如請求項51之方法，其中該閘極包含多晶矽。

53. 如請求項51之方法，其中該閘極包含金屬。

54. 一種製作一場效電晶體(FET)之方法，其包含：

在一基板上交替地堆疊至少一通道層及至少一犧牲層；

在該基板上形成耦接至該交替堆疊之至少一通道層及至少一犧牲層的源極及汲極區；

圖案化該交替堆疊之至少一通道層及至少一犧牲層以形成耦接於該源極區與該汲極區之間的複數個初級通道區；

移除該至少一犧牲層之一剩餘部分；

蝕刻該等初級通道區；及

退火該等經蝕刻的初級通道區以形成若干FET通道區，該等FET通道區具有一大體上圓形之橫截面形狀。

55. 如請求項54之方法，其中該等初級通道區具有一大體上矩形之橫截面形狀。

56. 如請求項54之方法，其中該等初級通道區在橫截面上具

有若干稜角。

57. 如請求項54之方法，其中該至少一通道層及該至少一犧牲層係經磊晶形成。
58. 如請求項54之方法，其中該至少一通道層為一矽層。
59. 如請求項54之方法，其中該至少一犧牲層為一SiGe層。
60. 如請求項54之方法，其中形成該複數個初級通道區進一步包含修整該至少一通道層至一所要尺寸，以使得該等初級通道區中之至少一初級通道區的一前表面在一垂直於該源極區及該汲極區之一前表面之方向上相對於該源極區及該汲極區的該前表面偏移。
61. 如請求項60之方法，其中該修整包含蝕刻該至少一通道層。
62. 如請求項61之方法，其中蝕刻該至少一通道層包含一化學乾式蝕刻。
63. 如請求項54之方法，其中形成該複數個初級通道區進一步包含在該至少一通道層及至少一犧牲層之上形成一遮罩層，該遮罩層界定一隔開該等FET通道區的區域。
64. 如請求項54之方法，其中形成該複數個初級通道區包含形成垂直鄰近於該通道層的複數個犧牲層。
65. 如請求項64之方法，其中該等犧牲層包含SiGe。
66. 如請求項65之方法，其中一上犧牲層比一下犧牲層具有一較低的銻濃度。
67. 如請求項54之方法，進一步包含在蝕刻該等初級通道區與退火該等經蝕刻的初級通道區之間淨化一製程腔室。

68. 如請求項54之方法，進一步包含在該等FET通道區上形成一閘極介電層。

69. 如請求項54之方法，進一步包含形成一包圍該等FET通道區的閘極。

70. 如請求項69之方法，其中該閘極包含多晶矽。

71. 如請求項69之方法，其中該閘極包含金屬。

72. 一種製作一場效電晶體(FET)之方法，其包含：

在一半導體基板上形成源極及汲極區；

形成一耦接於該源極區與該汲極區之間的初級通道區，該形成一個初級通道區包含：(i)形成一通道層及一垂直鄰近於該通道層的犧牲層，及(ii)修整該通道層至一所要尺寸以使得該初級通道區之一前表面在一垂直於該源極區及該汲極區之一前表面的方向上相對於該源極區及該汲極區之該前表面偏移；

移除該犧牲層之一剩餘部分；

蝕刻該經修整的通道層；及

退火該經蝕刻的通道層以形成一FET通道區，該FET通道區具有一大體上圓形之橫截面形狀。

73. 一種製作一場效電晶體(FET)之方法，其包含：

在一半導體基板上形成源極及汲極區；

形成一耦接於該源極區與該汲極區之間的初級通道區，該形成一初級通道區包含形成一通道層及一垂直鄰近於該通道層的犧牲層；

移除該犧牲層之一剩餘部分；

蝕刻該初級通道區；及

退火該經蝕刻的初級通道區以形成一FET通道區，該FET通道區具有一大體上圓形之橫截面形狀。

74. 一種場效電晶體(FET)，其包含：

一半導體基板；

在該半導體基板上的源極及汲極區；

複數個FET通道區，其耦接於該源極區與該汲極區之間，該等FET通道區具有一大體上圓形之橫截面形狀，該等FET通道區經修整至一所要尺寸以使得該等FET通道區中之至少一FET通道區的一前表面在一垂直於該源極區及該汲極區之一前表面之方向上相對於該源極區及該汲極區的該前表面偏移。

75. 如請求項74之場效電晶體，進一步包含在該等FET通道區上之一閘極介電層。

76. 如請求項74之場效電晶體，進一步包含一包圍該等FET通道區的閘極。

77. 如請求項74之場效電晶體，其中該閘極包含多晶矽。

78. 如請求項74之場效電晶體，其中該閘極包含金屬。

79. 一種場效電晶體(FET)，其包含：

一半導體基板；

在該半導體基板上的源極及汲極區；

一FET通道區，其耦接於該源極區與該汲極區之間，該FET通道區具有一大體上圓形之橫截面形狀，該FET通道區經修整至一所要尺寸以使得該FET通道區之一前表面

在一垂直於該源極區及該汲極區之一前表面之方向上相對於該源極區及該汲極區的該前表面偏移。