

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 29/00

(11) 공개번호 특 1999-0077600
(43) 공개일자 1999년 10월 25일

(21) 출원번호	10-1999-0007206
(22) 출원일자	1999년 03월 04일
(30) 우선권주장	1998-051933 1998년 03월 04일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 가네코 히사시
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 쓰찌야도모히로
(74) 대리인	일본도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내 구영창, 주성민

심사청구 : 있음

(54) 반도체메모리장치

요약

노멀 셀 어레이 및 용장 셀 어레이를 갖고 있는 블록(101-104)을 구비하는 반도체 장치가 제공된다. R/N 전환 설정 회로(140)은, 한 실시예에 있어서, 직렬로 배열된 통상은 도통 상태인 복수의 트랜지스터를 구비하고 있다. 용장 판정 회로(120)은 어드레스를 수신하여 용장 셀 어레이의 사용 또는 미사용을 결정한다. 용장 셀 어레이가 사용될 때는 용장 판정 회로는 활성 YPR 신호 뿐만 아니라 불량 셀 어레이의 현재 열-방향 위치를 출력한다. 위치 정보는 용장 위치 디코더(130)를 통해서 전환 설정 회로(140)에 인가된다. 전환 설정 회로(150)은 수신된 열 위치에 기초해서 스위치 신호 DSW를 발생하여 이 신호를 R/N 스위치 회로(150)에 출력한다. 스위치 회로(150)은 수신된 신호에 기초하여 입/출력 부의 I/O 라인들을 선택된 노멀 셀 어레이 및 용장 셀 어레이에 전환하여 접속하므로써 불량 셀 어레이를 바이패스시킨다.

대표도

도 1

색인어

반도체 메모리 장치, 노멀 셀 어레이, 용장 셀 어레이, R/N 전환 설정 회로, 컬럼 용장 메모리 셀

명세서

도면의 간단한 설명

- 도 1은 제1 실시예에 따른 반도체 메모리 장치의 주요 부분의 구성을 도시하는 블록도.
- 도 2는 제1 실시예에 따른 메모리 블록의 주요 부분의 구성을 도시하는 블록도.
- 도 3은 제1 실시예에 따른 메모리 셀 어레이의 주요 부분의 구성을 도시하는 블록도.
- 도 4는 제1 실시예에 따른 용장 판정 회로를 도시하는 블록도.
- 도 5는 제1 실시예에 따른 용장 위치 디코더의 구성을 도시하는 회로도.
- 도 6은 제1 실시예에 따른 R/N 전환 설정 회로를 도시하는 회로도.
- 도 7은 R/N 전환 회로의 특정 구성과 입력/출력부의 특정 구성을 도시하는 회로도.
- 도 8은 제2 실시예에 따른 R/N 전환 설정 회로의 구성을 도시하는 회로도.
- 도 9는 제2 실시예에 따른 설정 회로의 회로도.
- 도 10은 제3 실시예에 따른 용장 판정 회로의 구성을 도시하는 블록도.
- 도 11은 용장 판정 회로와 용장 위치 디코더를 위한 진리표를 도시하는 블록.
- 도 12는 제3 실시예에 따른 R/N 전환 설정 회로의 구성을 도시하는 블록도.
- 도 13은 제3 실시예에 따른 설정 회로의 구성을 도시하는 블록.
- 도 14는 제3 실시예에 따른 설정 회로의 회로도.

도 15a는 설정 제어 회로의 회로도 및 도 15b는 설정 제어 회로를 위한 진리표.

도 16은 제4 실시예에 따른 반도체 메모리 장치의 주요 부분의 구성을 도시하는 블록도.

도 17은 제1 종래 장치의 주요 부분의 동작을 설명하기 위한 블록.

도 18은 제2 종래 장치의 주요 부분의 구성을 도시하는 블록도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 메모리 셀 어레이

101, 102, 103, 104 : 메모리 블록

110 : 로우 디코더

120 : 용장 판정 회로

130 : 용장 위치 디코더

140 : R/N 전환 설정 회로

150 : R/N 전환 회로

160 : 입출력부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 용장 메모리 셀을 갖는 반도체 메모리 장치에 관한 것으로, 더 상세하게는 컬럼 용장 메모리 셀을 선택하기 위한 컬럼 용장 선택 회로를 갖는 반도체 메모리 장치에 관한 것이다.

반도체 메모리 장치(이하, '메모리'라 함)는 전형적으로 메모리 셀들에 정보를 기억한다. 메모리의 용량(메모리 셀들의 수)은 해가 갈수록 증가하여, 메모리가 수백만개의 셀들을 갖게 된다. 이와 같은 대용량의 메모리는 결함이 있는 메모리 셀이 완전히 없는 단일 메모리를 제조하는 것을 힘들게 한다. 이와 같은 문제점을 극복하기 위해, 용장 메모리 셀이 제공되어 결함있는 메모리 셀을 교체하게 된다. 이와 같이, 메모리가 많은 수로 제조되면, 제조 그룹 내에서의 기능 소자의 수가 증가된다('수율'이 향상된다).

메모리 장치 내에서, 메모리 셀들은 흔히 로우와 컬럼을 갖는 어레이로 배열된다. 이때 메모리 셀들은 워드 선에 의해 로우마다 활성화되어 비트 선에 의해 액세스된다. 결함있는 메모리 셀들을 교체하기 위한 한가지 주요 기술은 용장 셀로서 기능하는 메모리 셀의 하나 이상의 부수적인 로우를 제공하는 것이다. 이와 같은 배열에서, 로우가 결함있는 메모리 셀을 가지면, 결함있는 셀에 결함된 워드 선을 활성화시키는 대신에, 용장 셀에 결함된 워드 선이 활성화될 것이다. 결국, 용장 메모리 셀의 로우가 결함있는 메모리 셀을 갖는 로우 대신에 액세스된다.

메모리는 전형적으로 하나 이상의 입력/출력(I/O)에 의해 액세스된다. 예를 들어, '휘발성' 메모리 내의 메모리 셀들이 I/O에 의해 판독되거나 기록될 수 있고, '비휘발성' 메모리 내의 메모리 셀들이 I/O에 의해 프로그램, 판독, 흔히 소거될 수 있다. 과거에는, 4 내지 16 I/O를 갖는 메모리를 설계하는 것이 흔하였다. 최근에는 이와 같은 수는 32 내지 64로 증가되었다. 부수적으로, 일부 메모리가 일체화된 게이트 어레이 및 '시스템-온-칩(system-on-chip)이 256 I/O만큼의 수를 가질 수 있다.

이와 같은 I/O 수의 증가는 또한 컬럼 방향에서의 결함있는 셀들의 비율을 증가시켰다. 컬럼 방향에는, 메모리 셀, 컬럼 선택 회로, 센스 증폭기, 및 데이터 증폭기와 같은 많은 컬럼 특정 회로들이 존재한다. 따라서, 로우 방향에 용장 메모리 셀들을 제공하는 종래의 용장 회로 해결방법은 컬럼 방향에서 부딪치게 되는 결함을 적절히 해결하지 못한다.

제1 종래 장치를 도시하는 도 17은 1995년 6월 7일 출원되어 1996년 12월 12일 공개된 일본 특허 출원 JP-A-8-335399에 개시된 메모리 회로의 주요 부분 구성을 도시하는 블록이다.

도 17의 메모리 회로는, 메모리 셀 어레이들 M11 내지 M35가 워드 선 WL1 내지 WL3과 비트 선 BL1 내지 BL5에 접속되도록 구성된다. 각각의 비트 선(BL1 내지 BL5)은 로우 선택 회로(셀렉터) SEL1 내지 SEL4를 통해 복수의 외부 비트 선 OBL1 내지 OBL4에 접속된다.

셀렉터 SEL1 내지 SEL4는 비트 선 BL1 내지 BL5이 외부 비트 선 OBL1 내지 OBL4에 접속하는 방법을 제어한다. 특히, 셀렉터(SEL1 내지 SEL4)는 결함있는 셀들을 갖는 임의의 비트 선이 외부 비트 선(OBL1-OBL4)에 접속되는 것을 방지하도록 구성된다. 이와 같이, 컬럼 방향에서의 결함있는 셀들이 바이패스될 수 있다.

셀렉터(SEL1-SEL4)의 전환 동작은 제어 메모리 셀 C11 내지 C14에 의해 제어된다. 각각의 제어 메모리 셀(C11-C14)은 특정 셀렉터(SEL1-SEL4)를 위한 전환 정보를 기억한다. 제어 메모리 셀의 사용은 다른 접근방법보다 비용면에서 저렴하다. 예를 들어, 다른 종래기술의 컬러 용장 접근방법은 용해가능한 링크(휴즈)를 사용하여 결함있는 셀의 컬럼을 디스에이블(또는 그렇지 않으면 회피)시키고, 용장 셀의 컬럼을 인에이블시킨다. 휴즈는 레이저를 사용하여 선택된 휴즈를 개방(또는 '블로잉(blowing)')시킴으로써 이와 같은 대체 동작을 위해 흔히 프로그램된다. 이는 휴즈가 시간을 소비하는 동작이고, 비싼 장비

를 필요로 하며, 전형적으로 비교적 큰 구조이기 때문에, 부수적인 장치 영역을 소비한다.

따라서, 이와 같은 제어 메모리 셀을 이용함으로써, 휴즈를 단락시키기 위한 비싼 레이저 장치를 사용하지 않을 수도 있다. 그러나, 상기 구성은, 전환 정보가 단일 데이터 선을 통해 비트 별로 제어 메모리 셀 C11 내지 C14에 기억될 것을 필요로 한다. 이와 같은 해결방법은, 전환 정보값의 초기 설정을 완료하는데 상당한 시간을 필요로 한다는 점에서 문제가 있을 수 있다.

다른 종래 해결방법은, 상기 제1 종래 기술 장치의 제어 메모리 셀 대신에 쉬프트 레지스터를 이용하는 것이다. 쉬프트 레지스터는 일련의 기억 단위를 갖는 회로이다. 데이터 비트들이 모든 기억 비트들이 데이터를 저장할 때까지 하나의 기억 단위에서 다음 기억 단위로 쉬프트될 수 있다. 이때 전환 정보는 소정의 클럭 사이클로 다음 기억 단위로 데이터가 쉬프트하면서 클럭과 동기하여 설정될 수 있다. 그러나, 이와 같은 기술은 또한 값을 설정하는데 필요한 시간이 1/0 수의 증가에 비례하여 증가한다는 문제점이 있다.

이와 같은 전환 시간을 단축하기 위해, 도 18에 도시된 제2 종래 기술 장치가 일본 특허 출원 JP-A-7-122096호에 개시된다. 도 18은 용장 셀 어레이를 갖는 반도체 메모리의 주요 부분의 구성을 도시하는 블록이다.

도 18에서, 반도체 메모리는 많은 메모리 셀 어레이 NS0 내지 NS55 등을 갖는다. 각각의 어레이는 대응하는 1/0 노드 1/00 내지 1/04 등을 갖는다. 각각의 1/0 그룹 선 1/00 내지 1/04는 대응하는 그룹의 스위치 SW0 내지 SW4에 접속된다. 각각의 스위치는 공급된 제어 신호에 응답해서 선택된 하나의 1/0 노드에 1/0 선을 접속한다.

제2 종래 기술의 장치에서는, 어레이 NS3는 결함이 있어 바이패스되어야 하는 것으로 가정한다. 도 18에 도시된 바와 같이, 도 18에서 보았을 때 결함있는 어레이의 좌측 상의 모든 스위치들은 그 1/0 접속부의 좌측 상의 어레이들에 접속되도록 설정된다. 동시에, 결함있는 어레이 NS3의 우측 상의 모든 스위치들은 그 1/0 접속부의 우측 상의 어레이들에 접속되도록 설정된다.

휴즈는 도 18의 구성을 위해 전환 동작을 설정하는데 사용된다. 휴즈의 수는 1/0 선 수 + 1과 같으며, 상호 직렬로 접속된다. 각 휴즈의 한 단부는 전원에 그리고 다른 단부는 접지에 접속된다. 더우기, 휴즈 간의 노드는 스위치에 접속되어, 각각 전환 제어 신호를 공급한다. 검사하는 동안 휴즈를 분리시킴으로써, 스위치의 전환 방향이 이와 같이 고정된 방식으로 설정될 수 있도록, 분리된 휴즈에 대해 전원 쪽으로의 노드가 '1'로 설정되고, 접지 쪽으로의 노드는 '0'으로 설정된다. 이와 같은 동작으로 인해, 결함있는 셀 어레이를 용장 셀 어레이로 교체하는데 사용되는 제어 신호의 전파에 의해 유입된 지연으로 회피함으로써, 전환 속도가 향상될 수 있다.

도 17에 도시된 제1 종래 기술의 장치는 제어 메모리 셀에 전환 정보를 제공함으로써 전환 방향을 판정한다. 이와 같은 해결방법의 단점은, 외부 비트 선의 수가 증가함에 따라 제어 메모리 셀에 전환 정보를 설정하는데 필요한 시간의 양을 증가시킨다는 점이다.

도 18에 도시된 제2 종래 기술 장치에서, 결함있는 메모리 셀이 1/0 노드에 결함되는 것을 방지하기 위해, 스위치의 수를 이용하고 스위치의 전환 동작을 설정함으로써 결함있는 셀이 회피된다. 상기 제2 종래 기술 장치의 단점은, 전환 방향이 휴즈에 의해 설정된다는 점이다. 결국, 입력/출력 수의 증가는 이용되어야 하는 휴즈의 수를 증가시킨다. 휴즈가 레이저 장치 등을 이용하여 물리적으로 분리되어야 하기 때문에, 휴즈 회로는 다른 회로 장치(트랜지스터와 같은)와 동일한 방식으로 크기가 축소될 수 없다. 즉, 부수적인 휴즈는 부수적인 장치('칩') 영역의 결과로 될 수 있다. 부수적으로, 대규모 메모리는 많은 수의 메모리 셀들이 단일 비트에 접속되는 것을 필요로 하고, 이것은 결함있는 셀 어레이의 유입을 증가시킨다. 제2 종래 기술 장치를 기술하는 명세서에 결함있는 셀 어레이가 존재할 때 발생하는 문제를 시정하기 위한 어떠한 해결방법도 개시하지 못한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 결함있는 셀을 갖는 셀 어레이에서 용장 셀 어레이로의 고속 및 동적 전환을 제공하는 것이다.

본 발명의 다른 목적은, 결과적인 회로의 크기를 증가시키지 않고 불량 셀을 갖는 셀 어레이에서 용장 셀 어레이로의 고속 및 동적 전환을 제공하는 것이다.

상술된 문제점을 해결하기 위해, 본 발명은 각각이 복수의 메모리 셀을 구비하는 복수의 노멀 셀 어레이; 복수의 메모리 셀을 구비하는 적어도 하나의 용장 셀 어레이; 복수의 노멀 셀 어레이 및 적어도 하나의 용장 셀 어레이를 각각이 구비하고 있는 복수의 메모리 블록; 각 메모리 블록에 대하여 용장 셀 어레이로 치환되어야 할 여부를 가리키는 용장 선택 정보와, 용장 셀 어레이로 치환될 노멀 셀 어레이의 위치를 가리키는 불량 위치 정보를 저장하기 위한 용장 판정 회로; 제1 단자와 제2 단자를 갖고 있으며 제1 스위치를 이용하여 불량 위치 정보에 기초하여 제1 단자 및 제2 단자를 도통 상태 또는 비도통 상태로 설정할 수 있는 설정 회로; 설정 회로의 제1 단자를 인접 설정 회로의 제2 단자에 접속하고, 최상위 단자를 용장 선택 정보 출력 단자에 접속하고, 최하위 단자는 제2 논리 레벨에 접속하며 제2 단자로 부터 비트 라인 스위치 신호를 출력하기 위한 R/N 전환 설정 수단; 및 R/N 전환 설정 수단의 비트 라인 스위치 신호 출력에 기초하여 2개의 비트 라인 중 하나를 선택하고 선택된 비트 라인을 입/출력부에 접속하기 위한 R/N 스위치 회로를 포함하는 반도체 메모리 장치를 제공한다.

더욱이, 설정 회로는 용장 위치 정보에 기초해서 신호를 수신하는 제3 단자, 및 제1 논리 레벨에 접속되는 한 단부, 제2 단자에 접속되는 다른 단부 및 제3 단자에 접속되는 제어 단자를 갖고 있는 제2 스위치 수단을 갖고 있으며, 제2 스위치 수단은 제1 스위치 수단이 도통 상태에 있을 때 비도통 상태로 설정되고 제1 스위치 수단이 비도통 상태에 있을 때는 도통 상태로 설정된다.

설정 회로는 또한 제2 논리 레벨에 접속되는 한 단부, 제1 단자에 접속되는 다른 단부 및 제3 단자에 접속되는 제어 단자를 갖고 있는 제3 스위치 수단을 갖고 있으며, 제3 스위치 수단은 제1 스위치 수단이 도통 상태에 있을 때 비도통 상태로 설정되고 제1 스위치 수단이 비도통 상태에 있을 때는 도통 상태로 설정된다.

또한, R/N 전환 설정 수단은 용장 위치 정보에 기초해서 각 블록의 단자를 제1 논리 레벨로 설정하는 V-설정 신호를 출력하기 위한 설정 제어 회로를 구비하며; 설정 회로는 용장 위치 정보에 기초하여 불량 위치 신호를 수신하기 위한 제3 단자, V-설정 신호를 수신하기 위한 제4 단자 및 제1 논리 레벨에 접속되는 한 단부, 제2 단자에 접속되는 다른 단부 및 제4 단자에 접속되는 제어 단자를 갖고 있는 제2 스위치 수단을 갖고 있다.

더욱이, R/N 전환 설정 수단은 복수의 블록으로 분리되는 설정 회로 및 용장 위치 정보에 기초하여 각 블록의 한 단자를 제2 논리 레벨로 설정하는 G-설정 신호를 출력하기 위한 설정 제어 회로를 포함하며, 설정 회로는 용장 위치 정보에 기초하여 불량 위치 신호를 수신하기 위한 제3 단자, G-설정 신호를 수신하기 위한 제5 단자, 및 제2 논리 레벨에 접속되는 한 단부, 제1 단자에 접속되는 다른 단부 및 제5 단자에 접속되는 제어 단부를 갖고 있는 제3 스위치 수단을 갖고 있다.

더구나, 용장 판정 수단은 복수의 퓨즈 블록 및 블록 선택 회로를 구비하며, 각각의 퓨즈 블록은 정보를 이진 코드로 변환함으로써 용장 셀 어레이로 치환되는 노멀 셀 어레이의 불량 위치 정보를 저장하며, 블록 선택 회로는 퓨즈 블록을 선택하기 위한 신호를 출력한다.

또한, 블록 선택 회로는 어드레스를 디코딩하여 퓨즈 블록을 선택하기 위한 신호를 출력하는 어드레스 디코더를 포함하고 있다.

또한, 블록 선택 회로는 뱅크 선택 신호에 기초하여 퓨즈 블록 및 메모리 블록을 선택하기 위한 신호를 출력하기 위한 회로이다.

또한, 퓨즈 블록은 용장 선택 정보를 저장하기 위한 제1 퓨즈 회로 및 불량 위치 정보를 저장하기 위한 복수의 제2 퓨즈 회로를 포함하며, 제2 퓨즈 회로 각각은 제1 퓨즈 회로를 통해서 제1 논리 레벨에 접속된다.

또한, 퓨즈 블록은 용장 선택 정보를 저장하기 위한 제1 및 제2 퓨즈, 및 불량 위치 정보를 저장하기 위한 제3 및 제4 퓨즈를 포함하며, 제1 퓨즈의 한 단부는 제1 논리 레벨에 접속되고, 그의 다른 단부는 제2 및 제3 퓨즈의 한 단부 뿐만 아니라 용장 선택 신호 출력 단자에 접속된다. 제2 퓨즈의 다른 단부는 제2 논리 레벨에 접속되는 한편, 제3 퓨즈의 다른 단부는 제4 퓨즈의 한 단부 뿐만 아니라 용장 위치 신호 출력 단자에 접속된다. 제4 퓨즈의 다른 단부는 제2 논리 레벨에 접속된다.

또한, R/N 스위치 수단은 복수의 메모리 블록의 비트 라인에 공통으로 접속된다.

발명의 구성 및 작용

지금부터 도면을 참조하여 특정 실시예로 본 발명이 서술될 것이다.

도 1은 본 발명의 제1 실시예의 반도체 장치의 주요 부분의 구성을 도시하는 블록도이다. 도 1에서, 참조번호 100은 네개의 메모리 블록(101-104)으로 분할되어 있는 메모리 셀 어레이를 지칭한다. 메모리 블록(101-104)의 각각에서, 메모리 셀들은 복수의 통상적인 셀 어레이와 용장 셀 어레이들이 컬럼 방향으로 연장하는 매트릭스 방식으로 배열된다. 참조번호 110은 수신된 어드레스를 디코딩하고, 메모리 블록(101-104)에 로우 선택 신호(이하, '워드 선 신호'라 칭함)를 출력하는 로우 디코더를 가리킨다. 본 실시예에서, 로우 디코더(110)는 네개의 메모리 블록에 존재하는 복수의 워드 선으로부터 하나의 워드 선만을 선택한다.

용장 판정 회로(120)는, 결함있는 셀 어레이를 메모리 블록 단위마다 용장 셀 어레이로 교체하여야 하는지의 여부를 미리 기억한다. 또한, 플래그는 교체하여야 할 결함있는 셀 어레이의 위치를 가리킬 수 있다. 어드레스 신호를 수신하면, 용장 판정 회로(120)는 관련된 메모리 블록에 대응하여 용장 선택 신호 YPR와 용장 위치 신호 IORED를 출력한다.

용장 선택 신호 YPR는, 어드레스에 대응하는 메모리 블록의 결함있는 셀들을 용장 셀들로 교체하여야 하는지의 여부를 가리킨다. 제1 논리 레벨(예를 들어, '1')로 설정되면, 신호 YPR는 결함있는 셀들이 정상적인 셀 어레이에 존재한다는 것을 가리키고, 이와 같은 정상적인 셀 어레이를 용장 셀 어레이로 교체할 것을 지시한다. 제2 논리 레벨(예를 들면, '0')로 설정되면, 신호 YPR는 용장 셀 어레이로의 어떠한 교체도 필요하지 않는다는 것을 가리킨다. 용장 위치 신호 IORED는 결함있는 셀이 존재하는 정상적인 셀 어레이의 위치를 가리킨다. 본 실시예에서, 용장 판정 회로(120)는 위치 정보를 이진 형태로 변환함으로써 기억한다. 용장 위치 신호 IORED는 8개의 정상적인 셀 어레이들중의 하나를 식별하기 위한 3비트 신호, 16개의 어레이들중의 하나를 식별하기 위한 4비트 신호, 및 32개의 어레이들중의 하나를 식별하기 위한 5비트 신호일 수 있다.

용장 위치 디코더(130)는 용장 선택 신호 YPR와, 용장 위치 신호 IORED를 용장 판정 회로(120)로부터 수신한다. 용장 위치 디코더(130)는 용장 선택 신호 YPR가 선택 상태에 있으면 용장 판정 회로(120)로부터 수신된 이진 용장 위치 신호 IORED를 디코딩하고, 결함있는 위치 신호 IOSEL를 출력한다. 결함있는 위치 신호 IOSEL는 정상적인 셀 어레이의 수와 동일한 수의 신호를 갖는다. 도 1의 특정 배열에서, 결함있는 셀 어레이에 대응하는 신호 선은 논리 '1'로 구동되는 반면에, 다른 신호 선들은 논리 '0'으로 구동될 것이다.

R/N 전환 설정 회로(140)는 결함있는 위치 신호 IOSEL를 수신한다. 용장 선택 신호 YPR이 선택 상태에 있으면, R/N 전환 설정 회로(140)는 IOSEL 신호에 응답해서 비트 선 전환 신호 DSW를 출력할 것이다.

DSW 신호는 한 비트에서 다른 비트로의 전환을 인에이블한다.

참조번호 150은 비트 선 전환 신호 DSW를 수신하고, 메모리 블록(101-104)에 있는 각각의 셀 어레이를 용장 셀 어레이 또는 정상적인 셀 어레이로 전환하는 R/N 전환 회로를 지칭한다. 참조번호 160은 R/N 전환 회로(150)에 의해 전환된 셀에 데이터를 기록하고 그로부터 데이터를 판독하는 입력/출력부를 지칭하는데, 여기서 셀들은 컬럼 방향으로 연장한다.

다음에, 도 1에 도시된 반도체 메모리 장치의 동작이 설명될 것이다. 다음 설명이 데이터가 판독되는 경우를 가리키지만, 데이터가 기록되는 경우에도 실질적으로 동일한 설명이 적용될 수 있다.

도 1에서, 어드레스의 수신시, 로우 디코더(110)는 수신된 어드레스를 디코드하여 워드 선 신호 WL를 하나의 메모리 블록(101-104)에 출력한다. 결국, 메모리 블록(메모리 블록(101)과 같은, 하지만 이에 한정되지 않는다)이 선택된다. 이와 같은 어드레스는 또한 용장 판정 회로(120)에도 공급된다.

용장 판정 회로(120)는 각각의 메모리 블록에 대한 용장 선택 정보를 미리 기억한다. 이와 같이, 발생되는 용장 선택 신호 YPR는, 선택된 메모리 블록의 결함있는 셀 어레이를 용장 셀 어레이로 교체하여야 하는지의 여부를 가리킬 것이다. 부수적으로, 용장 위치 신호 IORED는, 결함있는 셀 어레이를 교체하여야 한다는 것을 가리킨다. 어드레스의 수신시, 용장 판정 회로(120)는 관련된 메모리 블록에 대응하여, 용장 위치 신호 IORED를 용장 위치 디코더(130)에 출력할 뿐만 아니라, 용장 선택 신호 YPR를 용장 위치 디코더(130)와 R/N 전환 설정 회로(140)에 출력한다.

용장 판정 회로(120)로부터 출력된 용장 위치 신호 IORED와 용장 위치 신호 YPR의 수신시, 용장 위치 디코더(130)는 코드화되어 기억된 용장 정보를 결함있는 위치 신호 IOSEL로 디코드하여, 상기 디코드된 신호 IOSEL를 R/N 전환 설정 회로(140)로 출력한다.

R/N 전환 설정 회로(140)는 상기 디코드된 비트 선 전환 신호 DSW를 R/N 전환 회로(150)에 전달한다. R/N 전환 회로(150)는 비트 선 전환 신호 DSW에 근거하여 선택된 메모리 블록내의 셀 어레이를 입력/출력부(160)로 전환하여 접속한다. 이와 같은 접속은, 결함있는 메모리 셀을 갖는 셀 어레이가 바이패스 되도록 하기 위한 것이다. 따라서, 정상적인 셀 어레이와 적어도 하나의 용장 셀 어레이가 입력/출력부(160)에 접속된다.

따라서, 선택된 워드 선과 비트 선 간의 교차점에 존재하는 메모리 셀의 정보가 R/N 전환 회로(150)와 입력/출력부(160)를 거쳐 판독된다.

도 2는 본 발명이 제1 실시예에 따른 메모리 블록의 주요 부분의 구성을 도시하는 블록도이다. 도 3은 메모리 셀 어레이의 주요 부분의 구성을 도시하는 블록도이다. 다음은 네개의 입력/출력 선 I/O0-I/O3을 갖는 반도체 메모리 장치를 설명할 것이다. 이는 하나의 특정 실시예만을 나타내는 것으로, 본 발명의 이에 한정하려는 것으로 해석되어서는 안된다는 것을 알아야 한다.

도 2에서, 참조번호 200-207은 정상적인 셀 어레이를 가리키고, 208과 209는 용장 셀 어레이를 가리키고, 210과 211은 일단의 워드 선(또한 WL0-WL2n-1로서 도시됨)을 가리키고, 212 내지 216은 비트 선(또한 BL0 내지 BL4로서 도시됨)을 가리키고, 217 내지 220은 스위치(또한 SW0 내지 SW3로서 도시됨)를 가리킨다. 도 3은 도 1에 도시된 101로서 도시된 메모리 블록을 설정하고, 정상적인 셀 어레이(200 내지 203)와 용장 셀 어레이(208)를 포함하는 것으로 도시되어 있다.

도 3에서, 참조번호 300-00 내지 300-n4는 하나의 메모리 셀을 가리키는데, 이는 휘발성 메모리(DRAM 또는 SRAM과 같은) 또는 비휘발성 메모리(PROM, EPROM, EEPROM 또는 FRAM과 같은)에 사용되는 임의의 판독 가능 및 기록 가능 메모리 셀로 구성될 수 있고, 302-0 내지 302-n-1은 워드 선(또한 WL0 내지 WLn-1로서 도시됨)을 가리키고, 212 내지 216은 비트 선(또한 BL0 내지 BL4로서 도시됨)을 가리킨다.

도 3에 도시된 바와 같이, 하나의 구성에서, 셀 어레이들(200, 201, ... 208)의 각각은 컬럼 와이즈 방향으로 배열된 일단의 메모리 셀들을 포함할 수 있다. 예를 들어, 도 3의 특정 구성에서, 정상적인 셀 어레이(201)는 메모리 셀(300-01, 300-11... 내지 300-n1)을 포함할 수 있고, 용장 셀 어레이(208)는 메모리 셀(300-04, 300-14... 내지 300-n4)를 포함할 수 있다. 또한, 각각의 셀 어레이(200, 201... 및 208)에 있는 메모리 셀(300-00 내지 300-n4)는 로우 방향으로 연장하는 복수의 워드 선(302-0 내지 302-n-1)와 컬럼 방향으로 연장하는 비트 선(212 내지 216)에 각각 접속된다. 예를 들어, 메모리 셀(300-00 내지 300-04)은 워드 선 WL0(302-0)에 접속되고, 메모리 셀(300-01 내지 300-n1)은 비트 선 BL1(213)에 접속된다.

또한, 도 2에 도시된 바와 같이, 각각의 비트 선(213 내지 216)은 R/N 전환 회로(150) 내의 스위치(217 내지 220)에 접속된다. 비트 선(212 내지 216)은 다음: 센스 증폭기 컬럼 선택 회로, 데이터 증폭기 소거 회로, 또는 프로그래밍 회로(도시되지 않음)중 하나 이상에 의해 전환 회로(150)에 접속될 수 있다.

도 2 및 도 3에 도시된 회로를 이용하여 대체 바이패스 동작이 지금부터 설명될 것이다. 특정 대체 바이패스 동작은 예로서 워드 선 WL0의 선택 및 메모리 블록(101)으로부터의 저장된 정보의 판독을 이용할 것이다.

워드 선 WL0은 외부 장치로부터 수신된 어드레스 신호에 의해 선택되고, 선택된 워드 선 WL0에 접속된 메모리 셀(300-00 내지 300-04)에 저장된 정보는 비트 선 BL0 내지 BL4(212 내지 216)를 통해 외부 장치에 판독된다.

정상 셀 어레이(200 내지 203)에 결함 메모리 셀이 없으면, R/N 전환 회로(150)는 그 스위치(217 내지 220)를 비트 선 BL0 내지 BL3(212 내지 216)에 각각 접속시킨다. 이 구성에서, 정상 셀 어레이(200 내지 203)의 메모리 셀(300-00 내지 300-03)에 저장된 정보가 판독된다. 용장 셀 어레이(208)의 정보는 판독되지 않는다.

다음으로, 하나 이상의 결함 메모리 셀이 정상 셀 어레이(201)에 존재하는 경우가 설명될 것이다. 정상

셀 어레이(201)가 제2 비트 선 BL1에 접속되기 때문에, 용장 판정 회로(120)는 이 비트 선 BL1을 이진 코드로 변환하고 얻어진 코드 '1'을 용장 위치 신호 IORED로서 메모리 블록(101)에 대응하는 영역에 저장한다. 더욱이, 용장 셀 어레이(208)가 사용되기 때문에, 회로(120)는 '1'을 용장 선택 신호 YPR로서 저장한다.

메모리 블록(101)으로부터 저장된 정보를 판독하기 위해, 워드 선(120)(WLO)이 선택된다. 더욱이, '1' 및 '1'은 각각 용장 위치 신호 IORED 및 용장 선택 신호 YPR로서 용장 판정 회로(120)로부터 출력된다. 용장 위치 디코더(130)는 용장 위치 신호 IORED '1'을 디코드하고 '100'을 결함 위치 신호 ISEL로서 출력한다. 디코드된 데이터 '100'의 각각의 비트 정보는 비트 선 BL0 내지 BL4의 각각에 대응한다. 제2 비트가 '1'이기 때문에, 결함 셀이 존재하는 메모리 셀 어레이가 비트 선 BL1에 접속된다는 것을 알 수 있다.

R/N 전환 설정 회로(140)는 디코드된 데이터 '100'을 변환하여 4개의 비트 선 전환 신호 DSW0 내지 DSW3(도 1 및 도 2에서 함께 'DSW'로 도시됨)을 발생한다. DSW 신호는 R/N 전환 회로(150)에 공급된다. R/N 전환 회로(150)내의 스위치(217 내지 220)는, 전환 신호 DSW가 '0'일 때 하나의 특정 비트 선에 접속되고, 전환 신호 DSW가 '1'일 때 다른 특정 비트 선에 접속된다. 도 2를 참조하면, 스위치에 대응하는 비트 선 전환 신호 DSW가 '0'일 때 스위치들은 좌측상의 비트 선에 접속되고, 대응하는 신호 DSW가 '1'일 때는 우측상의 비트 선에 접속될 것이다. 도 2에 도시된 스위치들을 설정하기 위해, '111'은 비트 선 전환 신호 DSW0 내지 DSW3으로서 R/N 전환 회로(150)에 입력될 수 있다.

이 경우에, 정상 셀 어레이(201)가 하나 이상의 결함 셀을 가지기 때문에, 스위치(217)는 좌측상의 비트 선 BL0(212)에 접속되고, 스위치(218 내지 220)는 우측상의 비트 선 BL2 내지 BL4(214 내지 216)에 접속된다. 이 동작에 따라, 정상 셀 어레이(200, 202, 203, 및 용장 셀 어레이(208)에 저장된 정보는 비트 선 BL0, 및 BL2 내지 BL4(212, 214 내지 216)를 통해 판독될 수 있다. 따라서, 결함 셀이 존재하는 정상 셀 어레이(201)를 바이패스함으로써 정보가 판독될 수 있다. 그래서, 메모리 블록(101)에 단 하나의 결함 메모리 셀(201)이 있더라도, 반도체 메모리 장치는 결함으로 포기되지 않고 구제될 수 있다.

상술된 용장 동작이 컬럼-방향 데이터 경로에서 다른 유형의 결함을 바이패스하는데 사용될 수 있다는 것을 알 것이다. 일부 예로서, 결함 감지 증폭기, 컬럼 선택 회로, 데이터 증폭기, 소거 회로, 또는 프로그래밍 회로를 바이패스할 수 있다.

도 4는 용장 판정 회로(120)의 구성을 도시한 블록도이다. 용장 판정 회로(120)는 휴즈 블록(401 내지 404) 및 블록 선택 회로(405)를 포함한다. 블록 선택 회로(405)는 휴즈 블록(401 내지 404)으로부터 하나의 휴즈 블록을 선택한다. 휴즈 블록(401 내지 404)은 각각 메모리 블록(101 내지 104)에 대응한다. 즉, 단 하나의 예로서, 메모리 블록(101)이 어드레스에 의해 선택될 때, 용장 판정 회로(120)의 블록 선택 회로(405)는 '1'을 블록 선택 신호 BS401로서 출력하여, 휴즈 블록(401)을 선택한다. 더욱이, 메모리 블록(102)이 어드레스에 의해 선택될 때, 회로(405)는 '1'을 블록 선택 신호 BS402로서 출력하여 휴즈 블록(402)을 선택한다.

각각의 휴즈 블록(401 내지 404)은 휴즈 회로(406 및 407), 휴즈 회로(408), 및 n형 트랜지스터(N401 내지 N403)를 포함한다. 도 4의 특정 배열에서, 휴즈 회로의 수는, 정상 셀 어레이의 수가 B일 때 $\log_2 B$ 로 표현된다. 예를 들면, B는 4이기 때문에, 휴즈 회로의 수는 4개의 정상 셀 어레이에 대해 2개이다. 따라서, 2개의 휴즈 회로는 4개의 어레이에 제공되고 5개의 휴즈 회로는 32개의 어레이에 제공되어 결함 셀 어레이의 위치를 저장할 수 있다.

휴즈 회로(408)는 (단 하나의 예로서 208 또는 209와 같은) 용장 셀 어레이가 어드레스에 의해 선택된 메모리 블록에 사용되어야 하는지의 여부를 나타내는 용장 선택 신호 YPR을 출력한다.

더욱이, 휴즈 회로(406 및 407)는 어드레스에 의해 선택된 메모리 블록에서의 (200 내지 203, 또는 204 내지 207과 같은) 4개의 정상 셀 어레이들중 단일 결함 셀 어레이의 위치를 지정한다. 위치 정보는 이진 코드로 변환되어 저장된다. 기술된 특정 실시예에서 각각의 메모리 블록에 4개의 정상 셀 어레이가 있기 때문에, 2개의 휴즈 회로(406 및 407)는 결함이 발견된 정상 셀 어레이의 위치를 지정하는데 충분하다. 휴즈 회로(406 및 407)는 각각 용장 위치 신호 IORED1 및 IORED2를 용장 위치 디코더(130)에 출력한다.

용장 위치 신호 IORED1과 IORED2 및 용장 선택 신호 YPR의 신호 선들은 휴즈 블록(401 내지 404)에 접속되고, 또한 휴즈 블록(401 내지 404)에 일체화된 트랜지스터(N401 내지 N403)를 통해 휴즈 회로에 접속된다. 휴즈 블록 선택 신호 BS401 내지 BS404는 트랜지스터(N401 내지 N403) 각각의 게이트에 공급된다(즉, 휴즈 블록 선택 신호 BS401은 휴즈 블록(401)내의 트랜지스터(N401 내지 N403)의 게이트에 인가될 것임). 휴즈 블록 선택 신호 BS가 '1'일 때, 트랜지스터(N401 내지 N403)는 턴온되는 한편, 신호 BS가 '0'일 때는, 트랜지스터들은 턴오프된다. 휴즈 블록 선택 신호 BS401 내지 BS404중 하나는 입력된 어드레스에 따라 '1'로 설정되고, 휴즈 블록(401 내지 404)중 선택된 것에 속하는 휴즈 회로중 하나의 정보가 출력된다.

휴즈 회로(408)는 두개의 휴즈(409-AR 및 409-BR)를 포함한다. 휴즈(409-AR 및 409-BR)는 상호 접속될 뿐 아니라 한 단에서 트랜지스터(N403)의 드레인에 접속된다. 휴즈(409-AR)는 다른 단에서 전원 Vdd에 접속되고, 휴즈(409-BR)는 다른 단에서 접지에 접속된다. (208 또는 209와 같은) 용장 셀 어레이가 선택된 메모리 블록에 사용되면, 휴즈(409-BR)는 접속되지 않고, 휴즈 회로(408)는 '1'을 용장 선택 신호 YPR로서 출력한다. (208 또는 209와 같은) 용장 셀 어레이가 사용되지 않으면, 휴즈(409-AR)는 접속되지 않고, 휴즈 회로(408)는 '0'을 출력한다.

휴즈 회로(406)는 휴즈(409-A1 및 409-B1)를 갖고, 휴즈 회로(407)는 휴즈(409-A2 및 409-B2)를 갖는다. 이 휴즈는 공통적으로 한 단에서 트랜지스터(N401 및 N402)의 드레인에 접속된다. 휴즈(409-A1 및 409-A2)는 또한 다른 단에서 휴즈(409-AR 및 409-BR)의 공통 노드에 접속되고, 휴즈(409-B1 및 409-B2)는 다

른 단에서 접지에 접속된다.

더욱이, 트랜지스터(N401 내지 N403)의 게이트는 블록 선택 회로(405)에 접속되고, 그 드레인은 IORED1, IORED2 및 YPR의 각 출력 신호 선에 접속된다. 단 하나의 예로서, 메모리 블록(101)이 어드레스에 의해 선택될 때, 블록 선택 회로(405)는 '1'을 휴즈 블록 선택 신호 BS401로서 출력하므로, 휴즈 블록(401)내의 트랜지스터(N401 내지 N403)는 턴온되어 휴즈 블록(401)에 저장된 정보를 출력한다. 휴즈 블록(402)과 같은 다른 휴즈 블록이 선택될 때, 휴즈 블록(401)의 트랜지스터(N401 내지 N403)는 턴오프되고, 휴즈 블록(402)에 저장된 정보가 출력된다.

예를 들면, 정상 셀 어레이(201)에 결함 셀이 있을 때, 용장 판정 회로(120)는 '1'을 용장 위치 신호 IORED로서 저장한다. 이 경우에, 휴즈(409-B2, 409-A1, 409-BR)는 접속되지 않는다. 따라서, 휴즈 블록 선택 신호 BS401이 선택될 때('1' 값), 용장 판정 회로(120)는 각각 '0', '1' 및 '1'을 신호 IORED1, IORED2 및 YPR로서 출력한다.

더욱이, 선택된 메모리 블록에 대해 용장 셀 어레이로의 어떠한 대체도 필요하지 않을 때, 용장 판정 회로(120)는 각각 '0', '0' 및 '0'을 신호 IORED1, IORED2 및 YPR로서 출력할 수 있다. 이는 임의의 다른 휴즈(409-B1, 409-A1, 409-B2 및 409-A2)를 접속하고 휴즈(409-AR)만을 접속하지 않음으로써 실현될 수 있다. 그 결과, 휴즈 비접속 단계는 단축될 수 있다.

도 4에서 휴즈(409-A1/409-B1, 409-A2/409-B2, 및 409-AR/409-BR)의 직렬 배열은, 이러한 배열이 휴즈 회로(406, 407 및 408)내에 저장된 용장 정보 이전에 전원 Vdd 및 접지 간의 '단락 회로' 조건을 제공하므로 바람직하지 않을 수 있다. 이 배열을 극복하기 위해, 각각의 휴즈 회로는 단락 전류 경로로 개재된 트랜지스터를 가질 수 있다(도 4에 도시되지 않음).

이와 같이, 결함 셀 어레이가 대체될 때, 용장 판정 회로(120)의 휴즈 회로(408)는 '1'을 용장 선택 신호 YPR로서 용장 위치 디코더(130)에 출력하고, 용장 판정 회로(120)의 휴즈 회로(406 및 407)는 선택된 메모리 블록에 결함 셀 어레이의 위치를 지정하는 (도 1에서 함께 IORED로 도시된) 2비트 신호 IORED1 및 IORED2를 출력한다. 용장 위치 디코더(130)는 수신된 IORED 신호를 4비트중 임의의 한 비트가 '1'로 설정되는 4비트 결함 위치 신호 IOSEL0 내지 IOSEL3(도 1에서 함께 IOSEL로서 도시됨)으로 변환시킨다. 변환된 4비트 결함 위치 신호 IOSEL0 내지 IOSEL3은 R/N 전환 설정 회로(140)에 출력된다.

도 5는 용장 위치 디코더(130)의 예시적인 회로 구성을 도시한 블록도이다. 이는 디코더(130)가 2비트 선택 신호 IORED1 및 IORED2를 수신함으로써 결함 위치 신호 IOSEL0 내지 IOSEL3을 얻는다.

도 5의 용장 위치 디코더(130)는 인버터(501 및 502), 및 AND 게이트(503 내지 506)를 포함한다. 인버터(501 및 502)는 각각 신호 IORED1 및 IORED2를 입력으로서 수신한다. AND 게이트(503 내지 506)는 신호 YPR을 하나의 입력으로서 수신하고, 각각은 도면에서 원으로 표시된 노드들에 접속된 하나의 입력을 갖는다. 신호 IORED2 및 IORED1이 각각 '0' 및 '1'이고 신호 YPR이 '1'일 때, 인버터(502)는 '1'을 출력한다. 이 값은, AND 게이트(504)의 출력을 '1'로 설정하고 AND 게이트(503, 505 및 506)의 출력을 '0'으로 설정함으로써 용장 위치 디코더(130)가 '10'을 결함 위치 신호 IOSEL0 내지 IOSEL3으로서 출력하게 한다.

기술 분야의 당업자는 도 5의 디코더가 논리 신호의 충돌에 응답하여 논리 로우 신호를 발생한다는 것을 알아야 한다. 이러한 회로는 각각의 AND 게이트가 YPR 신호를 입력으로서 수신하고, 다른 두개의 입력은 다른 표시된 노드에 결합되는 3개의 입력 AND 게이트를 이용하도록 수정될 수 있다는 것을 알 수 있다.

도 6은 R/N 전환 설정 회로(140)의 구성을 도시한 회로도이다. 이는 회로(140)가 4비트 용장 위치 신호 IOSEL0 내지 IOSEL3, 및 용장 선택 신호 YPR을 수신하고, 4비트 비트 선 전환 신호 DSW0 내지 DSW3을 출력한다.

R/N 전환 설정 회로(140)는 상호 직렬로 접속되는 4개의 p형 트랜지스터(601 내지 604)를 포함한다. 접지 전위 '0'은 트랜지스터(601)의 드레인에 공급되고, 용장 선택 신호 YPR은 트랜지스터(604)의 소오스에 공급된다. 트랜지스터(601 내지 604)의 게이트는 각각 용장 위치 디코더(130)에 의해 디코딩된 결함 위치 신호 IOSEL1 내지 IOSEL3을 수신한다.

(IOSEL0 내지 IOSEL3과 같은) 결함 위치 신호가 '1'일 때, 대응하는 트랜지스터(601 내지 604)는 턴오프되는 한편, (IOSEL0 내지 IOSEL3과 같은) 결함 위치 신호가 '0'일 때, 대응하는 트랜지스터(601 내지 604)는 턴온된다. 예를 들면, 메모리 블록(101)에 대해 (208과 같은) 용장 셀 어레이로의 어떠한 대체도 필요하지 않을 때, 용장 선택 신호 YPR은 '0'이고 결함 위치 신호 IOSEL0 내지 IOSEL3은 '0'이다. 트랜지스터(601 내지 604)는 턴온되어, '0'을 비트 선 전환 신호 DSW0 내지 DSW3으로서 출력한다.

결함 메모리 셀이 정상 셀 어레이(201)에 존재하여 결함 메모리 셀이 (208과 같은) 용장 셀 어레이를 사 용함으로써 대체될 때, 용장 선택 신호 YPR은 '1'이고 결함 위치 신호 IOSEL0 내지 IOSEL3은 '100'이다. 즉, IOSEL0, IOSEL2 및 IOSEL3은 '0'으로 설정되고 IOSEL1은 '1'로 설정된다. 그 결과, 트랜지스터(602)는 턴오프되고 트랜지스터(601, 603 및 604)가 턴온된다.

비트 선 전환 신호 DSW0이 (턴온된) 트랜지스터(601)를 통해 접지 전위 '0'에 접속되기 때문에, 신호 DSW0은 '0'으로 설정된다. 더욱이, 비트 선 전환 신호 DSW1이 (턴온된 트랜지스터(603 내지 604)을 통해) '1'로 설정되는 용장 선택 신호 YPR에 접속되기 때문에, 신호 DSW1은 '1'로 설정된다. 비트 선 전환 신호 DSW2 및 DSW3은 유사하게 '1'로 설정된다. 따라서, '111'은 비트 선 전환 신호 DSW0 내지 DSW3으로서 출력된다.

이와 같이 변환된 비트 선 전환 신호 DSW0 내지 DSW3은 R/N 전환 회로(150)에 출력되어 R/N 전환 회로(150)에 일체화된 스위치 SW0 내지 SW3의 전환 방향을 제어한다. 이 비트 선 전환 신호 DSW0 내지 DSW3에 근거하여, R/N 전환 회로(150)는 정상 셀 어레이로부터 출력된 4비트중 3비트, 및 용장 셀 어레이

이로부터의 1비트를 입력/출력부(160)내의 4개의 선 I/00 내지 I/03에 전환하여 접속시킨다.

상술된 바와 같이, 도 6에 도시된 R/N 전환 설정 회로(140)는 간단한 회로 구성 및 고속으로 비트 선 전환 신호 DSW를 발생할 수 있다. 일련의 설정 회로를 구성하는 트랜지스터들중 하나를 턴오프함으로써, '0'은 턴오프된 트랜지스터의 한쪽(도 6에서 좌측)의 모든 비트 선 전환 신호 DSW에 설정되고, '1'은 턴오프된 트랜지스터의 다른 쪽(도 6에서 우측)의 모든 신호 DSW에 설정될 수 있다.

도 7은 R/N 전환 회로(150) 및 입력/출력부(160)의 특정 구성을 일부 도시한 회로도이다. 이는 비트 선 BL2 내지 BL4(214 내지 216)의 출력이 입력/출력부(160)의 입력/출력 신호 선 I/02 및 I/03(701 및 702) 간에 스위치되는 부분이다.

도 7에서, 입력/출력부(160)는 데이터 입력/출력 회로(703 및 704)를 포함한다. 데이터 입력/출력 회로(703 및 704)는 R/N 전환 회로(150)의 증폭된 출력을 입력/출력 신호 선 I/02 및 I/03(701 및 702)에 결합시킨다.

R/N 전환 회로(150)는 다음의 구성요소를 포함한다. 참조 번호(705 및 706)는 (202 또는 203과 같은) 정상 셀 어레이에 접속된 비트 선 BL2 및 BL3의 데이터를 증폭하는 데이터 증폭기를 나타내고, 참조 번호(707)는 비트 선 BL4상의 (208과 같은) 용장 셀 어레이로부터 데이터를 증폭하는 데이터 증폭기를 나타내며, 참조 번호(708 및 709)는 NAND 게이트를 나타내며, 참조 번호(P701 내지 P704)는 p형 트랜지스터를 나타내며, 참조 번호(N701 내지 N704)는 n형 트랜지스터를 나타내고, 참조 번호(710 및 711)는 인버터를 나타낸다. 메모리 셀의 출력은 감지 증폭기(도시되지 않음)에 의해 일시적으로 증폭된 다음, 비트 선(214 내지 216)을 거쳐 데이터 증폭기(705 내지 707)에 인가된다.

각각의 n형 트랜지스터(N701 내지 N704)의 소오스 및 드레인은 각각의 p형 트랜지스터(P701 내지 P704)의 것들에 개별적으로 접속된다. 더욱이, 인버터(710 및 711)는 각각의 n형 트랜지스터(N701 내지 N704)의 게이트 및 대응하는 각각의 p형 트랜지스터(P701 내지 P704)의 게이트 간에 개재되어, 상호 보수인 신호를 서로 인가한다. 그 결과로 나타나는 구조는 712 및 713으로 도시된 2개의 스위치를 형성한다. 이른바 '전송 게이트'는 인버터(710 및 711)를 이용하여 n형 트랜지스터(N701 내지 N704) 및 이에 대응하는 p형 트랜지스터(P701 내지 P704)에 의해 형성된다. 제1 전송 게이트(714)는 트랜지스터(N701 및 P701)에 의해 형성되며, 제2 전송 게이트(715)는 트랜지스터(N702 및 P702)에 의해 형성되며, 제3 전송 게이트(716)는 트랜지스터(N703 및 P703)에 의해 형성되고 제4 전송 게이트(717)는 트랜지스터(N704 및 P704)에 의해 형성된다.

제1 및 제3 전송 게이트(714 및 716)는, NAND 게이트(708 및 709)의 출력이 '0'일 때 그 소오스-드레인 회로에서 턴오프되고, NAND 게이트의 출력이 '1'일 때는 턴온된다. 반대로, 제2 및 제4 전송 게이트(715 및 717)는, NAND 게이트(708 및 709)의 출력이 '1'일 때 그 소오스-드레인 회로에서 턴오프되고, NAND 게이트의 출력이 '0'일 때는 턴온된다.

도 7에서, 2개의 전송 게이트(714/715 또는 716/717)는 단일 데이터 입력/출력 회로(703 또는 704)에 접속되고, 한 쌍의 전송 게이트중 하나는 턴온된다. 그 결과, 2개의 데이터 증폭기(705/706 또는 706/707)중 하나가 선택된다. 이 배열에 관한 대체 방식은 2개의 비트 선중 하나(214/215 또는 215/216)가 선택되어, 선택된 비트 선의 데이터가 단일 입력/출력 선 I/0(701 또는 702)에 출력될 수 있다.

다음으로, R/N 전환 회로(150)의 동작이 설명될 것이다.

먼저, (208 또는 209와 같은) 용장 셀 어레이가 사용되지 않고 용장 선택 신호 YPR이 '0'으로 설정되는 경우가 설명될 것이다. 이 경우에, 비트 선 전환 신호 DSW(DSW0 내지 DSW3)가 임의의 상태로 설정될 수 있다.

'0'을 용장 선택 신호 YPR로서 수신하는 NAND 게이트(708 및 709)의 각각은 '1'을 출력한다. 따라서, 전송 게이트(714 및 716)는 턴온되고, 전송 게이트(715 및 717)는 턴오프된다. 그 결과, 비트 선 BL2 및 BL3(214 및 215)상의 데이터는 각각 데이터 증폭기(705 및 706)를 거쳐 입력/출력 선 I/02와 I/03(701 및 702), 전송 게이트(714 및 716), 및 데이터 출력 회로(703 및 704)에 출력된다.

다음으로, 비트 선 BL3에 접속된 (203 및 207과 같은) 정상 셀 어레이에 결함 셀이 존재하고, 이러한 어레이가 (208 또는 209와 같은) 용장 셀 어레이로 대체되는 경우가 설명될 것이다. 이 경우에, 용장 선택 신호 YPR은 '1'이고, 비트 선 전환 신호 DSW2 및 DSW3은 각각 '0' 및 '1'이다.

'0'을 비트 선 선택 신호 DSW2로서 수신하는 NAND 게이트(708)는 '1'을 출력한다. 따라서, 전송 게이트(714)는 턴온되고 게이트(715)는 턴오프된다. 그 결과, 비트 선 BL2(214)상의 데이터는 입력/출력 선 I/02(701)에 출력된다.

더욱이, '1'을 비트 선 전환 신호 DSW3으로서 그리고 '1'을 용장 선택 신호 YPR로서 수신하는 NAND 게이트(709)는 '0'을 출력한다. 따라서, 전송 게이트(717)는 턴온되고, 게이트(716)는 턴오프된다. 그 결과, 비트 선 BL4(216)상의 데이터는 입력/출력 선 I/03(702)에 출력된다. 결함 셀이 상술된 비트 선 BL3(215)상에 존재할 때, 데이터 증폭기(707)의 출력, 즉 (208 또는 209와 같은) 용장 셀 어레이로부터의 데이터가 데이터 증폭기(706)의 출력을 사용하지 않고 입력/출력 I/03(702)에 출력되도록 전환이 실행된다.

다음으로, 비트 선 BL2에 접속된 (202 또는 206과 같은) 정상 셀 어레이에 결함 셀이 존재하고 이러한 어레이가 (208 또는 209와 같은) 용장 셀 어레이로 대체되는 경우가 설명될 것이다. 이 경우에, 용장 선택 신호 YPR은 '1'이고, 비트 선 전환 신호 DSW2 및 DSW3은 각각 '1' 및 '1'이다.

'1'을 비트 선 전환 신호 DSW2 및 DSW3으로서 수신하는 NAND 게이트(708 및 709) 모두는 '0'을 출력한다. 따라서, 전송 게이트(715 및 717)는 턴온되고, 게이트(714 및 716)는 턴오프된다. 그 결과, 비트

선 BL3 및 BL4(215 및 216)상의 데이터는 입력/출력 선 I/02 및 I/03(701 및 702)에 출력된다.

따라서, 비트 선 BL2(214)상에 결함 셀이 존재할 때, 데이터 증폭기(706)로부터의 데이터가 데이터 증폭기(705)로부터의 데이터를 사용하지 않고 입력/출력 선 I/02에 출력되도록 전환이 실행될 수 있다.

도 1 내지 도 7을 다시 참조하여, 제1 실시예의 동작이 검토될 것이다. 결함 셀의 위치 정보는 메모리 블록 단위로 용장 판정 회로(120)에 저장된다. 어드레스가 인가되고, 어드레스 신호에 의해 액세스된 메모리 블록(101 내지 104)의 위치가 판정된다. 그 다음, 액세스된 메모리 블록의 결함 셀의 위치 정보는 용장 판정 회로(120)로부터 출력되고, R/N 전환 회로(150)는 용장 셀의 출력을 포함하여 결함 셀의 출력을 바이패스하는 전환 동작을 실행한다.

따라서, 각각의 메모리 블록(101 내지 104)에 단일 결함 셀이 있더라도, 이러한 결함 셀은(208 또는 209와 같은) 용장 셀 어레이로 대체될 수 있다. 예를 들면, 정상 셀 어레이(201 및 205)에 결함이 있으면, 이는 용장 셀 어레이(208 및 209)를 이용함으로써 바이패스될 수 있다. 대안적으로, 정상 셀 어레이(201 및 207)에 결함이 있으면, 이는 또한 용장 셀 어레이(208 및 209)를 이용함으로써 바이패스될 수 있다. 이와 같이 정상 셀 어레이를 4개의 메모리 블록으로 분할함으로써, 메모리 블록당 단일 결함 셀 어레이는 대체될 수 있으며, 이는 4개의 결함 셀 어레이가 도 1 및 도 2의 특정예에서 바이패스될 수 있다는 것을 의미한다. 물론, 메모리 블록의 수는 4개로 한정되지 않으나, 적절하게 증가 또는 감소될 수 있다. 더욱이,로우 방향의 용장 회로가 상술된 컬럼 용장 방법으로 이용되면, 다른 정상 셀 어레이에서의 2 이상의 결함 메모리 셀이 또한 대체될 수 있다.

또한, R/N 전환 회로(150)는 공통적으로 메모리 블록(101 내지 104)과 공유되기 때문에, R/N 전환 회로가 메모리 블록당 제공되는 구성에 비해 회로 크기는 크게 감소될 수 있다.

더욱이, R/N 전환 설정 회로(140)는 트랜지스터 스위치로 구성되므로, (200 내지 207과 같은) 정상 셀 어레이는 소프트웨어를 기초로 (208 또는 209와 같은) 용장 셀 어레이로 전환될 수 있다. 그 결과, 메모리 블록당 휴즈 회로 및 R/N 전환 회로를 제공할 필요가 없다. 그러므로, 회로 크기는 감소될 수 있고, 트랜지스터의 크기보다 큰 크기의 휴즈의 수가 감소되어, 칩 영역이 감소될 수 있다.

더욱이, 결함 셀 어레이의 위치 정보는 이진수로 인코딩되면서 저장되므로, 휴즈의 수는 또한 감소될 수 있다. 그러므로, 칩 영역의 감소 이외에 휴즈 비접속 단계(휴즈 프로그래밍)가 단축될 수 있다. 더욱이, 용장 셀 어레이가 사용되지 않을 때는 용장 선택 신호를 저장하는 하나의 휴즈만이 필요하게 되므로, 휴즈 비접속 단계는 또한 단축될 수 있다.

더욱이, 종래의 예에서, R/N 전환 회로에 공급될 복수의 비트 선 전환 신호는 시프팅을 통해 레지스터를 시프트시키거나, 또는 비트 단위로 메모리 셀을 제어하도록 설정되었다. 따라서, 설정 동작은 시간 소모가 많아 판독/기록을 위한 메모리 액세스 시간을 증가시킨다. 제1 실시예에서, 복수의 비트 선 전환 신호 DSW는 트랜지스터가 서로 직렬로 접속된 R/N 전환 설정 회로(140)에 의해 단기간내에 일체로 발생되어 병렬로 출력된다. 따라서, 본 실시예는, 비트 선 전환을 수립하는 값들을 설정할 때 종래예보다는 매우 큰 다량의 시간을 절약할 수 있다.

(BYP 끝)

도 8은 본 발명의 제2 실시예에 따른 R/N 전환 설정 회로를 도시하는 회로 다이어그램이다. 본 실시예에서, 각 메모리 블록(101 내지 104)은 8개의 정상 셀 어레이와 단일 용장 셀 어레이를 포함한다. 그러므로, R/N 전환 설정 회로(140)는 8비트 불량 위치 신호 IOSEL0 내지 IOSEL7를 용장 위치 디코더(130)로부터, 용장 선택 신호 YPR를 용장 결정 회로(120)로부터 각각 수신한다. 다양한 입력에 응답하여, 제2 실시예 R/N 전환 설정 회로는 8 비트 라인 전환 신호 DSW0 내지 DSW7를 출력한다.

본 실시예에 따른 R/N 전환 설정 회로(140)는 8개의 설정 회로(800 내지 807)를 포함한다. 각 설정 회로(800 내지 807)는 3개의 회로 스위치 808-n1 내지 808-n3(n=0 내지 7), 및 5개의 단자 (810-a, -b, -c, -d, 및 -e)를 가지고 있다. 설정 회로(802)의 단자 (810-a)는 인접 설정 회로의 단자 (810-c)에 접속된다. 설정 회로(800)의 단자(810-a)는 접지된다. 설정 회로의 단자(810-c)는 인접 설정 회로의 단자(810-a)에 접속된다. 설정 회로(807)의 단자(810-c)는 용장 결정 회로(210)에 접속되어 용장 선택 신호 YPR를 수신한다.

설정 회로(800 내지 807) 각각의 단자(810-b, 810-d)는 각각 접지 및 전원에 접속되어 논리 레벨 '0' 및 '1'을 각각 수신한다. 또한, 단자(810-e)는 용장 위치 디코더(130)에 접속되어 불량 위치 신호 IOSEL를 수신한다.

또한, 각 설정 회로(800 내지 807)의 단자(810-c)는 R/N 전환 회로(150)에 접속되고, 그 결과 회로(150)는 단자(810-c)에서의 논리 레벨을 비트 라인 전환 신호 DSW0 내지 DSW7로서 출력한다.

각 설정 회로(800 내지 807)의 전환 회로(808-n0 내지 808-n3)는 단자(810-e)에 신호 레벨이 입력시 전환된다. 예를 들면, '0'이 설정 회로(800 내지 807)의 단자(810-e)에서 설정된 경우, 스위치(808-n1, 808-n3)는 턴오프되고, 스위치(808-n3)는 턴온된다. 이러한 특정 응답은 도 8의 설정 회로(802)에서 설명된다. 설정 회로(800 내지 807)의 단자(810-e)가 '1'로 설정된 경우, 스위치(808-n1, 808-n3)는 턴온되고, 스위치(808-n2)는 턴오프되어, 그러한 설정 회로(800 내지 807)의 단자(808-a)는 '0'로, 단자(808-c)는 '1'로 설정한다. 이러한 특정 응답은 도 8의 설정 회로(803)에 설명된다.

도 8에 도시된 것과 같이 최좌측 엔드상의 설정 회로(800)의 단자(810-a)가 접지되므로, 설정 회로(800) 내의 스위치(808-01; 도시되지 않음)는 생략될 수 있다. 또한, 도 8에 도시된 것과 같이 최우측 엔드상의 설정 회로(807)의 단자(810-c)는 용장 선택 신호 YPR를 수신하므로, 그러한 설정 회로내의 스위치(808-73; 도시되지 않음)는 생략될 수 있다.

다음으로, 도 8의 실시예에 따른 R/N 전환 설정 회로(140)의 동작이 설명된다.

용장 셀 어레이와의 교체가 필요없는 경우(즉, 용장 선택 신호 YPR가 '0'이고, 불량 위치 신호 IOSEL0 내지 IOSEL7가 '0'인 경우)가 이하에 기술된다. 이러한 경우, 각 설정 회로(800 내지 807)내의 스위치(808-n1, 808-n3)는 턴오프되고, 스위치(808-n2)는 턴온된다. 그러므로, '0'가 각 설정 회로(800 내지 807)의 단자(810-a, 810-c)에서 설정된 경우, 비트 라인 전환 신호 DSW0 내지 DSW7를 '0'로 설정한다.

이하에, 비트 라인 BL3에 접속된 정상 셀 어레이에 불량 셀이 존재하고, 그러한 정상 셀이 용장 셀 어레이를 이용하여 바이패스되는 경우가 기술된다. 이 경우, 용장 선택 신호 YPR가 '1'이고, 불량 위치 신호 IOSEL0 내지 IOSEL7는 '10000'이다. 그러므로, 설정 회로(803)의 스위치(808-31, 808-33)는 턴온되고, 스위치(808-32)는 턴오프된다. 마찬가지로, 이외의 설정 회로(800 내지 802, 및 804 내지 807) 각각의 스위치(808-n1 및 808-n3)는 턴오프되고, 스위치(808-n2)는 턴온된다. 그 결과, 설정 회로(803)의 단자(810-a)는 '0'로, 단자(810-c)는 '1'로 각각 설정된다. 설정 회로(800 내지 802; 즉 비트 라인 전환 신호 DSW0 내지 DSW2)의 단자(810-c)는 '0' 값으로 유지된다.

동시에, 스위치(808-33)가 턴온되므로, 설정 회로(803)의 단자(810-c)가 '1'로 설정된다. 그 결과, 비트 라인 전환 신호 DSW3는 즉시 '1'로 설정된다. 또한, 용장 선택 신호 YPR가 또한 '1'이므로, 비트 라인 전환 신호 DSW7는 즉시 '1'로 설정된다. 더욱이, 설정 회로(803)의 단자(810-c)에서의 '1' 설정은 설정 회로(804)로 하여금 비트 라인 전환 신호 DSW4를 '1'로 설정하게 한다. 마찬가지로, 논리 레벨 '1'이 설정 회로(805, 806, 807)로 전파되어, 비트 라인 전환 신호 DSW5 내지 DSW7를 '1'로 설정한다. 또한, 용장 선택 신호 YPR의 논리 레벨 '1'은 동일하게 설정 회로(807, 806, 805)에 전파되어, 또한 비트 라인 전환 신호 DSW4 내지 DSW7를 '1'로 설정한다.

그러므로, 논리 레벨 '1'은 설정 회로(803)측과 용장 선택 신호 YPR 입력측 양쪽으로부터 동시에 비트 라인 전환 신호 DSW4 내지 DSW7에 공급된다. 그러므로, 비트 라인 전환 신호 DSW4 내지 DSW7이 종래 디바이스 및 제1 실시예보다 고속으로 활성화될 수 있다. 그러므로, R/N 전환 회로(150)가 더 고속으로 스위치될 수 있고, 역으로 용장 셀이 행 방향으로 배열될지라도 메모리 액세스 타임이 증가되는 것을 방지한다.

도 9는 도 8의 설정 회로(802 내지 806, 800 및 807)의 상세한 회로 다이어그램예를 도시한다.

도 9의 설정 회로(801)에서, 참조 부호 P900 및 P901는 p형 트랜지스터를, N900 및 N901은 n형 트랜지스터를, 900은 인버터를 각각 나타낸다. 트랜지스터(N900 및 P900)의 소스 드레인 경로는 서로 평행하게 접속된다. 트랜지스터(N900, P900)의 공통 노드는 단자(810-a, 810-c)에 각각 접속된다. 트랜지스터(P900)의 게이트는 단자(810-e)에 접속되고, 트랜지스터(N900)의 게이트는 인버터(900)를 통해 단자(810-e)에 접속된다. 트랜지스터(N900, P900) 및 인버터(900)는 스위치(808-n2)를 구성한다.

단자(810-e)가 '0'로 설정된 경우, 트랜지스터(N900, P900)의 게이트는 각각 '1' 및 '0'으로 각각 설정되어, 트랜지스터(N900, P900)를 턴온되게 하고, 단자(810-a, 810-c)에서 각각 동일 논리 레벨을 설정한다. 단자(810-e)가 '1'로 설정된 경우, 트랜지스터(N900, P900)의 게이트는 각각 '0' 및 '1'로 각각 설정되어, 트랜지스터(N900, P900)를 턴오프되게 한다. 이것은 단자(810-a 및 810-c)를 고 임피던스 경로로서 서로 분리시키고, 단자를 다른 논리 레벨로 구동되는 것을 가능하게 한다.

트랜지스터(N901)의 드레인은 단자(810-a)에, 소스는 단자(810-b)에, 게이트는 단자(810-c)에 각각 접속된다. 그러므로, 트랜지스터(N901)는 스위치(808-n1)를 구성한다. 단자(810-e)가 '0'으로 설정된 경우, 트랜지스터(N901)는 턴오프된다. 단자(810-e)가 '1'로 설정된 경우, 트랜지스터(N901)는 턴온되고, 단자(810-a, 810-b)의 양쪽에서 동일 논리 레벨을 설정한다. 단자(810-b)가 접지되므로, 단자(810-a)는 논리 레벨 '0'로 설정될 것이다.

트랜지스터(P901)의 드레인은 단자(810-c)에 접속되며, 소스는 단자(810-d)에 접속되며, 게이트는 인버터(900)를 통해 단자(810-e)에 접속된다. 트랜지스터(P901)는 스위치(808-n3)를 구성한다. 단자(810-e)에 '0'이 설정되면, 트랜지스터(P901)는 턴오프된다. 단자(810-e)에 '1'이 설정되면, 트랜지스터(P901)는 턴온되어, 단자(810-c 및 810-d)에 동일한 논리 레벨이 설정된다. 단자(810-d)가 전원에 접속되어 있기 때문에, 단자(810-c)는 논리 '1' 값으로 설정된다.

따라서, 트랜지스터(N900 및 P900)가 턴온되면, 트랜지스터(N901 및 P901)가 턴오프되면, 트랜지스터(N900 및 P900)가 턴오프되면, 트랜지스터(N901 및 P901)가 턴온된다. 그 결과, 단자(810-e)에 '0'이 설정되면, 단자(810-a 및 810-b)에 동일한 논리 레벨이 설정되지만, 단자(810-e)에 '1'이 설정되면, 단자(810-a)에는 '0'이 설정되고, 단자(810-c)에는 '1'이 설정된다.

설정 회로(800)은 도 9의 상세한 회로도에도 도시되어 있다. 도 9의 설정 회로(800)는 트랜지스터(N901)가 제거된 것을 제외하고 설정 회로(801)의 구성에 필수적인 구성을 가진다. 설정 회로(800)의 단자(810-a)는 접지에 접속되어 있기 때문에, 회로(800)는 설정 회로(801)의 동작과 동일한 통상의 동작을 수행한다.

도 9는 설정 회로(807)의 상세한 회로도를 또한 도시하고 있다. 도 9의 설정 회로(807)는 트랜지스터(P901)가 제거된 것을 제외하고 설정 회로(801)의 구성과 동일한 구성을 가진다. 설정 회로(807)의 단자(810-c)는 용장 선택 (신호(YPR))에 접속되어 있기 때문에, 회로(807)는 설정 회로(801)의 동작과 동일한 동작을 수행한다.

따라서, 이 실시예에서, 복수의 설정 회로(800 내지 807)가 단자(810-a 및 810-c)에 의해 서로 직렬로 접속되어 있다. 설정 회로(800-807) 내에서, 단자(810-a)는 그것의 대응 단자(810-c)로부터 분리될 수 있지만, 다른 단자들은 서로 접속되어 있다. 게다가, 분리된 단자(810-a 및 810-c)의 경우, 제2 논리 레벨 '0'이 단자(810-a)에 설정되고, 제1 논리 레벨 '1'이 단자(810-c)에 설정될 수 있다. 그 결과, 이들 분리된 단자들에 접속되어 있는 비트 라인 전환 신호(DSW)는 소망의 논리 레벨로 즉시 설정될 수 있

다.

또한, 제2 실시예에서, 단자(810-a)가 설정 회로 내에서 단자(810-c)로부터 분리되면, 최종 '0' 값이 2개의 상이한 노드로부터 수렴된 '0' 값에 의해 발생된다. 특히, '0' 값이 설정 회로(800) 내에서 단자(810-a) 및 단자(810-a)가 단자(810-c)로부터 분리된 설정 회로 내에서 단자(810-a)로부터 전달된다. 그러므로, 비트 라인 전환 신호(DSW)는 '0'이 설정 회로(800)의 단자(810-a)로부터만 전달되는 경우보다 단기간 내에 '0'으로 설정될 수 있다.

또한, 제2 실시예에서, 단자(810-a)가 설정 회로 내에서 단자(810-c)로부터 분리되면, 최종 '1' 값이 2개의 상이한 노드로부터 수렴된 '0' 값에 의해 발생된다. 특히, '1' 값이 설정 회로(807) 내에서 단자(810-c)(YPR 신호) 및 단자(810-a)가 단자(810-c)로부터 분리된 설정 회로 내에서 단자(810-ca)로부터 전달된다. 그러므로, 비트 라인 전환 신호(DSW)는 '0'이 설정 회로(800)의 단자(810-a)로부터만 전달되는 경우보다 단기간 내에 '1'로 설정될 수 있다.

그러므로, 비트 라인 전환 신호(DSW)는 종래의 디바이스 및 제1 실시예보다 고속으로 소망의 논리 레벨로 설정될 수 있다. 그 결과, R/N 전환 회로(150)는 고속으로 스위치될 수 있고, 용장 셀이 열 방향으로 배열되는 경우에도, 메모리 액세스 시간이 증가되는 것을 방지한다.

이제, 제3 실시예를 기술하기로 한다. 이 실시예에서, 각각의 메모리 블록(101 내지 104)은 32개의 정상 셀 어레이와 하나의 용장 셀 어레이를 포함한다.

도 10은 본 발명의 제3 실시예에 따른 용장 판정 회로(120)의 구성을 보여주는 블록도이다. 용장 판정 회로(120)는 퓨즈 블록(1001 내지 1004) 및 이들 퓨즈 블록들로부터 하나의 퓨즈 블록을 선택하는 블록 선택 회로(1005)를 포함한다. 블록 선택 회로(1005)는 각각이 하나의 퓨즈 블록을 선택하는 퓨즈 블록 선택 신호(BS1001 내지 BS1004)를 출력한다.

퓨즈 블록(1001 내지 1004)은 각각 메모리 블록(101 내지 104)에 대응한다. 예를 들어, 메모리 블록(101)이 어드레스에 의해 선택되면, 용장 판정 회로(120)는 블록 선택 회로(1005)로 하여금 퓨즈 블록 선택 신호(BS1001)를 '1'로 설정하도록 하여 퓨즈 블록(1001)이 선택된다. 더우기, 메모리 블록(102)이 어드레스에 의해 선택되면, 용장 판정 회로(120)는 블록 선택 회로(1005)로 하여금 퓨즈 블록 선택 신호(BS1002)를 '1'로 설정하도록 하여 퓨즈 블록(1002)이 선택된다.

각각의 퓨즈 블록은 5개의 퓨즈 회로(1006 내지 1010) 및 하나의 퓨즈 회로(1011)를 포함한다. 퓨즈 회로(1011)는, 어드레스에 의해 선택된 메모리 블록 내의 셀에 용장 셀이 사용되는지 여부를 나타내는 상술된 용장 선택 (신호(YPR))를 출력한다. 용장 셀이 사용되면, 용장 선택 (신호(YPR))는 '1'이고 신호(YPR)은 '0'이다.

또한, 5개의 퓨즈 회로(1006 내지 1010)는 32개의 정상 셀 어레이 중에서 (하나 이상의 결함 있는 셀로 인해) 결함 있는 하나의 어레이의 위치를 2진수 형태로 저장한다. 그 후, 결함 있는 어레이는 용장 어레이에 의해 교체될 수 있다. 용장 판정 회로(120)는 퓨즈 회로로부터 5비트 2진 용장 위치 신호(IORED1, IORED2, IORED4, IORED8, IORED16)를 출력하며, 신호(IORED1, IORED2, IORED4, IORED8, IORED16)는 퓨즈 회로(1006, 1007, 1008, 1009 및 1010)에 각각 대응한다. 용장 선택 신호(YPR)는 퓨즈 회로(1011)로부터 용장 위치 디코더(130)로 출력된다.

도 11는 교체될 결함 있는 셀 어레이의 위치, 대응하는 용장 위치 신호 IORED 및 용장 선택 신호(YPR) 사이의 관계를 도시한다.

도 12는 본 발명의 제3 실시예에 따른 R/N 전환 설정 회로(140)를 보여주는 블록도이다. 이 실시예의 R/N 전환 설정 회로(140)는 32개의 설정 회로(1200-1231) 및 하나의 설정 제어 회로(1232)를 포함한다. 이 경우, 32개의 설정 회로(1200-1231)는 4개의 설정 블록(1234 내지 1237)으로 분할되어, 비트 라인 전환 신호(DSW0 DSW31)가 설정 블록을 기초로 설정될 수 있다. 예를 들어, 설정 블록(1234)은 비트 라인 전환 신호(DSW0 내지 DSW7)를 설정할 수 있고, 설정 블록(1235)은 비트 라인 전환 신호(DSW8 내지 DSW15)를 설정할 수 있고, 설정 블록(1236)은 비트 라인 전환 신호(DSW16 내지 DSW23)를 설정할 수 있으며, 설정 블록(1237)은 비트 라인 전환 신호(DSW24 내지 DSW31)를 설정할 수 있다.

도 12의 R/N 전환 설정 회로(140)는 용장 위치 디코더(130)로부터 32개의 결함 있는 위치 신호(IOSEL0 내지 IOSEL31)를 수신하고, 용장 판정 회로(120)로부터 용장 선택 신호(YPR)를 수신하여, 전환 신호(DSW0 내지 DSW7, DSW8 내지 DSW15, DSW16 내지 DSW23, DSW24 내지 DSW31)를 출력한다.

R/N 전환 설정 회로(140)는 결함 있는 셀 어레이에 대응하는 비트만이 '1'인 결함 있는 위치 신호(IOSEL1-IOSEL31)를 결함 있는 셀 어레이 비트보다 상위인 모든 비트가 '1'로 설정되는 비트 라인 전환 신호(DSW0-DSW31)로 변환시킨다.

도 13은 도 12에서 (1200-1231)로 나타낸 것과 같은 설정 회로(1300)의 개념도이다. 도 14는 도 12의 설정 블록(1234-1237)의 설정 회로(1200-1231)의 회로도 예를 도시한다. 도 13에 도시된 바와 같이, 각각의 설정 회로(1300)는 3개의 스위치(1301-n1 내지 1301-n3, 여기서 n=0 내지 31)를 구비하고 있다. 게다가, 각각의 설정 회로(1300)는 7개의 단자(1302-a, -b, -d, -e, -f 및 -g)를 포함한다.

도 13 및 14에 있어서, 단자(1302-a)는 인접한 설정 회로의 단자(1302-c)에 접속되며, 설정 회로(1200)의 단자(1302-a)는 접지에 접속된다. 단자(1302-c)는 인접한 설정 회로의 단자(1302-a)에 접속되며, 설정 회로(1231)의 단자(1302-c)는 용장 판정 회로(120)에 접속되어, 단자(1302-c)가 용장 선택 신호(YPR)를 수신한다.

각각의 설정 회로(1200 내지 1231)의 단자(1302-b 및 1302-d)는 각각 접지 및 전원에 접속되어, 논리 레벨 '0' 및 '1'을 각각 수신한다. 또한, 단자(1302-e)는 용장 위치 디코더(130)에 접속되어, 결함 있는 위치 신호(IOSEL0-IOSEL31)를 수신한다.

또한, 설정 회로(1200 내지 1231)의 단자(1302-c)는 R/N 전환 회로(150)에 접속되어, 비트 라인 전환 신호(DSW0-DSW31)로서 R/N 전환 회로(150)에 논리 레벨을 출력한다.

상술된 바와 같이, 설정 회로(1200 내지 1231) 각각은 3개의 스위치(1301-n1 내지 1301-n3)를 구비하고 있다. 각각의 스위치(1301-n1 내지 1301-n3)는 단자(1302-f, 1302-e 및 1302-g)에 각각 입력된 신호 레벨에 따라 턴온 및 턴오프된다. 예를 들어, 설정 회로(1300)의 단자(1302-e)가 '0'으로 설정되면, 스위치(1301-n2)가 턴온되어, 단자(1302-a 및 1302-c)를 동일한 논리 레벨로 설정한다. 단자(1302-e)가 '1'이면, 스위치(1301-n2)가 턴오프되어, 단자(1302-a 및 1302-c)를 상이한 논리 레벨로 설정한다.

또한, 단자(1302-f)가 '1'이면, 스위치(1301-n1)가 턴온되어, 단자(1302-a 및 1302-b)를 동일한 논리 레벨로 설정하고, 단자(1302-f)가 '0'이면, 스위치(1301-n1)가 턴오프된다. 이 실시예에서, 단자(1302-b)는 접지에 접속되어 있기 때문에, 스위치(1301-n1)이 턴온될 때 단자(1302-a)는 '0'으로 설정된다.

또한, 단자(1302-g)가 '0'이면, 스위치(1301-n3)가 턴온되어, 단자(1302-c 및 1302-d)를 동일한 논리 레벨로 설정하지만, 단자(1302-g)가 '1'이면, 스위치(1301-n3)가 턴오프된다. 이 실시예에서, 단자(1302-d)는 전원에 접속되어 있기 때문에, 스위치(1301-n3)이 턴온될 때 단자(1302-c)는 '1'로 설정된다.

설정 회로(1200)(최하위에 배치됨)의 단자(1302-a)는 접지에 접속되어 있기 때문에, 그러한 설정 회로 내의 스위치(1301-01)는 생략될 수도 있다. 설정 회로(1200)의 상세한 구성은 도 9에 도시된 것과 동일하다.

또한, 설정 회로(1231)(최상위에 배치됨)의 단자(1302-c)에는 용장 선택 신호(YPR)이 제공되기 때문에, 그러한 설정 회로 내의 스위치(1301-313)는 생략될 수도 있다. 설정 회로(1231)의 상세한 구성은 도 9에 도시된 것과 동일하다.

(JOS 끝)

또한, 도 14를 참조하면, 설정 회로들(1201 내지 1207) 각각의 단자(1302-g)는 인버터(1400)를 통하여 단자(1302-e)에 접속되고 단자(1302-e)에서의 반전 신호에 의해 턴 온 및 턴 오프하도록 제어된다. 설정 회로들(1224 내지 1231) 각각의 단자(1302-f)는 단자(1302-e)에 접속되고 단자(1302-e)에 인가되는 것과 동일한 신호에 의해 턴 온 및 턴 오프하도록 제어된다.

도 14는 설정 회로들(1208 내지 1223), 설정 회로들(1201 내지 1207), 및 설정 회로들(1224 내지 1230)을 도시하는 상세 회로도이다. 이들 회로는 도 9에 도시된 회로의 구성 요소들과 유사한 구성 요소들로 이루어진다. 그러므로, 유사한 부분들에 대해서는 설명을 생략한다.

이들 특정 설정 회로 구성들은 도 14에서 항목들(1401, 1402, 및 1403)로 식별된다. (1217로도 도시된) 설정 회로(1401)는 설정 회로들(1208-1223)로 이용될 수 있다. (1201로도 도시된) 설정 회로(1402)는 설정 회로들(1201-1207)로 이용될 수 있다. (1225로도 도시된) 설정 회로(1403)는 설정 회로들(1224-1230)로 이용될 수 있다.

설정 회로(1401)는 단자들(1302-g 및 1302-f)에 각각 인가되는 신호들에 의해 제어되는 p형 트랜지스터(P1400) 및 n형 트랜지스터(N1400)를 포함한다. 따라서, 트랜지스터들(P1400 및 N1400)은 단자들(1302-g)에서 인가되는 신호와 다른 인가 신호들에 의해 제어된다.

도 14에서 설정 회로(1402)는 단자(1302-f)에 접속된 게이트를 갖고 따라서 단자(1302-e)에서 인가되는 신호와 다른 신호에 의해 턴 온 및 턴 오프되는 n형 트랜지스터(N1400)를 갖는 것으로 도시되어 있다. 설정 회로(1402)는 또한 인버터(1400)를 통하여 단자(1302-e)에 접속된 게이트를 가진 p형 트랜지스터(P1400)를 포함한다. 따라서, 트랜지스터(P1400)는 단자(1302-e)에서 인가되는 신호에 의해 턴 온 및 턴 오프된다.

도 14에서 설정 회로(1403)는 단자(1302-g)에 접속된 게이트를 갖고 따라서 단자(1302-e)에서 인가되는 신호와 다른 신호에 의해 턴 온 및 턴 오프되는 p형 트랜지스터(P1400)를 포함하는 것으로 도시되어 있다. 설정 회로(1403)는 또한 단자(1302-e)에 접속된 게이트를 가진 n형 트랜지스터(N1400)를 포함하고, 따라서 단자(1302-e)에서 인가되는 신호에 의해 턴 온 및 턴 오프된다.

도 15a는 (1232)와 같은 설정 회로의 회로도이다. 도 15b는 그런 회로의 진리표를 도시한다.

설정 제어 회로(1232)는 설정 블록(1234 내지 1237) 베이스로 집합적으로 단자(1302-a) 또는 단자(1302-c)의 논리 레벨을 설정하기 위한 제어 신호를 출력하도록 설계된다. 설정 제어 회로(1232)는 용장 위치 신호들(I0RED8 및 I0RED16)을 디코딩하여 제어 신호를 발생시키며, 얻어진 제어 신호들을 'V설정' 신호들(BVS2 내지 BVS4) 및 'G설정' 신호들(BGS1 내지 BGS3)의 형태로 출력한다.

도 15a에 도시된 바와 같이, 설정 제어 회로(1232)는 인버터들(1501 및 1502), 및 NAND 게이트들(1503-1506)을 포함할 수 있다.

NAND 게이트(1503)는 일 입력으로서 용장 위치 신호들(I0RED8 및 I0RED16)을 대응하는 인버터들(1501 및 1502)을 이용하여 반전시킨 신호들, 및 타 입력으로서 용장 선택 신호(YPR)를 수신한다. 그 입력들에 응답하여, NAND 게이트(1503)는 이들 신호의 논리 NAND를 발생시킴으로써, V설정 신호(BVS2) 및 G설정 신호(BGS1)를 제공한다.

NAND 게이트(1504)는 일 입력으로서 인버터(1501)의 출력, 및 타 입력으로서 용장 선택 신호(YPR)를 수신하고, 이들 입력의 논리 NAND를 V설정 신호(BVS3) 및 G설정 신호(BGS2)로서 발생시킨다.

NAND 게이트(1505)는 일 입력으로서 NAND 게이트(1506)의 출력, 및 타 입력으로서 용장 선택 신호(YPR)를 수신한다. NAND 게이트(1506)는 용장 위치 신호들(I0RED8 및 I0RED16)을 입력들로서 수신한다. 따라서, NAND 게이트(1505)는 V설정 신호(BVS4) 및 G설정 신호(BGS3)를 발생시킨다.

해당 기술 분야의 숙련자라면 도 15a의 디코더는 논리 로우 값이 되는 상반된 논리 신호들에 의존한다는 것을 알 수 있을 것이다. 물론, NAND 게이트(1503)는 일 입력으로서 YPR 신호 및 타 입력들로서 지정된 노드들을 수신하는 3입력 NAND 게이트일 수 있다.

도 15b는 용장 위치 신호들(IORED8 및 IORED16), V설정 신호들(BVS2 내지 BVS4) 및 G설정 신호들(BGS1 내지 BGS3) 간의 관계를 나타내는 진리표를 도시한다.

V설정 신호들(BVS2 내지 BVS4)은 설정 블록들(1235 내지 1237)의 단자들(1302-g)에 접속되어 집합적으로 대응하는 설정 회로들 내의 단자들(1302-c)을 '1'로 설정한다. 예를 들면, (설정 블록(1235)에 대응하는) 비트선들(BL8 내지 BL15) 중 어느 하나에 결합된 불량 셀 어레이가 있을 경우, 상위 설정 블록들(1236 및 1237)의 단자들(1302-c)에서 항상 '1'이 설정된다. 그러므로, 스위치들(1301-n3)은 V설정 신호들(BVS3 및 BVS4) 모두를 '0'으로 설정함으로써 턴 온되어, 설정 회로들(1216 내지 1231)의 단자들(1302-c)이 그들의 단자들(1302-d)에 접속되고, 따라서 단자들(1302-c)이 '1'로 설정된다. 이 동작에 의하여, 비트선 전환 신호들(DSW16 내지 DSW30)은 집합적으로 고속으로 '1'로 설정될 수 있어서, 최상위 위치(즉, 설정 회로(1231)에 접속된 것)에 위치하는 용장 선택 신호(YPR) 단자로부터 이들 신호를 하나씩 설정할 필요가 없다.

G설정 신호들(BGS1 내지 BGS3)은 설정 블록들(1234 내지 1236)의 단자들(1302-f)에 접속되어 집합적으로 단자들(1302-a)을 '0'으로 각각 설정한다. 예를 들면, (설정 블록(1236)에 대응하는) 비트선들(BL16 내지 BL23) 중 어느 하나에 결합된 불량 셀 어레이가 있을 경우, 하위 설정 블록들(1234 및 1235)의 단자들(1302-a)에서 항상 '0'이 설정된다. 그러므로, 스위치들(1301-n1)은 G설정 신호들(BGS1 및 BGS2) 모두를 '1'로 설정함으로써 턴 온되어, 설정 회로들(1201 내지 1215)의 단자들(1302-a)이 그들의 단자들(1302-b)에 접속된다. 단자들(1302-b)이 '0'으로 설정되기 때문에, 단자들(1302-a)은 '0'으로 설정된다. 이 동작에 의하여, 비트선 전환 신호들(DSW0 내지 DSW15)은 집합적으로 고속으로 '0'으로 설정될 수 있어서, 최하위 위치에 위치하는 설정 회로(1200)로부터 이들 신호를 하나씩 설정할 필요가 없다.

다음으로, 도 12 내지 도 15b와 관련하여 R/N 스위칭 설정 회로(140)의 동작을 설명하겠다.

이하의 설명은 용장 셀 어레이로 대체할 필요가 없는 경우에 대한 것이다. 그런 경우에, 용장 선택 신호(YPR)는 '0'이고, 모든 불량 위치 신호들(I0SEL0 내지 I0SEL31)은 '0'이다.

도 15b에 도시된 바와 같이, YPR 및 I0SEL0 내지 I0SEL31 신호들이 '0'일 때, V설정 신호들(BVS2 내지 BVS4) 및 G설정 신호들(BGS1 내지 BGS3)은 '1'이다. 그러므로, 설정 블록들(1234 내지 1237)의 단자들(1302-a)은 집합적으로 '0'으로 설정되고, 다음으로 모든 비트선 전환 신호들(DSW0 내지 DSW23)이 '0'으로 설정된다.

또한, 설정 블록(1237)의 설정 회로들(1224 내지 1231)의 모든 불량 위치 신호들(I0SEL24 내지 I0SEL31)이 '0'이기 때문에, 이들 설정 회로들(1224 내지 1231)의 단자들(1302-a)은 그들의 대응하는 단자들(1302-c)에 접속된다. 또한, 설정 회로(1223)의 단자(1302-c)는 '0'으로 설정되고, 이것은 설정 회로(1224)의 단자(1302-a)에는 물론, 설정 회로들(1225, 1226 등)에도 차례 차례 전파된다. 또한, 용장 선택 신호(YPR)도 '0'으로 설정되고, 이것도 마찬가지로 설정 회로(1231)의 단자(1302-a)에는 물론, 설정 회로들(1230, 1229 등)에도 차례 차례 전파된다. 그러므로, 결국에는 설정 회로들(1224 내지 1231)의 모든 단자들(1302-a 및 1302-c)에서 '0'이 설정되고, 다음으로 모든 비트선 전환 신호들(DSW24 내지 DSW31)이 '0'으로 설정된다.

다음으로, 비트선 BL3에 접속된 노멀 셀 어레이 내에 결함 셀들이 존재하고, 이 노멀 셀 어레이는 용장 셀 어레이를 활용함으로써 교체되는 경우를 설명한다. 그러한 경우에, YPR 신호 '1'과 결함 위치 신호 I0SEL3는 '1'이다. 나머지 결함 위치 신호들 I0SEL0-2와 I0SEL4-I0SEL31은 '0'이다.

이 경우, 도 15b에 나타난 바와 같이, 모든 V-설정 신호들 BVS2 내지 BVS4는 '0'으로 설정되고 모든 G-설정 신호들 BGS1 내지 BGS3는 '0'으로 설정된다. 따라서, 설정 블록들(1235) 내지 (1237)의 단자들(1302-c)은 공통적으로 '1'로 설정되고, 다음으로 모든 비트선 전환 신호들 DSW8 내지 DSW31을 '1'로 설정한다.

더욱이, 결함 위치 신호들 I0SEL0 내지 I0SEL7이 '10000'이기 때문에, 값이 '1'인 I0SEL3 신호는 설정 회로(1203)에 인가될 것이다. 그 결과 설정 회로(1203)의 단자(1302-a)가 대응되는 단자(1302-c)로부터 단선되게 된다. 나머지 설정 회로들(1200-1202 및 1204-1207) 내에서 단자(1302-a)는 대응되는 단자(1302-c)에 결합된다. 더욱이, 설정 회로(1200)의 단자(1302-a)가 '0'이기 때문에, 이 논리 레벨은 하나에서 다른 하나로 설정 회로(1200)의 단자(1302-c) 뿐만 아니라 설정 회로들(1201, 1202) 등에 전파된다. 게다가, 설정 회로(1208)의 단자(1302-c)는 '1'로 설정되고, 이 논리 레벨은 하나에서 다른 하나로 설정 회로(1208)의 단자(1302-a) 뿐만 아니라 설정 회로들(1207, 1206) 등에 전파된다. 그 결과, 설정 회로들(1200) 내지 (1202)의 단자(1302-c)는 '0'으로 설정되고 설정 회로들(1203) 내지 (1207)의 단자(1302-c)는 '1'로 설정된다. 따라서, 비트선 전환 신호들 DSW0 내지 DSW7은 각기 '11111'로 설정된다.

다음으로, 비트선 BL9에 접속된 노멀 셀 어레이에 결함 셀들이 존재하고 이들 셀들은 용장 셀 어레이를 사용함으로써 교체되는 경우를 설명할 것이다. 이 경우, 용장 선택 신호 YPR은 '1'이고 결함 위치 신호 I0SEL9는 '1'이다. 나머지 결함 위치 신호 I0SEL0-I0SEL8과 I0SEL10-I0SEL31은 '0'이다.

이 경우, 도 15b에 나타난 바와 같이, V-설정 신호들 BVS4 내지 BVS2는 '1'로 설정되고 G-설정 신호들 BGS3와 BGS1은 '1'로 설정된다. 따라서, 설정 블록들(1236)과 (1237)의 단자(1302-c)는 '1'로 공통 설정된다. 차례로 모든 비트선 전환 신호들 DSW16 내지 DSW31을 '1'로 설정한다. 더욱이, 설정 블록(1234) 내의 설정 회로들(1201) 내지 (1207)의 단자(1302-a)는 '0'으로 공통 설정된다. 설정 회로(1207)의 단자(1302-a)가 단자(1302-c)와 도전 상태에 있기 때문에, 설정 회로 S7의 단자(1302-c)는

'0'으로 설정된다. 그 결과, 모든 비트선 전환 신호들 DSW0 내지 DSW7은 '0'으로 설정된다.

결함 위치 신호 IOSEL8 내지 IOSEL15는 '1000000'이기 때문에, 값이 '1'인 IOSEL9 신호는 설정 회로(1209)에 인가될 것이다. 그 결과 설정 회로(1209)의 단자(1302-a)가 단자(1302-c)로부터 단선되게 된다. 더욱이, 설정 회로(1207)의 단자(1302-a)가 '0'이기 때문에, 이 논리 레벨은 설정 회로(1207)의 단자(1302-c) 뿐만 아니라 설정 회로(1208)에도 전파된다. 게다가, 설정 회로(1216)의 단자(1302-c)가 '1'로 설정되기 때문에, 이 논리 레벨은 하나에서 다른 하나로 설정 회로(1216)의 단자(1302-a) 뿐만 아니라 설정 회로(1215, 1214) 등에 전파된다. 따라서, 설정 회로(1208)의 단자(1302-c)는 '0'으로 설정되고, 설정 회로들(1209) 내지 (1215)의 단자(1302-c)는 '1'로 설정된다. 결국, 비트선 전환 신호들 DSW8 내지 DSW15는 '1111111'로 설정된다.

다음으로, 비트선 BL29에 접속된 노멀 셀 어레이에 결함 셀들이 존재하는 경우를 설명할 것이다. 이 결함 노멀 셀 어레이의 셀들이 용장 셀 어레이를 활용함으로써 교체되기 때문에, 용장 선택 신호 YPR는 '1'이다. 또한, 결함 위치 신호 IOSEL29가 '1'인 반면에 나머지 결함 위치 신호들 IOSEL0-IOSEL28과 IOSEL30-IOSEL31은 '0'이다.

도 15b에 나타난 바와 같이, V-설정 신호들 BVS2 내지 BVS4는 '111'로 설정되고 G-설정 신호들 BGS1 내지 BGS3는 '111'로 설정된다. 따라서, 설정 블록들(1234) 내지 (1236)의 단자(1302-a)는 '0'으로 공통 설정된다. 모든 비트선 전환 신호들 DSW0 내지 DSW23은 '0'으로 설정된다.

또한, 대체될 노멀 셀 어레이의 위치 때문에, 결함 위치 신호들 IOSEL24 내지 IOSEL31은 '100'이다. IOSEL24 내지 IOSEL31로 인해, 설정 회로(1299)의 단자(1302-a)는 단자(1302-c)로부터 단선된다. 더욱이, 설정 회로(1223)의 단자(1302-a)는 '0'이기 때문에, 이 논리 레벨은 하나에서 다른 하나로 설정 회로(1223)의 단자(1302-c) 뿐만 아니라 설정 회로(1224, 1225) 등에 전파된다. 게다가, 용장 선택 신호 YPR이 '1'이기 때문에, 이 논리 레벨은 하나에서 다른 하나로 설정 회로(1231, 1230) 등에 전파된다. 따라서, 설정 회로들(1224) 내지 (1228)의 단자(1302-c)는 '0'으로 설정되고, 설정 회로들(1229) 내지 (1231)의 단자(1302-c)는 '1'로 설정된다. 결국, 비트선 전환 신호들 DSW24 내지 DSW31은 '111'로 설정된다.

전술된 바와 같이, R/N 스위칭 설정 회로(140)의 설정 회로(1200) 내지 (1231)는 4개의 설정 블록들(1234) 내지 (1237)로 분할되고, 결함 셀 어레이인 설정 블록의 위치는 용장 위치 신호 IORED8과 IORED16에 기초하여 특정화된다. 다음으로, 특정 설정 블록 보다 높은 설정 블록들은 '1'로 공통 설정되고 이 특정 설정 블록 보다 낮은 설정 블록들은 '0'으로 공통 설정된다. 그 결과, 입출력 라인들 I/O의 개수가 증가하더라도 비트선 전환 신호들 DSW0-DSW31은 고속으로 설정될 수 있다.

G-설정 신호 BGS4가 설정 블록(1237)에 공급되지 않는 예가 본 실시예에 기술되었지만, G-설정 신호 BGS4가 설정 회로들(1224) 내지 (1231)의 단자(1302-f)에 생성되고 공급되도록 변형될 수도 있다. 이러한 배열에서, 설정 신호 BGS4는 용장 위치 신호 IORED8과 IORED16에 기초하여 생성되는 것이 아니라, 설정 신호 BGS4가 용장 선택 신호 YPR이 '0'일 때 '1'로 설정되고 신호 YPR이 '1'일 때 '0'으로 설정되도록 생성될 수도 있다. 즉, 설정 블록(1237)은 용장 셀 어레이가 사용되지 않을 때만 '0'이 되는 비트선 전환 신호 DSW24 내지 DSW31을 출력하는데, 모든 신호들 DSW24 내지 DSW31이 '0'으로 설정되는 경우는 없다.

게다가, V-설정 신호 BVS1이 설정 블록(1234)에 공급되지 않는 예가 본 실시예에 기술되었지만, V-설정 신호 BVS1이 설정 회로들(1201) 내지(1207)의 단자(1302-g)에 생성되고 공급되도록 변형될 수도 있다. 이러한 배열에서, 설정 신호 BVS1은 용장 위치 신호들 IORED8 내지 IORED16에 기초하여 생성되는 것이 아니라, 이 설정 신호 BVS1이 결함 위치 신호 IOSEL0이 '1'일 때 '0'으로 설정되고 신호 IOSEL0이 '0'일 때 '1'로 설정되는 방식으로 생성될 수도 있다. 즉, 설정 블록(1234)은 최하위 비트선에 결함 셀 어레이가 존재할 때만 '1'이 되는 비트선 전환 신호 DSW0 내지 DSW7을 출력하고, 그렇지 않으면 모든 신호들 DSW0 내지 DSW7이 '1'로 설정되는 경우는 없다.

(SCY 끝)

도 16은 본 발명의 제4 실시예에 따른 반도체 메모리 장치의 주요 부분의 구성을 나타내는 블록도이다. 제4 실시예는 두개의 리던던시 셀 어레이들이 단일의 메모리 블록 내에 제공되고 메모리 블록이 뱅크 전환 신호를 사용하여 선택되는 구성을 나타낸다.

도 16에서, 메모리 셀 어레이(1600)는 4개의 메모리 블록들(1601 내지 1604)을 포함한다. 메모리 블록(1601)은 4개의 정규 셀 어레이들(1605-00 내지 1605-03)과 두개의 리던던시 셀 어레이들(1606-01 및 1606-02)을 갖고, 메모리 블록(1602)은 4개의 정규 셀 어레이들(1605-10 내지 1605-13)과 두개의 리던던시 셀 어레이들(1606-11 및 1606-12)을 갖는다.

로우 디코더(1607)는 제1 실시예와 유사한 방식으로, 외부 장치로부터 수신된 어드레스를 디코드하고 복수개의 워드 라인들 WL 중 하나를 활성화한다. 그러나, 복수개의 워드 라인들 WL은 제1 실시예와 달리, 메모리 블록들(1606-1 내지 1606-4)에 공통적으로 접속된다.

블록 선택 회로(1608)는 외부 장치로부터 뱅크 선택 신호와 같은 신호를 수신한다. 수신된 신호에 응답하여, 블록 선택 회로(1608)는 블록 선택 신호들 BS1 내지 BS4를 출력한다. 블록 선택 신호들 BS1 내지 BS4는 주어진 액세스에서, 출력된 신호들 중 하나가 '1'이고, 나머지는 '0'이다.

선택 트랜지스터들(1609-00 내지 1609-05 및 1609-10 내지 1609-15)은 셀 어레이들(1605-00 내지 1606-12)과 비트 라인들(BL0 내지 BL5, (1610-1615)) 사이에 각각 제공된다. 블록 선택 신호들(BS1 내지 BS4)은 메모리 블록들(1601 내지 1604) 중 하나를 선택하여, 셀 어레이들(1605-00 내지 1605-13)과 비트 라인들(BL0 내지 BL5) 사이의 접속을 제어한다. 메모리 블록(1601 내지 1604) 내의 메모리 셀은 '1'인 블록 선택 신호 (BS1 내지 BS4)와 '1'인 워드 라인 WL에 의해 선택될 수 있다. 이러한 방식으로 데이터

가 선택된 메모리 셀로부터 출력될 수 있다.

리던던시 결정 회로(1615)는 퓨즈 블럭들(1616-a 내지 1619-a 및 1616-b 내지 1619-b)을 갖는다. 각각의 퓨즈 블럭들(1616-a 내지 1619-b)에는 메모리 블럭 당 리던던시 셀 어레이들이 사용되는지 사용되지 않는지를 나타내는 정보, 및 교체될 결함 셀들의 위치에 관한 정보가 저장된다. 이것은 제1 실시예와 유사하다. 그러나, 제1 실시예와는 달리 회로(1615)는 어드레스 신호를 디코딩하여 얻은 신호를 사용하지 않고 외부 장치로부터 공급된 뱅크 전환 신호를 사용하여 퓨즈 블럭(1616-a 내지 1619-b)을 선택한다. 즉, 상기 블럭 선택 회로(1608)의 출력은 메모리 블럭들(1601 내지 1604)을 선택하기 위해서 뿐만 아니라 퓨즈 블럭들(1616-a 내지 1619-b)을 선택하기 위해서도 사용된다.

또한, 각각의 메모리 블럭(1601 내지 1604)은 두개의 어레이 그룹들을 갖는 것으로 개념화될 수 있는데, 각각의 그룹은 두개의 정규 셀 어레이들(1605-00/1605-01, 1605-02/1605-03, 1605-10/1605-11, 1605-12/1605-13)과 하나의 리던던시 셀 어레이(1606-01 내지 1606-12)를 포함한다. 퓨즈 블럭들(1616-a 내지 1619-b)은 두개의 그룹들로 배열되는 것으로 개념화될 수 있는데, 퓨즈 블럭들(1616-a 내지 1619-a)은 각 그룹의 하나의 퓨즈 블럭들이고, 퓨즈 블럭들(1616-b 내지 1619-b)은 각 그룹의 다른 퓨즈 블럭들이다.

리던던시 결정 회로(1615)는 블럭 선택 신호들(BS1 내지 BS4)을 기초로 복수개의 퓨즈 블럭들(1616-a 내지 1619-b) 중의 하나를 선택하고, 제1 실시예와 유사한 방식으로 리던던시 위치 신호(IORED)를 출력한다. 그러나, 제1 실시예와는 달리, 리던던시 결정 회로(1615)는 퓨즈 블럭 선택 신호들(BS1 내지 BS4) 중 어느 하나가 '1'로 세팅되는 경우, 한쌍의 퓨즈 블럭들(1616-a/1616-b, 1617-a/1617-b, 1618-a/1618-b, 또는 1619-a/1619-b)을 선택한다. 선택된 쌍의 퓨즈 블럭들은 두쌍의 리던던시 위치 신호 IOREDs를 제공할 것이다.

도 16에는 또한 리던던시 위치 디코더들(1620-a 및 1620-b)이 도시되어 있는데, 이들은 두쌍의 리던던시 위치 신호 IOREDs를 디코드하고, 두쌍의 결함 위치 신호 IOSEL를 출력한다. 두쌍의 결함 위치 신호 IOSEL는 R/N 스위치오버 세팅 회로들(1621-a 내지 1621-b)에 인가된다. 각각의 R/N 스위치오버 세팅 회로들(1621-a 내지 1621-b)의 구조는 제1 내지 제3 실시예들의 R/N 스위치오버 세팅 회로들(140)의 구조와 같다.

R/N 스위치오버 세팅 회로들(1621-a 내지 1621-b)은 두쌍의 결함 위치 신호 IOSEL를 수신하고, 이로부터 한쌍의 비트 라인 전환 신호 DSW를 발생한다. DSW 신호는 R/N 스위칭 회로들(1622-a 내지 1622-b)에 인가된다. R/N 스위칭 회로들(1622-a 내지 1622-b)은 비트 라인 전환 신호 DSW를 기초로 스위치들(SW0 내지 SW3 (1623-0 내지 1623-3))의 스위칭 방향을 제어하고, 셀 어레이들을 대응하는 입력/출력 라인들(I/O0 내지 I/O3 (1624-0 내지 1624-3))에 접속시켜 결함 셀 어레이를 배제시킨다.

상술한 바와 같이, 제1 내지 제3 실시예들에 도시된 R/N 스위치오버 세팅 회로들은 단일 메모리 블럭 내에 복수개의 리던던시 셀 어레이들을 갖는 반도체 메모리 장치에도 응용될 수 있기 때문에, 수리율을 더 향상시키는데 기여한다. 블럭 선택 신호로서 뱅크 전환 신호와 같은 신호의 사용은 메모리 블럭들과 퓨즈 블럭들에 대한 선택 신호들이 공유되도록 해준다. 또한, 이러한 방법은 상술한 리던던시 기능을 제공하기 위해 필요한 어드레스 신호 라인들의 개수를 줄일 수 있다. 그 결과, 로우 디코더에 의해 수행될 수 있는 디코딩 단계들의 수가 줄어들고, 이에 따라 회로 크기를 상당히 줄이는데 기여한다.

발명의 효과

상술한 바와 같이, 본 발명은 정규 셀 어레이들과 리던던시 셀 어레이들을 갖는 반도체 메모리 장치를 제공한다. 이러한 장치는 결함 위치 세팅 수단, 결함 어레이 위치 저장 수단, 및 결함 위치 전송 수단을 포함한다. 결함 위치 세팅 수단은 복수개의 세팅 회로들을 갖는다. 이 세팅 회로들은, 보통 도전성의 상태로 설정되는데, 서로 직렬로 접속되고, 각각의 세팅 회로의 한 단자가 제1 로직 레벨에 접속되고 다른 단자는 제2 로직 레벨에 접속된다. 결함 어레이 위치 저장 수단은 결함있는 정규 셀 어레이의 위치를 저장한다. 결함 위치 전송 수단은 결함 어레이 위치 위치 저장 수단의 정보를 결함 위치 세팅 수단에 제공한다. 이러한 방식으로 제조된 반도체 메모리 장치에서, 세팅 회로들 중 하나는 결함 위치 전송 수단의 출력을 기초로 접속이 단절되도록 제어된다. 그런 다음 접속이 단절된 세팅 회로는 결함있는 정규 어레이로부터 리던던시 셀 어레이로 스위칭할 것이다. 그러므로, 정규 셀 어레이가 결함이 있고 리던던시 셀 어레이를 사용하여 스위칭되는 경우, I/O 라인들의 개수가 증가되더라도 회로 크기의 증가 없이 스위칭이 고속으로 될 수 있다.

또한, 상술한 실시예에서, 결함있는 어레이의 위치가 복수개의 로우 블럭들을 기초로 저장될 수 있음을 지시한다. 또한, 정규 셀 어레이와 리던던시 셀 어레이 사이를 스위칭하는 I/O 스위칭 수단은 복수개의 로우 블럭들에서 공통으로 사용될 수 있다. 이러한 방식으로, 상기와 같은 리던던시를 채택한 장치는 크기가 감소될 수 있다.

본 명세서에서 여러가지 특정한 실시예들이 상세히 설명되었지만, 본 발명은 그 사상 및 범위를 벗어나지 않고 다양한 변화, 대체, 및 변경이 가능함을 이해해야 한다. 이에 따라, 본 발명은 첨부된 청구항들에 의해서만 한정되는 것으로 의도된다.

(57) 청구의 범위

청구항 1

반도체 메모리 장치에 있어서,
각각이 복수의 메모리 셀을 구비하는 복수의 노멀 셀 어레이;

복수의 메모리 셀을 구비하는 적어도 하나의 용장 셀 어레이;

복수의 노멀 셀 어레이 및 적어도 하나의 용장 셀 어레이를 각각이 구비하고 있는 복수의 메모리 블록;

한 메모리 블록내의 노멀 셀 어레이가 용장 셀 어레이로 치환되어야 할지 여부를 가리키는 용장 선택 정보와, 용장 셀 어레이를 이용하여 치환될 노멀 셀 어레이의 위치를 가리키는 불량 위치 정보를 저장하기 위한 용장 판정 회로;

제1 단자와 관련된 제2 단자 사이에 배치된 제1 스위치 회로를 각각이 갖고 있는 복수의 설정 회로를 갖고 있는 전환 설정 회로 - 선택된 설정 회로의 제1 단자는 인접한 설정 회로의 제1 단자에 결합되며, 제1 단자들중 적어도 하나는 제2 논리 레벨에 결합되는 최하위 단자이며 제2 단자들중 적어도 하나는 용장 선택 정보 출력 단자에 결합되는 최상위 단자이며, 상기 제1 스위치 회로는 불량 위치 정보에 응답해서 제1 단자와 이와 관련된 제2 단자 사이에 도통 경로 또는 비도통 경로를 형성하며, 상기 설정 회로의 제2 단자들은 전환 신호를 제공함 -; 및

상기 전환 설정 회로로 부터 출력된 전환 신호에 따라서 적어도 2개의 비트선중 하나를 선택하여 선택된 비트선을 입/출력부에 연결하기 위한 스위치 회로를 포함하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 설정 회로는 용장 위치 정보에 기초해서 신호를 수신하는 제3 단자; 및

제1 논리 레벨과 상기 설정 회로의 제2 단자 사이에 배치되어 있는 제2 스위치 회로를 포함하며,

상기 제2 스위치 회로는 제3 단자에 결합된 제어 단자를 갖고 있으며 상기 제1 스위치 회로가 도통 상태에 있을 때는 비도통 상태로 설정되고 상기 제1 스위치 회로가 비도통 상태에 있을 때는 도통 상태로 설정되는 반도체 메모리 장치.

청구항 3

제1항에 있어서, 상기 설정 회로는 용장 위치 정보를 기초하여 신호를 수신하는 제3 단자; 및

제2 논리 레벨과 상기 설정 회로의 제1 단자 사이에 배치된 제3 스위치 회로를 포함하며,

상기 제3 스위치 회로는 제3 단자에 접속된 제어 단자를 갖고 있으며 상기 제1 스위치 회로가 도통 상태에 있을 때는 비도통 상태로 설정되고 상기 제1 스위치 회로가 비도통 상태에 있을 때는 도통 상태로 설정되는 반도체 메모리 장치.

청구항 4

제1항에 있어서, 상기 설정 회로는 용장 위치 정보를 기초하여 신호를 수신하는 제3 단자; 및

제1 논리 레벨과 상기 설정 회로의 제2 단자 사이에 배치된 제2 스위치 회로 - 제2 스위치 회로는 제3 단자에 접속된 제어 단자를 갖고 있으며 상기 제1 스위치 회로가 도통 상태에 있을 때는 비도통 상태로 설정되고 상기 제1 스위치 회로가 비도통 상태에 있을 때는 도통 상태로 설정됨 - ; 및

제2 논리 레벨과 상기 설정 회로의 제1 단자 사이에 배치된 제3 스위치 회로 -상기 제3 스위치 회로 각각은 제3 단자에 접속된 제어 단자를 갖고 있으며 상기 제1 스위치 회로가 도통 상태에 있을 때는 비도통 상태로 설정되고 상기 제1 스위치 회로가 비도통 상태에 있을 때는 도통 상태로 설정됨 - 를 포함하는 반도체 메모리 장치.

청구항 5

제1항에 있어서, 상기 전환 설정 회로는 용장 위치 정보에 기초하여 제1 논리값을 갖고 있는 제1 유형의 설정 신호를 출력하기 위한 설정 제어 회로를 구비하며,

상기 설정 회로들은 복수의 블록으로 분리되어 있고,

상기 설정 회로들은

용장 위치 정보에 기초하여 발생된 불량 위치 신호를 수신하는 제3 단자,

제1 유형의 설정 신호를 수신하기 위한 제4 단자, 및

제1 논리 레벨과 상기 제2 단자 사이에 배치되어 있으며, 상기 제4 단자에 결합된 제어 단자를 구비하는 제2 스위치 회로를 구비하는 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 전환 설정 회로는 용장 위치 정보에 기초하여 제2 논리값을 갖고 있는 제2 유형의 설정 신호를 출력하기 위한 설정 제어 회로를 구비하며,

상기 설정 회로들은 복수의 블록으로 분리되어 있고,

상기 설정 회로들은

용장 위치 정보에 기초하여 발생된 불량 위치 신호를 수신하는 제3 단자,

제2 유형의 설정 신호를 수신하기 위한 제4 단자, 및

제2 논리 레벨과 상기 제1 단자 사이에 배치되어 있으며, 상기 제4 단자에 결합된 제어 단자를 구비하는

제3 스위치 회로를 구비하는 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 전환 설정 회로는 용장 위치 정보에 기초한 논리 레벨들을 갖고 있는 제1 유형의 설정 신호와 제2 유형의 설정 신호를 출력하기 위한 설정 제어 회로를 구비하며,

상기 설정 회로들은 복수의 블록으로 분리되어 있고,

상기 설정 회로들은

용장 위치 정보에 기초하여 발생된 불량 위치 신호를 수신하는 제3 단자,

제1 유형의 설정 신호를 수신하기 위한 제4 단자,

제2 유형의 설정 신호를 수신하기 위한 제5단자,

제1 논리 레벨과 상기 제2 단자 사이에 배치되어 있으며, 상기 제4 단자에 결합된 제어 단자를 구비하는 제2 스위치 회로, 및

제2 논리 레벨과 상기 제1 단자 사이에 배치되어 있으며, 상기 제5 단자에 결합된 제어 단자를 구비하는 반도체 메모리 장치.

청구항 8

제1항에 있어서, 상기 용장 판정 회로는 불량 위치 정보를 이진 코드로 변환하므로써 용장 셀 어레이로 치환될 노멀 셀 어레이의 불량 위치 정보를 각각이 저장하는 복수의 퓨즈 블록, 및

퓨즈 블록을 선택하기 위한 신호를 출력하는 블록 선택 회로를 포함하는 반도체 메모리 장치.

청구항 9

제8항에 있어서, 상기 블록 선택 회로는 어드레스를 디코딩하고 퓨즈 블록을 선택하기 위한 신호를 출력하는 어드레스 디코더를 구비하는 반도체 메모리 장치.

청구항 10

제8항에 있어서, 상기 블록 선택 회로는 뱅크 선택 신호에 기초해서 퓨즈 블록과 메모리 블록을 선택하기 위한 신호를 출력하기 위한 회로를 구비하는 반도체 메모리 장치.

청구항 11

제8항에 있어서, 상기 퓨즈 블록 각각은 용장 선택 정보를 저장하기 위한 제1 퓨즈 회로 및 불량 위치 정보를 저장하기 위한 복수의 제2 퓨즈 회로를 구비하며,

상기 제2 퓨즈 블록 각각은 상기 제1 퓨즈 회로를 통해서 제1 논리 레벨에 접속되는 반도체 메모리 장치.

청구항 12

제8항에 있어서, 상기 퓨즈 블록은 용장 선택 정보를 저장하기 위한 제1 및 제2 퓨즈와, 불량 위치 정보를 저장하기 위한 제3 및 제4 퓨즈를 구비하며,

상기 제1 퓨즈 각각은 제2 논리 레벨에 결합된 제1 단부, 및 제2 퓨즈의 제1 단부, 제3 퓨즈의 제1 단부 및 용장 선택 신호 출력 단자에 결합된 제2 단부를 갖고 있으며,

상기 제2 퓨즈 각각은 제2 논리 레벨에 결합된 제2 단부를 구비하며,

상기 제3 퓨즈 각각은 제4 퓨즈의 제1 단부 및 용장 위치 신호 출력 단자를 에 결합된 제2 단부를 구비하며,

상기 제4 단부 각각은 제2 논리 레벨에 결합된 제2 단부를 구비하는 반도체 메모리 장치.

청구항 13

제1항에 있어서, 상기 스위칭 회로는 상기 복수의 메모리 블록의 비트선들에 공통으로 접속되어 있는 반도체 메모리 장치.

청구항 14

반도체 장치에 있어서,

어레이로 배열된 복수의 회로 셀;

상기 회로 셀들에 결합된 복수의 도전 라인;

복수의 입/출력(I/O) 라인;

복수의 스위치 소자를 구비하는 스위치 회로 - 상기 복수의 스위치 소자 각각은 상기 I/O 라인들 중 하나와 상기 도전 라인들 중 적어도 2개와 관련되어 있으며 대응하는 스위치 신호에 따라서 관련된 I/O 라인을 관련된 도전 라인들중 하나에 결합시킴 -; 및

스위치 신호를 제공하는 복수의 신호 리드를 구비하는 전환 설정 회로 - 상기 복수의 신호 리드 각각은

제어가능한 임피던스 경로에 의해 인접한 신호 노드에 결합되며, 상기 제어가능한 임피던스 경로 각각은 소정 그룹의 회로 셀들에 대한 위치 정보를 수신하며 위치 정보가 해당되는 그룹의 셀들이 불량임을 가리킬 때 비교적 높은 임피던스 경로를 제공함 - 를 구비하는 반도체 장치.

청구항 15

제14항에 있어서, 상기 제어가능한 임피던스 경로들은 제1 논리 레벨에 결합되는 제1 제어가능한 임피던스 경로를 시작으로 직렬로 배열되어 있는 반도체 장치.

청구항 16

제15항에 있어서, 상기 제어가능한 임피던스 경로들은 제2 논리 레벨에 결합될 수 있는 제2 제어가능한 임피던스 경로를 구비하는 반도체 장치.

청구항 17

제14항에 있어서, 상기 전환 설정 회로는 선택된 신호 노드에 결합된 설정 소자들을 더 구비하며, 상기 설정 소자들은 그들 각각의 신호 노드들과 소정 전위들간의 제어가능한 임피던스 경로를 제공하는 반도체 장치.

청구항 18

반도체 메모리 장치에 있어서,

적어도 하나의 메모리 셀에 각각이 결합되는 복수의 비트 라인;

복수의 입/출력(I/O) 라인;

스위치 신호를 수신하여 적어도 두개의 비트 라인들 중 하나를 각각의 I/O 라인에 결합하는 스위치 회로; 및

전환 설정 회로를 구비하며,

상기 전환 설정 회로는

복수의 스위치 노드,

직렬로 배열되어 있고 논리적으로 불럭들로 배열되어 있는 복수의 설정 회로 - 각각의 설정 회로는 상기 스위치 노드들중 하나에 결합되어 적어도 하나의 비트 라인에 대응하는 위치 정보를 수신하고, 동일 불럭들의 설정 회로들은 적어도 하나의 불럭 설정 신호를 더 수신함 -, 및

소정 값의 위치 정보에 응답해서 고 임피던스 경로를 생성하며 활성화되는 해당 불럭 설정 신호에 응답해서 소정의 논리 값에 해당 스위치 노드를 결합하는 설정 회로를 구비하는 반도체 메모리 장치.

청구항 19

제18항에 있어서, 상기 설정 회로들은

제1 노드와 제2 노드 사이에 결합되어 있고 위치 정보에 따라서 활성화되는 제1 스위치 소자, 및

제1 노드와 제1 논리 값 사이에 결합되어 있으며 활성 불럭 설정 신호에 따라서 활성화되는 제2 스위치 노드를 구비하는 반도체 메모리 장치.

청구항 20

제19항에 있어서,

상기 설정 회로들은 제2 노드와 제2 논리 값 사이에 결합되어 있으며 활성 불럭 설정 신호에 따라서 활성화되는 제3 스위치 소자를 더 구비하는 반도체 메모리 장치.

청구항 21

각각이 적어도 하나의 워드 라인을 구비하는 복수의 그룹으로 분리된 복수의 워드 라인;

상기 복수의 워드 라인을 각각이 교차하는 복수의 비트 라인;

상기 복수의 워드 라인과 상기 복수의 비트 라인의 교차점에 배치된 복수의 메모리 셀;

복수의 I/O 라인;

각각이 상기 I/O 라인들중 하나와 상기 비트 라인들 중 적어도 두개의 비트 라인에 관련되어 있는 복수의 스위치 소자를 구비하는 스위치 회로;

복수의 퓨즈 불럭들 - 상기 복수의 퓨즈 불럭들 각각은 상기 복수의 그룹들중 하나와 관련되어 있고, 불량 어드레스 정보를 결함 메모리 셀에 해당되는 비트 라인의 어드레스를 가리키는 이진 형태로 저장하며, 상기 복수의 워드 라인들의 관련된 그룹이 액세스될 때 상기 불량 어드레스 정보를 발생함 -;

상기 불량 어드레스 정보를 디코딩하고 이 디코딩 결과인 디코드 형태의 디코딩된 불량 어드레스 정보를 발생하는 디코더 회로; 및

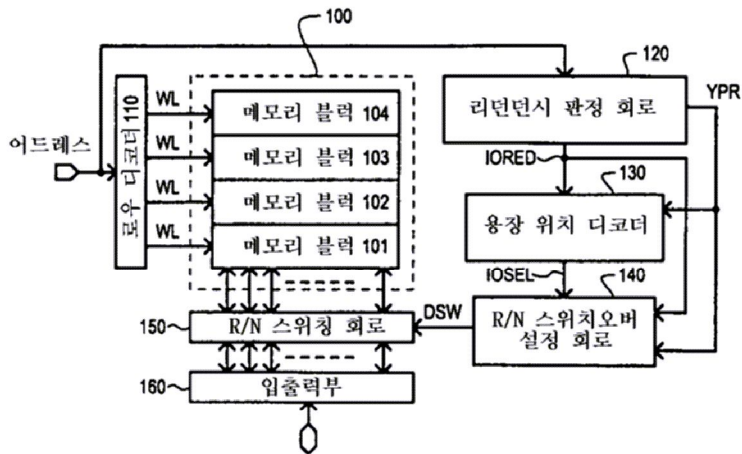
스위치 신호를 제공하는 복수의 신호 노드를 구비한 전환 설정 회로 - 상기 복수의 신호 노드 각각은 하나의 트랜지스터에 의해 인접한 신호 노드에 결합되며 상기 디코드된 불량 어드레스 정보의 관련 비트를

수신하는 게이트 전극을 갖고 있음 - 를 포함하며,

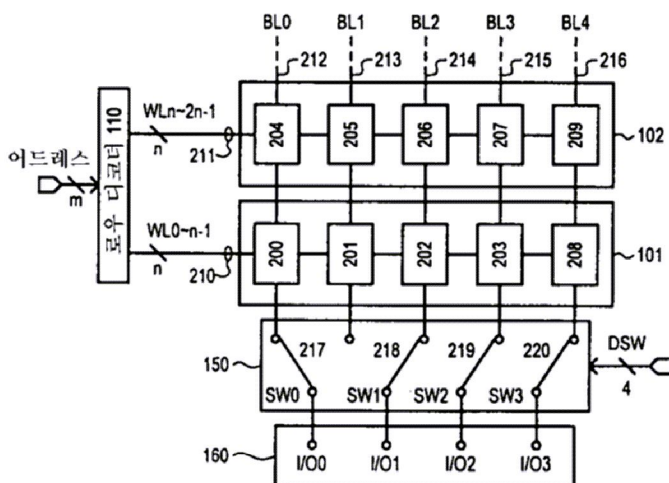
상기 스위치 소자들 각각은 상기 비트 라인들 및 상기 I/O 라인들 중 어느 하나가 접속되는지를 결정하기 위하여 상기 스위치 신호중 관련된 신호에 의해서 제어되는 반도체 메모리 장치.

도면

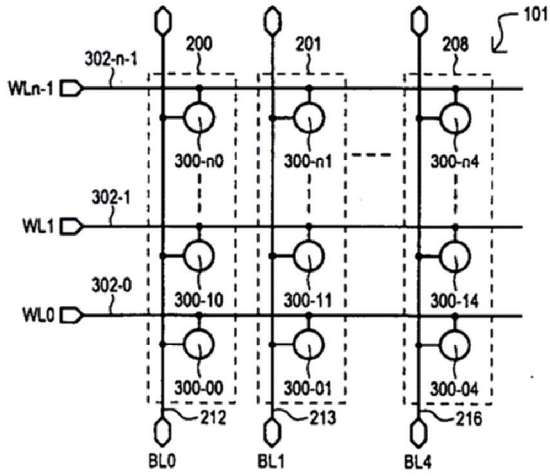
도면1



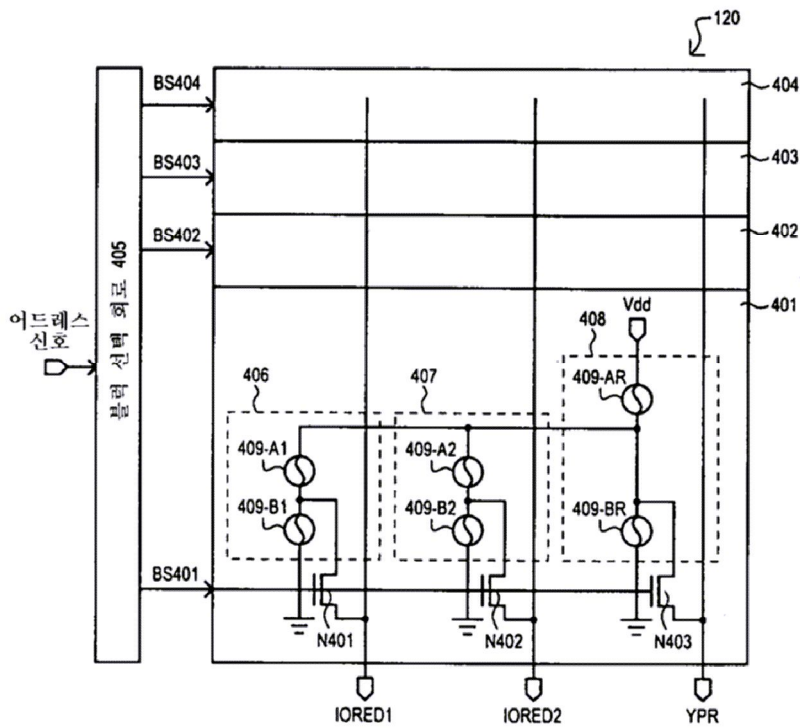
도면2



도면3



도면4



도면5

