



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I492318 B

(45)公告日：中華民國 104 (2015) 年 07 月 11 日

(21)申請案號：098108766

(22)申請日：中華民國 98 (2009) 年 03 月 18 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L23/52 (2006.01)

B81B7/00 (2006.01)

(30)優先權：2008/03/31 美國

12/059,075

(71)申請人：通用電機股份有限公司(美國) GENERAL ELECTRIC COMPANY (US)

美國

(72)發明人：卡普斯塔 克里斯多夫 KAPUSTA, CHRISTOPHER JAMES (US)；康寧罕 唐納  
CUNNINGHAM, DONALD (US)；沙亞 理查 SAIA, RICHARD JOSEPH (US)；  
杜羅契爾 凱文 DUROCHER, KEVIN MATTHEW (US)；伊恩諾堤 約瑟夫  
IANNOTTI, JOSEPH (US)；霍金斯 威廉 HAWKINS, WILLIAM (US)

(74)代理人：林志剛

(56)參考文獻：

TW 200801508A

TW 200812045A

US 5757072

US 2004/0063249A1

審查人員：修宇鋒

申請專利範圍項數：9 項 圖式數：10 共 26 頁

(54)名稱

用於形成晶圓級封裝的系統與方法

SYSTEM AND METHOD OF FORMING A WAFER SCALE PACKAGE

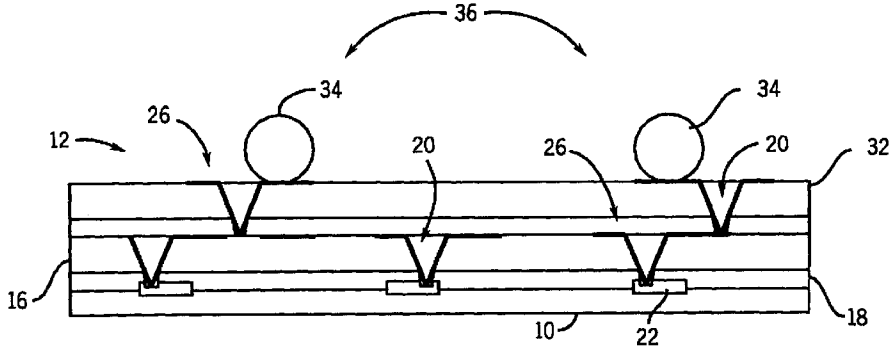
(57)摘要

本發明揭示一種用於形成晶圓級封裝(WLP)(12)(亦即晶圓級晶片尺寸封裝)的系統與方法。WLP (12)包含一矽積體電路(IC)基板(10)，該基板具有複數個形成於其上表面的晶粒墊(22)及複數個位於該基板上的聚合物疊層(16)。各聚合物疊層(16)係由個別預成形疊層板所構成並且具有複數個形成於其中且對應於各個晶粒墊(22)的通孔(20)。複數個金屬互連(26)係形成於該複數個聚合物疊層(16)的各聚合物疊層上，以覆蓋聚合物疊層(16)的一部分上表面，並向下延伸通過通孔(20)與位於(16)下方的相鄰聚合物疊層上的金屬互連(26)接觸。一輸入/輸出(I/O)系統互連(34)係位於晶圓級封裝(12)的上表面並接合於該複數個金屬互連(26)。

A system and method for forming a wafer level package (WLP) (12) (i.e., wafer level chip size package) is disclosed. The WLP (12) includes a silicon integrated circuit (IC) substrate (10) having a plurality of die pads (22) formed on a top surface thereof and a plurality of polymer laminates (16) positioned thereon. Each of the polymer laminates (16) is comprised of a separate pre-formed laminate sheet and has a plurality of vias (20) formed therein that correspond to a respective die pad (22). A plurality of metal interconnects (26) are formed on each of the plurality of polymer laminates (16) so as to cover a portion of a top surface of a polymer laminate (16) and extend down through the via (20) and into contact with a metal interconnect (26) on a neighboring polymer laminate positioned below (16). An input/output (I/O) system interconnect (34)

is positioned on a top surface of the wafer level package (12) and is attached to the plurality of metal interconnects (26).

圖5



- 10 . . . IC 基板
- 12 . . . 晶圓級封裝
- 16 . . . 聚合物疊層
- 18 . . . 黏合材料
- 20 . . . 通孔
- 22 . . . 晶粒墊
- 26 . . . 金屬互連
- 32 . . . 附加聚合物疊層
- 34 . . . 輸入/輸出(I/O)系統互連
- 36 . . . I/O 系統互連

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98108766

※申請日：98 年 03 月 18 日

※IPC 分類：H01L 21/60 (2006.01)

H01L 27/152 (2006.01)

B81B 7/00 (2006.01)

一、發明名稱：(中文／英文)

用於形成晶圓級封裝的系統與方法

System and method of forming a wafer scale package

## 二、中文發明摘要：

本發明揭示一種用於形成晶圓級封裝 (WLP) (12) (亦即晶圓級晶片尺寸封裝) 的系統與方法。WLP (12) 包含一矽積體電路 (IC) 基板 (10)，該基板具有複數個形成於其上表面的晶粒墊 (22) 及複數個位於該基板上的聚合物疊層 (16)。各聚合物疊層 (16) 係由個別預成形疊層板所構成並且具有複數個形成於其中且對應於各個晶粒墊 (22) 的通孔 (20)。複數個金屬互連 (26) 係形成於該複數個聚合物疊層 (16) 的各聚合物疊層上，以覆蓋聚合物疊層 (16) 的一部分上表面，並向下延伸通過通孔 (20) 與位於 (16) 下方的相鄰聚合物疊層上的金屬互連 (26) 接觸。一輸入/輸出 (I/O) 系統互連 (34) 係位於晶圓級封裝 (12) 的上表面並接合於該複數個金屬互連 (26)。

### 三、英文發明摘要：

A system and method for forming a wafer level package (WLP) (12) (i.e., wafer level chip size package) is disclosed. The WLP (12) includes a silicon integrated circuit (IC) substrate (10) having a plurality of die pads (22) formed on a top surface thereof and a plurality of polymer laminates (16) positioned thereon. Each of the polymer laminates (16) is comprised of a separate pre-formed laminate sheet and has a plurality of vias (20) formed therein that correspond to a respective die pad (22). A plurality of metal interconnects (26) are formed on each of the plurality of polymer laminates (16) so as to cover a portion of a top surface of a polymer laminate (16) and extend down through the via (20) and into contact with a metal interconnect (26) on a neighboring polymer laminate positioned below (16). An input/output (I/O) system interconnect (34) is positioned on a top surface of the wafer level package (12) and is attached to the plurality of metal interconnects (26).

四、指定代表圖：

(一) 本案指定代表圖為：第(5)圖。

(二) 本代表圖之元件符號簡單說明：

10：IC基板

12：晶圓級封裝

16：聚合物疊層

18：黏合材料

20：通孔

22：晶粒墊

26：金屬互連

32：附加聚合物疊層

34：輸入/輸出(I/O)系統互連

36：I/O系統互連

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明之具體例大體而言係有關積體電路封裝，特別是有關積體電路的晶圓級封裝。其利用疊層之重分佈層及高密度互連來製作品圓級封裝。

### 【先前技術】

隨著積體電路變得越來越小及提供更好的操作性能，積體電路（IC）封裝的封裝技術已相對應地從導線封裝發展到以疊層為基礎的球柵陣列（BGA）封裝，最後再發展到晶片尺度封裝（CSP）。不斷增加的需求促使IC晶片封裝技術的進步，以達到更好的性能、更小型化及更高的可靠性。為了能大批生產，新的封裝技術必須進一步可供批式生產，進而達到規模經濟。

CSP的一種特定形式為晶圓級封裝（WLP）。WLP係採用BGA封裝所使用的平面陣列式封裝法。此方法能使WLP具有在尺寸上與IC晶片實質上相等的封裝外形，使WLP成為CSP的最小形式。WLP可使IC封裝製程在晶圓級上進行，而且可包含晶圓級可靠性並有助於IC預燒測試。因此，晶圓級封裝已引起電子工業極大的注意，成為可透過大批生產以提供低成本生產之IC封裝製程中具有潛力的解決方案。

一種現行的WLP製造方法為「重分佈層和凸塊」製造。在重分佈層和凸塊製造中，將一多層薄膜金屬重選路與

互連系統沈積到晶圓上的各裝置。此附加的互連會使各晶片周邊的焊墊重新分佈成均勻配置在晶片表面上的平面陣列凸塊下金屬墊。然後將用於使裝置連接至應用電路板的鉚球或鉚料凸塊放置在這些凸塊下金屬墊上。

重選路與互連系統的施加典型而言係利用裝置製造本身所使用的標準光微影技術與薄膜沈積技術來完成。換言之，典型上係使用旋塗沈積技術來沈積苯并環丁烯（BCB）或聚醯亞胺材料及形成重分佈層。然而，藉由旋轉塗佈法沈積重分佈層對於製造所得之WLP的結構和功能性的本質上的限制。舉例而言，在矽晶圓上形成旋塗層會對矽晶圓施予應力，而可能導致晶圓翹曲。為了使翹曲減到最小，旋塗層的數目必須限制在1或2層及/或必須使用比較佳厚度更厚的晶粒。再者，還需要高溫使旋塗介電質硬化，其可能無法與所有的冶金術相容。此外，旋塗層只能使周邊焊墊重新分佈/重選路由，但無法使例如嵌入式電阻器/電容器、屏蔽層或其他微機電系統（MEMS）等附加元件納入WLP。

矽晶圓上所引發的應力也會對輸入/輸出（I/O）系統在WLP上的形成有所限制。換言之，由於旋塗層施加在矽晶圓上的應力，因此形成I/O系統互連需要較大和較多的堅固凸塊（亦即鉚球/鉚錫接點）及底部充填環氧樹脂。使用這些大的鉚球和底部充填環氧樹脂會限制I/O系統的凸塊密度而且會限制WLP可達到的小型化程度。

因此需要能應用於多個重分佈層同時能使晶圓晶粒的

應力和翹曲減到最小的 WLP 製造方法。此外還需要能縮小  
錫球 / 錫料凸塊間距與高度，使 I/O 系統互連具有更高密度  
並且使 WLP 小型化的製造方法。

### 【發明內容】

本發明之具體例係藉由提供一種 WLP 製造方法來克服  
上述缺點，於該製造方法中，複數個重分佈層係依序疊層  
至矽晶圓上。該等依序疊層之重分佈層可降低矽晶圓上的  
應力，並且能在晶圓的各晶片上形成高密度的輸入 / 輸出  
( I/O ) 系統互連。

根據本發明之一態樣，晶圓級封裝包含一矽積體電路  
( IC ) 基板，該基板具有複數個形成於其上表面的晶粒墊  
及複數個由個別預成形疊層板所構成且位於該矽 IC 基板上的  
聚合物疊層，該複數個聚合物疊層的各聚合物疊層具有  
複數個形成於其中的通孔，該複數個通孔之各通孔係對應  
於各個晶粒墊。該晶圓級封裝亦包含複數個金屬互連，該  
複數個金屬互連係形成於該複數個聚合物疊層的各聚合物  
疊層上，該複數個金屬互連的各金屬互連係覆蓋各聚合物  
疊層的一部分上表面並向下延伸通過通孔與位於下方的相  
鄰聚合物疊層上的金屬互連接觸。該晶圓級封裝進一步包  
含一輸入 / 輸出 ( I/O ) 系統互連，該輸入 / 輸出系統互連係  
位於晶圓級封裝的上表面並接合於該複數個金屬互連上。

根據本發明之另一態樣，形成晶圓級封裝的方法包括  
提供一矽晶圓，該矽晶圓上具有一積體電路 ( IC ) 及複數

個形成於其上表面的晶粒墊，將一基底聚合物疊層黏著至該矽晶圓上表面，及形成複數個通過該基底聚合物疊層的複數個通孔的步驟，該複數個通孔之各通孔向下延伸至該複數個晶粒墊之各個晶粒墊。該方法亦包括於該基底聚合物疊層上形成複數個金屬互連，使該複數個金屬互連的各金屬互連向下延伸通過各通孔與各個晶粒墊電性連接，及增加至少一遍布於該基底聚合物疊層與金屬互連上的附加聚合物疊層的步驟。該方法進一步包括使複數個輸入/輸出（I/O）連接接合至最上面聚合物疊層上的金屬互連，以及將該矽晶圓切割成複數個晶圓級封裝的步驟，各晶圓級封裝上包含一部分的該複數個金屬互連及一部分的該複數個I/O連接。

根據本發明之又一態樣，製造晶圓級封裝的方法包括提供一矽晶圓，該矽晶圓上具有複數個形成於其上表面的晶粒墊及依序疊層複數個遍布於該矽晶圓之上表面上的重分佈層，該複數個重分佈層的各重分佈層中具有複數個金屬互連。該方法亦包括使複數個輸入/輸出（I/O）互連系統接合至最上面重分佈層上的金屬互連，以及將該矽晶圓切割成複數個晶圓級封裝，各晶圓級封裝上包含該複數個金屬互連的一組子集及該複數個I/O互連的一組子集。

這些與其他優點和特徵可由以下本發明之較佳實施例，配合附圖所做的詳細說明而更加容易理解。

## 【實施方式】

本發明係提供一種形成晶圓級封裝（WLP）或晶圓級晶片尺寸封裝的方法。將疊層施加於矽晶圓上，進行後續鑽孔、金屬化，及蝕刻/圖案化以針對各層形成WLP。

參閱圖1，圖示之晶圓10係劃分成複數個晶圓級封裝（WLP）或晶粒12（亦即晶圓級（scale）封裝）。晶圓10一般係切割自單晶矽晶錠或多晶矽晶錠並加以製作，使積體電路布局形成於其表面上。上方形成有IC的晶圓10包含複數個WLP 12並且包含介於各WLP 12之間的晶粒區域，該晶粒區域係預留用來將晶圓10切割成複數個個別的WLP 12或晶粒。

如圖2所示，製作WLP 12時，基底聚合物疊層16係藉由黏合材料18施加於矽晶圓10上，該黏合材料係塗在兩者之間。相對於先前技術中所使用之藉由旋轉塗佈技術形成/施加的層而言，基底聚合物疊層16為可置於矽晶圓10上之預成形疊層板或疊層膜形式者。基底聚合物疊層16可由凱通（Kapton®）、Ultem®、聚四氟乙烯（PTFE），或其他聚合物薄膜，例如液晶聚合物（LCP）所形成。茲參閱圖3，將基底聚合物疊層16施加於矽晶圓10之後，在疊層中形成複數個通孔20。通孔20係藉由雷射剝蝕法或雷射鑽孔法形成，並且形成在對應於矽晶圓10上方之晶粒墊22的位置處。在基底聚合物疊層16中進行通孔20的雷射鑽孔會使晶粒墊22暴露出來。

形成通孔20之後，藉由例如濺鍍法或電鍍法，將金屬層/材料24施加於基底聚合物疊層16上。然後使沈積的金

屬層/材料 24 形成金屬互連 26。於一例示技術中，將金屬層/材料 24 圖案化和蝕刻，形成由基底聚合物疊層 16 之上表面 28 向下延伸通過通孔 20 的金屬互連 26。於是金屬互連 26 與晶粒墊 22 形成電連接。如此，基底聚合物疊層 16 係成為能重新配置晶粒墊 22 的重分佈層，以下將更詳細說明該等晶粒墊 22 可（例如）沿著各 WLP 12 的周邊配置，成為遍布於 WLP 整個表面上的互連平面陣列。

茲參閱圖 4，其係為具有已施加之聚合物疊層及金屬互連 26 之矽晶圓 10 的俯視圖。在製作 WLP 過程中，將聚合物疊層 16 疊層於矽晶圓 10 上方之後，進行消除/降低晶圓中殘留應力的步驟。換言之，為了降低或消除聚合物疊層 16 疊層於矽晶圓上時可能作用於矽晶圓 10 的殘留應力，因此由各 WLP 12 之間的晶粒區域 14 中移除過剩的聚合物材料。聚合物材料係藉由例如在晶粒區域 14 內利用雷射剝蝕法或晶粒鋸切法形成複數個溝槽 30（即切割道）而加以移除。溝槽 30 可以在 100 微米的範圍內。在後續施加附加的聚合物重分佈層時，溝槽 30 的形成有助於防止矽晶圓 10 之中的彎曲和翹曲。

如圖 5 所示，移除晶粒區域中過剩的聚合物材料之後，在基底聚合物疊層 16 上施加一或多層附加聚合物疊層 32。與上述步驟相似，藉由例如雷射剝蝕法或雷射鑽孔法，在附加聚合物疊層 32 中形成複數個通孔 20。各附加聚合物疊層 32 中的通孔 20 係形成在對應於金屬互連 26 的位置處，該等金屬互連 26 係黏著至位於其正下方的聚合物疊層（如

基底聚合物疊層 16)，以進一步重新分佈金屬互連 26。再者如上所述，接著再利用沈積法（如濺鍍法或電鍍法）及後續的圖案化法和蝕刻法，於附加聚合物疊層 32 上形成金屬互連，使金屬互連 26 改變形狀而向下延伸通過通孔 20 與位於正下方之聚合物疊層 16 上的金屬互連 26 電接觸。

依舊參閱圖 5，在所需數目的附加聚合物疊層 32 施加至矽晶圓 10 之後，將複數個輸入/輸出（I/O）互連 34 施加至最上面聚合物疊層上的金屬互連 26，以形成 I/O 系統互連 36。於一具體例中，I/O 互連 34 係形成為銲接至金屬互連 26 的球（也就是銲球）。然而，也可想像可以接合其他形式的 I/O 互連 34，例如電鍍凸塊、柱狀凸塊、植金凸塊、金屬填充聚合物凸塊，或打線接合接線/銲墊，使 WLP 12 與其欲接合的主機板（未圖示）之間能形成可靠的連接。

由依序施加複數個聚合物疊層 16、32 所重新分佈的金屬互連 26 可以增加欲形成在 WLP 12 之上表面的 I/O 互連 34 的數目。換言之，例如由於金屬互連 26 的重新分佈，因此銲錫接點 34 可以更密集地封裝在 WLP 12 上。以這種方式所形成之 WLP 12 上的銲錫接點 34 具有比習知銲球更小的間距和高度。舉例而言，可形成具有 180 微米之高度及 80 微米之間距的銲錫接點 34。在撓性聚合物疊層上以這樣的尺寸形成銲錫接點 34 能降低 WLP 12 與其欲安裝的主機板（未圖示）之間的接點應力，藉此也可避免如先前技術中在 WLP 銲接至主機板之後，需要在銲錫接點 34、WLP 與主機板之

間塗上底部充填環氧樹脂混合物這樣的典型進程序。

再者如圖 5 所示，也可想像矽晶圓 10 可進行背面研磨以減少其厚度。與無法對所欲進行之背面研磨提供足夠強度的旋塗層相比，複數個聚合物疊層 16、32 可為這類背面研磨程序提供足夠的支撐。背面研磨矽晶圓 10 能減少 WLP 12 的深度/厚度，使 WLP 12 進一步小型化。將矽晶圓 10 背面研磨至所要的厚度之後，可切割矽晶圓 10，以便將晶圓切割成如圖 6 所示的複數個個別 WLP 12。

在本發明之製造方法所提供的另一項有利改善上，可想像藉由可整合於 WLP 中的附加元件可賦予 WLP 12 更強大的功能性。換言之，施加至矽晶圓 10 以形成 WLP 12 的複數個依序疊層 16、32 不僅能使晶粒墊在 WLP 12 中重新分佈，而且還能將複數個裝置整合在 WLP 中。參閱圖 7，於一具體例中，在相鄰聚合物疊層 16、32 之間可形成空腔 38，使一或多個微結構 40，例如氣橋及/或微機電系統（MEMS）位於該空腔內。空腔 38 係對微結構 40 提供保護，進而延長該微結構的壽命並提高 WLP 12 的可靠性。

於另一具體例中，如圖 8 所示，應可意識到也可將嵌入式被動元件 42，例如薄膜電阻器、電容器或電感器整合到 WLP 12 中。換言之，在個別金屬化過程中，可將嵌入式被動元件 42 施加在相鄰（亦即鄰接）聚合物疊層 16、32 之間，以賦予 WLP 12 其他的功能性。於又一具體例，圖 9 表示金屬屏蔽元件 44 包含在相鄰聚合物疊層 16、32 之間。屏蔽元件 44 可以在 WLP 12 中提供射頻（RF）或電磁干擾（

EMI) 屏蔽。藉由將層 16、32 依序疊層至矽晶圓 10 上可施加圖 7-9 所示的微電子裝置，因此有別於習知將層旋轉塗佈在矽晶圓上者，這類微電子裝置係無法整合於該習知的矽晶圓中。

茲參閱圖 10，其係為一 WLP 50 成品。圖示的 WLP 50 中包含複數個重分佈層 52。儘管圖示為包含三層重分佈層 52，但可想像可施加更多層，例如使 WLP 50 中包含五或六層重分佈層 52。藉由透過各重分佈層 52 所形成的複數個金屬互連 58，使包含在矽晶圓 56 上之晶粒墊 54 的接點重選路由。經由重分佈層 52 中的通孔 60 形成金屬互連 58，以電連接複數個重分佈層 52 的各重分佈層。複數個鉅錫接點 62（如鉅球）係施加至最上面重分佈層 52 上的金屬互連 58。複數個鉅錫接點 62 係形成能使 WLP 50 小型化並且使 WLP 與主機板（未圖示）之間的接點具有較低應力的高密度互連（HDI）系統 64。

儘管本發明只針對少數具體例作詳細說明，但應可輕易瞭解本發明並不限於上述所揭示的具體例。更確切地說，可修飾本發明以包含前文並未敘述但符合本發明之精神與範疇的任何數量之更改、變更、替代或等效配置。此外，雖然已敘述本發明之各種具體例，但應瞭解本發明之態樣可以只包含所述具體例的一部分。因此，本發明不應視為受限於前述說明，而僅受限於後附申請專利範圍之範疇。

因此，根據本發明之一具體例，晶圓級封裝包含一矽

積體電路（IC）基板，該基板具有複數個形成於其上表面的晶粒墊及複數個由個別預成形疊層板所構成且位於該矽IC基板上的聚合物疊層，該複數個聚合物疊層的各聚合物疊層具有複數個形成於其中的通孔，該複數個通孔之各通孔係對應於各個晶粒墊。該晶圓級封裝亦包含複數個金屬互連，該複數個金屬互連係形成於該複數個聚合物疊層的各聚合物疊層上，該複數個金屬互連的各金屬互連係覆蓋各聚合物疊層的一部分上表面並向下延伸通過通孔與位於下方的相鄰聚合物疊層上的金屬互連接觸。該晶圓級封裝進一步包含一輸入/輸出（I/O）系統互連，該輸入/輸出系統互連係位於晶圓級封裝的上表面並接合於該複數個金屬互連上。

根據本發明之另一具體例，形成晶圓級封裝的方法包括提供一矽晶圓，該矽晶圓上具有一積體電路（IC）及複數個形成於其上表面的晶粒墊，將一基底聚合物疊層黏著至該矽晶圓上表面，及形成複數個通過該基底聚合物疊層的複數個通孔的步驟，該複數個通孔之各通孔向下延伸至該複數個晶粒墊之各個晶粒墊。該方法亦包括於該基底聚合物疊層上形成複數個金屬互連，使該複數個金屬互連的各金屬互連向下延伸通過各通孔與各個晶粒墊電性連接，及增加至少一遍布於該基底聚合物疊層與金屬互連上的附加聚合物疊層的步驟。該方法進一步包括使複數個輸入/輸出（I/O）連接接合至最上面聚合物疊層上的金屬互連，以及將該矽晶圓切割成複數個晶圓級封裝的步驟，各晶

圓級封裝上包含一部分的該複數個金屬互連及一部分的該複數個 I/O 連接。

根據本發明之又一具體例，製造晶圓級封裝的方法包括提供一矽晶圓，該矽晶圓上具有複數個形成於其上表面的晶粒墊及依序疊層複數個遍布於該矽晶圓之上表面上的重分佈層，該複數個重分佈層的各重分佈層中具有複數個金屬互連。該方法亦包括使複數個輸入/輸出（I/O）互連系統接合至最上面重分佈層上的金屬互連，以及將該矽晶圓切割成複數個晶圓級封裝，各晶圓級封裝上包含該複數個金屬互連的一組子集及該複數個 I/O 互連的一組子集。

本發明所主張為新的申請專利範圍且希望受到美國專利證書所保護的申請專利範圍如下：

#### 【圖式簡單說明】

圖式係圖解目前用來實施本發明之具體例。

其中：

圖 1 為本發明一具體例之晶圓級封裝所構成之矽晶圓俯視圖。

圖 2 為本發明一具體例之重分佈層疊層於上方之晶圓級封裝橫剖面圖。

圖 3 為本發明一具體例之通孔及金屬互連形成於其中之晶圓級封裝橫剖面圖。

圖 4 為本發明一具體例之重分佈層施加於上方及晶圓級封裝之間形成有溝槽之矽晶圓俯視圖。

圖 5 為本發明一具體例之輸入/輸出系統互連形成於上方之依序疊層晶圓級封裝橫剖面圖。

圖 6 為本發明一具體例之切割成個別晶圓級封裝之依序疊層矽晶圓俯視圖。

圖 7 為本發明另一具體例之空腔形成於其中之依序疊層晶圓級封裝橫剖面圖。

圖 8 為本發明另一具體例之嵌入式被動元件內含於其中之依序疊層晶圓級封裝橫剖面圖。

圖 9 為本發明另一具體例之金屬屏蔽內含於其中之依序疊層晶圓級封裝橫剖面圖。

圖 10 為本發明另一具體例之完成依序疊層之晶圓級封裝橫剖面圖。

#### 【主要元件符號說明】

10：IC 基板

12、50：晶圓級封裝

14：晶粒區域

16：聚合物疊層

18：黏合材料

20、60：通孔

22、54：晶粒墊

24：金屬層/材料

26、58：金屬互連

30：溝槽

- 32：附加聚合物疊層
- 34：輸入/輸出（I/O）系統互連
- 36：I/O系統互連
- 38：空腔
- 40：微結構
- 42：嵌入式被動元件
- 44：金屬屏蔽元件
- 52：重分佈層
- 56：矽晶圓
- 62：鍍錫接點
- 64：高密度互連（HDI）系統

## 七、申請專利範圍：

1. 一種晶圓級封裝（12），包含：

一積體電路（IC）基板（10），具有複數個形成於其上表面的晶粒墊（22）；

複數個聚合物疊層（16），其位於該IC基板（10）上，該複數個聚合物疊層（16）的各聚合物疊層具有複數個形成於其中的通孔（20），該複數個通孔（20）之各通孔係對應於各個晶粒墊（22）；

複數個互連（26），係形成於該複數個聚合物疊層（16）的各聚合物疊層上，該複數個互連（26）之各互連係覆蓋各個聚合物疊層（16）的一部分上表面，並向下延伸通過通孔（20）與位於下方的相鄰聚合物疊層（16）上的互連（26）接觸；及

一輸入/輸出（I/O）系統互連（34），係位於晶圓級封裝（12）的上表面並接合於該複數個互連（26）；

其中該複數個聚合物疊層（16）的各聚合物疊層包含個別預成形疊層板；

其中該複數個聚合物疊層（16）分別具有晶粒區域，而該晶粒區域中之至少一部分的聚合物材料被移除以形成用以降低IC基板（10）的殘留應力之溝槽（30），及

該晶圓級封裝（12）進一步包含配置在該基底聚合物疊層（16）上之至少一層的附加聚合物疊層（32）。

2. 如申請專利範圍第1項之晶圓級封裝（12），進一步包含一黏著層（18），其沈積於該複數個聚合物疊層（

16) 的各聚合物疊層之間。

3.如申請專利範圍第1項之晶圓級封裝(12)，其中該輸入/輸出系統互連(34)包括複數個鉚球、複數個電鍍凸塊、複數個柱狀凸塊、複數個植金凸塊、複數個金屬填充聚合物凸塊、複數個打線接合鉚線及複數個打線接合鉚墊的其中之一。

4.如申請專利範圍第1項之晶圓級封裝(12)，進一步包含一空腔(38)，其位於相鄰聚合物疊層(16、32)之間。

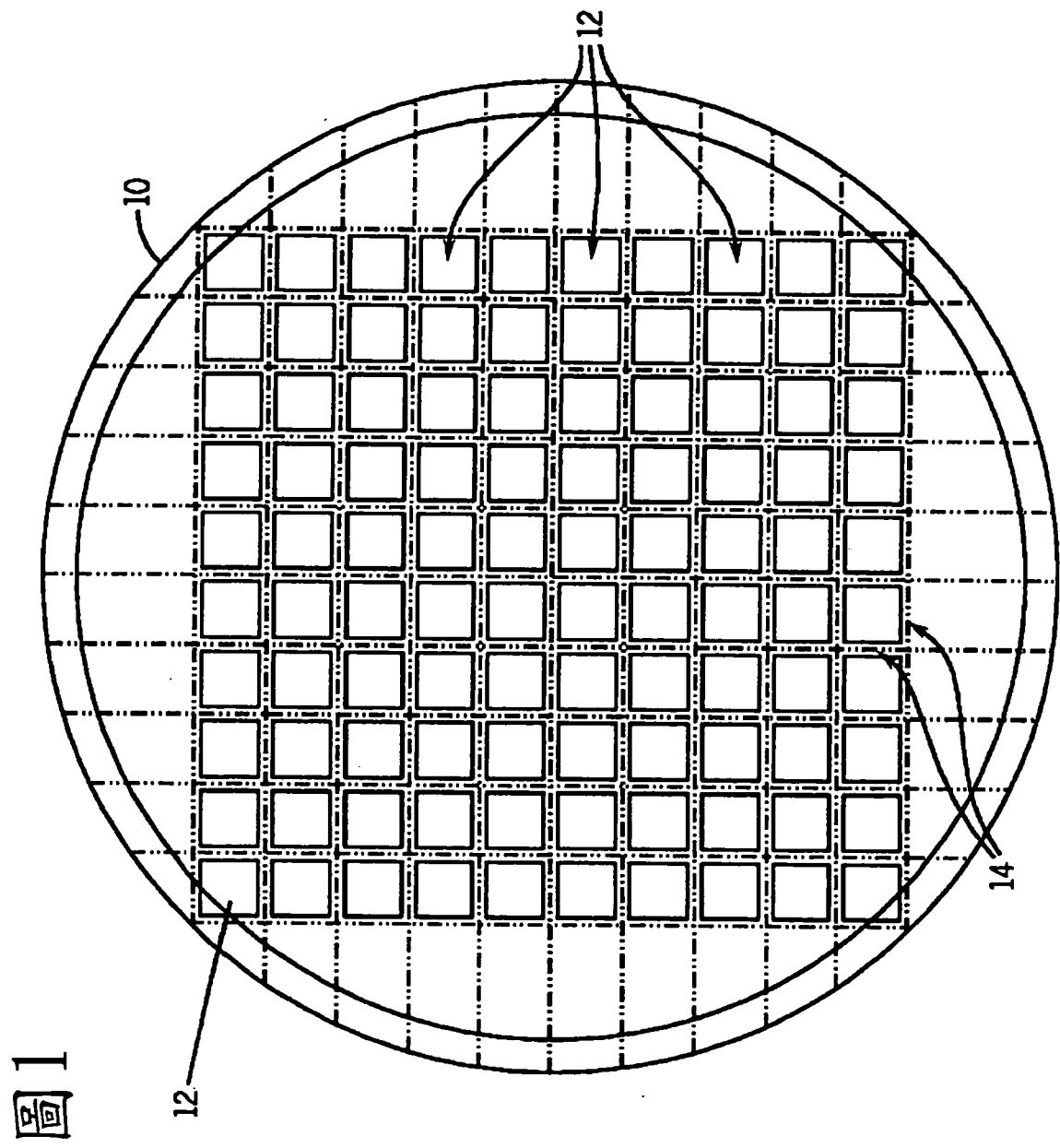
5.如申請專利範圍第4項之晶圓級封裝(12)，進一步包含一微機電系統(MEMS)(40)，其位於一對相鄰聚合物疊層(16、32)之間所形成的空腔(38)內。

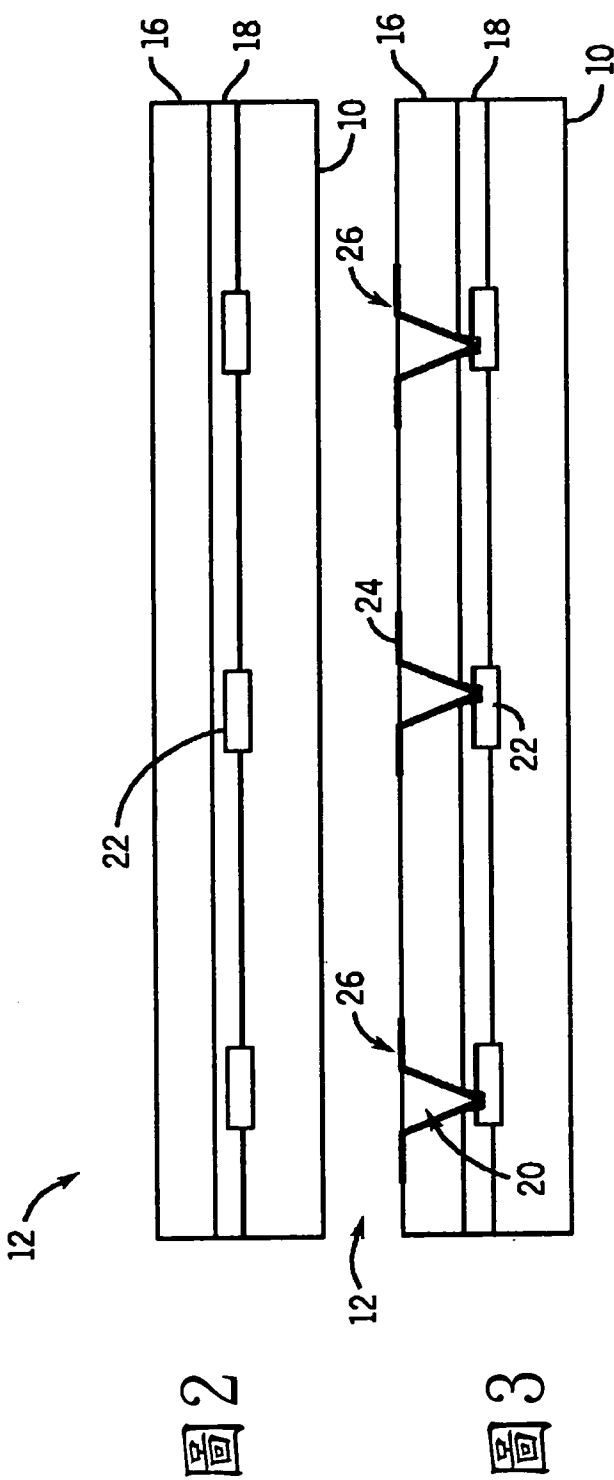
6.如申請專利範圍第4項之晶圓級封裝(12)，進一步包含一氣橋(40)，其位於一對相鄰聚合物疊層(16、32)之間所形成的空腔(38)內。

7.如申請專利範圍第1項之晶圓級封裝(12)，進一步包含嵌入式電阻器(42)及嵌入式電容器(42)的其中之一，其位於一對相鄰聚合物疊層(16、32)之間。

8.如申請專利範圍第1項之晶圓級封裝(12)，進一步包含一金屬屏蔽(44)，其位於一對相鄰聚合物疊層(16、32)之間。

9.如申請專利範圍第1項之晶圓級封裝(12)，其中該矽積體電路(IC)基板(10)係由單晶矽晶錠及多晶矽晶錠的其中之一所形成。





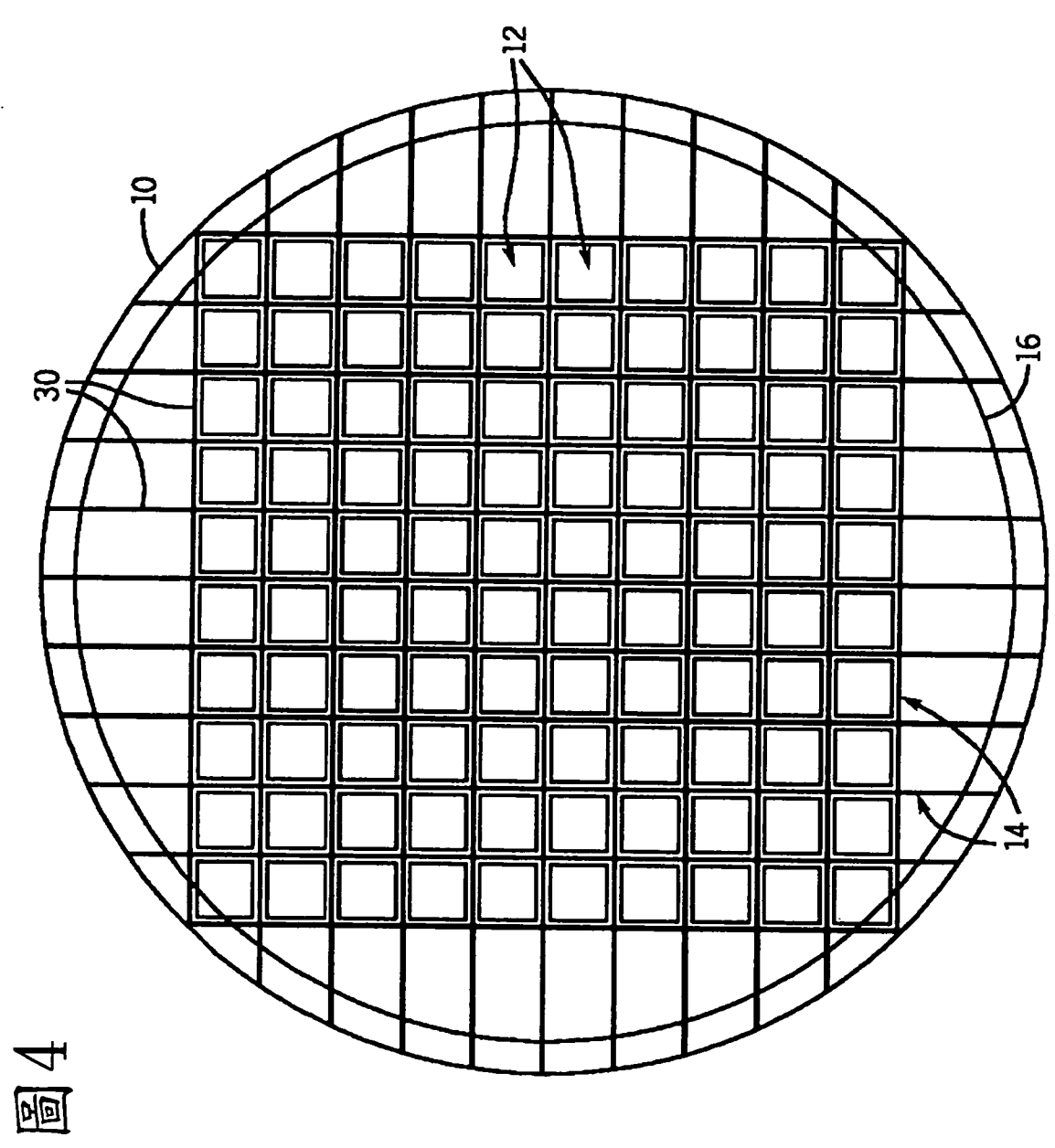


圖4

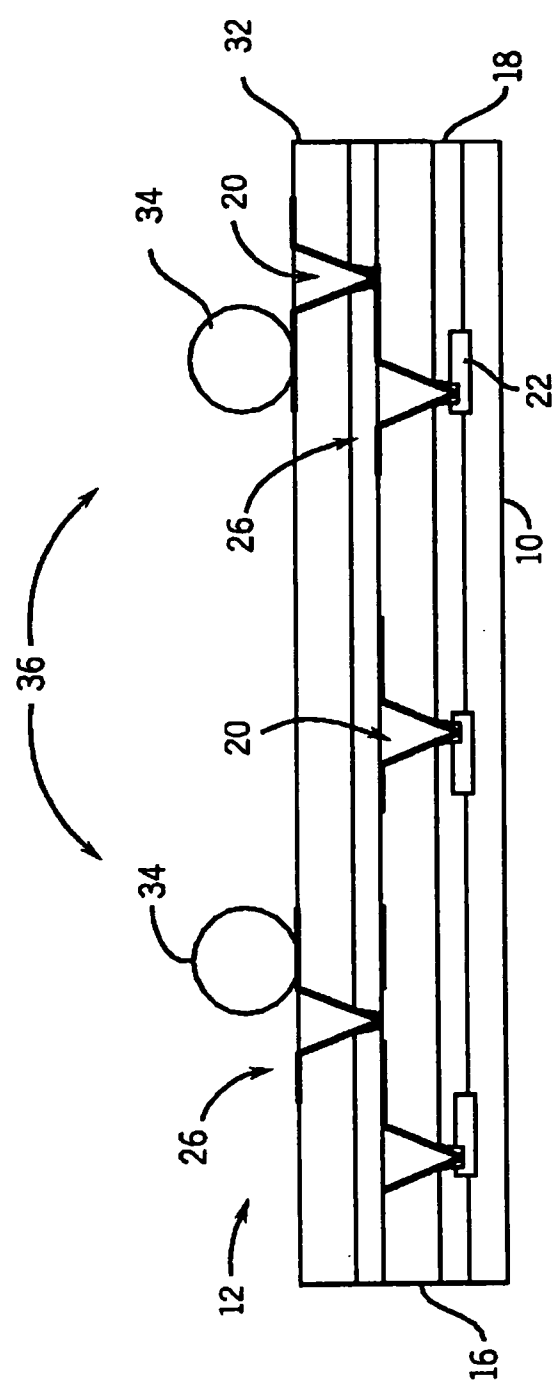


圖 5

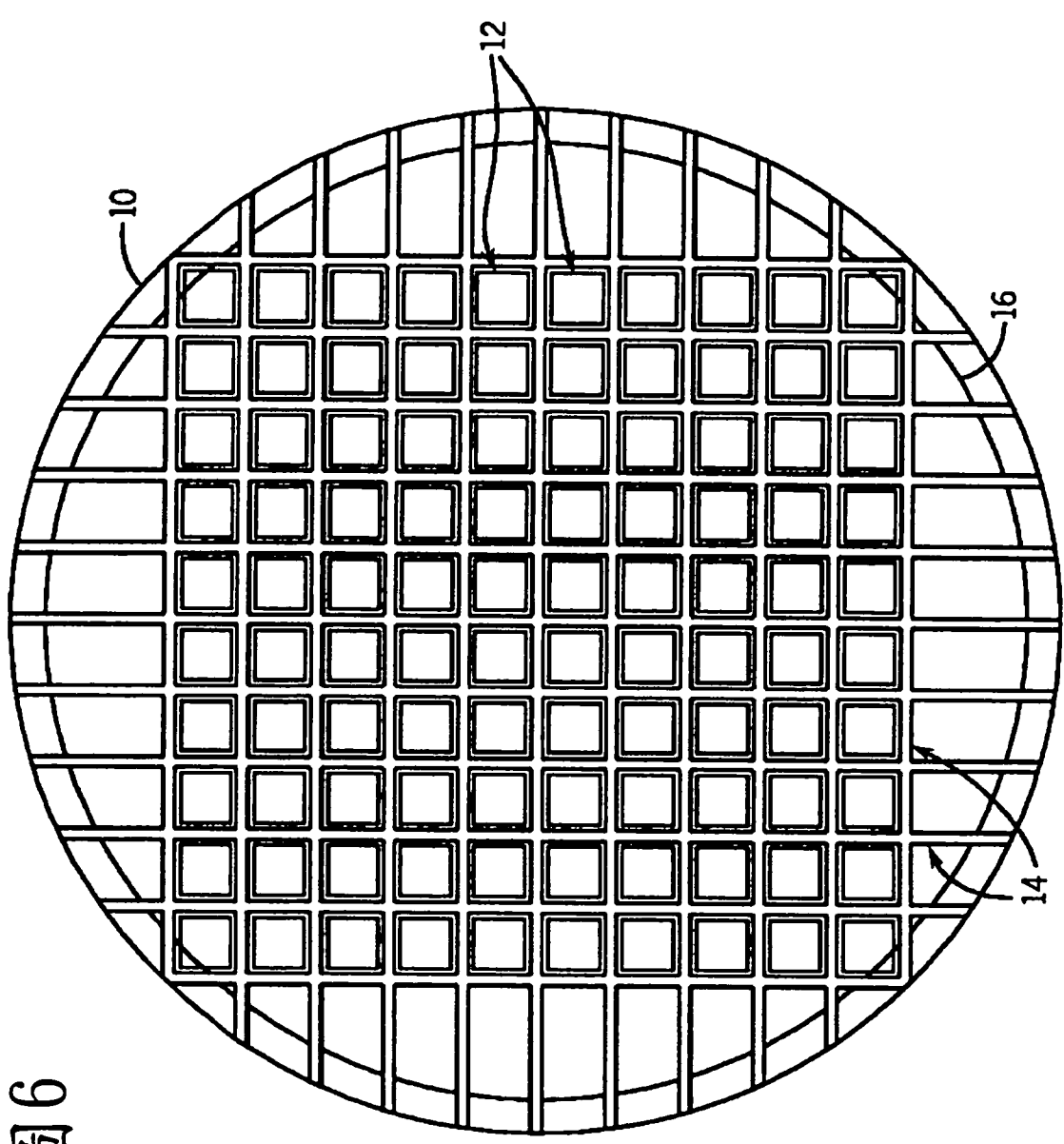


圖6

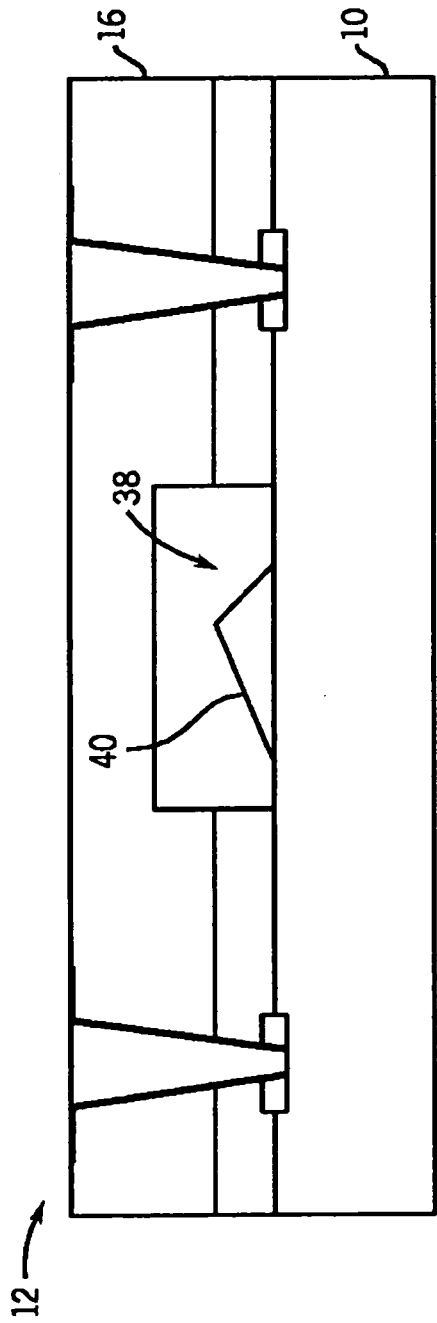


圖 7

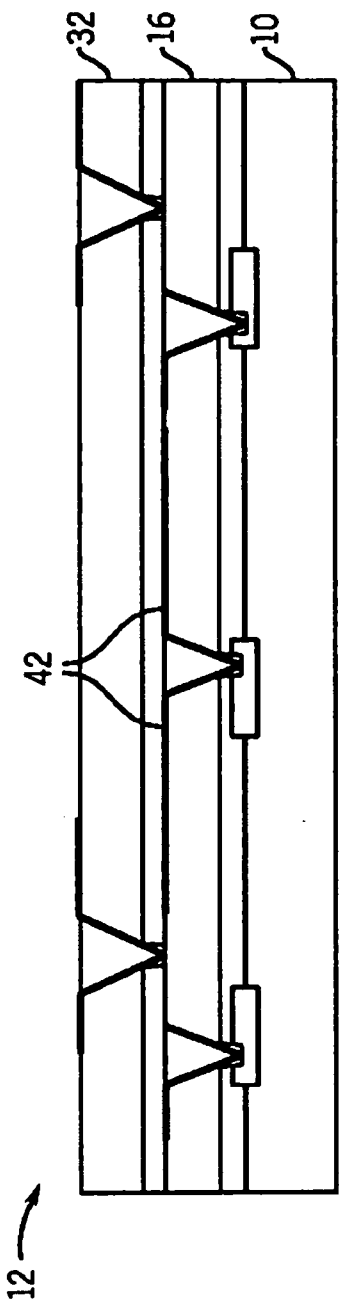


圖 8

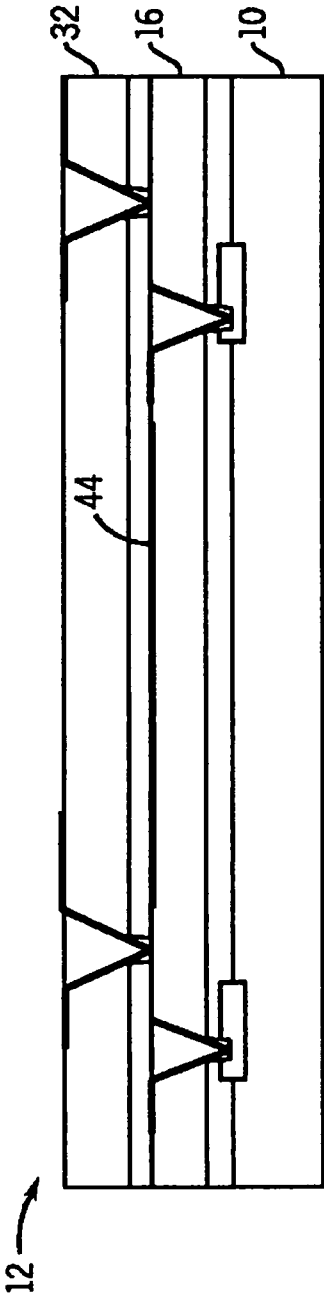


圖 9

圖10

