(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 12/08

(45) 공고일자 2002년12월18일
(11) 등록번호 10-0350567
(24) 등록일자 2002년08월16일

(21) 출원번호 10-1995-0025829
(22) 출원일자 1995년08월22일

(65) 공개번호 특1996-0008547
(43) 공개일자 1996년03월22일

(30) 우선권주장 293,625 1994년08월22일 미국(US)

(73) 특허권자 모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자 타이셍팽
미국,텍사스78750,오스틴,홈라케이레인10318
도노반라쯔
미국,텍사스78737,오스틴,타라레인8814

(74) 대리인 이병호

심사관 : 오세준

(54) 캐시태그랜덤액세스메모리및,그메모리에서의다수의유효비트무효화방법

요약

캐시 태그 램(cache TAG RAM ; 20)은 캐시 메모리에 저장된 데이타의 태그 어드레스를 저장하는 태그 어레이(22, 24) 및, 유효 비트 어레이(26, 31)를 구비한다. 캐시 태그 램(20)에서, 각 태그 어드레스에 대해 그 태그 어드레스가 유효한지를 나타내는 유효 비트가 설정된다. 유효 비트 어레이(26, 31)는 태그 어레이(22, 24)로부터 분리되어 위치한다. 캐시 태그 램(20)의 전원 공급중에 유효 비트 어레이(26, 31)의 열의 그룹을 순차적으로 무효화 하기 위해 다중 스텝의 무효화 싸이클이 사용된다. 이 다중 스텝의 무효화 싸이클은 무효화 싸이클동안 피크 전류들 감소시키고, 그에 따라 메탈 이송(metal migration)을 감소시킨다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 캐시 태그 램(cache TAG RAM)의 블럭도.

제 2 도는 제 1 도의 캐시 태그 램의 국소 기록 구동기 회로의 개략적 도면.

제 3 도는 제 1 도의 캐시 태그 램의 워드 라인 구동기 회로의 개략적 도면.

제 4 도는 제 1 도의 캐시 태그 램의 메모리 셀의 열을 도시하는 개략적 도면.

제 5 도는 무효화 싸이클중의 제 1 도의 캐시 태그 램의 여러 신호의 타이밍 챠트.

* 도면의 주요부분에 대한 부호의 설명 *

22, 24 : 태그 어레 26, 31 : 유효 비트 어레이

36, 37 : 비트 라인 로드 38, 39 : 워드 라인 구동기

40 : 무효화 제어 논리 41 : 광역 기록 구동기

42 ~ 48, 17 : 지연 요소 49 56 : 국소 기록 구동기

111, 112, 113 : 스태틱 랜덤 액세스 메모리(SRAM)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일반적으로 메모리에 관한 것이며, 보다 구체적으로는 캐시 태그 랜덤 액세스 메모리(cache TAG random access memory)에 관한 것이다.

캐시 메모리는, 데이타 처리 시스템의 속도를 증가시키기 위해 사용되는 비교적 소형의 고속 메모리이다. 캐시 메모리의 액세스 시간은 데이타 처리 시스템의 중앙 처리 유닛(CPU)의 전파 지연 시간에 근사한다. 캐시 메모리는, CPU 와 비교적 느린 주 메모리(main memory) 사이의 액세스 수를 줄이기 위해 자주 사용되는 지시나 데이타를 저장함으로써 시스템의 성능을 향상시킨다.

캐시 태그 램(cache TAG RAM)은 캐시 메모리의 성능을 향상시키기 위해 주로 사용된다. 이 캐시 태그 램은 캐시 메모리에 현재 저장되어 있는 데이타 및 지시의 어드레스(addresses)를 저장하기 위해 사용된다. 데이타나 지시가 CPU 에 의해 캐시 메모리로부터 요청될 경우, 캐시 태그 램은 그 어드레스를 수신하여 요청된 지시나 데이타가 캐시 메모리에 존재하는지의 여부를 판단한다. 캐시 메모리와 마찬가지로, 캐시 태그 램은 종래의 스태틱 랜덤 액세스 메모리(static random access memory : SRAM) 셀의 어레이를 구비한다. 상기 태그(TAG) 어드레스와 처리에서 발생된 어드레스가 동일하다면, 캐시 " 히트(hit)" 가 야기되고, 요청된 데이타가 캐시 메모리내에 위치한다는 것을 나타내는 소정 논리상태의 일치 신호가 캐시 태그 램에 의해 제공된다. 또한, TAG 어레이의 비교 싸이클(compare cycle)중에 어드레스 위치의 유효 히트(valid hit)를 부여하는 유효 비트가 태그 어드레스의 일부로 포함된다. 예컨대, 논리 " 1" 의 유효 비트는 그 태그 어드레스가 유효함을 나타내며, 논적 " 0" 의 유효 비트는 그 태그 어드레스가 유효하지 않음을 나타낸다. 데이타 처리기가 발생시킨 어드레스와 태그 어드레스가 동일하지 않을 경우 및/또는 유효 비트가 유효 어드레스를 나타내도록 설정되지 않을 경우, 캐시 " 미스(miss)" 가 야기되고, 요청된 데이타가 캐시 메모리내에 위치하지 않음을 나타내는 반대 논리 상태의 일치 신호가 캐시 태그에 의해 제공된다.

데이타 처리 시스템의 동작 동안, 캐시 메모리와 주 메모리의 데이타간의 불일치(incoherence)를 방지하기 위해 캐시 메모리를 무효화하는 무효화 사이클이 사용될 수도 있다. 데이타의 불일치는, 데이타가 캐시 메모리에서는 수정되고 주 메모리에서는 수정되지 않은 경우에 발생될 수 있다. 불일치를 방지하기 위해, 캐시의 데이타가 주 메모리의 현재의 데이타를 반영하도록 갱신될 수도 있고, 주 메모리의 데이타가 CPU (중앙 처리 유닛)으로부터의 직접적인 메모리 액세스에 의해 변경될 수도 있다. 종래의 캐시 태그 램의 전력 증가 동안, 무효화 사이클은 캐시 태그 램의 유효 비트를 전부 무효화하는데에 사용된다. 통상, 캐시 태그 램의 초기 상태를 설정하기 위해 모든 유효 비트가 동시에 무효화된다. 모든 워드 라인이 선택되고 태그 어드레스의 각 무효 비트에는 논리 " 0" 이 기록된다. 그러나, 캐시 메모리가 대형화됨에 따라, 캐시 태그 또한 대형화되며 무효 비트의 어레이를 무효화하는데 필요한 피크 전류량이 과대해진다.

발명의 개요

따라서, 한가지 형태로, 태그 어레이, 유효 비트 어레이 및, 무효화 회로를 구비한 캐시 태그 랜덤 액세스 메모리가 제공된다. 태그 어레이는 캐시 메모리에 저장된 데이타의 어드레스 위치를 저장한다. 유효 비트 어레이는 행과 열이 교차하도록 배열된 다수의 워드 라인 및 다수의 비트 라인을 구비하며, 각 교차점에는 메모리 셀이 위치한다. 유효 비트 어레이는 유효 비트를 저장하며 태그 어레이로부터 분리되어 있다. 유효 비트는 태그 어레이의 비교 싸이클동안 어드레스 위치의 유효 비트(valid hit)를 부여한다. 무효화 회로는, 유효 비트 어레이이에 결합되며, 유효 비트 어레이에서 다수의 워드 라인을 선택하며, 무효화 제어 신호의 수신에 응답하여 유효 비트 어레이를 순차적으로 무효화한다.

다른 형태로, 유효 비트 어레이를 무효화하는 방법이 제공된다.

상기 및 기타 특징 및 장점은 다음의 상세한 설명을 첨부된 도면을 참조하며 읽으면 더 명백하게 이해될 것이다.

양호한 실시예의 설명

일반적으로, 본 발명은 캐시 메모리에 저장된 데이타의 태그 어드레스를 저장하는 태그 어레이를 갖는 캐시 태그 램을 제공한다. 각 태그 어드레스에 대해 태그 어드레스의 유효 여부를 나타내기 위해 유효 비트가 설정된다. 이 유효 비트는 태그 어레이로부터 분리되어 위치하는 유효 비트 어레이내에 위치한다. 유효 비트 어레이의 열의 블럭을 순서대로 무효화하기 위해 다중 스텝의 무효화 싸이클이 사용된다. 이 다중 스텝의 무효화 싸이클은 무효화 싸이클 동안 피크 전류를 감소시키며 그에 따라 메탈 이송(metsl migration)을 감소시킨다.

본 발명은 제 1 내지 5 도를 참조하여 더 상세히 설명될 것이다. 제 1도는 본 발명에 따른 캐시 태그 램(cache TAG RAM ; 20)을 블럭도 형태로 도시한다. 캐시 태그 램(20)은 태그 어레이(TAG array ; 22 및 24), 유효 비트 어레이(26 및 31), 비트 라인 로드(bit line load ; 36 및 37), 워드 라인 구동기(word line driver ; 38 및 39), 무효화 제어 논리(invalidate control logic ; 40), 광역 기록 구동기(global write driver ; 41), 지연 요소(delay elements ; 42 48 및 57) 및, 국소 기록 구동기(local write driver ; 49 56)를 포함한다.

유효 비트는 태그 어드레스로부터 분리된 어레이에 포함된다. 유호 비트는 캐시 태그 램(20)의 비교 싸이클 동안 어드레스 위치의 유효 히트를 부여하기 위한 것이다. 유효 어레이(26)는 열(27 30)의 블럭으로 그룹화된다. 유효 어레이(31)는 열(32 ~ 35)의 블럭으로 분할된다. 무효화 제어 논리(40)는 " INV' " 라 표기된 외부 무효화 제어 신호를 수신하는 입력 단자, " INVWL* " 로 표기된 무효화 워드 라인 제어 신호를 제공하는 제 1 출력 단자 및, 신호 " EQDV" 들 제공하는 제 2 출력 단자를 구비한다. 여기서, 신호명 뒤의 별표(*)는 그 신호가 별표 없는 동일 신호명을 갖는 신호의 논리적 상보 신호임을 나타낸다. 무효화 워드 라인 제어 신호 INVWL*는 워드 라인 구동기 회로(39) 및 지연 요소(57)의 입력 단자에 제공된다. 워드 라인 구동기 회로의 예는 제 3 도에 도시되어 있다. 지연 요소(57)는 워드 라인 구동기 회로(38)에 접속된 출력 단자를 갖는다. 국소 기록 구동기(49 ~ 56)는 무효화 제어 논리(40)로부터의 " INVWD" 로 표기된 무효화 제어 신호와 광역 기록 구동기 (41)로부터의 " EQD_{1S} " 로 표기된 신호를 각각 수신한다. 국소 기록 구동기(49)는 기록 신호 EQDV 를 수신하는 무효화 제어 논리(40)의 제 2 출력 단자에 결합된 입력 단자를 구비한다. 지연 요소(42, 43 및 44)는 기록 신호 EQDV 의 수신을 국소 기록 구동기(50, 51 및 52)에 의해 각각 소정 지연만큼 지연시킨다. 각 지연 요소(42 ~ 56 및 57)는 다수의 직렬접속된 인버터(inverter)를 포함하는데, 여기서, 소정 지연량은 이 다수의 직렬 접속된 인버터에 의해 결정된다.

각 국소 기록 구동기(53, 54, 55 및 56)는 소정 지연후에 기록 신호 EQDV 에 대응하는 지연 신호를 수신한다. 예컨대, 국소 기록 구동기(53)는 지연 요소(45)로부터의 " EQDVD" 로 표기된 지연 신호를 수신한다. 국소 기록 구동기(49)는 비트 라인 로드(37)에 " $EQDVLOC_0$ " 로 표기된 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(50)는 비트 라인 로드(37)에 " $EQDVLOC_1$ " 으로 표기된 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(51)는 비트 라인 로드(37)에 " $EQDVLOC_2$ " 로 표기된 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(52)는 비트 라인 로드(37)에 " $EQDVLOC_3$ " 로 표기된 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(53)는 비트 라인 로드(36)에 " $EQDVLOC_4$ " 로 표기된 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(54)는 비트 라인 로드(36)에 " $EQDCLOC_5$ " 로 표기된 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(55)는 비트 라인 로드(36)에 " $EQDCLOC_6$ " 로 표기될 국소 기록 신호를 제공하는 출력 단자를 구비한다. 국소 기록 구동기(56)는 비트 라인 로드(36)에 " $EQDCLOC_7$ " 로 표기된 국소 기록 신호를 제공하는 출력 단자들 구비한다.

양호한 실시예에서, 유효 비트 어레이(26)는 32 열 및 128 행으로 형성된다. 따라서, 4 개의 국소 기록 구동기(53, 54, 55 및 56) 각각은 무효화 싸이클 동안 유효 비트 어레이(26)의 8 열에 결합된다. 유효 비트 어레이(31)에 대해서도 마찬가지이다. 다른 실시예로, 유효 비트 어레이는 다른 구성 및/또는 어레이당 상이한 개수의 국소 기록 구동기를 가질 수도 있다. 또한 개시 태그 램(20)에는 2 개 초과 또는 미만의 유효 비트 어레이가 존재할 수도 있다.

캐시 태그 램(20)의 무효화 싸이클 동안, 무효화 제어 신호 INV*는 논리 로우(low)로 된다. 전원 공급중에, 또는 캐시 메모리(도시 안됨)와 주 메모리(도시 안됨)간의 불일치를 바로 잡기 위해, 자동적으로 무효화 싸이클로 진입할 수도 있다. 논리 로우인 무효화 워드 라인 제어 신호 INVWL*는 워드 라인 구동기(39) 및 지연 요소(57)에 제공된다. 유효 비트 어레이(31)의 모든 워드 라인이 선택된다. 유효 비트 어레이(26)의 모든 워드 라인은 소정 지연 후에 선택된다. 이 소정 지연은 지연 요소(57)에 의해 제공된 지연량에 의해 결정된다. 기록 신호 EQDV 는 국소 기록 구동기(49) 및 지연 요소(42 및 45)에 제공된다. 국소 기록 구동기(49, 40, 51 및 52)는, 논리 " 0" 을, 열(35, 34, 33 및 32)의 블럭에 순차적으로 기록함으로써 유효 비트 어레이(31)의 열에 기록하는데, 그 타이밍은 지연 요소(42, 43 및 44)에 의해 제공된 소정 지연에 따른다.

기록 신호 EQDV 에 응답하며, 국소 기록 구동기(49)(제 2 도)는 비트 라인 로드(37)에 논리 0 인 국소 기록 신호 $EQDVLOC_0$를 제공하여 메모리 셀의 열 블럭에 결합된 모든 메모리 셀에 논리 0 을 기록한다. 국소 기록 구동기(51)는 지연 요소(42 및 43)에 의해 제공된 소정 지연 후에 메모리 셀의 열 블럭에 논리 0 을 기록한다. 국소 기록 구동기(52)는 지연 요소(42, 43 및 44)에 의해 제공된 소정 지면 이후에 메모리 셀의 열 블럭에 논리 0을 기록한다. 유효 비트 어레이(31)의 모든 열이 논리 0 으로 기록된 후에, 유효 비트 어레이(26)의 워드 라인이 선택되고, 유효 비트 어레이(26)의 열의 그룹은 지연 요소(45, 46, 47 및 48)에 의해 결정된 순서로 기록된다. 지연 요소(45)에 의해 제공된 지연은 지연 요소(57)에 의해 제공된 지연과 거의 같다. 이것은 유효 비트 어레이(26)의 무효화를 시작하기 전에 모든 유효 비트 어레이(31)가 무효화 되도록 한다. 유효 비트 어레이(26)의 무효화는 유효 비트 어레이(31)에 대해 전술된 것처럼 진행된다. 유효 비트 어레이(26 및 31)의 각 워드 라인 또한 워드 라인의 그룹으로 분할되어 순차적으로 무효화될 수도 있다.

전술된 다중 스텝의 무효화 싸이클을 사용함으로써, 무효화 싸이클동안 피크 전류가 감소되고, 그에 따라 캐시 태그 램(20)의 메탈 이송(metal migration)이 감소된다.

캐시 태그 램(20)의 기록 또는 판독/비교 싸이클동안, 무효화 제어 신호 IVN *를 비활성 상태 또는 논리 하이(high)가 되도록 함으로써 유효 비트 어레이의 각 메모리 셀에 따로따로 기록을 행할 수 있다. 특정 태그 어드레스를 유효화하기 위해 데이타 신호 DIN_{15} 가 논리 1 로 제공되고, 특정 태그 어드레스를 무효화하기 위해 데이타 신호가 논리 0 으로 제공된다.

제 2 도는 제 1 도의 캐시 태그 램(20)의 국소 기록 구동기 회로(49)를 개략도 형태로 도시한다. 국소 기록 구동기 회로(49)는, 인버터(65, 73 및 87), 바이폴라 NPN 트랜지스터(66, 75, 76 및 82), N 채널 트랜지스터(67, 77, 78, 81, 83, 84 및 85), P 채널 트랜지스터(74, 79 및 80) 및 전송 게이트(transmission gate ; 68 및 86)를 포함한다. 전송 게이트(68)는 P 채널 트랜지스터(69) 및 N 채널 트랜지스터(70)를 포함한다. 전송 게이트(86)는 P 채널 트랜지스터(72) 및 N 채널 트랜지스터(71)들 포함한다.

인버터(65)는 기록 신호 EQDV 틀 수신하는 입력 단자 및 출력 단자를 구비한다. NPN 트랜지스터(66)는, " V_{DD} " 로 표기된 전원 전압 단자에 접속된 콜렉터, 인버터(65)의 출력 단자에 접속된 베이스 및, 에미터를 구비한다. N 채널 트랜지스터 (67)는, NPN 트랜지스터(66)의 에미터에 접속된 드레인, 인버터(65)의 입력 단자에 접속된 게이트 및, " Vss" 로 표기된 전원 전압 단자에 접속된 소스를 구비한다.

인버터(87)는 무효화 제어 신호 INVWD 를 수신하는 입력 단자 및 출력 단자를 구비한다. 전송 게이트(68)는, NPN 트랜지스터(66)의 에미터에 접속된 제 1 단자, 인버터(87)의 출력 단자에 접속된 제 1 제어 단자, 무효화 제어 신호 INVWD 를 수신하는 제 2 제어 단자 및, 제 2 단자를 구비한다.

인버터(73)는 전송 게이트(68)의 제 2 단자에 접속된 입력 단자 및 출력 단자를 구비한다. NPN 트랜지스터(75)는, V_{DD} 에 접속된 콜렉터, 인버터(73)의 출력 단자에 접속된 베이스 및, 국소 기록 신호 $EQDVLOC_{0}$ 를 제공하는 에미터를 구비한다.

NPN 트랜지스터(76)는, V_{DD} 에 접속된 콜렉터, 인버터(73)의 출력 단자에 접속된 베이스 및, NPN 트랜지스터(75)의 에미터에 접속된 에미터를 구비한다. P 채널 트랜지스터(74)는, 두 NPN 트랜지스터(75 및 76)의 베이스에 접속된 소스, Vss 에 접속된 게이트 및 NPN 트랜지스터(75 및 76)의 에미터에 접속된 드레인을 구비한다. N 채널 트랜지스터(77)는, NPN 트랜지스터(75)의 에미터에 접속된 드레인, NPN 트랜지스터(66)의 에미터에 접속된 게이트 및, Vss 에 접속된 소스를 구비한다. N 채널 트랜지스터(78)는, NPN 트랜지스터(76)의 에미터에 접속된 소스, 게이트 및, Vss 에 접속된 드레인을 구비한다. 전송 게이트(86)는, 전송 게이트(68)의 제 2 단자에 접속된 제 1 단자, N 채널 트랜지스터(78)의 게이트에 접속된 제 2 단자, 무효화 제어 신호 INVWO 를 수신하는 제 1 제어 단자 및, 인버터(87)의 출력 단자에 접속된 제 2 제어 단자를 구비한다. 양호한 실시예에서, V_{DD} 는 약 5 볼트의 정전원 전압에 접속되고, Vss 는 0 볼트 또는 접지 전위가 된다. 다른 실시예로, V_{DD} 및 Vss 는 다른 전압에 접속될 수도 있다.

P 채널 트랜지스터(79)는, V_{DD} 에 접속된 소스, 무효화 제어 신호 INV 를 수신하는 게이트 및, 드레인을 구비한다. P 채널 트랜지스터(80)는, P 채널 트랜지스터(79)의 드레인에 접속된 소스, 데이타 신호 EQD_{15} 를 수신하는 게이트 및, 드레인을 구비한다. NPN 트랜지스터(82)는, V_{DD} 에 접속된 콜렉터, P 채널 트랜지스터(80)의 드레인에 접속된 베이스 및, N 채널 트랜지스터(78)의 게이트에 접속된 에미터를 구비한다. N 채널 트랜지스터(81)는, P 채널 트랜지스터(80)의 드레인에 접속된 드레인, P 채널 트랜지스터(80)의 게이트에 접속된 게이트 및, Vss 에 접속된 소스를 구비한다. N 채널 트랜지스터(83)는, NPN 트랜지스터(82)의 베이스에 접속된 드레인, 무효화 제어 신호 INV 를 수신하는 게이트 및, Vss 에 접속된 소스를 구비한다. N 채널 트랜지스터(84)는, NPN 트랜지스터(82)의 에미터에 접속된 드레인, N 채널 트랜지스터(81)의 게이트에 접속된 게이트 및, Vss 에 접속된 소스를 구비한다. N 채널 트랜지스터(85)는, NPN 트랜지스터(82)의 에미터에 접속된 드레인, 무효화 제어 신호 INV 를 수신하는 게이트 및, Vss 에 접속된 소스를 구비한다.

무효화 싸이클 동안, 무효화 제어 신호 INVWD 는, 전송 게이트(68)를 도통 상태가 되게 하고 전송 게이트(86)가 사실상 비도통 상태가 되게 하는 논리 하이 전압이다. 기록 신호 EQDV 는 논리 로우 전압이며 인버터(65)의 입력 단자에 제공된다. 인버터(65)의 출력 단자는 NPN 트랜지스터(66)의 베이스에 논리 하이 전압을 제공하여 NPN 트랜지스터(66)가 도통되도록 한다. NPN 트랜지스터(66)의 에미터에서의 논리 하이 전압은 전송 게이트(68)를 통해 인버터(73)의 입력 단자에 제공된다. 따라서, 인버터(73)의 출력 단자는 논리 로우 전압을 제공하여 NPN 트랜지스터(75 및 76)가 사실상 비도통되도록 한다. 또한, NPN 트랜지스터(66)의 에미터에서의 논리 하이 전압은 N 채널 트랜지스터(77)의 게이트에 제공되어 국소 기록 신호 $EQDVLOC_0$ 를 논리 로우 전압으로 저하시킨다. 논리 로우인 국소 기록 신호 $EQDVLOC_0$ 는 비트 라인 로드(36)에 제공되어 국소 기록 구동기 회로(49)에 결합된 8 열의 모든 메모리 셀에 논리 0 을 기록한다.

무효화 제어 신호 INVWD 는 논리 하이 전압이므로, P 채널 트랜지스터는 실질상 비도통 상태이다. N 채널 트랜지스터(83)는 도통되고 NPN 트랜지스터(82)의 베이스를 논리 로우 전압으로 유지시켜 NPN 트랜지스터(82)가 실질상 비도통되도록 한다. N 채널 트랜지스터(85)가 도통되고, 이것은 N 채널 트랜지스터(78)를 논리 로우 전압으로 유지시키고 N 채널 트랜지스터(78)가 실질상 비도통되도록 한다.

캐시 태그 램(20)의 기록 싸이클 동안, 무효화 제어 신호 INV^* 는 논리 하이 전압이 되어 무효화 제어 신호 INVWD 가 논리 로우 전압이 되도록 한다. 기록 신호 EQDV 는 논리 하이 전압이 되어 N 채널 트랜지스터(67)가 도통되도록 하고, 이에 따라 N 채널 트랜지스터(77)에서의 전압이 논리 로우로 저하되어 N 채널 트랜지스터(77)가 실질상 비도통되도록 한다. 전송 게이트(68)는 실질상 비도통 상태가 되고, 전송 게이트(86)는 도통된다. 데이타 신호 EQD_{15} 가 논리 하이라면, 태그 어레이(22)에 기록되고 있는 특정 태그 어드레스가 유효하고, P 채널 트랜지스터(80)가 실질상 비도통 상태이며, N 채널 트랜지스터(81)가 도통 상태라는 것을 나타낸다. 따라서, NPN 트랜지스터(82)에 논리 로우 전압이 제공되어 NPN 트랜지스터(82)는 실질상 비도통 상태가 된다.

N 채널 트랜지스터(84)가 도통되어 N 채널 트랜지스터(78)의 게이트 전압을 논리 로우로 저하시킴으로써, N 채널 트랜지스터는 실질상 비도통된다. N 채널 트랜지스터(84)에 의해 인버터(73)의 입력 단가의 전압이 논리 로우 전압으로 저하됨으로써 인버터(73)의 출력 단자에 논리 하이 전압이 야기된다. NPN 트랜지스터(75 및 76)가 도통되어 국소 기록 신호 $EQDVLOC_0$ 는 논리 하이 전압으로 비트 라인 로드(37)에 제공된다.

제 3 도는 제 1 도의 캐시 태그 램(20)의 워드 라인 구동기 회로(90)를 개략도 형태로 도시한다. 워드 라인 구동기 회로(90)는 워드 라인 구동기(38 및 39)의 워드 라인 구동기 회로중 하나를 나타낸다. 양호한 실시예에서는, 워드 라인 구동기(38 및 39)의 워드 라인 구동기 회로(90)와 유사한 128 개의 워드 라인 구동기 회로가 존재한다. 각 워드 라인 구동기 회로는, 유효 비트 어레이(26) 및 유효 비트 어레이(31)의 워드 라인에 접속된다. 워드 라인 구동기 회로(90)는 P 채널 트랜지스터(91, 92 및 95) 및 N 채널 트랜지스터(93, 96 및 97)를 포함한다.

P 채널 트랜지스터(91)는, V_{DD} 에 접속된 소스, 무효화 워드 라인 제어 신호 $INVWL^*$ 를 수신하는 게이트 및, 드레인을 구비한다. P 채널 트랜지스터(92)는, V_{DD} 에 접속된 소스, Vss에 접속된 게이트 및, 드레인을 구비한다. N 채널 트랜지스터(93)는, P 채널 트랜지스터(92)의 드레인에 접속된 드레인, "RS_0" 로 표기된 행 선택 신호를 수신하는 게이트 및, "BS^*" 로 표기된 블럭 선택 신호를 수신하는 소스를 구비한다. P 채널 트랜지스터(91 및 95) 및 N 채널 트랜지스터(96 및 97)는 함께 결합되어 NAND 논리 게이트(94)를 형성한다. P 채널 트랜지스터(95)는, V_{DD} 에 접속된 소스, P 채널 트랜지스터(92)의 드레인에 접속된 게이트 및, "$WLVL_0$" 로 표기된 워드 라인 신호를 제공하는 드레인을 구비한다. N 채널 트랜지스터(96)는, P 채널 트랜지스터(95)의 드레인에 접속된 드레인, P 채널 트랜지스터(95)의 게이트에 접속된 게이트 및, 소스를 구비한다. N 채널 트랜지스터(97)는, N 채널 트랜지스터(96)의 소스에 접속된 드레인, 무효화 워드 라인 제어 신호 $INVWL^*$ 를 수신하는 게이트 및, Vss 에 접속된 소스를 구비한다.

무효화 싸이클 동안, 논리 로우인 무효화 제어 신호 INV^* 는 논리 로우인 무효화 워드 라인 제어 신호 $INVWL^*$ 이 P 채널 트랜지스터(91)의 게이트에 제공되도록 한다. N 채널 트랜지스터(97)는 실질상 비도통 상태가 되고 P 채널 트랜지스터(91)는 도통 상태가 됨으로써, 워드 라인 $WLVL_0$ 의 전압이 논리 하이로 증가되고, 이에 따라 워드 라인 $WLVL_0$ 에 결합된 메모리 셀이 선택된다.

기록 또는 판독/비교 싸이클 동안, 무효화 워드 라인 제어 신호 INVWL*는 논리 하이 전압이 되어 P 채널 트랜지스터(91)가 실질상 비도통 되도록 한다. 워드 라인 $WLVL_0$는 행 선택 신호 RS_0 및 블럭 선택 신호 BS*의 논리 상태를 근거로 선택된다.

제 4 도는 제 1 도의 유효 비트 어레이(26 및 31)의 메모의 셀의 열(110)을 개략도 형태로 도시한다. 메모리 셀의 열(110)은 양호한 실시예에서 유효 비트 어레이(26 및 31) 모두에 사용되는 메모리 셀의 한 열을 나타낸다. 메모리 셀의 열(110)은 종래의 4 트랜지스터 스태틱 랜덤 액세스 메모리(SRAM) 셀(111, 112 및 113)을 포함한다. 메모리 셀(111)은 부하 저항(load resistor ; 114 및 115), 풀 다운 트랜지스터(pull-down transistor ; 116 및 117) 및 액세스 트랜지스터(access transistor ; 118 및 119)를 포함한다. 액세스 트랜지스터(118 및 119)는 N 채널 MOS (금속 산화물 반도체) 트랜지스터로서 워드 라인 $WLVL_0$이 선택될때 저장 노드(storage node ; 101 및 102)를 비트 라인쌍 BL/BL*에 결합시키기 위한 것이다. 메모리 셀(112 및 113)은 메모리 셀(111)과 유사하다. 메모리 셀(112)은, 워드 라인 $WLVL_1$이 선택될때, N 채널 트랜지스터 (120 및 121) 각각에 의해 비트 라인쌍 BL/BL*에 결합된다. 메모리 셀(113)은 워드 라인 $WLVL_2$이 선택될때 N 채널 트랜지스터(122 및 123) 각각에 의해 비트 라인 쌍 BL/BL*에 결합된다. 다른 실시예로 6 트랜지스터 SRAM 셀을 포함할 수도 있는데, 그럴 경우 부하 저항은 P 채널 MOS 트랜지스터와 같은 능동 소자(active device)로 대체된다. 이 능동 소자는 박막 트랜지스터(TFT) 부하를 포함할 수도 있다. N 채널 트랜지스터(124 및 125)는, 활성 상태인 " WLOC" 로 표기된 디코딩 신호에 응답하여 차분 국소 기록 신호 $EQDVLOC_0$/$EQDVOLC_0$*를 수신하는 국소 기록 구동기 회로(49)(제 1 도 및 제 2 도)에 비트 라인 BL/BL*을 결합시킨다. 디코딩 신호 WLOC 는 종래의 열 디코더(도시 안됨)에 의해 제공될 수 있다. 저장 노드(101)는 N 채널 트랜지스터(118)에 의해 비트 라인 BL 에 결합되고, 저장 노드(102)는 N 채널 트랜지스터 (119)에 의해 비트 라인 BL*에 결합된다. 각 메모리 셀은 태그 어레이(22 및 24)에 저장된 대응하는 태그 어드레스에 대한 유효 비트를 저장한다.

무효화 싸이클동안, 열(110)이 속하는 열의 블럭이 무효화 될때마다 열(110)의 모든 메모리 셀에는 논리 0 이 동시에 기록된다. 무효화 싸이클 동안, 두 비트 라인 BL 및 BL*은 방전되어 거의 0 볼트의 전위 또는 접지 전위가 된다. 유효 비트 어레이의 모든 워드 라인이 선택되고, 비트 라인쌍의 비트 라인중 한 비트 라인에서의 전압이 논리 하이 전압으로 증가된다. 어떤 비트 라인의 전압이 증가되는지에 따라, 열(110)의 메모리 셀에는 소정 논리 상태가 기록된다. 양호한 실시예에서는, 비트 라인 BL*의 전압이 증가되고, 열(110)의 모든 메모리 셀에는 논리 0 이 기록된다. 모든 메모리 셀에 대한 동시 기록전의 비트 라인쌍의 제 1 방전에 의해, 메모리 셀의 풀다운 트랜지스터가 비도통 상태가 되므로, 논리 하이인 비트 라인 전압을 의도치 않게 감소시켜 저장 노드중 한 노드가 논리 하이 전압이 될 가능성을 감소시킨다. 또한, 열의 모든 메모리 셀이 방전됨으로써 유효 비트 어레이의 과도한 DC 전압이 방지된다.

제 5 도는 무효화 싸이클 동안의 제 4 도의 메모리 셀의 열(110)에서의 다양한 신호의 타이밍도들 도시한다. 시간 t1 에서, 디코딩 신호 WLOC 는 논리 하이 전압이 되어 N 채널 트랜지스터(124 및 125)가 도통되도록 한다(제 4 도 참조). 시간 t2 에서, 차분 국소 기록 신호 $EQDVLOC_0$/$EQDVLOC_0$*는 둘다 논리 로우로 저하되어 비트 라인 BL 및 BL*이 논리 로우 전압으로 저하되도록 한다. 워드 라인 $WLVL_0$을 포함하는 워드 라인들이 선택되거나 논리 하이 전압이 되어 액세스 트랜지스터(118 123)가 도통되도록 한다. 메모리 셀(111)의 저장 노드(101 및 102) 다른 메모리 셀의 저장 노드들은, 비트 라인 BL*을 논리 하이 전압으로 끌어올리기 위한 준비 작업으로 모든 풀다운 트랜지스터를 턴 오프(turn off)시키기 위해, 셀을 방전시켜 균등화 하도록 논리 로우 전압으로 감소된다. 시간 t4 에서, 국소 기록 신호 $EQDVLOC_0$*가 논리 하이 전압으로 증가되어, 비트 라인 BL*이 논리 하이 전압으로 증가되고 그에 따라 저장 노드(102)의 전압이 논리 하이로 증가된다. 이로써 셀(111)은 논리 로우를 저장한다. 시간 t5 에서, 워드 라인 $WLVL_0$, $WLVL_1$ 및 $WLVL_2$가 논리 로우 전압으로 감소되어 메모리 셀(111, 112 및 113)은 선택해제 (deselecting)된다. 시간 t6 에서, 국소 기록 신호 $EQDVLOC_0$는 논리 하이 전압으로 복귀한다. 시간 t7 에서, 디코딩 신호 WLOC 는 논리 로우로 저하된다.

메모리 셀에 논리 하이 전압을 기록하기 전에 비트 라인 BL 및 BL*을 방전시켜 균등화함으로써, 셀들중 일부가 논리 0 대신 논리 1 을 저장할 가능성이 감소된다.

본 발명은 양호한 실시예를 기준으로 설명되었지만, 당업자라면 본 발명이 다양한 방식으로 변형될 수 있고 본원에 특별히 제시되고 설명된 것 이외의 다른 많은 실시예가 가능하다는 것을 인식할 것이다. 따라서, 첨부된 특허청구의 범위에 의해 본 발명의 진정한 정신 및 범위내에 속하는 본 발명의 모든 변형을 포함시키고자 한다.

(57) 청구의 범위

청구항 1.

캐시 태그(TAG) 랜덤 액세스 메모리에 있어서,

다수의 태그(TAG) 어드레스를 저장하는 태그 어레이와,

교차하는 워드 라인 및 비트 라인 쌍에 결합된 다수의 메모리 셀을 가진 유효 비트 어레이로, 상기 다수의 메모리 셀 중 한 메모리 셀은 다수의 태그 어드레스중 한 어드레스에 대응하는 유효 비트를 저장하기 위한 것이고, 상기 유효 비트는 상기 태그 어레이로부터 분리되어 위치하며, 상기 유효 비트는 상기 캐시 태그 랜덤 액세스 메모리의 비교 싸이클 동안에 상기 다수의 태그 어드레스의 유효 비트를 부여하기 위한 상기 유효 비트 어레이와,

상기 유효 비트 어레이의 워드 라인에 결합되어 상기 유효 비트 어레이의 무효화 싸이클 동안에 모든 워드 라인을 선택하는 다수의 워드 라인 구동기 회로와,

각각이 소정 개수의 상기 비트 라인 쌍에 결합되며, 상기 무효화 싸이클 동안에 상기 유효 비트 어레이를 순차적으로 무효화하고 정상 기록 싸이클 동안에 선택된 메모리 셀에 기록하기 위한 다수의 기록 구동기 회로와,

상기 유효 비트 어레이와 다수의 국소 기록 구동기 회로에 연결되어 유효 비트 어레이로 그리고 소정의 순서로 다수의 워드 라인을 선택함으로써, 각각의 비트 라인쌍들상의 전압을 대략 접지 전위와 같게 한 다음에 무효 제어 신호 수신에 응답해서 동일한 소정의 논리 상태를 유효 비트 어레이의 모든 메모리 셀에 기록하는 무효 제어 회로를 포함하는 캐시 태그 랜덤 액세스 메모리.

청구항 2.

제 1 항에 있어서,

상기 다수의 기록 구동기 회로에 연결되며, 무효 싸이클 동안의 소정 시간에 대해서 다수의 기록 구동기 회로의 동작을 순차적으로 지연하는 다수의 지연 회로를 더 포함하는 캐시 태그 랜덤 액세스 메모리.

청구항 3.

캐시 태그 랜덤 액세스 메모리에서 다수의 유효 비트를 무효화하기 위한 방법으로, 상기 캐시 태그 랜덤 액세스 메모리는 다수의 태그 어드레스를 저장하기 위한 태그 어레이를 가지며, 다수의 태그 어드레스의 태그 어드레스는 다수의 유효 비트중 하나의 유효 비트를 포함하며, 상기 다수의 유효 비트는 메모리 셀들의 유효 비트 어레이에 저장되고, 상기 메모리 셀들은 교차하는 워드 라인들과 비트 라인 쌍들에 연결되며, 상기 방법은,

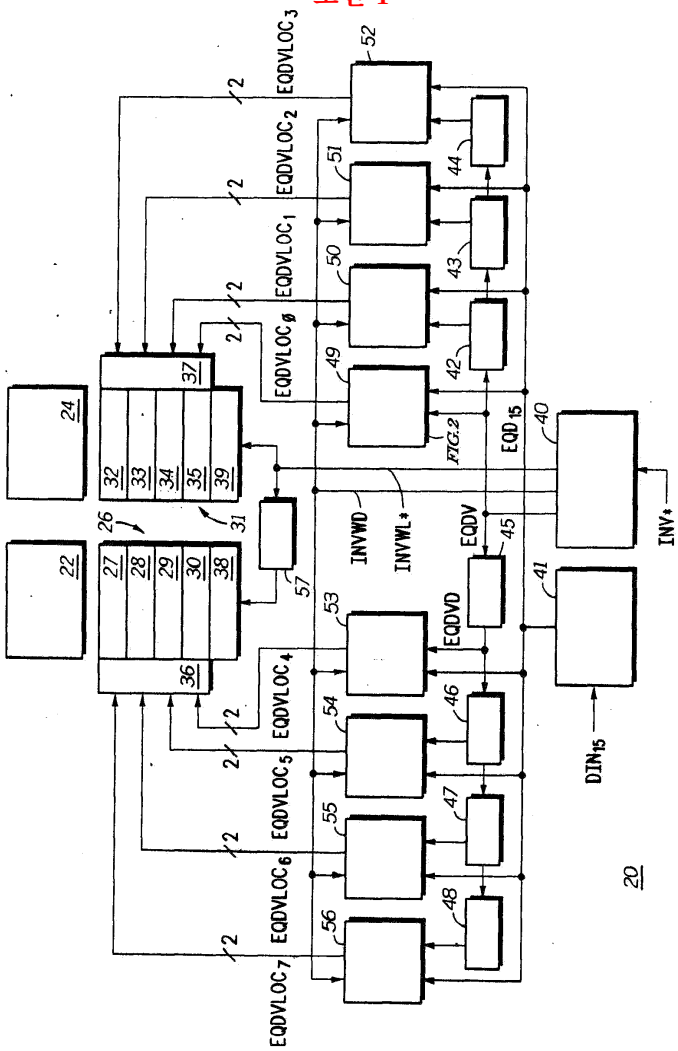
유효 비트 어레이의 무효 싸이클 동안에 유효 비트 어레이의 모든 워드 라인을 선택하기 위한 단계와,

유효 비트 어레이의 비트 라인 쌍들을 다수 블럭의 비트 라인 쌍들로 분할하기 위한 단계와,

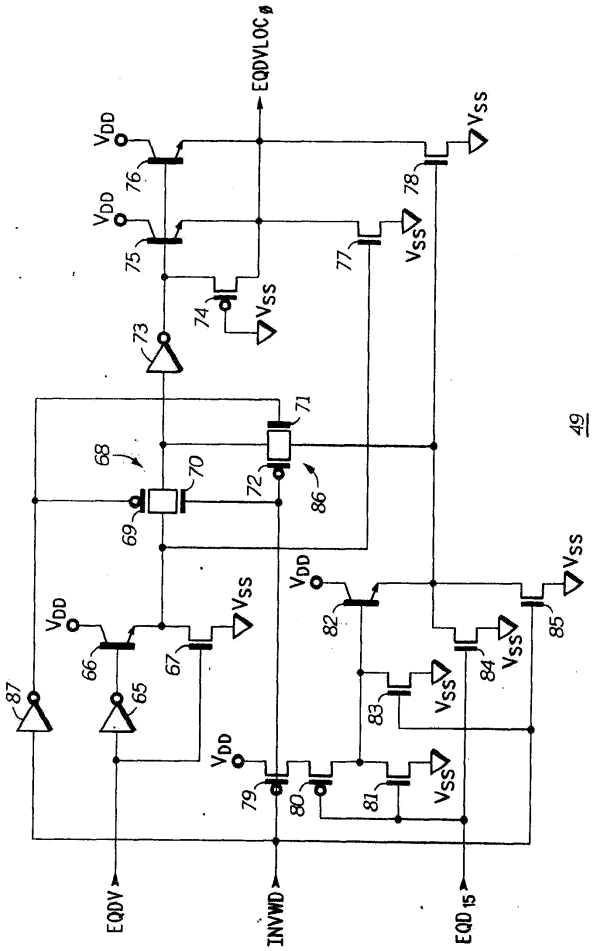
정상 기록 싸이클 동안 선택된 메모리 셀들에 기록하기 위해 사용된 복수의 기록 구동기 회로를 이용해서 무효 제어 신호 수신에 응답하여 동일한 소정의 논리상태를 정해진 순서로 동시에 다수 블록의 비트 라인 쌍들에 기록하기 전에 비트 라인쌍들의 각각의 비트상의 전위를 제로 볼트와 같게 하는 단계를 포함하는 방법.

도면

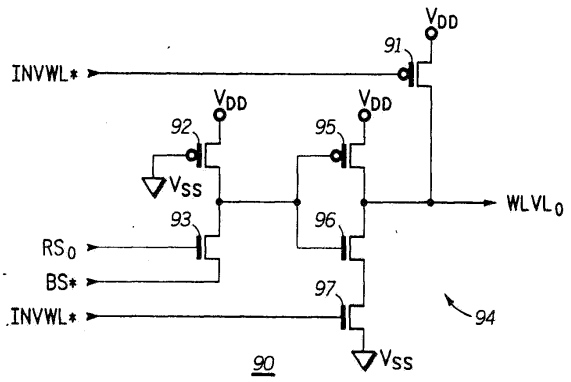
도면 1


EQDVLOC3
EQDVLOC2
EQDVLOC1
EQDVLOC0
EQDVLOC4
EQDVLOC5
EQDVLOC6
EQDVLOC7
INVWD
INVWL
EQDV
EQDVD
EQD15
DIN15
INV
FIG.2
20

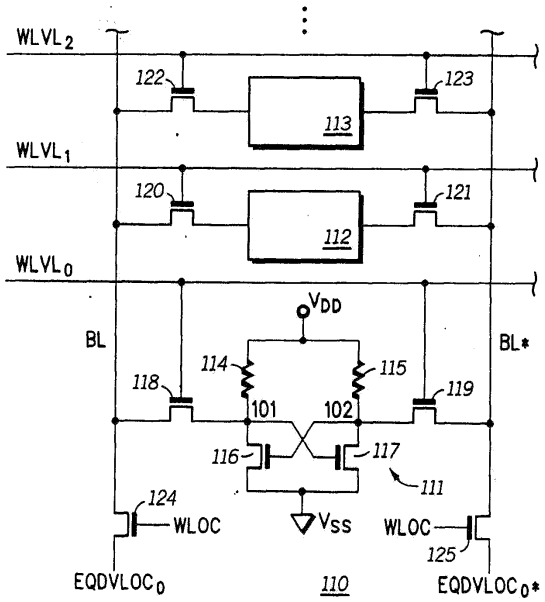
도면 2


EQDVLOC
VDD
VSS
49
EQDV
INVWD
EQD15

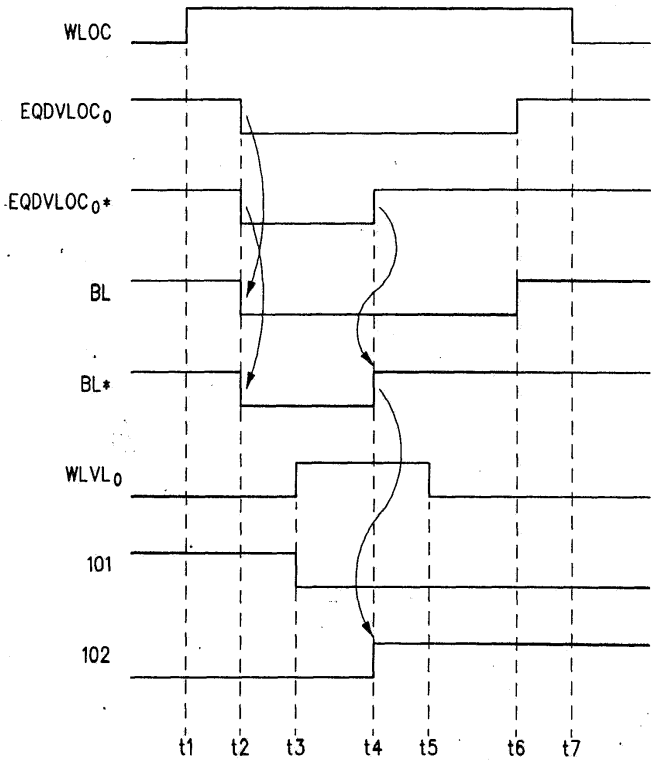
도면 3


INVWL*
VDD
VSS
RS0
BS*
WLVL0
90
94

도면 4


WLVL2
WLVL1
WLVL0
122
123
113
120
121
112
VDD
BL
BL*
114
115
118
119
101
102
116
117
111
124
WLOC
Vss
WLOC
125
EQDVLOC0
110
EQDVLOC0*

도면 5


WLOC
EQDVLOC0
EQDVLOC0*
BL
BL*
WLVL0
101
102
t1
t2
t3
t4
t5
t6
t7