

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5288814号  
(P5288814)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int. Cl. F I  
 HO 1 L 21/76 (2006.01) HO 1 L 21/76 L  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 R  
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 6 2 1  
 HO 1 L 29/786 (2006.01)

請求項の数 4 (全 8 頁)

(21) 出願番号 特願2008-16207(P2008-16207)  
 (22) 出願日 平成20年1月28日(2008.1.28)  
 (65) 公開番号 特開2009-177063(P2009-177063A)  
 (43) 公開日 平成21年8月6日(2009.8.6)  
 審査請求日 平成22年2月17日(2010.2.17)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 110000235  
 特許業務法人 天城国際特許事務所  
 (72) 発明者 伊藤 康浩  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 宮崎 邦浩  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 高倉 憲次  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にパターニングされた第1の絶縁膜をマスクとして、前記半導体基板にトレンチを形成し、

前記トレンチ内に第2の絶縁膜を埋め込み、平坦化し、

前記第1の絶縁膜をエッチングすることにより前記第1の絶縁膜の上部を選択的に除去し、前記半導体基板上に残される前記第1の絶縁膜の下部の上面から前記第2の絶縁膜の側面の一部を露出させ、

前記第1の絶縁膜の下部の上面から露出する前記第2の絶縁膜の側面を含む前記第2の絶縁膜の一部を等方的に除去し、

前記第1の絶縁膜の下部を選択的に除去したのちに、

前記第2の絶縁膜の上面が前記半導体基板表面から所定の高さとなり、少なくとも前記半導体基板表面から突出する前記第2の絶縁膜の側面の全面に最小テーパ角が90°以上のテーパが形成されるように、残された前記第2の絶縁膜の一部を、さらに等方的に除去することを特徴とする半導体装置の製造方法。

【請求項2】

選択的に除去される前記第1の絶縁膜の上部は、30nm以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記所定の高さは、22nm以上であることを特徴とする請求項1または請求項2に記載

載の半導体装置の製造方法。

【請求項4】

熱リン酸を用いたウェットエッチング、またはケミカルドライエッチングにより、前記第1の絶縁膜の上部を選択的に除去することを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば素子分離にSTI(Shallow Trench Isolation)を用いた半導体装置の製造方法に関する。

10

【背景技術】

【0002】

近年、電子機器などの小型化、高機能化の要求に伴い、微細化、高性能化などデバイス性能の向上を図るための素子分離技術としてSTIが用いられている。

【0003】

一般に、STIは、以下のようにして形成される。まず、半導体基板にSiN膜などのマスク材を用いて、RIE(Reactive Ion Etching)法などにより、浅いトレンチを形成する。このトレンチ内にHDP-CVD(High Density Plasma-Chemical Vapor Deposition)法などにより絶縁物を埋め込んだ後、CMP(Chemical Mechanical Polishing)法などにより平坦化する。そして、熱リン酸(H<sub>3</sub>PO<sub>4</sub>)溶液などを用いてマスク材を選択的に除去することにより、STIが形成される。このとき、形成されるSTI表面と半導体基板表面には、マスク材分の段差が形成されている。

20

【0004】

その後、STI上を含む半導体基板上に、ポリシリコンなどのゲート電極材料や、TEOS膜(Tetra Ethoxy Silane)、BSG膜(ボロンドープ酸化膜)、SiN膜などのゲート側壁材料などが堆積され、パターニングされてゲート電極が形成される。このとき、段差部分のSTI側面に、これらの材料がエッチング残渣として残り、発塵などにより歩留低下を引き起こすという問題が生じている。

【0005】

そこで、ゲート電極およびゲート側壁加工時のエッチング残渣を抑えるために、突出したSTIの側面(段差)を、順テーパ形状に加工するという手法が用いられている(例えば特許文献1など参照)。しかしながら、マスク材を除去した後にSTIを加工することにより、半導体基板へのダメージが生じ、結晶欠陥によるゲートリークの問題が発生する。

30

【0006】

また、単にSTI側面の面取り加工を行っただけでは、残渣物除去に十分な効果が得られない。十分な残渣物除去の効果を得るためには、STI側面のテーパ角を90°が以上となるように制御する必要がある。また、テーパ形状になっても側面にくびれが発生すると、残渣物が除去できず発塵の原因となる。

40

【特許文献1】特開2000-21967号公報([請求項1]、[0019]など)

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、STI側面の形状を制御し、エッチング残渣を抑えることにより、歩留の低下を抑制することが可能な半導体装置の製造方法を提供することを目的とするものである。

【課題を解決するための手段】

【0008】

本発明の一態様によれば、半導体基板上にパターニングされた第1の絶縁膜をマスクと

50

して、前記半導体基板にトレンチを形成し、前記トレンチ内に第2の絶縁膜を埋め込み、平坦化し、前記第1の絶縁膜をエッチングすることにより前記第1の絶縁膜の上部を選択的に除去し、前記半導体基板上に残される前記第1の絶縁膜の下部の上面から前記第2の絶縁膜の側面の一部を露出させ、前記第1の絶縁膜の下部の上面から露出する前記第2の絶縁膜の側面を含む前記第2の絶縁膜の一部を等方的に除去し、前記第1の絶縁膜の下部を選択的に除去したのちに、前記第2の絶縁膜の上面が前記半導体基板表面から所定の高さとなり、少なくとも前記半導体基板表面から突出する前記第2の絶縁膜の側面の全面に最小テーパ角が90°以上のテーパが形成されるように、残された前記第2の絶縁膜の一部を、さらに等方的に除去することを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

10

【0010】

本発明の一実施態様によれば、STI側面の形状を制御し、エッチング残渣を抑えることにより、歩留の低下を抑制することが可能となる。

【発明を実施するための最良の形態】

【0011】

以下本発明の実施形態について、図を参照して説明する。

【0012】

図1に、本実施形態の半導体装置の製造方法により形成されるMOSFETセルの断面図を示す。図に示すように、例えば半導体基板として、バルクSi基板、SOI(Silicon On Insulator)基板などの基板wを用い、基板wは、STI11により素子分離されている。

20

【0013】

STI11は、例えば熱酸化膜11a/TEOS膜11bから構成されている。TEOS膜11bの上層部は、基板wより突出しており、この側面にはテーパ11cが形成されている。このテーパ11cは、図2に示すように、STI11の断面において、STI11の側面の任意の点における接線と、基板w表面との角度をテーパ角としたとき、このテーパ角が90°以上となるように、すなわち、最小テーパ角が90°以上となるように形状加工されている。

【0014】

STI11により素子分離された領域には、ウェル中にチャネル領域を挟むように形成されるソース・ドレイン領域およびLDD(Lightly Doped Drain)領域を有するアクティブエリア12が形成されている。アクティブエリア12上には、ゲート絶縁膜13aを介して形成されたポリシリコン層13bおよび表面に形成されたシリサイド層(図示せず)からなるゲート電極13が形成されている。ゲート電極13には、例えばTEOS膜14a/SiN膜14bからなるゲート側壁が形成されている。

30

【0015】

これらの上層には、層間膜15が形成され、これを貫通するように形成されるコンタクト16により、上層配線17、電極(図示せず)などに接続され、MOSFETが構成されている。

【0016】

40

このような半導体装置は、以下のようにして形成される。

【0017】

まず、図3(a)にSTI形成領域の部分断面図を示すように、基板w上に、LPCVD(Low Pressure Chemical Vapor Deposition)法により、SiN膜21を例えば150nm形成する。SiN膜21上にレジスト膜を塗布し、リソグラフィ法によりレジストパターンを形成する。そして、レジストパターンをマスクとして、RIE(Reactive Ion Etching)法によりSiN膜21をエッチングする。さらに、基板wを例えば300nmエッチングし、レジストパターンを剥離して、STIトレンチ22を形成する。このとき、STIトレンチ22は、RIEの加工性に起因する若干の傾斜すなわち90°未満のテーパを有している。

50

## 【0018】

次いで、図3(b)に示すように、STIトレンチ22内に熱酸化膜11aを形成し、TEOS膜23を全面に堆積させ、STIトレンチ22を埋め込む。そして、CMP(Chemical Mechanical Polishing)法により、SiN膜21をストッパーとして、平坦化を行う。このとき、SiN膜21とTEOS膜23の界面も90°未満のテーパを有している。

## 【0019】

次いで、図3(c)に示すように、SiN膜21の上部を、熱リン酸溶液により選択的にエッチング(ハーフエッチング)する。STIの高さを例えば30nmに制御するためには、30nm以上を除去し(SiN膜21'が残存)、TEOS膜23の側面の一部を露出させる。このとき、エッチング時間を制御することで、ハーフエッチング量を制御することができる。

10

## 【0020】

さらに、図3(d)に示すように、TEOS膜23をフッ酸(HF)とフッ化アンモニウム(NH<sub>4</sub>F)を混合したバッファードフッ酸(BFH)溶液により、例えば30nm程度等方的にウェットエッチングする(TEOS膜23')。そして、残ったSiN膜21の下部21'を、熱リン酸溶液により選択的にエッチングして全剥離する。

## 【0021】

その後、図3(e)に示すように、フッ酸(HF)とフッ化アンモニウム(NH<sub>4</sub>F)を混合したバッファードフッ酸(BFH)溶液により、例えば15nm程度等方的にウェットエッチングする。このようにウェットエッチングすることにより、TEOS膜23"の上面を基板wの表面から例えば30nmの高さとするとともに、側面のテーパ角が90°以上となるように形状加工されたSTI11が形成される。

20

## 【0022】

このとき、図4に示すように、形状加工によりSTIの肩の部分11dは面取りされて、形状加工しない場合(点線A)と比較して、平均的にはなだらかになっていても(点線B)、テーパ角90°未満の部分(くびれ11e)がある場合、その部分がRIE時に影となり、ゲート電極およびゲート側壁加工時のエッチング残渣が残ってしまう。しかしながら、SiN膜21のハーフエッチング量を適宜調整することで、テーパ角が90°以上となるように制御される。

30

## 【0023】

その後、基板w中に不純物注入を行い、基板wの表面側にP型あるいはN型のウェル・チャンネル領域となる不純物拡散領域を形成する。そして、基板w表面を前処理した後、基板w上にゲート絶縁膜13aとなる絶縁膜を、例えば1.3nm形成する。さらに、LPCVD法により、ゲート電極13を構成するポリシリコン層13bとなるポリシリコン膜を例えば150nm形成する。そして、ポリシリコン膜上にレジスト膜を塗布し、リソグラフィ法によりレジストパターンを形成する。さらに、レジストパターンをマスクとして、RIE法によりポリシリコン膜をエッチングし、レジストパターンを剥離して、ゲート電極13を構成するポリシリコン層13bを形成する。そして、露出した絶縁膜を、ウェットエッチングにより全剥離してゲート電極13を形成する。

40

## 【0024】

次いで、ウェル中に、不純物注入を行い、浅い不純物拡散領域を形成する。そして、LPCVD法により、全面にTEOS膜を例えば20nm形成した後、LPCVD法により、全面にSiN膜を例えば20nm形成する。そして、RIE法によりポリシリコン層13bが露出するまでエッチバックすることにより、ゲート電極13にTEOS膜14a/SiN膜14bからなるゲート側壁を形成する。そして、さらにウェル中に不純物注入を行い、ソース・ドレイン領域、LDD領域を有するアクティブエリア12が形成される。次いで、ソース・ドレイン領域およびポリシリコン層13b表面をサリサイド化した後、層間膜15を形成し、これを貫通するようにコンタクト16を形成する。さらに、上層配線17、電極(図示せず)などを形成して、図1に示すようなMOSFETセルが構成さ

50

れる。

【0025】

このようにして、形成されたMOSFETセルにおいて、SiN膜21をハーフエッチングすることにより、STI側面へのゲート電極およびゲート側壁加工時のエッチング残渣が発生することがなく、エッチング残渣に起因する発塵などによる歩留低下を抑制することが可能となる。また、テーパ加工時の基板wへのダメージを抑え、良好な素子特性を得ることが可能となる。

【0026】

さらに、後工程のSiN膜除去に用いられる熱リン酸を用いてハーフエッチングを行うことができるため、工程の追加が容易である。

10

【0027】

尚、上述したように、単にSTIの側面をエッチングするだけでは、良好な側面形状を得ることはできず、くびれが発生するなどの問題を生じる。図5に、SiN膜のテーパ角を変動させたときのSTI高さ、くびれを生じないための必要ハーフエッチング量との関係を示す。図に示すように、くびれの発生は、SiN膜のハーフエッチング量と、形成されるSTIの高さ(基板面とのギャップ)、SiN膜のテーパ角に依存する。すなわち、SiN膜のテーパ角が小さくなり、STIの高さが高くなるほど、くびれが発生しやすくなり、必要ハーフエッチング量が増大する。例えば、SiN膜のテーパ角が78°で、STIの高さが35nmのとき、必要ハーフエッチング量は約40nmとなるが、STIの高さが22nm未満であれば、ハーフエッチングを行うことなく、くびれ(テーパ角90°未満の部分)の発生を抑えることが可能である。一方、テーパ角によらず、ハーフエッチング量が30nm未満であると、くびれ発生のハーフエッチング量依存性は抑えられる。

20

【0028】

従って、予め設計されるSTIの高さと、プロセスにより変動するSiN膜のテーパ角により、SiN膜のハーフエッチング量を適宜調整することで、良好なSTI側面形状に制御することが可能となる。例えば、デバイス特性上必要とされるSTIの高さが22nm以上、より好ましくは30nm以上で、SiNのテーパ角が通常のRIEにおいて加工される角度である74°~90°であれば、ハーフエッチング量は30nm以上で適宜制御すればよい。

30

【0029】

但し、テーパ加工を等方エッチングにより行うため、STIの高さは、マスクとなるSiN膜厚以下となる。従って、さらにハーフエッチング量を考慮した膜厚となるように、SiN膜を形成する必要がある。反対に、SiN膜厚が、通常のプロセスにおけるマスク膜厚である150nm程度であれば、形状制御性を向上させるため、十分なハーフエッチング量を確保するために、STIの高さは50nm以下とすることが好ましい。

【0030】

本実施形態において、熱リン酸を用いてSiN膜のハーフエッチングを行っているが、SiN膜とSTIに充填されるTEOS膜などの絶縁膜との選択比が取れるものであれば、特に限定されるものではない。例えば、CF<sub>4</sub>、N<sub>2</sub>、O<sub>2</sub>を用いたCDE(Chemical Dry Etching)などを用いることが可能である。

40

【0031】

この場合、SiNとTEOS(SiO<sub>2</sub>)とのエッチング選択比は、2:1程度であり、SiN膜のハーフエッチングと同時にTEOS膜もエッチングされるが、後工程のBHFによるウェットエッチングにおいて、TEOS膜のエッチング量を調整すればよい。CDEを用いた場合、熱リン酸を用いたときとエッチングの進行速度、選択比が変わるため、STIの肩の部分が若干よりエッチングされ、本実施形態よりもSTI形状のテーパ角が大きくなる。また、CDEを用いた場合、ドライプロセスであるため、ハーフエッチング終点の制御がより容易になる。

【0032】

50

また、本実施形態においては、残ったSiN膜21の下部21'を、熱リン酸溶液により全剥離した後に、フッ酸(HF)とフッ化アンモニウム(NH<sub>4</sub>F)を混合したバッファードフッ酸(BFH)溶液を使用して形状制御をしているが、後工程であるGate絶縁膜形成する際のフッ素系前処理等でもSTIの側面の形状制御を行うことができる。

【0033】

また、本実施形態において、マスク材として、SiN膜を用いているが、特に限定されるものではなく、例えば炭化ケイ素などの材料を用いることができる。その場合も同様に、マスク材の材料と、STIの構成材料との選択比が取れる条件でエッチングを行うことにより、STIの側面の形状制御を行うことができる。

【0034】

尚、本発明は、上述した実施形態に限定されるものではない。その他要旨を逸脱しない範囲で種々変形して実施することができる。

【図面の簡単な説明】

【0035】

【図1】本発明の一態様による半導体装置におけるMOSFETセルの断面図。

【図2】本発明の一態様におけるSTI側面のテーパ角を示す図。

【図3】本発明の一態様によるMOSFETセルの製造工程を示す図。

【図4】本発明の一態様におけるSTIの側面形状を示す図。

【図5】本発明の一態様におけるSTI高さと必要ハーフエッチング量との関係を示す図

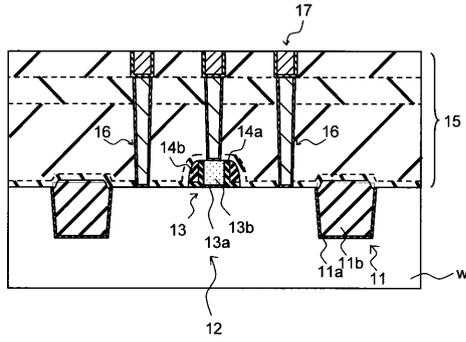
。

【符号の説明】

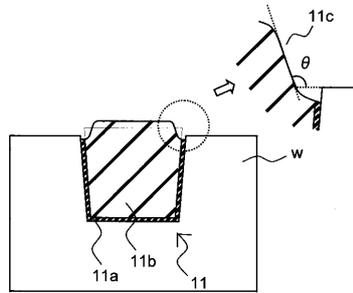
【0036】

w...基板、11...STI、11a...熱酸化膜、11b...TEOS膜、12...アクティブエリア、13...ゲート電極、13a...ゲート絶縁膜、13b...ポリシリコン層、14a...TEOS膜、14b...SiN膜、15...層間膜、16...コンタクト、17...上層配線、21...SiN膜、22...STIトレンチ、23、23'、23''...TEOS膜。

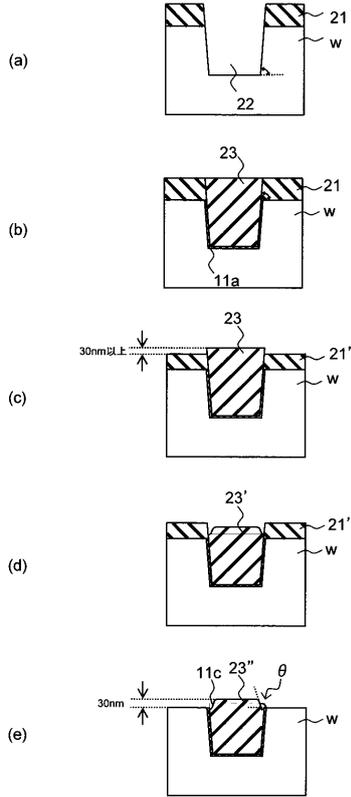
【図1】



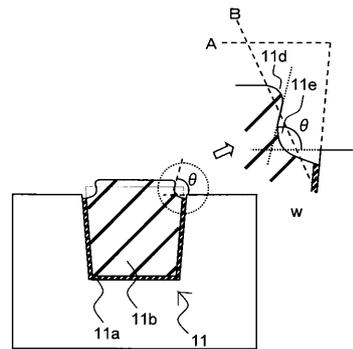
【図2】



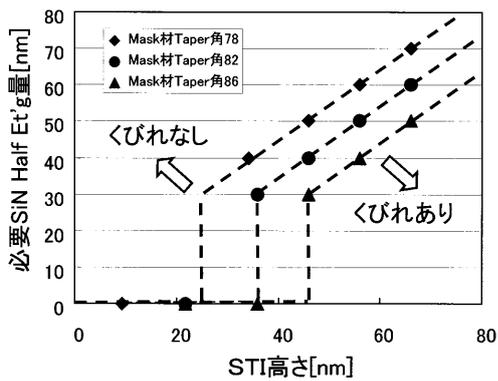
【図3】



【図4】



【図5】



---

フロントページの続き

審査官 右田 勝則

- (56)参考文献 特開2004 - 153236 (JP, A)  
特表2006 - 504264 (JP, A)  
特開2004 - 363486 (JP, A)  
特開2002 - 124563 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/76  
H01L 21/336  
H01L 29/78  
H01L 29/786