

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
23. August 2018 (23.08.2018)



(10) Internationale Veröffentlichungsnummer
WO 2018/149666 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2018/052666

(22) Internationales Anmeldedatum:
02. Februar 2018 (02.02.2018)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2017 103 041.7
15. Februar 2017 (15.02.2017) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **ENGLHARD, Marco**; Hallergasse 4, 93047 Regensburg (DE).

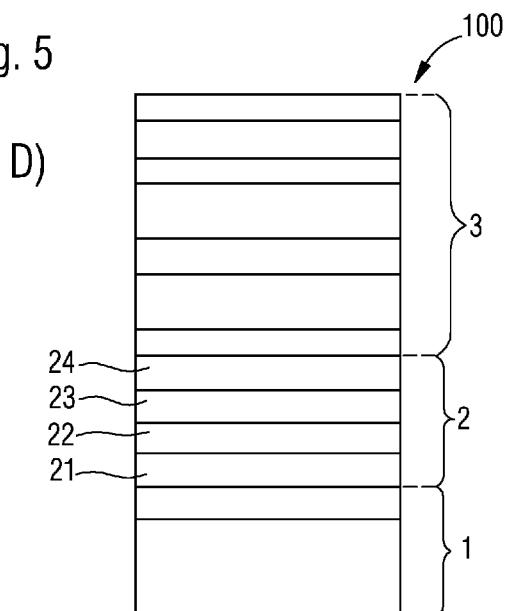
(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5,
80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: METHOD FOR PRODUCING A PLURALITY OF OPTOELECTRONIC COMPONENTS, AND OPTOELECTRONIC COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER VIELZAHL VON OPTOELEKTRONISCHEN BAUELEMENTEN UND OPTOELEKTRONISCHES BAUELEMENT

Fig. 5



(57) Abstract: The invention relates to a method for producing a plurality of optoelectronic components (100), involving the steps of: A) providing a substrate (1), B) epitaxially applying a sacrificial layer (2) having a layer thickness greater than 300 nm to the substrate (1), the sacrificial layer (2) comprising $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$, where $0 < x \leq 1$, C) epitaxially applying a semiconductor layer sequence (3) to the sacrificial layer (2), whereupon trenches (4) are produced which extend in the vertical direction through the semiconductor layer sequence (3) to the sacrificial layer (2) such that a plurality of regions (31) is formed in the semiconductor layer sequence (3), and D) performing wet thermal oxidation of the sacrificial layer (2) such that the substrate (1) can be non-destructively removed from the semiconductor layer sequence (3), the sacrificial layer (2) having at least three and optionally four sub-layers (21, 22, 23, 24) in the direction pointing away from the substrate (1), the first sub-layer (21) comprising InGaAlP , the second sub-layer (22) comprising GaAs , the third sub-layer (23) comprising $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$, where $0 < x \leq 1$, and the fourth sub-layer (24) comprising GaAs .

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer Vielzahl von optoelektronischen Bauelementen (100) mit den Schritten: A) Bereitstellen eines Substrats (1), B) epitaktisches Aufbringen einer Opferschicht (2) mit einer Schichtdicke von größer als 300 nm auf das Substrats (1), wobei die Opferschicht (2) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ aufweist, C) epitaktisches Aufbringen einer Halbleiterschichtenfolge (3) auf die Opferschicht (2), wobei anschließend Gräben (4) erzeugt werden, die sich in vertikaler Richtung durch die Halbleiterschichtenfolge (3) bis zur Opferschicht (2) erstrecken, so dass eine Vielzahl von Bereiche (31)

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

der Halbleiterschichtenfolge (3) erzeugt werden, und D) feuchtthermische Oxidation der Opferschicht (2), so dass das Substrat (1) von der Halbleiterschichtenfolge (3) zerstörungsfrei entfernt werden kann, wobei die Opferschicht (2) in Richtung weg von dem Substrat (1) mindestens drei und gegebenenfalls vier Teilschichten (21, 22, 23, 24) aufweist, wobei die erste Teilschicht (21) InGaAlP, die zweite Teilschicht (22) GaAs, die dritte Teilschicht (23) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ und die vierte Teilschicht (24) GaAs umfasst.

Beschreibung

VERFAHREN ZUR HERSTELLUNG EINER VIELZAHL VON
OPTOELEKTRONISCHEN BAUELEMENTEN UND OPTOELEKTRONISCHES
5 BAUELEMENT

Die Erfindung betrifft ein Verfahren zur Herstellung einer
Vielzahl von optoelektronischen Bauelementen. Ferner betrifft
die Erfindung ein optoelektronisches Bauelement.

10

Die Wiederverwendung von Substraten, insbesondere von
Galliumarsenidsubstraten, ist ein Schlüsselement, um
Produktionskosten signifikant zu reduzieren. Das Substrat,
das insbesondere ein Wachstumssubstrat ist, wird mit der
15 entsprechenden Halbleiterschichtenfolge im Fertigprozess auf
einen Hilfsträger gebondet. Nach dem Bonden wird das Substrat
durch einen Schleifprozess sowie einer nasschemischen Ätzung
vollständig vom Hilfsträger entfernt. Das Substrat wird
dadurch zerstört und ist nicht wieder verwendbar.

20

Eine Aufgabe der Erfindung ist es, ein Verfahren zur
Herstellung einer Vielzahl von optoelektronischen
Bauelementen bereitzustellen, das ein leichtes Ablösen des
Substrats von der Halbleiterschichtenfolge ermöglicht.

25

Insbesondere ist das Substrat nach dem durchgeführten
Verfahren wiederverwendbar. Ferner ist eine Aufgabe der
Erfindung, ein kostengünstiges optoelektronisches Bauelement
bereitzustellen.

30

Diese Aufgaben werden durch ein Verfahren zur Herstellung
einer Vielzahl von optoelektronischen Bauelementen gemäß dem
Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen und
Weiterbildungen der Erfindung sind Gegenstand der abhängigen

Ansprüche. Ferner werden diese Aufgaben durch ein optoelektronisches Bauelement gemäß dem unabhängigen Anspruch 18 gelöst.

- 5 In zumindest einer Ausführungsform weist das Verfahren zur Herstellung einer Vielzahl von optoelektronischen Bauelementen die Schritte auf:
- A) Bereitstellen eines Substrats,
 - B) epitaktisches Aufbringen einer Opferschicht mit einer
 - 10 Schichtdicke von größer als 300 oder 600 nm auf das Substrat, wobei die Opferschicht $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ aufweist,
 - C) epitaktisches Aufbringen einer Halbleiterschichtenfolge auf die Opferschicht, wobei anschließend Gräben erzeugt werden, die sich in vertikaler Richtung durch die
 - 15 Halbleiterschichtenfolge bis zur Opferschicht erstrecken, sodass eine Vielzahl von Bereichen der Halbleiterschichtenfolge erzeugt werden, und
 - D) feuchtthermische Oxidation der Opferschicht, sodass das Substrat von der Halbleiterschichtenfolge zerstörungsfrei
 - 20 entfernt werden kann.

Zusätzlich kann die Opferschicht in Richtung weg von dem Substrat mindestens drei und gegebenenfalls vier Teilschichten aufweisen, wobei die erste Teilschicht InGaAlP,

25 die zweite Teilschicht GaAs, die dritte Teilschicht $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ und die vierte Teilschicht GaAs umfasst.

Der Erfinder hat erkannt, dass durch das hier beschriebene Verfahren das Substrat leicht von der

30 Halbleiterschichtenfolge abgelöst werden kann, wobei das Substrat wiederverwendbar ist und/oder zerstörungsfrei verwendet worden ist. Im Gegensatz zu bisher verwendeten Verfahren, die das Abschleifen und Ätzen des Substrates

benutzen, bleibt das Substrat in diesem Verfahren erhalten und kann wiederverwendet werden. Das Verfahren ist vergleichbar schnell gegenüber einem chemischen Ätzprozess und bietet den Vorteil bei einer entsprechenden

5 Anlagekonfiguration, dass sehr viele Substrate, insbesondere mehr als 40 Substrate, gleichzeitig prozessiert werden können. Zudem erfolgt das Bonden auf einen Hilfsträger und Ablösen des Substrates in einem Prozessschritt, insbesondere im sogenannten Bonder. Das Substrat löst sich selbständig vom
10 Hilfsträger ab während des Abkühlvorganges im Bonder.

Gemäß zumindest einer Ausführungsform weist das Verfahren den Schritt A) auf, Bereitstellen eines Substrates. Bei dem Substrat handelt es sich insbesondere um ein

15 Wachstumssubstrat. Insbesondere ist das Substrat aus Galliumarsenid geformt.

Das Substrat kann nach dem Durchführen der Verfahrensschritte des hier beschriebenen Verfahrens wiederverwendet werden,
20 wobei das hier beschriebene Verfahren mittels dem gleichen Substrat wiederholt erfolgen kann. Insbesondere ist das Substrat nach dem Verfahrensschritt C) zerstörungsfrei.

Gemäß zumindest einer Ausführungsform weist das Verfahren
25 einen Schritt B) auf, epitaktisches Aufbringen einer Opferschicht. Die Opferschicht wird auf das Substrat aufgebracht. Dass eine Schicht oder ein Element „auf“ oder „über“ einer anderen Schicht oder einem anderen Element angeordnet oder aufgebracht ist, kann hier und im Folgenden
30 bedeuten, dass die eine Schicht oder das eine Element unmittelbar in direktem mechanischem und/oder elektrischem Kontakt auf der anderen Schicht oder dem anderen Element angeordnet ist. Weiterhin kann es auch bedeuten, dass die

eine Schicht oder das eine Element mittelbar auf oder über der anderen Schicht oder dem anderen Element angeordnet ist. Dabei können dann weitere Schichten und/oder Elemente zwischen der einen und der anderen Schicht oder zwischen dem
5 einen und dem anderen Element angeordnet sein.

Die Opferschicht weist eine Schichtdicke von größer als 300 nm oder 600 nm auf. Vorzugsweise weist die Opferschicht eine Schichtdicke von größer oder gleich 600 nm und kleiner oder
10 gleich 950 nm, insbesondere zwischen 650 nm bis 800 nm, insbesondere zwischen 680 nm und 750 nm, vorzugsweise zwischen 690 nm und 720 nm, beispielsweise 700 nm, auf. Die Opferschicht weist $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ auf. Insbesondere ist $0 < x < 1$ oder $0,95 \leq x < 1$. Insbesondere besteht die
15 Opferschicht aus diesem Aluminiumgalliumarsenid. Insbesondere ist x 0,95, 0,96, 0,97, 0,98 oder 0,99, vorzugsweise 0,98. Mit anderen Worten weist Aluminiumgalliumarsenid vorzugsweise einen Anteil an Gallium von 2 % auf. Der Rest der Prozente ist Aluminium, abgesehen von geringfügigen Verunreinigungen
20 im ppm-Bereich. Die Materialien der Opferschicht können zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Opferschicht, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen
25 weiterer Stoffe ersetzt und/oder ergänzt sein können.

Alternativ oder zusätzlich ist die Schichtdicke der Opferschicht zwischen einschließlich 300 nm und einschließlich 950 nm. Alternativ oder zusätzlich ist die
30 Schichtdicke der Opferschichten zwischen einschließlich 600 nm und einschließlich 800 nm, beispielsweise 700 nm.

Gemäß zumindest einer Ausführungsform ist $0,95 \leq x \leq 1$ und die Schichtdicke der Opferschicht zwischen einschließlich 300 nm und einschließlich 950 nm ist.

5 Gemäß zumindest einer Ausführungsform weisen jeweils das Substrat und die Opferschicht ein Arsenid auf. Die Opferschicht wird auf das Substrat epitaktisch aufgebracht. Mit anderen Worten wird die Opferschicht epitaktisch auf das Substrat aufgewachsen. Damit ist hier das Wachstum von
10 kristallinen Schichten oder kristallinen Substraten durch Aufbringung des Materials auf einer chemischen gleichen (homoepitaktischen) oder verschiedenen (heteroepitaktisch) einkristallinen Unterlage gemeint. Das Aufbringen kann mit metallorganischer Gasphasenepitaxie (MOVPE) erfolgen.

15 Gemäß zumindest einer Ausführungsform weist die Opferschicht Teilschichten auf. Insbesondere weist die Opferschicht zwei Teilschichten auf. Die erste Teilschicht weist $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ auf. Die zweite Schicht weist Galliumarsenid
20 und/oder Indiumgalliumaluminiumphosphid auf. Im Fall der Galliumarsenid umfassenden zweiten Teilschicht ist die erste Teilschicht zwischen dem Substrat und der zweiten Teilschicht angeordnet. Im Fall der Indiumgalliumaluminiumphosphid umfassenden zweiten Schicht ist die zweite Teilschicht
25 zwischen der ersten Teilschicht und dem Substrat angeordnet.

Gemäß zumindest einer Ausführungsform weist die Opferschicht zwei Teilschichten auf. Die erste Teilschicht weist
30 $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit mit $0 < x < 1$ auf. Die zweite Teilschicht weist $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x < 1$ auf, wobei der Anteil an Al in der ersten Teilschicht größer als in der zweiten Teilschicht ist,

wobei die zweite Teilschicht zwischen dem Substrat und der ersten Teilschicht angeordnet ist. Die erste Teilschicht weist insbesondere einen Anteil an Al von 98% auf. Die zweite Teilschicht weist insbesondere einen Anteil an Al von 10% bis 5 70% auf. Die zweite Teilschicht kann selektiv nach dem Trennvorgang gegenüber den umliegenden Schichten durch Ätzen entfernt werden.

10 Zusätzlich kann die Opferschicht eine dritte Teilschicht aufweisen, die zwischen erster Teilschicht und der Halbleiterschichtenfolge angeordnet ist, wobei die dritte Teilschicht Aluminiumgalliumarsenid oder Galliumarsenid umfasst.

15 Zusätzlich zu der ersten, zweiten und dritten Teilschicht kann die Opferschicht eine vierte Teilschicht aufweisen, die InGaAlP mit beispielsweise 55% Al-Anteil aufweist. Insbesondere weist die vierte Teilschicht $\text{In}_{0,5}(\text{Al}_{0,275}\text{Ga}_{0,225})_{0,5}\text{P}$ auf.

20 Gemäß zumindest einer Ausführungsform weist die Opferschicht in Richtung weg von dem Substrat mindestens drei oder genau vier Teilschichten auf. Die erste Teilschicht weist Indiumgalliumaluminiumphosphid auf. Die zweite Teilschicht 25 ist über der ersten Schicht angeordnet und weist Galliumarsenid auf. Die dritte Teilschicht weist Aluminiumgalliumarsenid ($\text{Al}_x\text{Ga}_{(1-x)}\text{As}$) mit $0 < x \leq 1$ auf. Die vierte Teilschicht umfasst Galliumarsenid. Die erste Teilschicht ist über dem Substrat angeordnet, nachfolgend in 30 Richtung weg von dem Substrat folgen die zweite Teilschicht, die dritte Teilschicht und gegebenenfalls die vierte Teilschicht.

Gemäß zumindest einer Ausführungsform dient die erste Teilschicht als Schutzschicht für das Substrat. Die erste Teilschicht weist eine Schichtdicke von 1 nm bis 350 nm, insbesondere zwischen 10 nm und 300 nm, beispielsweise 250 nm, auf. Die zweite Teilschicht weist eine Schichtdicke von 1 nm bis 500 nm, insbesondere von 10 nm bis 400 nm, insbesondere von 100 nm bis 300 nm, beispielsweise 250 nm, auf. Die vierte Teilschicht dient als Schutzschicht für die Halbleiterschichtenfolge. Die vierte Teilschicht weist eine Schichtdicke von 1 nm bis 120 nm, beispielsweise 40 nm bis 80 nm, beispielsweise 50 nm, auf.

Gemäß zumindest einer Ausführungsform weist das Verfahren einen Schritt C) auf, epitaktisches Aufbringen der Halbleiterschichtenfolge auf die Opferschicht, wobei anschließend Gräben erzeugt werden. Die Gräben, auch Mesagräben genannt, erstrecken sich in vertikaler Richtung durch die Halbleiterschichtenfolge bis zur Opferschicht. Vorzugsweise erstrecken sich die Gräben bis zur Opferschicht und legen die Opferschicht frei, sodass eine anschließende feuchtthermische Oxidation der Opferschicht ermöglicht ist. Dadurch wird eine Vielzahl von Bereichen der Halbleiterschichtenfolge erzeugt. Vorzugsweise bilden die Bereiche der Halbleiterschichtenfolge die Vielzahl von optoelektronischen Bauelementen. Die optoelektronischen Bauelemente sind hier funktionsfähig. Mit anderen Worten weisen die optoelektronischen Bauelemente die Fähigkeit auf, im Betrieb elektromagnetische Strahlung zu emittieren.

Gemäß zumindest einer Ausführungsform ist die Halbleiterschichtenfolge als Dünnschichtchip geformt.

Gemäß zumindest einer Ausführungsform weist die Vielzahl von optoelektronischen Bauelementen eine Halbleiterschichtenfolge auf. Die Halbleiterschichtenfolge basiert bevorzugt auf einem III-V-Verbindungshalbleitermaterial. Bei dem

5 Halbleitermaterial handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder um ein Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$ oder auch um ein Arsenid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{As}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und n
10 $+ m \leq 1$ ist. Dabei kann die Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P,
15 angegeben, auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt und/oder ergänzt sein können. Vorzugsweise weist die Halbleiterschichtenfolge ein Arsenidverbindungshalbleitermaterial auf.

20 Die Halbleiterschichtenfolge beinhaltet eine aktive Schicht mit mindestens einem pn-Übergang und/oder mit einer oder mit mehreren Quantentopfstrukturen. Im Betrieb der Halbleiterschichtenfolge wird in der aktiven Schicht eine elektromagnetische Strahlung erzeugt. Die

25 Halbleiterschichtenfolge ist also im Betrieb dazu eingerichtet, Strahlung zu emittieren. Eine Wellenlänge, das Wellenlängenmaximum oder Peakwellenlängenmaximum der Strahlung liegt bevorzugt im ultravioletten und/oder sichtbaren Spektralbereich, insbesondere bei Wellenlängen
30 zwischen einschließlich 420 nm und einschließlich 680 nm, zum Beispiel zwischen einschließlich 440 nm und einschließlich 480 nm.

Die Halbleiterschichtenfolge weist insbesondere eine Indiumgalliumaluminiumphosphidmehrfachquantenwellstruktur auf. Die Halbleiterschichtenfolge kann einen p-Kontakt, einen vergrabenen Mikroreflektor (BMR), reflektive Spiegelflächen und/oder mehrschichtige Bondmetallisierungen aufweisen. Nach Verfahrensschritt C) oder D) kann die Anordnung auf einen Hilfsträger, insbesondere aus Germanium, überführt werden.

Die Gräben erstrecken sich in vertikaler Richtung durch die Halbleiterschichtenfolge, also durch eine n-dotierte Halbleiterschicht, durch die aktive Schicht und eine p-dotierte Halbleiterschicht bis zur Opferschicht. Vorzugsweise erstrecken sich diese Gräben bis zum Substrat, durchtrennen also vertikal auch die Opferschicht teilweise, vollständig oder bereichsweise. Es bilden sich damit eine Vielzahl von Bereiche der Halbleiterschichtenfolge, die schlussendlich die optoelektronischen Bauelemente bilden. Die Gräben können mittels Ätzen erzeugt werden. Damit kann in Draufsicht auf die Anordnung eine vorstrukturierte Halbleiterschichtenfolge erzeugt werden. Die vorstrukturierte Halbleiterschichtenfolge kann im anschließenden Prozess feuchtthermisch oxidiert werden, sodass lateral von den Halbleiterschichtenfolgenseitenflächen oder -flanken her eine Oxidation der Opferschicht stattfindet.

Gemäß zumindest einer Ausführungsform weist das Verfahren einen Schritt D) auf, feuchtthermische Oxidation der Opferschicht, sodass das Substrat von der Halbleiterschichtenfolge zerstörungsfrei entfernt werden kann. Mit anderen Worten kann durch die Oxidation der Opferschicht die Halbleiterschichtenfolge von dem Substrat durch ein oxidatives Abhebeverfahren (Lift-Off)

zerstörungsfrei entfernt werden. Das Substrat kann in anschließenden Verfahrensschritten wiederverwendet werden.

Insbesondere meint feuchtthermische Oxidation hier und im
5 Folgenden, dass die Opferschicht unter Einfluss von Feuchtigkeit und/oder Temperaturen oxidiert wird. Beispielsweise kann die Opferschicht, die aus Aluminiumgalliumarsenid ist, zu Aluminiumoxid mit einer unterschiedlichen Stöchiometrie und Zusammensetzung oxidiert
10 werden. Ebenso ist zusätzlich oder alternativ die Oxidation zu Aluminiumhydroxid denkbar.

Gemäß zumindest einer Ausführungsform erfolgt Schritt D) bei einer Temperatur von $< 400\text{ }^{\circ}\text{C}$, insbesondere $< 380\text{ }^{\circ}\text{C}$,
15 beispielsweise $360\text{ }^{\circ}\text{C}$. Alternativ oder zusätzlich erfolgt Schritt D) unter Wasserdampfatmosphäre.

Gemäß zumindest einer Ausführungsform wird die Opferschicht vollständig oxidiert und die Haftung der oxidierenden
20 Opferschicht ist kleiner als die Haftung der nicht-oxidierten Opferschicht. Durch die feuchtthermische Oxidation der Opferschicht, beispielsweise aus Aluminiumgalliumarsenid, wird eine reduzierte Adhäsion der Opferschicht mit ihrer Umgebung erzeugt. Dadurch können in einem anschließenden
25 Verfahrensschritt, beispielsweise einem Ätzschritt, die oxidierte Opferschicht leicht entfernt werden, sodass das Substrat leicht von der Halbleiterschichtenfolge getrennt werden kann.

30 Gemäß zumindest einer Ausführungsform wird die Opferschicht im Schritt D) nur teilweise oxidiert, so dass nicht-oxidierte Bereiche zwischen der Halbleiterschichtenfolge und dem Substrat vorhanden sind, die $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $x < 1$ aufweisen.

Die nicht-oxidierten Bereiche können eine leichte Verbindung zwischen Substrat und Halbleiterschichtenfolge erzeugen, damit die jeweiligen Bauelemente während der Herstellung auf ihren Platz gehalten werden. Die Verbindung ist so schwach,
5 dass sie in Folgeprozesse leicht gelöst werden kann.

Gemäß zumindest einer Ausführungsform kann die Opferschicht vollständig lateral oxidiert werden. Die darüber liegenden halbfertigen Chipstrukturen können auf der vorgesehenen
10 Position angeordnet bleiben. Dadurch werden keine Defekte oder Ausbrüche erzeugt. Je nach Chipgröße und -geometrie kann nur dieser Bereich lateral oxidiert werden. Im vorliegenden Fall kann von jeder Chipkante $\sim 140\text{ }\mu\text{m}$ lateral oxidiert werden

15 Gemäß zumindest einer Ausführungsform sind die Bereiche der Halbleiterschichtenfolgen matrixförmig angeordnet.

Gemäß zumindest einer Ausführungsform wird nach Schritt C) und/oder D) ein Hilfsträger auf die dem Substrat
20 gegenüberliegende Seite der Halbleiterschichtenfolge aufgebracht. Der Hilfsträger wird also mit anderen Worten auf die der Hauptstrahlungsaustrittsfläche der Halbleiterschichtenfolge gegenüber liegenden Seite aufgebracht. Mit Hauptstrahlungsaustrittsfläche ist die
25 Fläche der Halbleiterschichtenfolge gemeint, über die ein Großteil oder die gesamte von der Halbleiterschichtenfolge erzeugte Strahlung aus der Halbleiterschichtenfolge ausgekoppelt wird. Die Hauptstrahlungsaustrittsfläche ist insbesondere senkrecht zur Wachstumsrichtung der
30 Halbleiterschichtenfolge orientiert.

Gemäß zumindest einer Ausführungsform werden der Hilfsträger und die Halbleiterschichtenfolge von dem Substrat entfernt.

Anschließend kann der Hilfsträger vereinzelt werden, sodass eine Vielzahl von optoelektronischen Bauelementen erzeugt werden. Die Vielzahl von optoelektronischen Bauelementen weist zumindest den Hilfsträger und die

- 5 Halbleiterschichtenfolge auf. Der Hilfsträger kann vor oder nach dem vereinzeln weiter bearbeitet und/oder prozessiert werden. Es kann beispielsweise die Oberfläche aufgeraut werden, um eine bessere Lichtauskopplung zu ermöglichen oder Passivierungsschichten, sowie n-Kontakte erzeugt werden.
- 10 Eine weitere Prozessierung ist möglich, bis letztendlich die Bauteile vereinzelt werden, in dem der Hilfsträger auf Chipgrößenstruktur getrennt wird.

- Gemäß zumindest einer Ausführungsform ist der Hilfsträger aus
- 15 Germanium oder Silizium geformt oder umfasst Germanium oder Silizium. Alternativ kann der Hilfsträger aus Saphir oder Kunststoff geformt sein.

- Alternativ kann auch ein beliebiges Trägermaterial als
- 20 Hilfsträger verwendet werden. Es können klebstoffähnliche Materialien für die Waferbondung verwendet werden (z.B. UV härtende Kunststoffe oder Klebstoffe).

- Der Erfinder hat erkannt, dass durch das Verwenden eines
- 25 niedrigtemperaturfeuchtthermischen Oxidationsprozesses das Substrat zerstörungsfrei von der aufgewachsenen phosphidbasierten Halbleiterschichtenfolge entfernt werden kann.

- 30 Die Halbleiterschichtenfolge kann pseudomorph durch metallorganische Gasphasenabscheidung (MOVPE) direkt auf dem Substrat erzeugt werden. Das Substrat ist vorzugsweise ein Galliumarsenidsubstrat (001), das mit Silizium dotiert sein

kann. Es weist eine 6°-Orientierung in $[\bar{1}\bar{1}1]$ -Richtung auf. Beispielsweise ist das Substrat 4 Zoll im Durchmesser oder größer.

- 5 Die feuchtthermische Oxidation kann in einem Quarzrohrföfen erfolgen. Bei der feuchtthermischen Oxidation kann Wasserdampf verwendet werden, der mit einem Massendurchflussregler (MFC, engl. Mass flow controller) eingestellt wird. Der Wasserdampf kann vorerhitzt werden, 10 beispielsweise bei 120°, und in den Ofen eingeleitet werden. Zusätzlich kann Stickstoff als Trägergas zugegeben werden.

- Die Erfindung betrifft ferner ein optoelektronisches Bauelement. Vorzugsweise wird das optoelektronische 15 Bauelement mit dem hier beschriebenen Verfahren erzeugt. Dabei gelten alle Ausführungen und Definitionen des Verfahrens auch für das Bauelement und umgekehrt.

- Das hier beschriebene Verfahren wendet die oxidative Ablösung 20 auf phosphidbasierte Dünnfilmchips an. Dabei sind die Dünnfilmchips funktionierend auf einem Substrat aufgebracht. Das Substrat kann eine Größe von 4" aufweisen. Vorzugsweise wird Aluminiumgalliumarsenid mit einem Anteil Gallium von 0 bis 2 %, vorzugsweise von 0,1 bis 2 %, und mit einer 25 Schichtdicke zwischen einschließlich 300 nm oder 600 nm und einschließlich 800 nm oder 950 nm zwischen der Halbleiterschichtenfolge und dem Substrat eingebettet. Anschließend erfolgt das Umbonden auf einen Hilfsträger, beispielsweise aus Germanium und Silizium. Es wird hier mit 30 anderen Worten die oxidative Ablösung in dem produktiven Prozessfluss integriert. Zudem kann eine reduzierte chipverträgliche Oxidationstemperatur von beispielsweise 360° mit exakten Prozessdetails verwendet werden. Es werden keine

Epicracks durch den Oxidationsprozess und der Opferschicht erzeugt. Zudem ist das hier beschriebene Verfahren auch in einem größeren Maßstab, beispielsweise auf einem 6"-Substrat, gut anwendbar, da nur die strukturierte

5 Halbleiterschichtenfolge (je nach Chipgröße) oder die Opferschicht lateral oxidiert werden muss und die Oxidation somit von der Wafergröße unabhängig ist.

Weitere Vorteile, vorteilhafte Ausführungsformen und
10 Weiterbildungen der Erfindung ergeben sich aus den im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispielen.

Es zeigen:

15

Die Figuren 1A bis 1C ein Verfahren zur Herstellung einer Vielzahl optoelektronischer Bauelemente,

die Figuren 2A bis 2F eine Draufsicht auf ein
20 optoelektronisches Bauelement gemäß einer Ausführungsform,

die Figuren 3A bis 3F elektrooptische Eigenschaften eines optoelektronischen Bauelements gemäß einer Ausführungsform,

25 die Figuren 4A bis 4D elektrooptische Eigenschaften eines optoelektronischen Bauelements gemäß einer Ausführungsform,

die Figuren 5A bis 5J eine schematische Seitenansicht eines optoelektronischen Bauelements gemäß einer Ausführungsform.

30

In den Ausführungsbeispielen und Figuren können gleiche, gleichartige oder gleich wirkende Elemente jeweils mit denselben Bezugszeichen versehen sein. Die dargestellten

Elemente und deren Größenverhältnisse untereinander sind nicht als maßstabsgerecht anzusehen. Vielmehr können einzelne Elemente, wie zum Beispiel Schichten, Bauteile, Bauelemente und Bereiche, zur besseren Darstellbarkeit und/oder zum
5 besseren Verständnis übertrieben groß dargestellt werden.

Die Figuren 1A bis 1C zeigen ein Verfahren zur Herstellung einer Vielzahl optoelektronischer Bauelemente 100 gemäß einer Ausführungsform. Bei dem Verfahren wird ein Substrat 1
10 bereitgestellt. Das Substrat kann aus Galliumarsenid geformt sein. Auf dem Substrat 1 wird epitaktisch die Opferschicht 2 aufgebracht. Die Opferschicht 2 weist zumindest AlAs oder Aluminiumgalliumarsenid, vorzugsweise mit einem Anteil an Gallium von 2 %, auf. Anschließend wird die
15 Halbleiterschichtenfolge 3 epitaktisch aufgebracht. Die Halbleiterschichtenfolge 3 ist vorzugsweise phosphidbasiert. Die Halbleiterschichtenfolge 3 weist eine p-dotierte Halbleiterschicht 28 auf, beispielsweise aus Indiumaluminiumphosphid, eine n-dotierte Halbleiterschicht
20 29, beispielsweise aus Indiumaluminiumphosphid, und eine aktive Schicht 27 auf. Die aktive Schicht 27 besteht aus einer Mehrfachquantenwellstruktur. Die Mehrfachquantenwellstruktur ist aus Indiumgalliumaluminiumphosphid geformt. Das Bauelement kann ferner einen
25 vergrabenen Mikroreflektor (BMR) 8 aufweisen. Zudem kann die Anordnung oder jedes der Bauelemente 100 eine Passivierungsschicht 6, beispielsweise aus Siliziumdioxid, aufweisen. Die Passivierungsschicht 6 kann auch ein Dielektrikum 6 sein. Das Bauelement weist einen p-Kontakt 10
30 auf. Über der aktiven Schicht 27 kann eine Metallisierung 7, beispielsweise aus Titanwolfram (N)/Titan/Platin/Gold, sein.

Insbesondere ist die Halbleiterschichtenfolge als Dünnschichtchip ausgeformt. Im Verfahrensschritt C) werden Gräben 4 in vertikaler Richtung durch die Halbleiterschichtenfolge 3 bis zur Opferschicht 2 oder in die Opferschicht 2 erzeugt. Damit wird die Opferschicht 2 freigelegt, sodass diese im Schritt D) feuchtthermisch oxidiert werden kann. Vorzugsweise oxidiert die Opferschicht 2 lateral jeweils von den Seitenflächen der Bereiche der Halbleiterschichtenfolge 3 in Richtung Mitte der jeweiligen Halbleiterschichtenfolge 3.

Hier wird also ein feuchtthermischer Oxidationsprozess während der Herstellung eines Dünnschichtchips eingebaut. Die Opferschicht 2 ist zwischen Halbleiterschichtenfolge 3 und dem Substrat 1 angeordnet. Die Opferschicht 2 kann aber auch noch von zusätzlichen Schichten (z.B. GaAs oder InGaAlP) umgeben sein. Insbesondere ist die Opferschicht 2 zwischen dem Substrat 1 und der Halbleiterschichtenfolge 3 angeordnet. Nach Aufwachsen der Opferschicht 2 und der Halbleiterschichtenfolge 3 kann ein versteckter Mikroreflektor (BMR) hergestellt werden. Dieser kann beispielsweise mittels Fotomasken durch Trockenätzung erzeugt werden. Damit kann die Auskoppel-effizienz erhöht werden. Die Passivierungsschicht oder Dielektrikum 6 kann aus Siliziumdioxid geformt werden. Zudem kann die Halbleiterschichtenfolge 3 ein Spiegelmetall, beispielsweise aus Gold, aufweisen. Das jeweilige Bauelement 10 weist daher eine erhöhte Reflektivität auf, sodass die Auskoppel-effizienz erhöht werden kann. Die Halbleiterschichtenfolge 3 kann einen p-Kontakt 10 aus Platin und Gold aufweisen. Das Dielektrikum, beispielsweise SiO₂ kann z.B. mit Flusssäure strukturiert werden. In genau diesen freigeätzten Bereichen kann dann die p-Kontaktmetallisierung eingebracht werden. Das Strukturieren

der Passivierungsschicht oder Dielektrikum 6 kann mittels Flusssäure erfolgen. Für die Fixierung der Halbleiterschichtenfolge 3 auf einen Hilfsträger 5 kann eine Metallisierung aus Titanwolfram (N)/Titan/Platin/Gold verwendet werden. Es kann damit eine feste Verbindung zwischen Halbleiterschichtenfolge 3 und Hilfsträger 5 erzeugt werden. Die Chipgeometrie, also die Bereiche der Halbleiterschichtenfolge 31, der Passivierungsschicht 6 und der epitaktischen Strukturen, kann mittels Ätzverfahren erzeugt werden. Das Ätzverfahren kann mittels einem induktiven gekoppelten Plasma (ICP) erzeugt werden. Die Gräben 4 erstrecken sich lediglich bis zur Opferschicht 2 oder in die Opferschicht 2 hinein oder durch die Opferschicht 2 hindurch bis zum Substrat 1. Insbesondere wird nicht in das Substrat 1 geätzt, da dies sonst beschädigt ist. Die Oberfläche des abgelösten Substrats 1 müsste dann nach dem Ablösen poliert werden. Insbesondere wird einige 100nm vor dem Substrat 1 gestoppt, damit die Substratoberfläche nicht beschädigt wird.

Dadurch wird die Opferschicht 2 an den Chipseitenkanten freigelegt und kann von dort aus lateral feuchtthermisch oxidiert werden. Das Substrat kann 4" oder größer sein. Zur feuchtthermischen Oxidation kann die Anordnung in einem Quarzrohrföfen eingebracht werden. Die Oxidation kann bei 360° für 1,5 Stunden oder weniger erfolgen. Dabei kann die Temperatur bei 360° konstant gehalten werden. Diese Prozesstemperaturen ermöglichen eine vollständige Oxidation der Opferschicht. Vorzugsweise ist die laterale Oxidation der Opferschicht größer als 140 µm. Im anschließenden Verfahrensschritt kann die Anordnung abgekühlt werden, nachdem die feuchtthermische Oxidation durchgeführt wird.

Die Anordnung wird vorzugsweise bis zu einer Temperatur von ca. 45 °C abgekühlt, bevor das GaAs-Substrat mit der oxidierten Schichtfolge aus dem Ofen entnommen wird. Wenn das Substrat 1 bei höheren Temperaturen aus dem Ofen entnommen wird, können durch die unterschiedlichen thermischen Ausdehnungskoeffizienten der verschiedenen Epitaxie- und Metallschichten sehr schnell hohe Spannungen auftreten, die durch das schlagartige Abkühlen des Substrats 1 aufgrund der Entnahme aus dem Ofen entstehen. Dadurch können die lateral oxidierten halbfertigen Dünnschicht-LEDs von selbst vom Substrat 1 abspringen (komplett vom Wafer wegspringen). Insbesondere kann bis auf Raumtemperatur gekühlt werden, bevor das Substrat 1 aus dem Ofen entnommen wird.

Erfolgt die Abkühlung zu schnell, können sich aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten (CTE) zwischen Halbleiterschichtenfolge und Substrat Risse ausbilden, die zur Zerstörung der optoelektronischen Bauelemente führen können.

Die Figur 1B zeigt die feuchtthermische Oxidation der Opferschicht 2. Dabei findet die Oxidation lateral von den Halbleiterschichtenfolgenseitenkanten statt. Insbesondere erfolgt die Oxidation nicht vollständig, sodass Bereiche erzeugt werden, die die oxidierte Opferschicht 26 und nicht-oxidierte Opferschicht 25 aufweisen. Diese Bereiche können noch eine Haftung zwischen der Halbleiterschichtenfolge 3 und dem Substrat 1 erzeugen. Die feuchtthermische Oxidation kann mittels Wasserdampfatmosphäre 9 erfolgen. Vorzugsweise wird die Opferschicht 2 vollständig oxidiert, weist also keine nicht-oxidierten Bereiche 25 auf.

Anschließend kann nach Schritt C) oder D) ein Hilfsträger 5 auf der dem Substrat 1 gegenüberliegenden Seite der Halbleiterschichtenfolge 3 aufgebracht werden (Figur 1C). Der Hilfsträger 5 kann aus Germanium oder Silizium geformt sein.

5 Zwischen dem Hilfsträger 5 und der Halbleiterschichtenfolge 3 kann eine Goldzinnlotschicht aufgebracht sein. Beim Bonding kann das Substrat in eine Kammer bei einer Temperatur von 200 °C eingebracht werden. Nach dem Erhitzen auf 250 °C werden der Hilfsträger 5 und das Substrat 1 mit einem Druck von

10 ungefähr 0,25 MPa zusammengepresst. Die endgültige Bondtemperatur von 325 °C wird beispielsweise bei 5 Minuten gehalten. Anschließend wird die Anordnung abgekühlt und der Druck wird geändert. Nach der Haltezeit von 5 Minuten bei 325°C kann der Bonddruck weggenommen werden, wodurch das

15 Substrat 1 und der Hilfsträger 5 drucklos abgekühlt werden kann. Aufgrund der geringen Haftung der oxidierten Opferschicht 26 zu ihren umgebenden Elementen oder Schichten, beispielsweise der Halbleiterschichtenfolge 3, und/oder dem Substrat 1, kann das Substrat 1 leicht von der

20 Halbleiterschichtenfolge entfernt werden (Figur 1C). Das Substrat kann wiederverwendet werden und ist zerstörungsfrei von der Halbleiterschichtenfolge 3 entfernt worden. Die Halbleiterschichtenfolge 3 auf dem Hilfsträger 5 kann für weitere Prozessschritte zur Verfügung stehen.

25 Die Figuren 2A bis 2F zeigen jeweils eine Draufsicht auf zumindest ein optoelektronisches Bauelement 100. Die Figuren 2A und 2B zeigen eine Draufsicht eines halbfertigen optoelektronischen Bauelements nach Schritt D), also der

30 feuchtthermischen Oxidation der Opferschicht 2. Die Figur 2A zeigt zudem den BMR 8 und den p-Kontakt 10. Infolge des Oxidationsprozesses formt die Goldbondschiicht polykristalline Körner und kleine Hügel. Die Hügel können als kleine Punkte

auf der Halbleiterschichtenfolgeoberfläche beobachtet werden (Figur 2A).

Die Figur 2B zeigt eine Delamination, das die oxidierte
5 Oxidationsschicht 26 aufweist. Eine kristalline Verbindung zwischen dem Galliumarsenidsubstrat 1 und der Halbleiterschichtenfolge 3 liegt nicht mehr vor. Durch die Oxidation der Opferschicht 2 kann das Substrat 1 leicht von der Halbleiterschichtenfolge 3 entfernt werden. Zudem kann
10 die Opferschicht 2 als Passivierungsschicht der Oberfläche der Halbleiterschichtenfolge 3 dienen. Die Opferschicht 2 kann im anschließenden Verfahrensschritt entfernt werden, beispielsweise in den Bereichen der Halbleiterschichtenfolge 3, die zur elektrischen Kontaktierung beispielsweise zur
15 Ausbildung des n-Kontaktes 11 dienen oder auch in den Bereichen, in denen die Oberflächenaufrauung stattfindet. Durch die Oberflächenaufrauung kann eine bessere Lichtauskopplung ermöglicht werden. Das amorphe Aluminiumoxid (Al_xO_y mit $0 < x < 3$ und/oder $0 < y < 3$) oder
20 Aluminiumhydroxid kann selektiv mittels einer Ätzlösung aus Ammoniak und Wasser (im Verhältnis 1:1) entfernt werden. Die Behandlung kann 35 Minuten dauern. Dabei wird die oxidierte Opferschicht 26 komplett entfernt und Kontaktschichten auf der Halbleiterschichtenoberfläche 3 sind intakt (Figuren 2E
25 und F).

Die Figuren 2C und D zeigen eine schematische Draufsicht einer vollständig hergestellten Halbleiterschichtenfolge 3, die Kontaktierungen, wie n-Kontakte 11, und eine raue
30 Hauptstrahlungsausstrittsfläche aufweist.

Nach Verfahrensschritt D) kann die oxidierte Opferschicht 26 mittels Ätzverfahren, beispielsweise mit Ammoniak und Wasser

1:1, entfernt werden. Anschließend kann mittels der Fotolithographie eine Lackstruktur erzeugt werden, die zur Strukturierung der aufzurauhenden Bereiche dient. Mit einer ICP-Ätzung wird die Halbleiteroberfläche geätzt und dadurch aufgeraut. Danach kann die Lackstruktur wieder entfernt werden. Die Halbleiterschichtenfolge 3 kann passiviert werden, beispielsweise mit Siliziumnitrid. Die Halbleiterschichtenfolge 3 kann n-Kontakte 11, beispielsweise aus Goldgermanium, aufweisen. Nachdem Aufbringen der Goldgermanium-Metallisierung für den n-Kontakt kann der Wafer bei erhöhter Temperatur ausgeheizt werden. Dadurch legiert dieser n-Kontakt in die oberflächlich liegenden n-Kontaktschichten der Halbleiterschichtenfolge 3 wodurch ein guter ohmscher Kontakt zwischen Metall und Halbleiter entsteht.

Die Figuren 3A bis 3F zeigen elektrooptische Charakterisierungen von fertig hergestellten optoelektronischen Bauelementen. Das jeweilige optoelektronische Bauelement weist einen Hilfsträger 5 auf, auf dem die Halbleiterschichtenfolge 3 angeordnet ist. Alle fertigen Bauteile befinden sich noch auf dem Hilfsträger 5. Der Hilfsträger 5 mit der Halbleiterschichtenfolge 3 ist noch nicht vereinzelt.

In Figur 3A ist die Flussspannung V_F in Volt bei einem angelegten Betriebsstrom von 50 mA dargestellt. Die Figur 3B zeigt die Wellenlänge λ in nm bei 50 mA. Die Figur 3C zeigt I_V in mCd bei 50 mA. I_V ist die Lichtstärke in mCd (Millicandela), die der Chip abgibt, wenn ein Betriebsstrom von 50mA an den Chip angelegt wird. Die Figur 3D zeigt $V_{reverse}$ in Volt bei 10 μ A. Hierbei wird die LED in Rückwärtsrichtung

betrieben und die Rückwärtsspannung oder Sperrspannung (V_{reverse}) gemessen, wenn ein Strom von 10 μA fließt.

Die Figur 3E zeigt den Rückwärtsstrom oder auch Sperrstrom I_R in nA bei -12 V und die Figur 3F zeigt die Verteilung der Flussspannung V_f der einzelnen LEDs auf einem 4-Zoll Wafer von Probe S1. Es sind jeweils zwei Proben S1 und S2 dargestellt. Für die Probe 1 beziehungsweise 2 sind ungefähr 50000 Bauelemente 100 getestet worden. Die Rückwärtsspannung oder Sperrspannung der LED (V_{reverse}) wurde bei mehr als 15000 optoelektronischen Bauelementen 100 gemessen. Die Werte sind in einem statistischen Boxplotdiagramm mit einem spezifischen Quantil-Bereich zwischen 1 % und 99 % aufgetragen.

Es sind ferner die Hauptwerte für die gemessenen Bauelemente 100 angegeben und sowie die spezifischen Quantilgrenzen in Prozent für die Proben S1 und S2. Die Proben S1 und S2 sind identisch aufgebaut ebenso oxidiert, wie auch abgetrennt und weiter prozessiert. Durch die vorgelegten Ergebnisse kann auf eine gute Reproduzierbarkeit geschlossen werden. Die hohe Sperrspannung von ungefähr -59 V und der kleine Leckstrom von ungefähr 77 nA zeigt eine gute Stabilität der optoelektronischen Bauelemente ohne elektrische Nebenschlüsse.

25

Die Fig. 3 A) -F) zeigen die Messergebnisse der mit dem Oxidationsverfahren transferierten LEDs. Es kann hier gezeigt werden, dass es mit dem Oxidationsverfahren möglich ist Dünnschicht-LEDs ohne gravierende Beschädigungen mit guter Chipperformance zerstörungsfrei zu transferieren. Diese LEDs wurden auf Waferlevel charakterisiert, indem jeder Chip bei bestimmten angelegten Strömen oder Spannungen getestet wurde. Die Chipwerte zeigen vergleichbare Ergebnisse, wie LEDs die

mit dem Standardverfahren hergestellt wurden, indem das Substrat 1 mechanisch abgeschliffen und chemisch geätzt wurde, wodurch dann das GaAs-Substrat zerstört ist.

Es wurde ein beliebiger Chiptyp verwendet und das
5 Oxidationsverfahren an diesem durchgeführt/getestet. Dieses Verfahren ist auch auf andere Chiptypen anwendbar.

Die Figuren 4A bis 4D zeigen elektrooptische Eigenschaften sowie Schnellalterungstests, um die Qualität der LEDs zu
10 beurteilen, der fertig erzeugten optoelektronischen Bauelemente 100, die jeweils auf einem Hilfsträger 5 angeordnet sind (je nachdem Fig. 4 A) Hilfsträger im Waferverbund, B)-D) Hilfsträger mit LED vereinzelt und auf einer Platine aufgebracht).

15 In Fig. 4 A) wurden die LEDs noch auf Waferlevel gemessen, die LEDs wurden noch nicht vereinzelt. Vereinzelt bedeutet, dass mit einer Säge oder einem Laser der Hilfsträger durchtrennt wird und somit die LEDs nicht mehr über den
20 Hilfsträger miteinander verbunden sind.

In Fig. 4 B) - D) sind die gemessenen LEDs bereits vereinzelt und wurden zusammen ca. 30 Stück auf eine Messplatine aufgebracht. Diese wurden dann bei erhöhtem Betriebsstrom und Temperatur verstärkt belastet, um eine künstliche Alterung zu
25 erzwingen, wodurch eine Aussage über die zeitliche Stabilität der LED geschlossen werden kann.

Es sind in Figur 4A die gemessene Spannung U_M in Volt in Abhängigkeit von der angelegten Stromstärke I_A in mA der
30 Proben S1, S2 und der Referenz R gezeigt. Ferner ist die Intensität I in Abhängigkeit von der Wellenlänge λ gezeigt. Die Figur 4B zeigt die relative Flussspannung (Forward voltage) $V_{f,rel}$ bei 50 mA in Abhängigkeit von der Stresszeit t

in Sekunden, die Figur 4C zeigt die Lichtstärke $I_{V,rel}$ bei 1 mA in Abhängigkeit von der Stresszeit t in Sekunden und die Figur 4D zeigt $I_{V,rel}$ bei 50 mA in Abhängigkeit von der Stresszeit t in Sekunden. $V_{f,rel}$ bedeutet, dass die

5 anfängliche Flussspannung bei der Zeit 1 s gemessen wurde. Dann wurde der Chip künstlich bei erhöhtem Strom und Temperatur gestresst und nach bestimmten Zeiten (das sind die eingetragenen Punkte in Fig. 4B)-D)) wurde wieder die Flussspannung gemessen. Diese Messwerte wurden relativ zum

10 anfänglichen Wert bei 1s aufgetragen. Somit wird eine prozentuale Zunahme oder Abnahme des Parameters in Abhängigkeit der Stresszeit dargestellt. Dies ist analog für Fig. 4C) bei einem Messstrom von 1mA und Fig. 4D) bei 50mA für die Lichtstärke I_v dargestellt. Die

15 verschieden Linien zeigen die 30 gemessenen Chips 1 bis 30.

Die Figuren 5A bis 5J zeigen jeweils eine schematische Seitenansicht eines optoelektronischen Bauelements oder einer Epitaxieschichtenfolge gemäß einer Ausführungsform.

20

Das Bauelement 100 oder Epitaxieschichtenfolge der Figur 5A weist ein Substrat 1 auf. Das Substrat weist eine Schicht aus Galliumarsenid auf. Die Galliumarsenidschicht kann mit Silizium dotiert sein und beispielsweise eine Schichtdicke

25 von 450 μm aufweisen. Auf der Galliumarsenidschicht kann optional eine Galliumarsenidpufferschicht (n-dotiert) aufgebracht sein. Die Galliumarsenidpufferschicht ist Teil des Substrats 1. Nachfolgend kann die Opferschicht 2 beispielsweise aus Aluminiumgalliumarsenid (n) aufgebracht

30 sein. Der Aluminiumanteil kann 80 % betragen. Der Opferschicht 2 ist nachfolgend die Halbleiterschichtenfolge 3 aufgebracht. Die Halbleiterschichtenfolge weist beispielsweise eine Q55-Kontaktschicht (n), nachfolgend eine

- Q100-Schicht (n), nachfolgend Quantentröge, nachfolgend Q100 (p), nachfolgend eine Q55-Kontaktschicht (p) und nachfolgend eine oder zwei Aluminiumgalliumarsenidschichten (p) auf. Die Aluminiumgalliumarsenidschichten (p) können 60 % und/oder 70 % Aluminium aufweisen. Die Abschlussschicht der Halbleiterschichtenfolge 3 kann aus Galliumarsenid (p) sein. P bedeutet hier p-dotiert und n bedeutet hier n-dotiert. Q55 bedeutet $\text{In}_{0,5}(\text{Al}_{0,275}\text{Ga}_{0,225})_{0,5}\text{P}$. Q 55 bedeutet, dass der Al-Anteil 55% und der Ga-Anteil nur 45% im Al-Ga-Verhältnis beträgt. Insgesamt ist aber Al und Ga nur 50% gegenüber In (auch 50%) in der Struktur vorhanden. Q100 bedeutet hier, dass InAlP vorliegt, der Al-Anteil gegenüber Ga ist 100%, somit ist kein Ga mehr vorhanden.
- 15 Das Bauelement der Figur 5B unterscheidet sich von dem Bauelement der Figur 5A dadurch, dass die Opferschicht 2 zwei Teilschichten aufweist. Die erste Teilschicht 21 ist aus AlAs oder Aluminiumgalliumarsenid mit beispielsweise einem Anteil von 2 % Gallium geformt. Die Schichtdicke kann beispielsweise 20 700 nm mit einer Toleranz von 10 % bis 20% von diesem Wert sein. Die Opferschicht 2 weist eine zweite Teilschicht 22 aus Galliumarsenid 22 auf. Die zweite Teilschicht 22 kann beispielsweise eine Schichtdicke von 100 nm aufweisen.
- 25 Das Bauelement der Figur 5C unterscheidet sich von dem Bauelement der Figur 5B dadurch, dass die Opferschicht 2 statt einer Galliumarsenidschicht eine Q55-Schicht aufweist. Die Q55-Schicht ist die zweite Teilschicht 22. Die zweite Teilschicht 22 ist dem Substrat 1 direkt nachgeordnet. Der 30 zweiten Teilschicht 22 ist direkt die erste Teilschicht 21 nachgeordnet, die insbesondere aus Aluminiumgalliumarsenid mit einem Anteil von 2 % an Gallium geformt ist. Die

Schichtdicke der zweiten Teilschicht 22 kann 300 nm und die Schichtdicke der ersten Teilschicht 21 kann 700 nm sein.

Die Figur 5D zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Dieses Bauelement ist die bevorzugte Ausführungsform. Das Bauelement 100 der Figur 5D unterscheidet sich von den vorhergehenden Bauelementen der Figuren 5A und 5C, dass die Opferschicht 2 vier Teilschichten aufweist. Die erste Teilschicht 21 ist dem Substrat 1 direkt, also unmittelbar, nachgeordnet. Die erste Teilschicht 21 kann aus Q55 mit einer Schichtdicke von 300 nm ausgeformt sein. Die zweite Teilschicht 22 ist der ersten Teilschicht 21 direkt nachgeordnet und kann aus Galliumarsenid mit einer Schichtdicke von < 500 nm ausgeformt sein. Die dritte Teilschicht 23 ist der zweiten Teilschicht 22 direkt nachgeordnet und weist Aluminiumgalliumarsenid, vorzugsweise mit einem Anteil von Gallium von 2 %, auf. Die Schichtdicke der dritten Teilschicht 23 kann 700 nm sein. Zusätzlich kann die Opferschicht 2 eine vierte Teilschicht 24 aufweisen, die der dritten Teilschicht 23 direkt nachgeordnet ist. Die vierte Teilschicht 24 kann aus Galliumarsenid mit einer Schichtdicke von 100 nm ausgeformt sein.

Die erste Teilschicht 21 dient hier als Schutzschicht für das Substrat 1 und die vierte Teilschicht 24 kann hier als Schutzschicht für die Halbleiterschichtenfolge 3 dienen. Die vierte Teilschicht 24 kann auch fehlen. Um den Schritt D) durchführen zu können, das heißt die Opferschicht 2 feuchtthermisch oxidieren zu können, ist es von Vorteil, dass Gräben 4 in vertikaler Richtung in der Halbleiterschichtenfolge 3 und der Opferschicht 2 erzeugt werden. Mit anderen Worten wird die Halbleiterschichtenfolge

2 auf Chipgröße strukturiert. Es werden also Mesagräben mittels Ätzung erzeugt. Die Gräben 4 können sich bis in die Opferschicht 2, vorzugsweise bis in die dritte Teilschicht 23 oder zweite Teilschicht 24 der Opferschicht 2, erstrecken.

5 Die Gräben 4 können sich alternativ oder zusätzlich bis in die zweite Teilschicht 22 erstrecken. Die Opferschicht 2 liegt anschließend vollständig frei für den Oxidationsprozess. Nach dem oxidativen Abtrennvorgang befinden sich nur noch die Galliumarsenidpufferschicht und

10 die Q55-Schicht 21 und ggf. auch noch die zweite Teilschicht 22 der Opferschicht 2 auf der Galliumarsenidschicht des Substrats 1. Diese können mittels einer nasschemischen Ätzung selektiv entfernt werden, wodurch das Galliumarsenid des Substrats 1 eine Oberfläche erhält, die für ein neues

15 Aufwachsen geeignet ist.

Die Figur 5E zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Das Ausführungsbeispiel der Figur 5E unterscheidet sich von dem Ausführungsbeispiel der Figur 5A

20 dadurch, dass die Opferschicht 2 unterschiedlich aufgebaut ist. In dem Ausführungsbeispiel der Figur 5E weist die Opferschicht 2 eine erste Teilschicht 21 und eine zweite Teilschicht 22 auf. Die erste Teilschicht 21 weist

25 Aluminiumgalliumarsenid, vorzugsweise mit einem Anteil an Aluminium von 98 %, auf. Die zweite Teilschicht 22 weist ebenfalls Aluminiumgalliumarsenid auf. Der Anteil an Aluminium in der zweiten Teilschicht 22 ist jedoch geringer als der Anteil an Aluminium in der ersten Teilschicht 21.

30 Insbesondere ist der Aluminiumanteil in der zweiten Teilschicht 22 zwischen 10 % und 70 %, beispielsweise 50 %. Die zweite Teilschicht 22 kann anschließend selektiv, nachdem

der Trennvorgang erfolgte, gegenüber den umliegenden Schichten weggeätzt werden.

Die erste Teilschicht 21 weist vorzugsweise eine Schichtdicke zwischen 300 nm und 950 nm auf. Die zweite Teilschicht 22 weist insbesondere eine Schichtdicke von kleiner als 500 nm auf.

Die Figur 5F zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Das Ausführungsbeispiel der Figur 5F entspricht im Wesentlichen dem Ausführungsbeispiel der Figur 5E mit Ausnahme, dass die Opferschicht 2 eine zusätzliche dritte Teilschicht 23 aufweist. Die dritte Teilschicht 23 ist zwischen der ersten Teilschicht 21 und der Halbleiterschichtenfolge 3 angeordnet. Die dritte Teilschicht 23 besteht vorzugsweise aus demselben Material wie die zweite Teilschicht 22. Insbesondere weist die dritte Teilschicht 23 Aluminiumgalliumarsenid mit einem Anteil von Aluminium von 10 bis 70 % auf. Die dritte Teilschicht 23 weist vorzugsweise eine Schichtdicke von kleiner 200 nm auf.

Die Figur 5G zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Das optoelektronische Bauelement der Figur 5G unterscheidet sich von dem Bauelement der Figur 5F dadurch, dass die dritte Teilschicht 23 Galliumarsenid aufweist. Vorzugsweise ist die Schichtdicke der zweiten Teilschicht 22 kleiner als 500 nm. Die Schichtdicke der ersten Teilschicht 21 ist vorzugsweise zwischen 300 nm und 950 nm und/oder die der dritten Teilschicht 23 ungefähr 100 nm.

Die Figur 5H zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Das Bauelement 100 der Figur 5H unterscheidet sich von dem Bauelement der Figur 5G dadurch, dass die Opferschicht 2 aus vier Teilschichten aufgebaut ist. Die Opferschicht 2 der Figur 5H weist also zusätzlich eine vierte Teilschicht 24 auf. Die vierte Teilschicht 24 weist Q55 auf. Insbesondere ist die Schichtdicke der vierten Teilschicht 24 kleiner als 300 nm.

10

Die Figur 5I zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Das Bauelement der Figur 5I unterscheidet sich von dem Bauelement der Figur 5F dadurch, dass die Opferschicht 2 eine zusätzliche vierte Teilschicht 24 aufweist. Die vierte Teilschicht 24 ist zwischen dem Substrat 1 und der zweiten Teilschicht 22 angeordnet. Die vierte Teilschicht 24 weist vorzugsweise Q55 auf. Die Schichtdicke der vierten Teilschicht 24 ist vorzugsweise kleiner als 300 nm.

20

Die Figur 5J zeigt eine schematische Seitenansicht eines optoelektronischen Bauelements 100 gemäß einer Ausführungsform. Das Bauelement der Figur 5J unterscheidet sich von dem Bauelement der Figur 5H durch die Anordnung der vier Teilschichten 21 bis 24 der Opferschicht 2. In Richtung weg vom Substrat 1 weist die Opferschicht 2 eine vierte Teilschicht 24, nachfolgend eine zweite Teilschicht 22, nachfolgend eine erste Teilschicht 21 und nachfolgend eine dritte Teilschicht 23 auf. Die Materialien der Teilschichten entsprechen den Materialien der Opferschicht 2 der Figur 5H. Mit anderen Worten wurde hier die zweite Teilschicht 22 und die dritte Teilschicht 23 vertauscht. Insbesondere ist die

25

30

Schichtdicke der ersten Teilschicht 21 zwischen 300 nm und 950 nm, die der zweiten Teilschicht 22 kleiner als 500 nm, die der dritten Teilschicht 23 kleiner als 200 nm und/oder die der vierten Teilschicht 24 kleiner als 300 nm.

5

Alle hier vorstehend beschriebenen Anordnungen des Bauelements können optional auch keine Galliumarsenidpufferschicht (n-dotiert) aufweisen. Der Anteil x an Aluminium in Aluminiumgalliumarsenid ($\text{Al}_x\text{Ga}_{1-x}\text{As}$) der Opferschicht 2 ist insbesondere größer als 0 und kleiner oder gleich 1.

Die in Verbindung mit den Figuren beschriebenen Ausführungsbeispiele und deren Merkmale können gemäß weiterer Ausführungsbeispiele auch miteinander kombiniert werden, auch wenn solche Kombinationen nicht explizit in den Figuren gezeigt sind. Weiterhin können die in Verbindung mit den Figuren beschriebenen Ausführungsbeispiele zusätzliche oder alternative Merkmale gemäß der Beschreibung im allgemeinen Teil aufweisen.

20

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2017 103 041.7, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

30

Bezugszeichenliste

100	optoelektronisches Bauelement
1	Substrat
5	2 Opferschicht
	21 erste Teilschicht
	22 zweite Teilschicht
	23 dritte Teilschicht
	24 vierte Teilschicht
10	25 nicht-oxidierte Opferschicht
	26 oxidierte Opferschicht
	27 aktive Schicht
	28 p-dotierte Halbleiterschicht
	29 n-dotierte Halbleiterschicht
15	3 Halbleiterschichtenfolge
	31 Bereiche der Halbleiterschichtenfolge
	4 Gräben vollständig
	5 Hilfsträger
	6 Passivierungsschicht oder Dielektrikum
20	7 Metallisierung
	8 BMR
	9 Wasserdampfatosphäre
	10 p-Kontakt
	11 n-Kontakt

Patentansprüche

1. Verfahren zur Herstellung einer Vielzahl von optoelektronischen Bauelementen (100) mit den Schritten:

- 5 A) Bereitstellen eines Substrats (1),
B) epitaktisches Aufbringen einer Opferschicht (2) mit einer Schichtdicke von größer als 300 nm auf das Substrats (1), wobei die Opferschicht (2) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ aufweist,
C) epitaktisches Aufbringen einer Halbleiterschichtenfolge
10 (3) auf die Opferschicht (2), wobei anschließend Gräben (4) erzeugt werden, die sich in vertikaler Richtung durch die Halbleiterschichtenfolge (3) bis zur Opferschicht (2) erstrecken, so dass eine Vielzahl von Bereiche (31) der Halbleiterschichtenfolge (3) erzeugt werden, und
15 D) feuchtthermische Oxidation der Opferschicht (2), so dass das Substrat (1) von der Halbleiterschichtenfolge (3) zerstörungsfrei entfernt werden kann, wobei die Opferschicht (2) in Richtung weg von dem Substrat (1) mindestens drei und gegebenenfalls vier Teilschichten
20 (21, 22, 23, 24) aufweist, wobei die erste Teilschicht (21) InGaAlP , die zweite Teilschicht (22) GaAs , die dritte Teilschicht (23) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x \leq 1$ und die vierte Teilschicht (24) GaAs umfasst.

- 25 2. Verfahren nach Anspruch 1, wobei nach Schritt C) oder D) ein Hilfsträger (5) auf die dem Substrat (1) gegenüberliegenden Seite der Halbleiterschichtenfolge (3) aufgebracht wird.

- 30 3. Verfahren nach zumindest einem der vorhergehenden Ansprüche, wobei der Hilfsträger (5) und die Halbleiterschichtenfolge (3) von dem Substrat (1) entfernt werden, wobei anschließend

zumindest der Hilfsträger (5) vereinzelt wird, so dass eine Vielzahl von optoelektronischen Bauelementen (100) erzeugt wird.

- 5 4. Verfahren nach zumindest einem der vorhergehenden Ansprüche,
wobei Schritt D) bei einer Temperatur von kleiner 400 °C unter Wasserdampfatmosphäre durchgeführt wird.
- 10 5. Verfahren nach zumindest einem der vorhergehenden Ansprüche,
wobei die Opferschicht (2) im Schritt D) nur teilweise oxidiert wird, so dass nicht-oxidierte Bereiche zwischen der Halbleiterschichtenfolge (3) und dem Substrat (1) vorhanden
15 sind, die $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $x \leq 1$ aufweisen.
6. Verfahren nach zumindest einem der vorhergehenden Ansprüche,
wobei die Opferschicht (2) Teilschichten (21, 22) aufweist,
20 wobei die erste Teilschicht (21) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit mit $0 < x \leq 1$ aufweist, wobei die zweite Teilschicht (22) GaAs oder InGaAlP aufweist,
wobei im Fall der GaAs umfassenden zweiten Teilschicht (22), die erste Teilschicht (21) zwischen dem Substrat (1) und der
25 zweiten Teilschicht (22) angeordnet ist,
wobei im Fall der InGaAlP umfassenden zweiten Teilschicht (22), die zweite Teilschicht (22) zwischen der ersten Teilschicht (21) und dem Substrat (1) angeordnet ist.
- 30 7. Verfahren nach dem vorhergehenden Anspruch,
wobei die erste Teilschicht (21) als Schutzschicht für das Substrat (1) dient und eine Schichtdicke von 1 nm bis 350 nm aufweist, wobei die zweite Teilschicht (22) eine Schichtdicke

von 1 nm bis 500 nm aufweist und die vierte Teilschicht (24) als Schutzschicht für die Halbleiterschichtenfolge (3) dient und eine Schichtdicke von 1 nm bis 120 nm aufweist.

- 5 8. Verfahren nach zumindest einem der vorhergehenden Ansprüche,
wobei $0,95 \leq x < 1$ und die Schichtdicke der Opferschicht (2) zwischen einschließlich 600 nm und einschließlich 800 nm ist.
- 10 9. Verfahren nach zumindest einem der vorhergehenden Ansprüche,
wobei $x = 0,98$ ist.
10. Verfahren nach zumindest einem der vorhergehenden
15 Ansprüche,
wobei die Halbleiterschichtenfolge (3) ein Dünnschichtchip ist.
11. Verfahren nach zumindest einem der vorhergehenden
Ansprüche,
20 wobei das Substrat (1) GaAs ist.
12. Verfahren nach zumindest einem der vorhergehenden
Ansprüche,
wobei der Hilfsträger (5) Germanium, Saphir, Kunststoff oder
25 Silizium ist.
13. Verfahren nach zumindest einem der vorhergehenden
Ansprüche,
wobei die Opferschicht (2) vollständig oxidiert und die
30 Haftung der oxidierten Opferschicht (2) kleiner ist als die
Haftung der nicht-oxidierten Opferschicht (2).

14. Verfahren nach zumindest einem der vorhergehenden Ansprüche,

wobei die Opferschicht (2) Teilschichten (21, 22) aufweist, wobei die erste Teilschicht (21) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x < 1$ aufweist, wobei die zweite Teilschicht (22) $\text{Al}_x\text{Ga}_{(1-x)}\text{As}$ mit $0 < x < 1$ aufweist, wobei der Anteil an Al in der ersten Teilschicht (21) größer als in der zweiten Teilschicht (22) ist, wobei die zweite Teilschicht (22) zwischen dem Substrat (1) und der ersten Teilschicht (21) angeordnet ist.

10

15. Verfahren nach dem vorhergehenden Anspruch, wobei die Opferschicht (2) eine dritte Teilschicht (23) aufweist, die zwischen der ersten Teilschicht (21) und der Halbleiterschichtenfolge (3) angeordnet ist, wobei die dritte Teilschicht (23) Aluminiumgalliumarsenid oder Galliumarsenid umfasst.

15

16. Verfahren nach dem vorhergehenden Anspruch, wobei die Opferschicht (2) eine vierte Teilschicht (24) aufweist, die InGaAlP aufweist.

20

17. Optoelektronisches Bauelement (100) erhältlich aus einem Verfahren gemäß zumindest einem der Ansprüche 1 bis 16.

Fig. 1

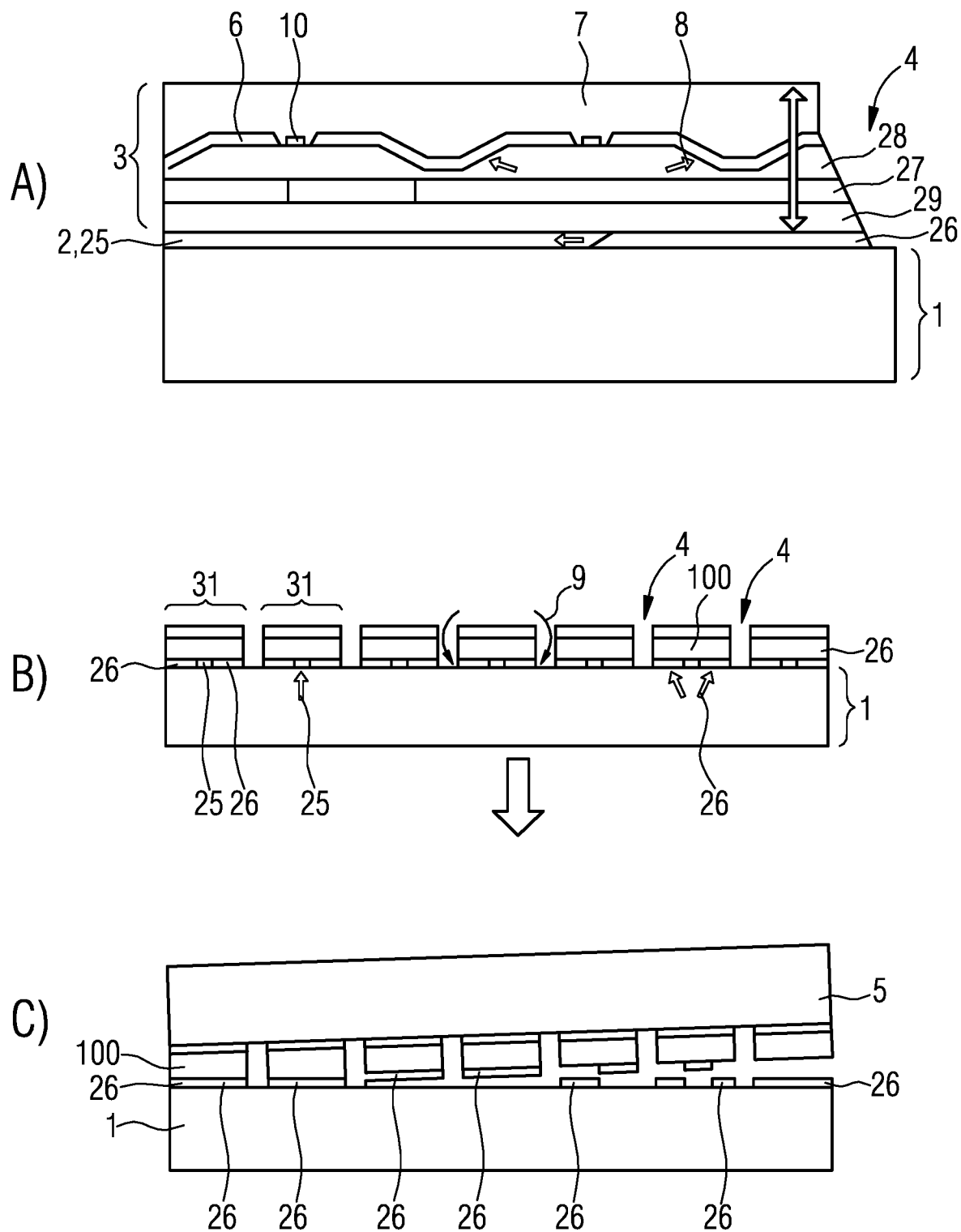


Fig. 2

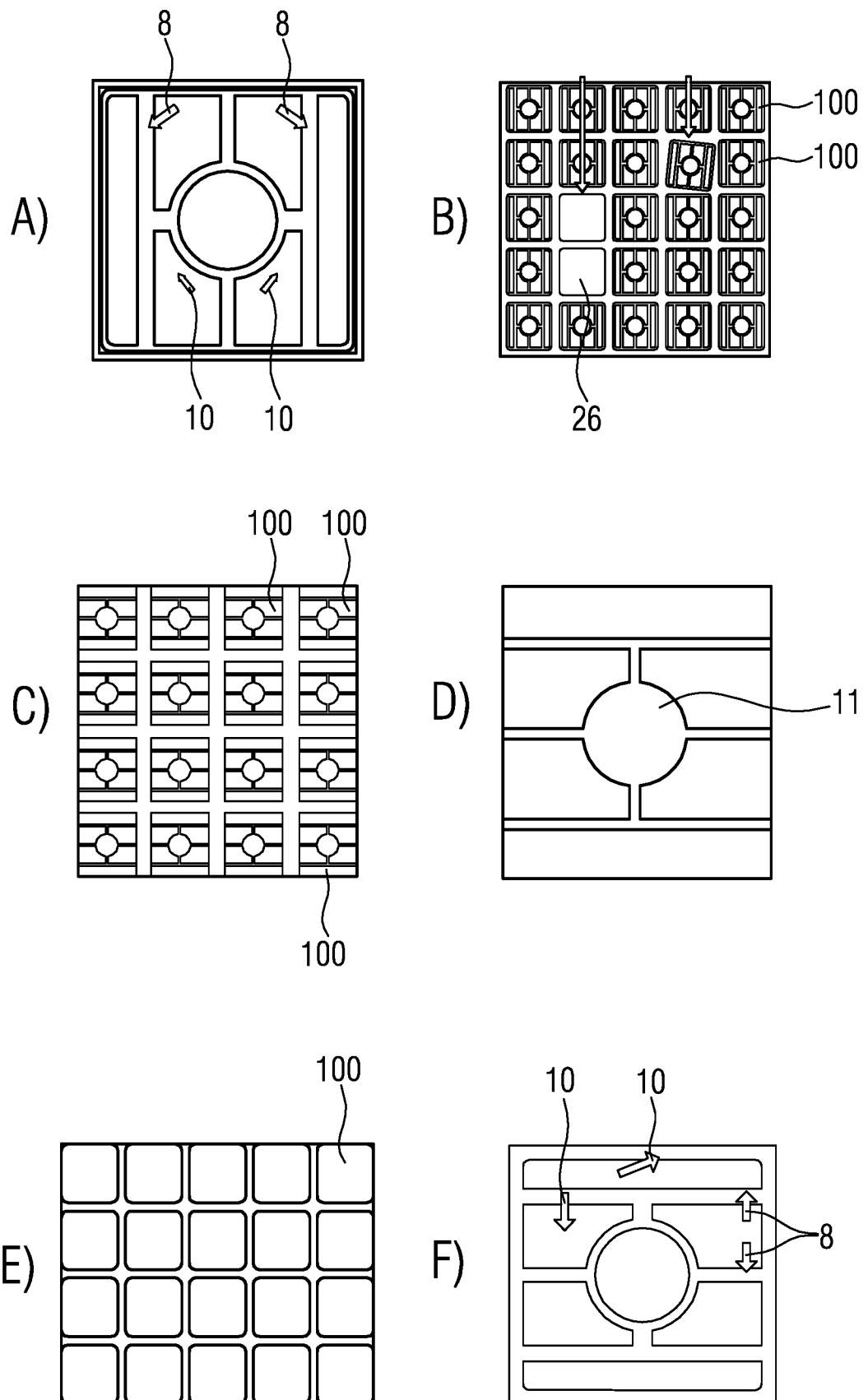


Fig. 3A

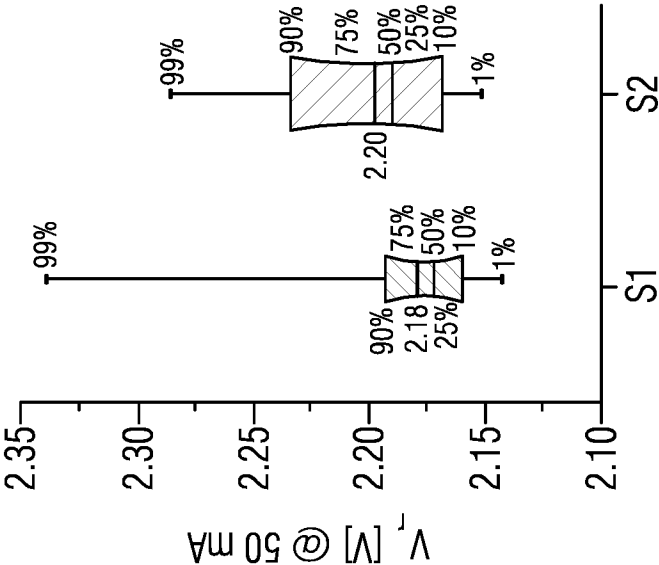


Fig. 3B

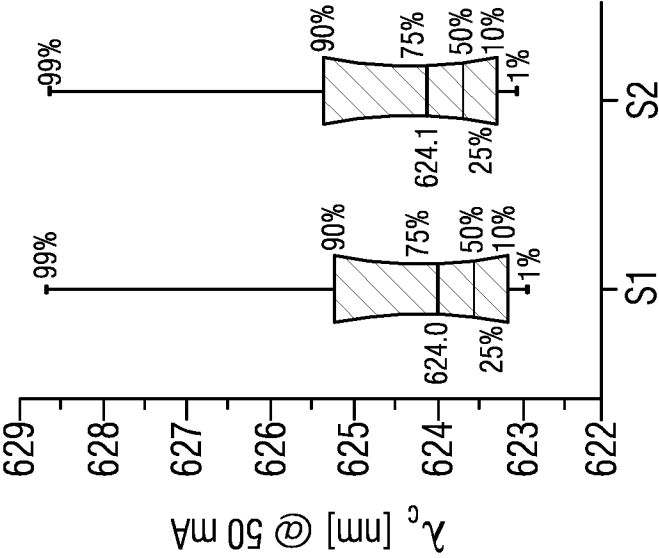


Fig. 3C

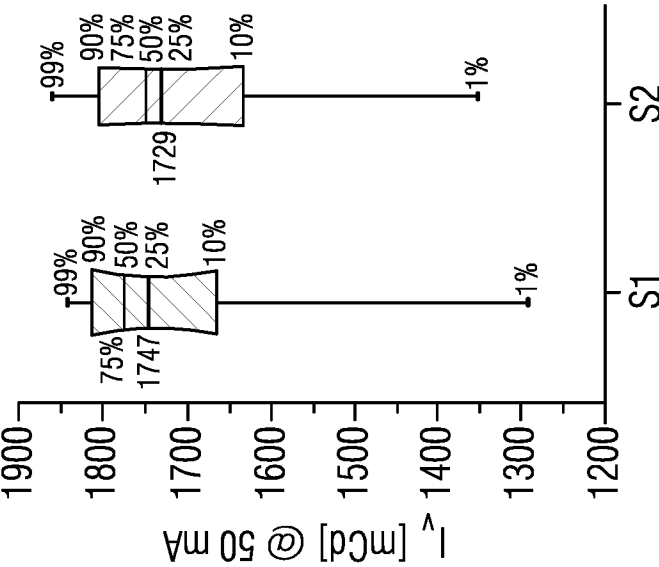


Fig. 3D

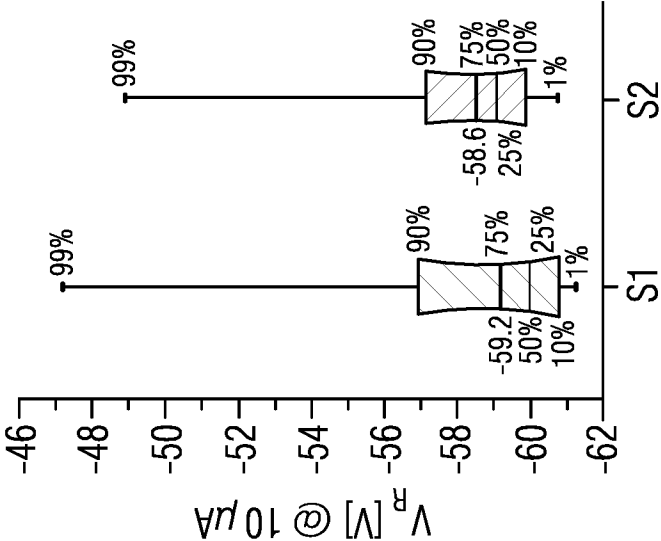


Fig. 3E

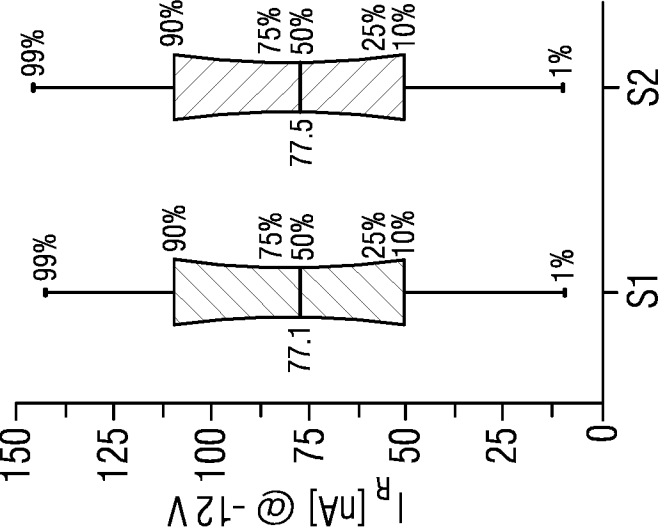


Fig. 3F

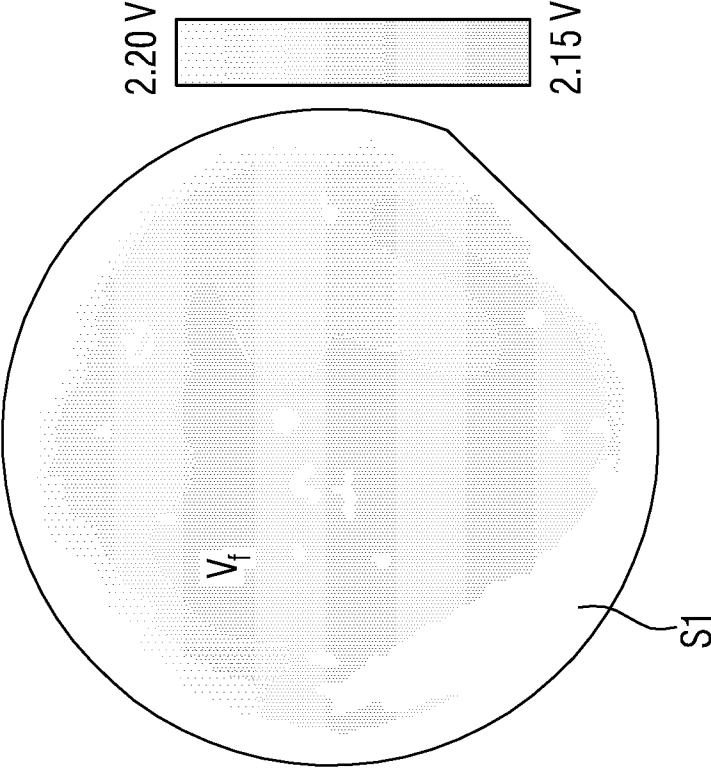


Fig. 4A

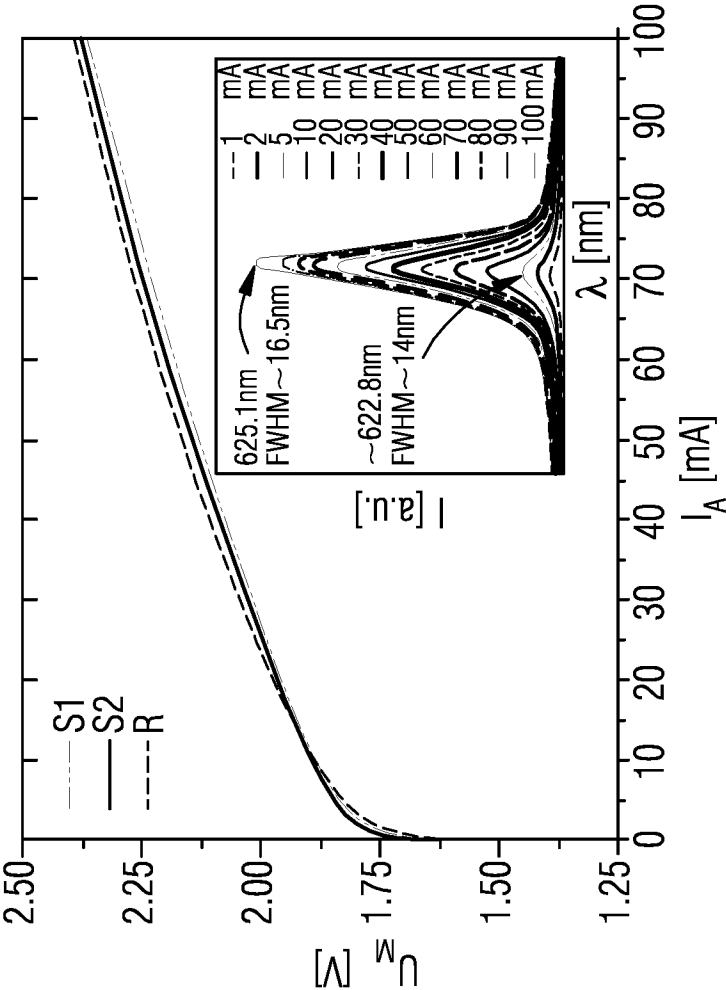


Fig. 4B

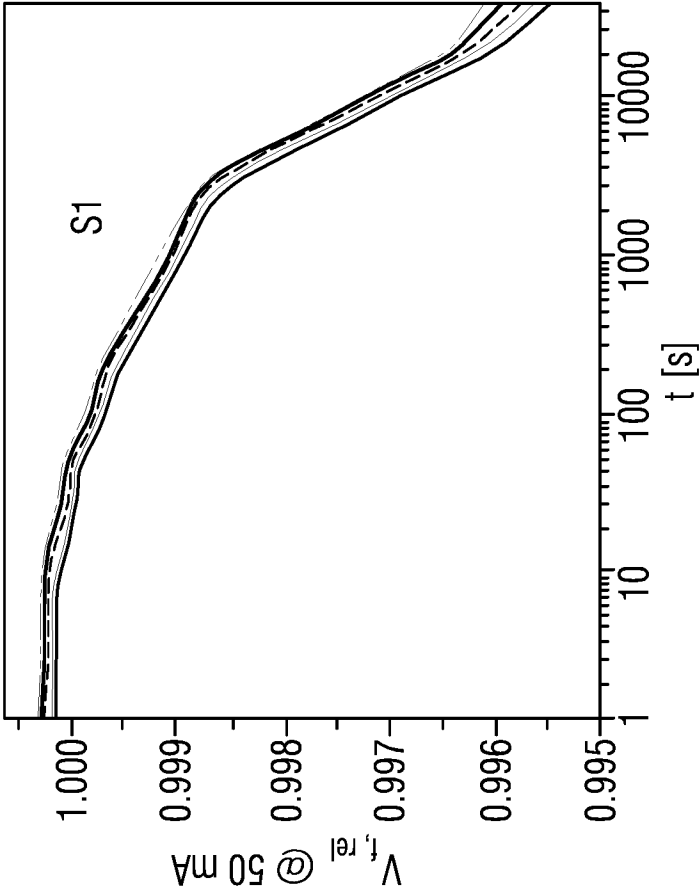


Fig. 4C

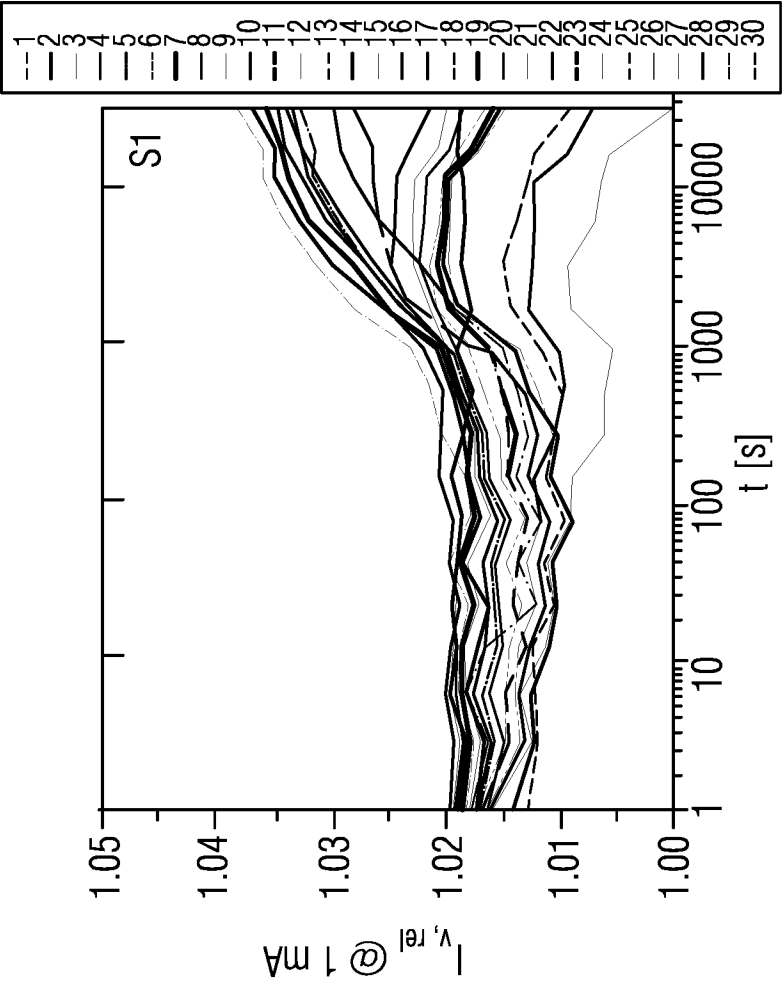


Fig. 4D

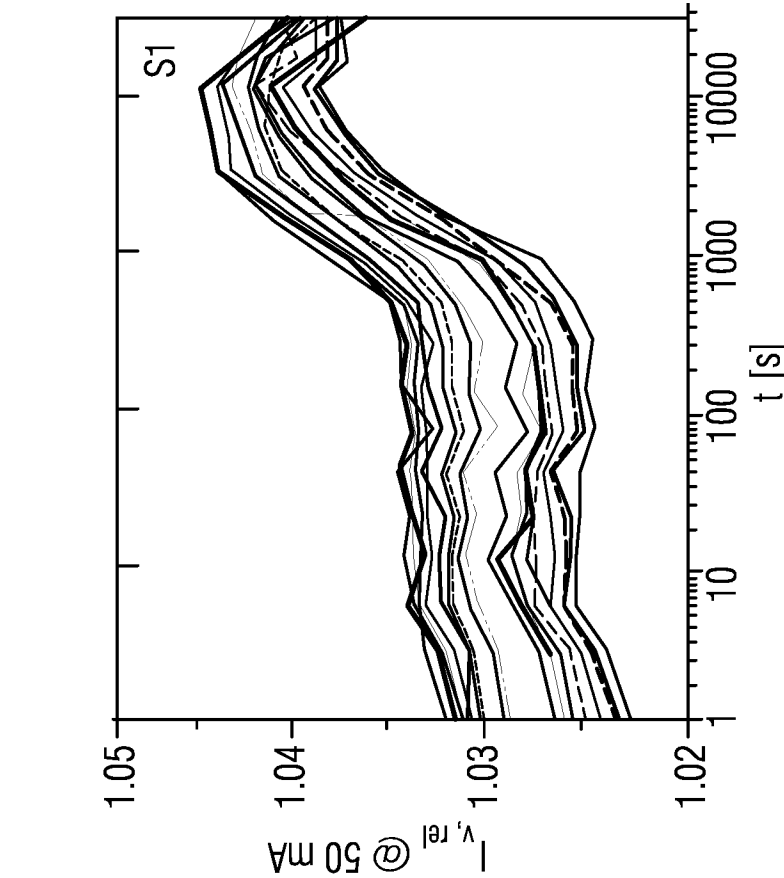


Fig. 5

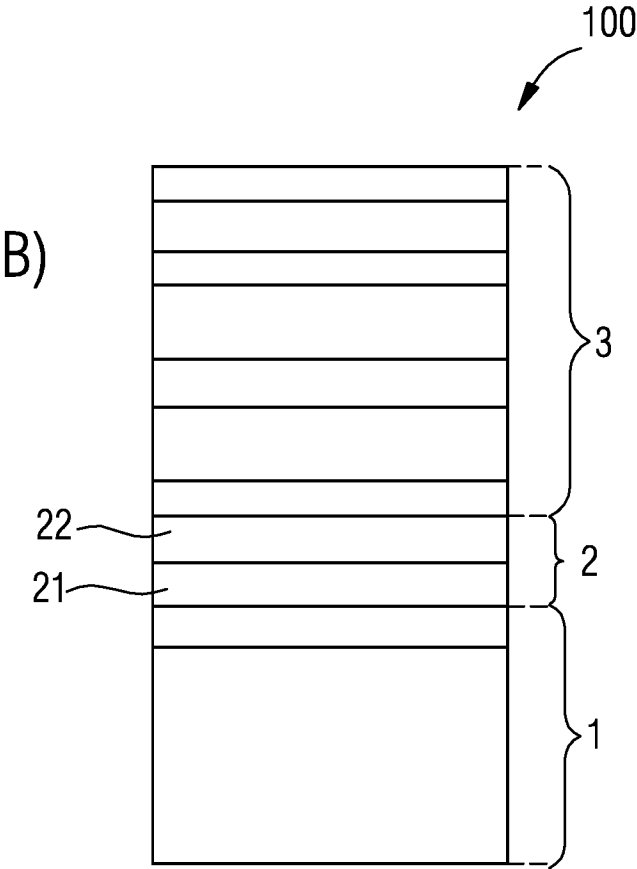
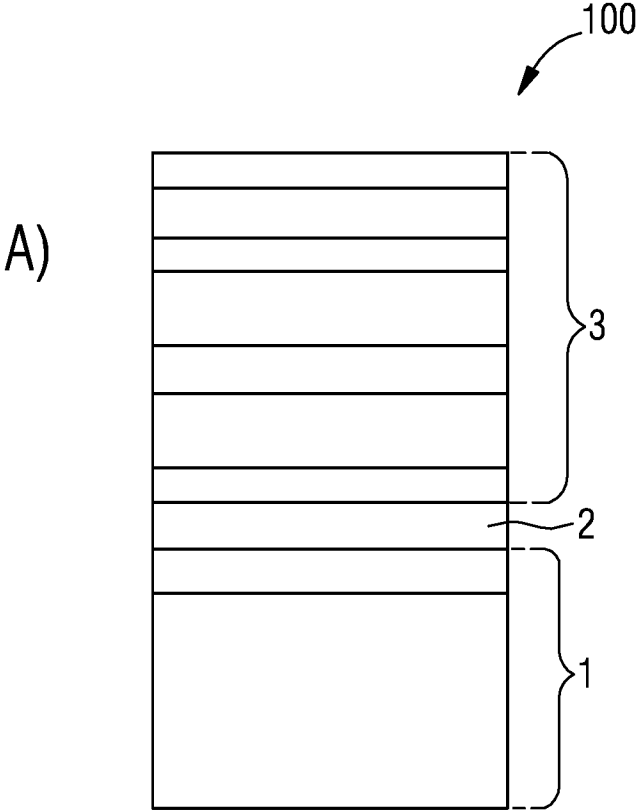


Fig. 5

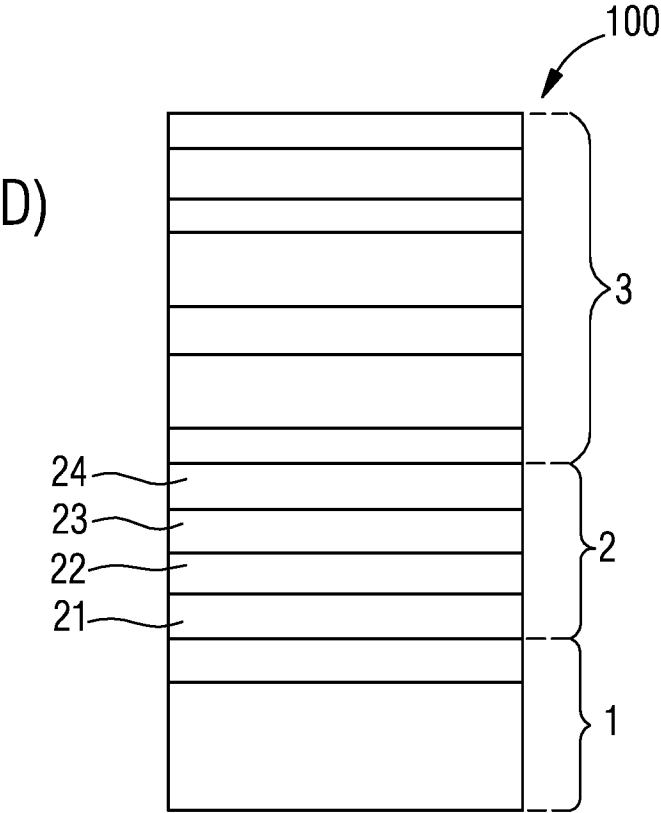
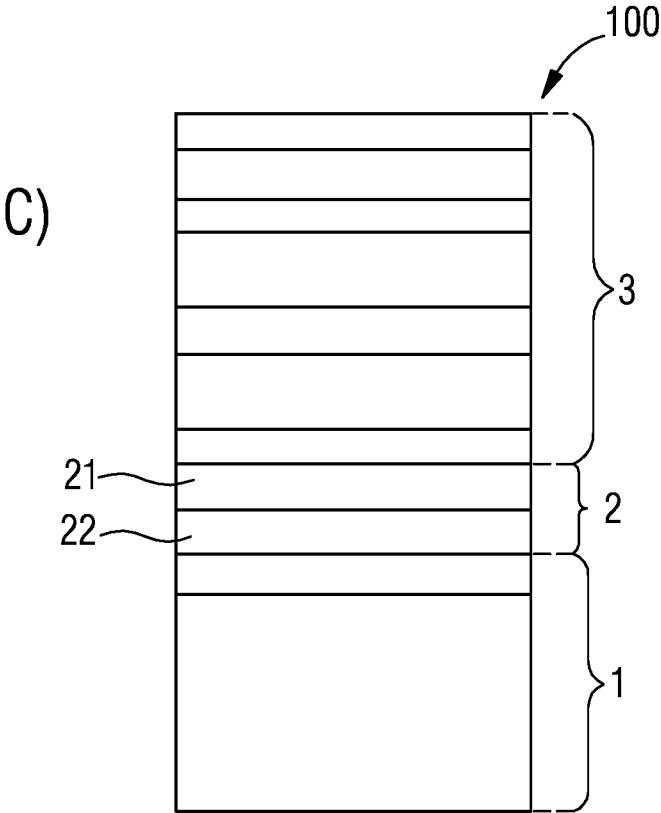


Fig. 5

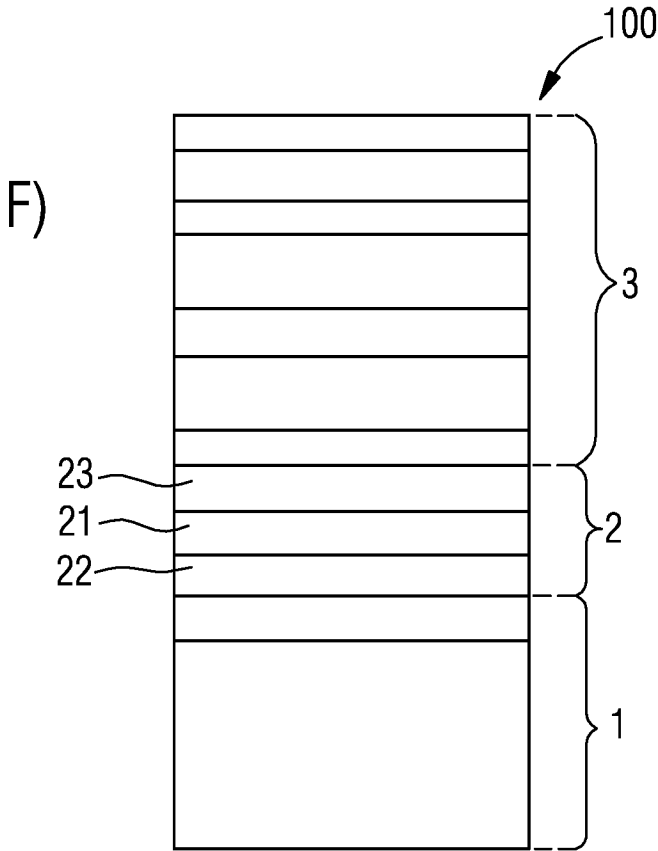
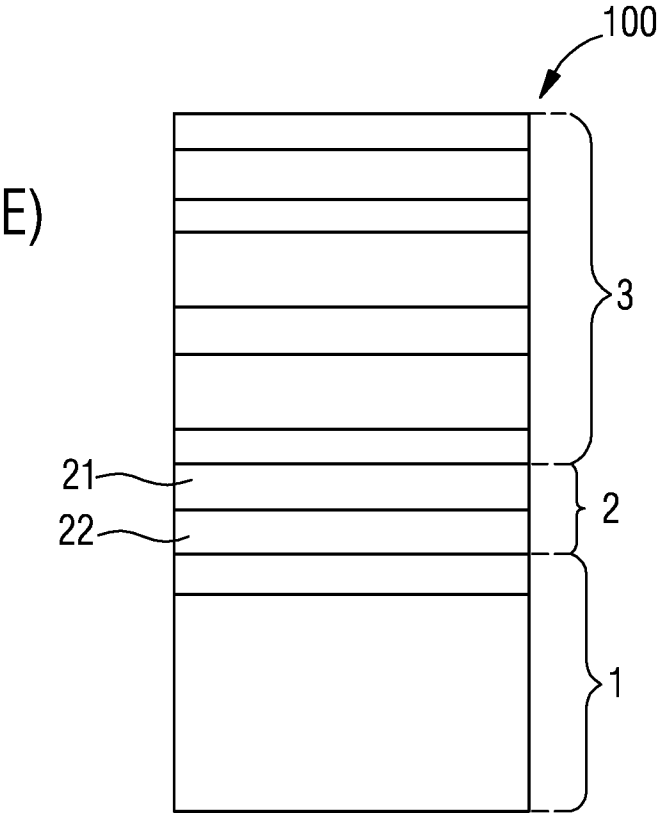


Fig. 5

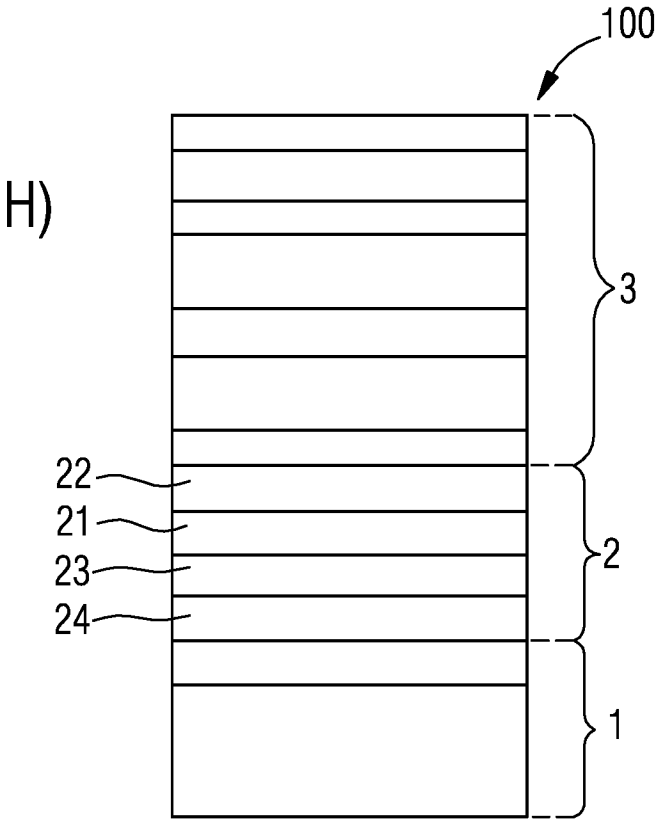
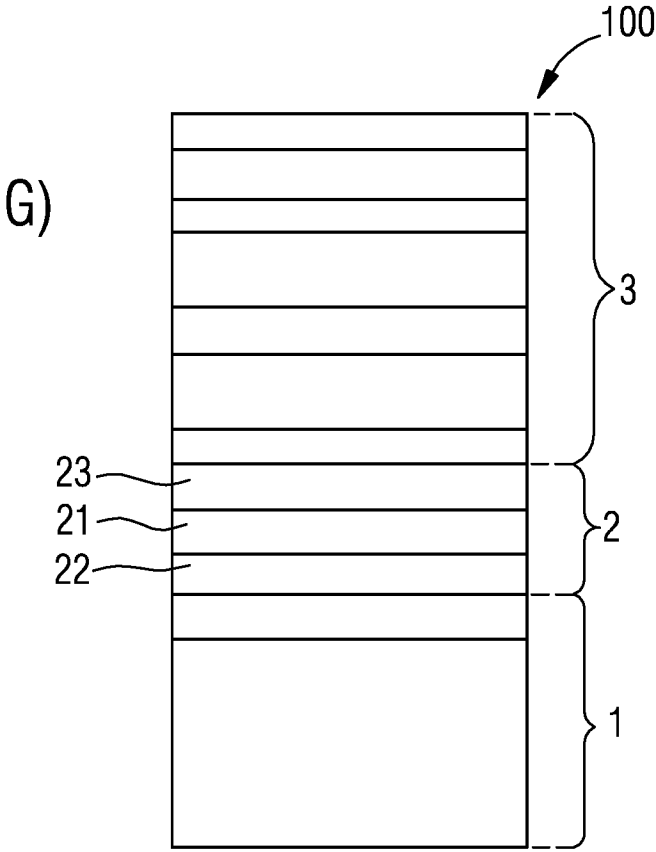
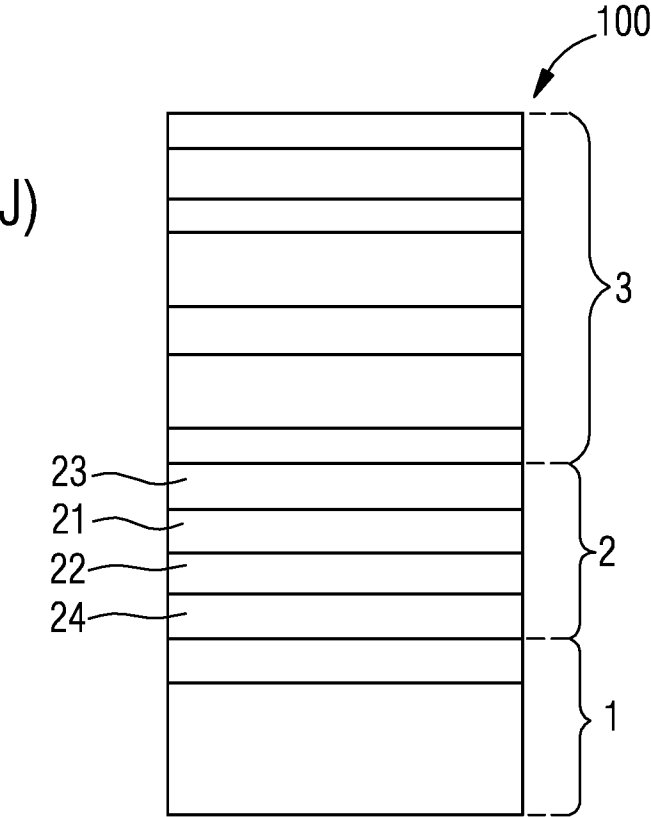
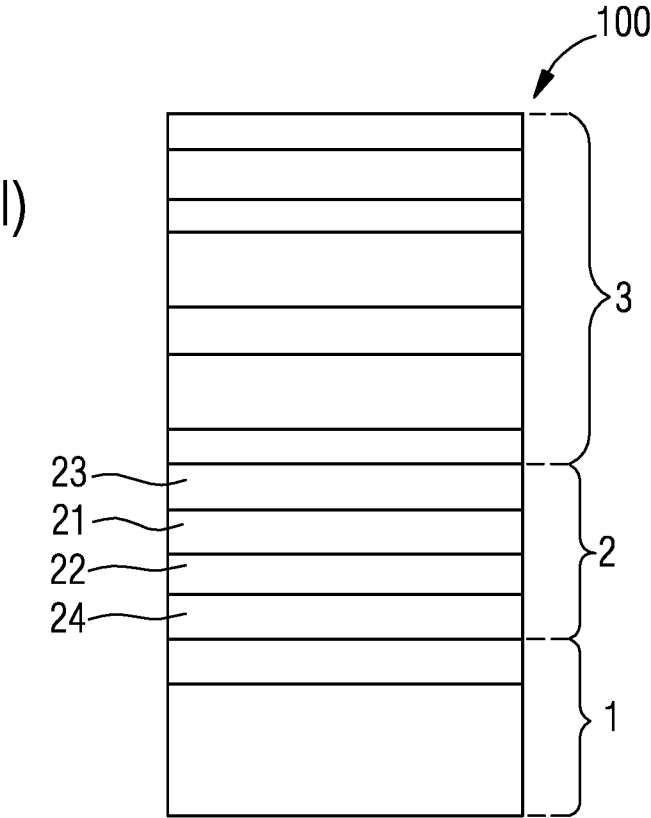


Fig. 5



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2018/052666

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/00

ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2013 105035 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 20 November 2014 (2014-11-20) paragraphs [0030] - [0057]; figures 1-10 -----	1-17
A	US 2011/159624 A1 (CHEN YI-MING [TW] ET AL) 30 June 2011 (2011-06-30) paragraphs [0016] - [0041]; figures 1A-5E -----	1-17
A	JP 2013 004632 A (CANON COMPONENTS KK) 7 January 2013 (2013-01-07) paragraphs [0013] - [0037]; figures 1-8 -----	1-17
A	DE 10 2008 030584 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 31 December 2009 (2009-12-31) paragraphs [0040] - [0072]; figures 1-9 -----	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 April 2018

Date of mailing of the international search report

17/04/2018

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, Claus

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2018/052666

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102013105035 A1	20-11-2014	CN 105210200 A	30-12-2015
		DE 102013105035 A1	20-11-2014
		DE 112014002434 A5	18-02-2016
		JP 6218933 B2	25-10-2017
		JP 2016522992 A	04-08-2016
		KR 20160009554 A	26-01-2016
		US 2016104819 A1	14-04-2016
		WO 2014184240 A1	20-11-2014

US 2011159624 A1	30-06-2011	TW 201123525 A	01-07-2011
		US 2011159624 A1	30-06-2011
		US 2014295588 A1	02-10-2014

JP 2013004632 A	07-01-2013	JP 5770542 B2	26-08-2015
		JP 2013004632 A	07-01-2013

DE 102008030584 A1	31-12-2009	CN 102067343 A	18-05-2011
		CN 103280497 A	04-09-2013
		DE 102008030584 A1	31-12-2009
		EP 2289115 A1	02-03-2011
		JP 5520942 B2	11-06-2014
		JP 2011525708 A	22-09-2011
		KR 20110030542 A	23-03-2011
		TW 201004000 A	16-01-2010
		US 2011104836 A1	05-05-2011
		US 2012322186 A1	20-12-2012
		WO 2009155897 A1	30-12-2009

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L33/00

ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2013 105035 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 20. November 2014 (2014-11-20) Absätze [0030] - [0057]; Abbildungen 1-10 -----	1-17
A	US 2011/159624 A1 (CHEN YI-MING [TW] ET AL) 30. Juni 2011 (2011-06-30) Absätze [0016] - [0041]; Abbildungen 1A-5E -----	1-17
A	JP 2013 004632 A (CANON COMPONENTS KK) 7. Januar 2013 (2013-01-07) Absätze [0013] - [0037]; Abbildungen 1-8 -----	1-17
A	DE 10 2008 030584 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 31. Dezember 2009 (2009-12-31) Absätze [0040] - [0072]; Abbildungen 1-9 -----	1-17



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11. April 2018

Absendedatum des internationalen Recherchenberichts

17/04/2018

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, Claus

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2018/052666

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102013105035 A1	20-11-2014	CN 105210200 A	30-12-2015
		DE 102013105035 A1	20-11-2014
		DE 112014002434 A5	18-02-2016
		JP 6218933 B2	25-10-2017
		JP 2016522992 A	04-08-2016
		KR 20160009554 A	26-01-2016
		US 2016104819 A1	14-04-2016
		WO 2014184240 A1	20-11-2014

US 2011159624 A1	30-06-2011	TW 201123525 A	01-07-2011
		US 2011159624 A1	30-06-2011
		US 2014295588 A1	02-10-2014

JP 2013004632 A	07-01-2013	JP 5770542 B2	26-08-2015
		JP 2013004632 A	07-01-2013

DE 102008030584 A1	31-12-2009	CN 102067343 A	18-05-2011
		CN 103280497 A	04-09-2013
		DE 102008030584 A1	31-12-2009
		EP 2289115 A1	02-03-2011
		JP 5520942 B2	11-06-2014
		JP 2011525708 A	22-09-2011
		KR 20110030542 A	23-03-2011
		TW 201004000 A	16-01-2010
		US 2011104836 A1	05-05-2011
		US 2012322186 A1	20-12-2012
		WO 2009155897 A1	30-12-2009
