

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3636497号

(P3636497)

(45) 発行日 平成17年4月6日(2005.4.6)

(24) 登録日 平成17年1月14日(2005.1.14)

(51) Int.Cl.⁷

G 1 1 C 29/00

G O 1 R 31/28

F I

G 1 1 C 29/00

G O 1 R 31/28

6 7 1 Z

B

請求項の数 10 (全 40 頁)

(21) 出願番号	特願平7-38474	(73) 特許権者	503121103
(22) 出願日	平成7年2月27日(1995.2.27)		株式会社ルネサステクノロジ
(65) 公開番号	特開平8-235895		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成8年9月13日(1996.9.13)	(74) 代理人	100089233
審査請求日	平成14年1月24日(2002.1.24)		弁理士 吉田 茂明
		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	前野 秀史
			兵庫県伊丹市瑞原4丁目1番地 三菱電機
			株式会社 システム エル・エス・アイ開
			発研究所内
		審査官	小松 正
			最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

メモリセル、該メモリセルのXアドレスを指定するXデコーダ、および前記メモリセルのYアドレスを指定するYデコーダを備えるメモリ回路と、

前記Xデコーダおよび前記Yデコーダの両アドレスを生成するアドレス発生回路とを備え、

前記アドレス発生回路は、

前記Xデコーダおよび前記Yデコーダのうちの一方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第1の全周期系列発生回路と、

前記Xデコーダおよび前記Yデコーダのうちの他方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第2の全周期系列発生回路と、

前記第1の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第2の全周期系列発生回路の動作を停止させる特定状態検出回路と

を備え、

前記第1の全周期系列発生回路は、

生成するアドレスのビット数に対応する第1のシフトレジスタ部と、

該第1のシフトレジスタ部に系列的にアドレスデータの変遷を行わせるようフィードバックを施す第1のフィードバック回路と

を備え、

前記第2の全周期系列発生回路は、
生成するアドレスのビット数に対応する第2のシフトレジスタ部と、
該第2のシフトレジスタ部に系列的にアドレスデータの変遷を行わせるようフィードバックを施す第2のフィードバック回路と

を備え、

前記メモリ回路は、

前記Xデコーダおよび前記Yデコーダのうちの一方に接続され、前記第1の全周期系列発生回路の前記第1のシフトレジスタ部と同様に構成されかつ該第1の全周期系列発生回路の前記第1のフィードバック回路からの出力信号に基づいて前記第1のシフトレジスタ部と同様に動作する第1のシフトレジスタ回路と、

10

前記Xデコーダおよび前記Yデコーダのうちの他方に接続され、前記第2の全周期系列発生回路の前記第2のシフトレジスタ部と同様に構成されかつ該第2の全周期系列発生回路の前記第2のフィードバック回路からの出力信号に基づいて前記第2のシフトレジスタ部と同様に動作する第2のシフトレジスタ回路と

をさらに備える半導体集積回路装置。

【請求項2】

前記アドレス発生回路は、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときは前記第1の全周期系列発生回路の出力を選択し、前記第2の全周期系列発生回路が動作状態のときは前記第2の全周期系列発生回路の出力を選択するセレクト回路をさらに備え、

20

前記メモリ回路は、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに前記セレクト回路の出力を前記第1のシフトレジスタ回路に伝播し、前記第2の全周期系列発生回路が動作状態のときは特定の固定データを前記第1のシフトレジスタ回路に伝播するゲート回路をさらに備え、

前記メモリ回路の前記第2のシフトレジスタ回路の入力端子は前記セレクト回路に接続され、前記第2のシフトレジスタ回路のシフト動作は前記特定状態検出回路によって制御されることを特徴とする、請求項1記載の半導体集積回路装置。

【請求項3】

メモリセル、該メモリセルのXアドレスを指定するXデコーダ、および前記メモリセルのYアドレスを指定するYデコーダを備えるメモリ回路と、

30

前記Xデコーダおよび前記Yデコーダの両アドレスを生成するアドレス発生回路と
を備え、

前記アドレス発生回路は、

前記Xデコーダおよび前記Yデコーダのうちの一方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第1の全周期系列発生回路と、

前記Xデコーダおよび前記Yデコーダのうちの他方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第2の全周期系列発生回路と、

前記第1の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第2の全周期系列発生回路の動作を停止させる特定状態検出回路と

40

を備え、

前記第1の全周期系列発生回路および前記第2の全周期系列発生回路は、データを双方向にシフトさせる双方向全周期系列発生回路から夫々構成され、

前記第1の全周期系列発生回路は、

生成するアドレスのビット数に対応する第1の双方向シフトレジスタ部と、

該第1の双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す第1の双方向フィードバック回路と

を備え、

前記第2の全周期系列発生回路は、

生成するアドレスのビット数に対応する第2の双方向シフトレジスタ部と、

50

該第 2 の双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行
わせるようフィードバックを施す第 2 の双方向フィードバック回路と

を備え、

前記特定状態検出回路は、前記第 1 の全周期系列発生回路が順方向動作モードの場合は
前記第 1 の全周期系列発生回路が所定の第 1 の状態以外のときに前記第 2 の全周期系列発
生回路の動作を停止させるとともに、前記第 1 の全周期系列発生回路が逆方向動作モード
の場合は前記第 1 の全周期系列発生回路が所定の第 2 の状態以外のときに前記第 2 の全周
期系列発生回路の動作を停止させるように構成される半導体集積回路装置。

【請求項 4】

前記アドレス発生回路は、

外部からの第 1 の動作モード切替信号に基づいて、前記第 1 の全周期系列発生回路から
の双方向の出力信号のいずれかが選択される第 1 のセクタ回路と、

外部からの第 2 の動作モード切替信号に基づいて、前記第 2 の全周期系列発生回路から
の双方向の出力信号のいずれかが選択される第 2 のセクタ回路と、

前記特定状態検出回路からの信号に基づいて、前記第 2 の全周期系列発生回路が動作停
止状態のときに前記第 1 のセクタ回路の出力を選択し、第 2 の全周期系列発生回路が動
作状態のときに前記第 2 のセクタ回路の出力を選択する第 3 のセクタ回路と

をさらに備え、

前記メモリ回路は、

前記 X デコーダおよび前記 Y デコーダのうちの一方に接続され、前記第 1 の全周期系列
発生回路の前記第 1 の双方向シフトレジスタ部と同様に構成されて、前記第 1 の動作モー
ド切替信号によって前記第 1 の双方向シフトレジスタ部と同様に動作方向が制御される第
1 の双方向シフトレジスタ回路と、

前記 X デコーダおよび前記 Y デコーダのうちの他方に接続され、前記第 2 の全周期系列
発生回路の前記第 2 の双方向シフトレジスタ部と同様に構成されて、前記第 2 の動作モー
ド切替信号によって前記第 2 の双方向シフトレジスタ部と同様に動作方向が制御される第
2 の双方向シフトレジスタ回路と、

前記特定状態検出回路からの信号に基づいて、前記第 2 の双方向シフトレジスタ回路が
動作停止状態のときに前記第 3 のセクタ回路の出力を前記第 1 の双方向シフトレジスタ
回路の順方向入力に伝播し、前記第 2 の双方向シフトレジスタ回路が動作状態のときに特
定の固定データを前記第 1 の双方向シフトレジスタ回路の順方向入力に伝播するように構
成された第 1 のゲート回路と、

前記特定状態検出回路からの信号に基づいて、前記第 2 の双方向シフトレジスタ回路が
動作停止状態のときに前記第 3 のセクタ回路の出力を前記第 1 の双方向シフトレジスタ
回路の逆方向入力に伝播し、前記第 2 の双方向シフトレジスタ回路が動作状態のときに特
定の固定データを前記第 1 の双方向シフトレジスタ回路の逆方向入力に伝播するように構
成された第 2 のゲート回路と

をさらに備え、

前記第 2 の双方向シフトレジスタ回路の双方向の入力端子に前記第 3 のセクタ回路か
らの出力信号が入力される、請求項 3 記載の半導体集積回路装置。

【請求項 5】

メモリセル、該メモリセルの X アドレスを指定する X デコーダ、および前記メモリセル
の Y アドレスを指定する Y デコーダを備えるメモリ回路と、

前記 X デコーダおよび前記 Y デコーダの両アドレスを生成するアドレス発生回路と
を備え、

前記アドレス発生回路は、

前記 X デコーダおよび前記 Y デコーダのうちの一方のアドレスの全ての値を周期的かつ
系列的に順次変遷しつつ生成する第 1 の全周期系列発生回路と、

前記 X デコーダおよび前記 Y デコーダのうちの他方のアドレスの全ての値を周期的かつ
系列的に順次変遷しつつ生成する第 2 の全周期系列発生回路と、

10

20

30

40

50

前記第1の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第2の全周期系列発生回路の動作を停止させる特定状態検出回路と

を備え、

前記第1の全周期系列発生回路は、データを双方向にシフトさせる双方向全周期系列発生回路であり、

前記第2の全周期系列発生回路は1ビット全周期系列発生回路であり、

前記第1の全周期系列発生回路は、

生成するアドレスのビット数に対応する双方向シフトレジスタ部と、

該双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す双方向フィードバック回路と

を備え、

前記特定状態検出回路は、前記第1の全周期系列発生回路が順方向動作モードの場合は前記第1の全周期系列発生回路が所定の第1の状態以外のときに前記第2の全周期系列発生回路の動作を停止させるとともに、前記第1の全周期系列発生回路が逆方向動作モードの場合は前記第1の全周期系列発生回路が所定の第2の状態以外のときに前記第2の全周期系列発生回路の動作を停止させるように構成される半導体集積回路装置。

【請求項6】

前記アドレス発生回路は、

外部からの第1の動作モード切替信号に基づいて、前記第1の全周期系列発生回路からの双方向の出力信号のいずれかが選択される第1のセクタ回路と、

前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに第1のセクタ回路の出力を選択し、第2の全周期系列発生回路が動作状態のときに前記第2の全周期系列発生回路の出力を選択する第2のセクタ回路と

をさらに備え、

前記メモリ回路は、

前記Xデコーダおよび前記Yデコーダのうちの一方に接続され、前記第1の全周期系列発生回路の前記双方向シフトレジスタ部と同様に構成され、前記第1の動作モード切替信号に基づいて前記第1の全周期系列発生回路の前記双方向シフトレジスタ部と同様に動作方向が制御される双方向シフトレジスタ回路と、

前記Xデコーダおよび前記Yデコーダのうちの他方に接続され、前記特定状態検出回路からの信号に基づいて動作するよう制御される1ビットシフトレジスタ回路と、

前記特定状態検出回路からの信号に基づいて、前記1ビットシフトレジスタ回路が動作停止状態のときに前記第2のセクタ回路の出力を前記双方向シフトレジスタ回路の順方向入力に伝播し、前記1ビットシフトレジスタ回路が動作状態のときに特定の固定データを前記双方向シフトレジスタ回路の順方向入力に伝播するように構成された第1のゲート回路と、

前記特定状態検出回路からの信号に基づいて、前記1ビットシフトレジスタ回路が動作停止状態のときに前記第2のセクタ回路の出力を前記双方向シフトレジスタ回路の逆方向入力に伝播し、前記1ビットシフトレジスタ回路が動作状態のときに特定の固定データを前記双方向シフトレジスタ回路の逆方向入力に伝播するように構成された第2のゲート回路と

をさらに備え、

前記1ビットシフトレジスタ回路の入力端子は、前記第2のセクタ回路に接続された、請求項5記載の半導体集積回路装置。

【請求項7】

メモリセル、該メモリセルのXアドレスを指定するXデコーダ、および前記メモリセルのYアドレスを指定するYデコーダを備えるメモリ回路と、

前記Xデコーダおよび前記Yデコーダの両アドレスを生成するアドレス発生回路と

を備え、

10

20

30

40

50

前記アドレス発生回路は、

前記Xデコーダおよび前記Yデコーダのうちの一方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第1の全周期系列発生回路と、

前記Xデコーダおよび前記Yデコーダのうちの他方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第2の全周期系列発生回路と、

前記第1の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第2の全周期系列発生回路の動作を停止させる特定状態検出回路と

を備え、

前記第1の全周期系列発生回路は1ビット全周期系列発生回路であり、

前記第2の全周期系列発生回路は、外部からの第1の動作モード切替信号に基づいてデータのシフト方向を双方向のうちのいずれかに選択的に切り替えられる双方向全周期系列発生回路であり、

該第2の全周期系列発生回路は、

生成するアドレスのビット数に対応する双方向シフトレジスタ部と、

該双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す双方向フィードバック回路と

を備え、

前記特定状態検出回路は、前記第1の全周期系列発生回路からの出力と外部からの第2の動作モード切替信号とを入力する排他的論理和回路を含み、前記第2の動作モード切替信号と1ビットの前記第1の全周期系列発生回路のアドレス状態とが一致または不一致のいずれか一方のときに限り前記第2の全周期系列発生回路の動作を停止させるように構成された半導体集積回路装置。

【請求項8】

前記アドレス発生回路は、

前記第1の動作モード切替信号に基づいて、前記第2の全周期系列発生回路からの双方向の出力信号のいずれかが選択される第1のセクタ回路と、

前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに前記第1の全周期系列発生回路の出力を選択し、前記第2の全周期系列発生回路が動作状態のときに前記第1のセクタ回路の出力を選択する第2のセクタ回路と

をさらに備え、

前記メモリ回路は、

前記Xデコーダおよび前記Yデコーダのうちの前記他方に接続され、前記第2の全周期系列発生回路の前記双方向シフトレジスタ部と同様に構成され、前記第2のセクタ回路の出力信号が順方向入力および逆方向入力に接続され、前記特定状態検出回路からの出力信号に基づいて前記第2の全周期系列発生回路の動作と同様に動作停止制御され、かつ、前記第1の動作モード切替信号に基づいて動作方向が制御される双方向シフトレジスタ回路と、

前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路および前記双方向シフトレジスタ回路が動作停止状態のときに前記第2のセクタ回路の出力を選択し、前記第2の全周期系列発生回路および前記双方向シフトレジスタ回路が動作状態のときに前記第2の動作モード切替信号を選択する第3のセクタ回路と、

前記Xデコーダおよび前記Yデコーダのうちの前記一方に接続され、前記第3のセクタ回路からの出力信号が入力される1ビットシフトレジスタ回路と

をさらに備える、請求項7記載の半導体集積回路装置。

【請求項9】

前記アドレス発生回路は、前記第1の動作モード切替信号に基づいて、前記第2の全周期系列発生回路からの双方向の出力信号のいずれかが選択されるセクタ回路をさらに備え、

10

20

30

40

50

前記メモリ回路は、

前記Xデコーダおよび前記Yデコーダのうちの前記一方に接続され、前記第1の全周期系列発生回路からの出力信号が入力される1ビットシフトレジスタ回路と、

前記Xデコーダおよび前記Yデコーダのうちの前記他方に接続され、前記第2の全周期系列発生回路の前記双方向シフトレジスタ部と同様に構成され、前記セクタ回路の出力信号が順方向入力および逆方向入力に接続され、前記第1の動作モード切替信号に基づいて動作方向が制御される双方向シフトレジスタ回路と

をさらに備える、請求項7記載の半導体集積回路装置。

【請求項10】

メモリセル、該メモリセルのXアドレスを指定するXデコーダ、および前記メモリセルのYアドレスを指定するYデコーダを備えるメモリ回路と、 10

前記Xデコーダおよび前記Yデコーダの両アドレスを生成するアドレス発生回路とを備え、

前記アドレス発生回路は、

前記Xデコーダおよび前記Yデコーダのうちの一方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第1の全周期系列発生回路と、

前記Xデコーダおよび前記Yデコーダのうちの他方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第2の全周期系列発生回路と、

前記第1の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第2の全周期系列発生回路の動作を停止させる特定状態検出回路と 20

を備え、

前記アドレス発生回路は、

前記第2の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第1の全周期系列発生回路の動作を停止させる副特定状態検出回路と、

前記特定状態検出回路および前記副特定状態検出回路のうちいずれを動作させるかを選択する選択手段と

をさらに備える半導体集積回路装置。

【発明の詳細な説明】

30

【0001】

【産業上の利用分野】

本発明は、半導体メモリ回路を試験するためのメモリテスト回路等の半導体集積回路装置に関する。

【0002】

【従来の技術】

{第1の従来例}

第1の従来例の半導体集積回路装置としてのメモリテスト回路の技術は、特開昭63-204325号公報で述べられている。

【0003】

40

図37は第1の従来例における単方向の疑似乱数発生回路であり、半導体メモリ回路に対して疑似ランダムな順序でアドレス信号を発生する（以下、この種の疑似乱数発生回路を全周期系列発生回路と呼ぶ）。図37中の符号1はn段のシフトレジスタ、2、2aは排他的論理和回路、4シフトクロック端子、5は出力端子、6は初期化端子、7aはゼロ検出回路である。

【0004】

{第2の従来例}

図38は第2の従来例における双方向の疑似乱数発生回路であり、半導体メモリ回路に対して疑似ランダムな順序または全く逆の疑似ランダムな順序でアドレス信号を発生する（以下、この種の疑似乱数発生回路は双方向全周期系列発生回路と呼ぶ）。図38中の符号 50

2, 2 a, 2 bは排他的論理和回路、4 aは正方向シフトクロック端子、4 bは逆方向シフトクロック端子、6は初期化端子、7 a, 7 bはゼロ検出回路、10は双方向シフト可能な双方向直列シフトレジスタである。

【0005】

{第3の従来例}

図39は、第3の従来例のアドレス発生回路11としての全周期系列発生回路12とメモリ回路13とを含む半導体集積回路装置（メモリテスト回路）の回路図である。図39内では説明の便宜のためメモリ回路13内のXデコーダ14、Yデコーダ15、メモリセル16を明示している。また、説明の便宜のためメモリセルに番号（0～31）を付けている。なお、メモリ回路13としては、RAMおよびROMが対象となっている。

10

【0006】

全周期系列発生回路12はシフトレジスタ回路17とフィードバック回路18により構成されており、フィードバック回路18はNOR回路18 a, 18 bおよび排他的論理和回路（イクスクルーシブ・オア：以下、XORと称す）回路18 cから構成されている。

【0007】

図39の回路の動作を図40に示す。図40では、時刻 $T=0$ において、アドレス信号が $A0=A1=A2=A3=A4=0$ に設定されていると仮定している。これは、全周期系列発生回路12にリセット手段（図示せず）を付加することで実現される。時刻 T が進むにつれて全周期系列発生回路12内のシフトレジスタ回路17が動作し、アドレスの欄で示すようにアドレスが変化する。

20

【0008】

アドレスは0から31（2の5乗－1）までの全ての値が発生されるので、メモリセル16の全てをアクセスすることができる。図40ではこのアドレスをメモリ回路13のXアドレスとYアドレスの欄に分けて示している。1つのシフトレジスタ17でアドレスを発生しているので、基本的にはXアドレスとYアドレスが同時に変化する（まれに、片方のアドレスが変化しない場合もある）。

【0009】

【発明が解決しようとする課題】

メモリ回路がXデコーダおよびYデコーダの両デコーダを有する場合、第1の従来例および第2の従来例のような回路をXアドレスおよびYアドレスに夫々設けると、夫々の回路のシフト動作を制御信号等で制御する必要がある。この場合、制御信号等の発生系列が複雑となるため、外部に複雑な制御回路を必要とする。かかる事態を避けるためには、第3の従来例のように、メモリテスト回路の内部で自発的に両アドレスを系列的に変遷させつつ発生する必要がある。

30

【0010】

ここで、回路の故障をテストする場合、故障がXデコーダ14に起因するものかYデコーダ15に起因するものかを効率的に区別したいときがある。この場合、テスト効率を考えると、XまたはYの片方のアドレスを一通り変化させた後で他方のアドレスを更新するようなメモリ回路テストを行うことが望ましい。しかしながら、第3の従来例のメモリテスト回路では、前述のように原則としてXアドレスとYアドレスが同時に変化するため、XまたはYの片方のアドレスを一通り変化させた後で他方のアドレスを更新するようなメモリ回路テストを実施できない。従って、故障がXデコーダ14に起因するものかYデコーダ15に起因するものかを区別するのに時間がかかるといった問題がある。

40

【0011】

また、XアドレスおよびYアドレスの変化が不規則で、その両方または片方が変化したりしなかったりする。ビット線またはワード線のうちのいずれかのアドレスが変化しなかった場合、前回にアクセスされたビット線またはワード線が立ち上がったままの状態と同じビット線またはワード線について次回にもアクセスが行われるため、アクセススピードが非常に速いものとなる。一方、ビット線およびワード線の両方のアドレスが変化した場合、前回にアクセスされたビット線およびワード線の両方が立ち上がる時間を必要とするた

50

め、アクセススピードは遅くなる。このため、アクセススピードの測定を行いたい場合に、条件によって速くなったり遅くなったりするため、正確な測定を行うことができなくなる。

【0012】

本発明は、上記課題に鑑み、故障がXデコーダに起因するものかYデコーダに起因するもののかの区別を容易に行うことができ、かつ、同一ビット線や同一ワード線の連続的なアクセスを伴う場合のアクセスタイムテストに有効なメモリテスト回路等の半導体集積回路装置の提供を目的とする。

【0013】

【課題を解決するための手段】

本発明に係る課題解決手段は、メモリセル、該メモリセルのXアドレスを指定するXデコーダ、および前記メモリセルのYアドレスを指定するYデコーダを備えるメモリ回路と、前記Xデコーダおよび前記Yデコーダの両アドレスを生成するアドレス発生回路とを備え、前記アドレス発生回路は、前記Xデコーダおよび前記Yデコーダのうちの一方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第1の全周期系列発生回路と、前記Xデコーダおよび前記Yデコーダのうちの他方のアドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する第2の全周期系列発生回路と、前記第1の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第2の全周期系列発生回路の動作を停止させる特定状態検出回路とを備えるものである。

【0014】

そして、本発明の請求項1に係る第1の態様として、図6、図8、または図10および図11の如く、前記第1の全周期系列発生回路は、生成するアドレスのビット数に対応する第1のシフトレジスタ部と、該第1のシフトレジスタ部に系列的にアドレスデータの変遷を行わせるようフィードバックを施す第1のフィードバック回路とを備え、前記第2の全周期系列発生回路は、生成するアドレスのビット数に対応する第2のシフトレジスタ部と、該第2のシフトレジスタ部に系列的にアドレスデータの変遷を行わせるようフィードバックを施す第2のフィードバック回路とを備え、前記メモリ回路は、前記Xデコーダおよび前記Yデコーダのうちの一方に接続され、前記第1の全周期系列発生回路の前記第1のシフトレジスタ部と同様に構成されかつ該第1の全周期系列発生回路の前記第1のフィードバック回路からの出力信号に基づいて前記第1のシフトレジスタ部と同様に動作する第1のシフトレジスタ回路と、前記Xデコーダおよび前記Yデコーダのうちの他方に接続され、前記第2の全周期系列発生回路の前記第2のシフトレジスタ部と同様に構成されかつ該第2の全周期系列発生回路の前記第2のフィードバック回路からの出力信号に基づいて前記第2のシフトレジスタ部と同様に動作する第2のシフトレジスタ回路とをさらに備える。

【0015】

望ましくは、図8、または図10および図11の如く、前記アドレス発生回路は、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときは前記第1の全周期系列発生回路の出力を選択し、前記第2の全周期系列発生回路が動作状態のときは前記第2の全周期系列発生回路の出力を選択するセレクト回路をさらに備え、前記メモリ回路は、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに前記セレクト回路の出力を前記第1のシフトレジスタ回路に伝播し、前記第2の全周期系列発生回路が動作状態のときは特定の固定データを前記第1のシフトレジスタ回路に伝播するゲート回路をさらに備え、前記メモリ回路の前記第2のシフトレジスタ回路の入力端子は前記セレクト回路に接続され、前記第2のシフトレジスタ回路のシフト動作は前記特定状態検出回路によって制御される。

【0016】

本発明の請求項3に係る第2の態様として、図13および図14、または図17および図18の如く、前記第1の全周期系列発生回路および前記第2の全周期系列発生回路は、

データを双方向にシフトさせる双方向全周期系列発生回路から夫々構成され、前記第1の全周期系列発生回路は、生成するアドレスのビット数に対応する第1の双方向シフトレジスタ部と、該第1の双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す第1の双方向フィードバック回路とを備え、前記第2の全周期系列発生回路は、生成するアドレスのビット数に対応する第2の双方向シフトレジスタ部と、該第2の双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す第2の双方向フィードバック回路とを備え、前記特定状態検出回路は、前記第1の全周期系列発生回路が順方向動作モードの場合は前記第1の全周期系列発生回路が所定の第1の状態以外のときに前記第2の全周期系列発生回路の動作を停止させるとともに、前記第1の全周期系列発生回路が逆方向動作モードの場合は前記第1の全周期系列発生回路が所定の第2の状態以外のときに前記第2の全周期系列発生回路の動作を停止させるように構成される。

10

【0017】

望ましくは、図17および図18の如く、前記アドレス発生回路は、外部からの第1の動作モード切替信号に基づいて、前記第1の全周期系列発生回路からの双方向の出力信号のいずれかが選択される第1のセレクト回路と、外部からの第2の動作モード切替信号に基づいて、前記第2の全周期系列発生回路からの双方向の出力信号のいずれかが選択される第2のセレクト回路と、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに前記第1のセレクト回路の出力を選択し、第2の全周期系列発生回路が動作状態のときに前記第2のセレクト回路の出力を選択する第3のセレクト回路とをさらに備え、前記メモリ回路は、前記Xデコーダおよび前記Yデコーダのうちの一方に接続され、前記第1の全周期系列発生回路の前記第1の双方向シフトレジスタ部と同様に構成されて、前記第1の動作モード切替信号によって前記第1の双方向シフトレジスタ部と同様に動作方向が制御される第1の双方向シフトレジスタ回路と、前記Xデコーダおよび前記Yデコーダのうちの他方に接続され、前記第2の全周期系列発生回路の前記第2の双方向シフトレジスタ部と同様に構成されて、前記第2の動作モード切替信号によって前記第2の双方向シフトレジスタ部と同様に動作方向が制御される第2の双方向シフトレジスタ回路と、前記特定状態検出回路からの信号に基づいて、前記第2の双方向シフトレジスタ回路が動作停止状態のときに前記第3のセレクト回路の出力を前記第1の双方向シフトレジスタ回路の順方向入力に伝播し、前記第2の双方向シフトレジスタ回路が動作状態のときに特定の固定データを前記第1の双方向シフトレジスタ回路の順方向入力に伝播するように構成された第1のゲート回路と、前記特定状態検出回路からの信号に基づいて、前記第2の双方向シフトレジスタ回路が動作停止状態のときに前記第3のセレクト回路の出力を前記第1の双方向シフトレジスタ回路の逆方向入力に伝播し、前記第2の双方向シフトレジスタ回路が動作状態のときに特定の固定データを前記第1の双方向シフトレジスタ回路の逆方向入力に伝播するように構成された第2のゲート回路とをさらに備え、前記第2の双方向シフトレジスタ回路の双方向の入力端子に前記第3のセレクト回路からの出力信号が入力される。

20

30

【0018】

本発明の請求項5に係る第3の態様として、図19および図20、または図23および図24の如く、前記第1の全周期系列発生回路は、データを双方向にシフトさせる双方向全周期系列発生回路であり、前記第2の全周期系列発生回路は1ビット全周期系列発生回路であり、前記第1の全周期系列発生回路は、生成するアドレスのビット数に対応する双方向シフトレジスタ部と、該双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す双方向フィードバック回路とを備え、前記特定状態検出回路は、前記第1の全周期系列発生回路が順方向動作モードの場合は前記第1の全周期系列発生回路が所定の第1の状態以外のときに前記第2の全周期系列発生回路の動作を停止させるとともに、前記第1の全周期系列発生回路が逆方向動作モードの場合は前記第1の全周期系列発生回路が所定の第2の状態以外のときに前記第2の全周期系列発生回路の動作を停止させるように構成される。

40

50

【0019】

望ましくは、図23および図24の如く、前記アドレス発生回路は、外部からの第1の動作モード切替信号に基づいて、前記第1の全周期系列発生回路からの双方向の出力信号のいずれかが選択される第1のセクタ回路と、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに第1のセクタ回路の出力を選択し、第2の全周期系列発生回路が動作状態のときに前記第2の全周期系列発生回路の出力を選択する第2のセクタ回路とをさらに備え、前記メモリ回路は、前記Xデコーダおよび前記Yデコーダのうちの一方に接続され、前記第1の全周期系列発生回路の前記双方向シフトレジスタ部と同様に構成され、前記第1の動作モード切替信号に基づいて前記第1の全周期系列発生回路の前記双方向シフトレジスタ部と同様に動作方向が制御される双方向シフトレジスタ回路と、前記Xデコーダおよび前記Yデコーダのうちの他方に接続され、前記特定状態検出回路からの信号に基づいて動作するよう制御される1ビットシフトレジスタ回路と、前記特定状態検出回路からの信号に基づいて、前記1ビットシフトレジスタ回路が動作停止状態のときに前記第2のセクタ回路の出力を前記双方向シフトレジスタ回路の順方向入力に伝播し、前記1ビットシフトレジスタ回路が動作状態のときに特定の固定データを前記双方向シフトレジスタ回路の順方向入力に伝播するように構成された第1のゲート回路と、前記特定状態検出回路からの信号に基づいて、前記1ビットシフトレジスタ回路が動作停止状態のときに前記第2のセクタ回路の出力を前記双方向シフトレジスタ回路の逆方向入力に伝播し、前記1ビットシフトレジスタ回路が動作状態のときに特定の固定データを前記双方向シフトレジスタ回路の逆方向入力に伝播するように構成された第2のゲート回路とをさらに備え、前記1ビットシフトレジスタ回路の入力端子は、前記第2のセクタ回路に接続される。

10

20

【0020】

本発明の請求項7に係る第4の態様として、図25および図26、図29および図30、または図31および図32の如く、前記第1の全周期系列発生回路は1ビット全周期系列発生回路であり、前記第2の全周期系列発生回路は、外部からの第1の動作モード切替信号に基づいてデータのシフト方向を双方向のうちのいずれかに選択的に切り替えられる双方向全周期系列発生回路であり、該第2の全周期系列発生回路は、生成するアドレスのビット数に対応する双方向シフトレジスタ部と、該双方向シフトレジスタ部の双方向に対して系列的にアドレスデータの変遷を行わせるようフィードバックを施す双方向フィードバック回路とを備え、前記特定状態検出回路は、前記第1の全周期系列発生回路からの出力と外部からの第2の動作モード切替信号とを入力する排他的論理和回路を含み、前記第2の動作モード切替信号と1ビットの前記第1の全周期系列発生回路のアドレス状態とが一致または不一致のいずれか一方のときに限り前記第2の全周期系列発生回路の動作を停止させるように構成される。

30

【0021】

望ましくは、図29および図30の如く、前記アドレス発生回路は、前記第1の動作モード切替信号に基づいて、前記第2の全周期系列発生回路からの双方向の出力信号のいずれかが選択される第1のセクタ回路と、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路が動作停止状態のときに前記第1の全周期系列発生回路の出力を選択し、前記第2の全周期系列発生回路が動作状態のときに前記第1のセクタ回路の出力を選択する第2のセクタ回路とをさらに備え、前記メモリ回路は、前記Xデコーダおよび前記Yデコーダのうちの前記他方に接続され、前記第2の全周期系列発生回路の前記双方向シフトレジスタ部と同様に構成され、前記第2のセクタ回路の出力信号が順方向入力および逆方向入力に接続され、前記特定状態検出回路からの出力信号に基づいて前記第2の全周期系列発生回路の動作と同様に動作停止制御され、かつ、前記第1の動作モード切替信号に基づいて動作方向が制御される双方向シフトレジスタ回路と、前記特定状態検出回路からの信号に基づいて、前記第2の全周期系列発生回路および前記双方向シフトレジスタ回路が動作停止状態のときに前記第2のセクタ回路の出力を選択し、前記第2の全周期系列発生回路および前記双方向シフトレジスタ回路が動作状態のときに前

40

50

記第2の動作モード切替信号を選択する第3のセクタ回路と、前記Xデコーダおよび前記Yデコーダのうちの前記一方に接続され、前記第3のセクタ回路からの出力信号が入力される1ビットシフトレジスタ回路とをさらに備える。

【0022】

あるいは、図31および図32の如く、前記アドレス発生回路は、前記第1の動作モード切替信号に基づいて、前記第2の全周期系列発生回路からの双方向の出力信号のいずれかが選択されるセクタ回路をさらに備え、前記メモリ回路は、前記Xデコーダおよび前記Yデコーダのうちの前記一方に接続され、前記第1の全周期系列発生回路からの出力信号が入力される1ビットシフトレジスタ回路と、前記Xデコーダおよび前記Yデコーダのうちの前記他方に接続され、前記第2の全周期系列発生回路の前記双方向シフトレジスタ部と同様に構成され、前記セクタ回路の出力信号が順方向入力および逆方向入りに接続され、前記第1の動作モード切替信号に基づいて動作方向が制御される双方向シフトレジスタ回路とをさらに備える。

10

【0023】

本発明の請求項10に係る第5の態様として、図33および図34、または図35および図36の如く、前記アドレス発生回路は、前記第2の全周期系列発生回路における特定のアドレス状態を検出し、かつ当該特定のアドレス状態以外の場合は前記第1の全周期系列発生回路の動作を停止させる副特定状態検出回路と、前記特定状態検出回路および前記副特定状態検出回路のうちいずれを動作させるかを選択する選択手段とをさらに備える。

【0025】

20

【作用】

本発明各請求項に係る半導体集積回路装置では、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通じ変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新する。これにより、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができる。

【0026】

この場合、本発明請求項1に係る半導体集積回路装置では、アドレス発生回路の第1の全周期系列発生回路内の第1のシフトレジスタ部と、各メモリ回路内の第1のシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の第2の全周期系列発生回路内の第2のシフトレジスタ部と、各メモリ回路内の第2のシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させる。このような構成とすることで、第1のシフトレジスタ部および第2のシフトレジスタ部の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができる。

30

【0027】

特に、本発明請求項2に係る半導体集積回路装置のように、セクタ回路およびゲート回路を設けることで、アドレス発生回路からの信号を第1のシフトレジスタ回路および第2のシフトレジスタ回路に対して適宜選択的に切り替えることができ、両シフトレジスタ回路へのデータ伝送用配線を1本に集約でき、アドレス発生回路とメモリ回路との接続配線数を飛躍的に軽減することができる。

40

【0028】

本発明請求項3に係る半導体集積回路装置では、データのインクリメントおよびディクリメントの切り替えを容易に行い得る双方向全周期系列発生回路にてアドレス指定を行う場合において、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通じ変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新する。これにより、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回

50

路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができる。

【0029】

本発明請求項4に係る半導体集積回路装置では、アドレス発生回路の第1の全周期系列発生回路内の第1の双方向シフトレジスタ部と、各メモリ回路内の第1の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の第2の全周期系列発生回路内の第2の双方向シフトレジスタ部と、各メモリ回路内の第2の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させる。このような構成とすることで、第1の双方向シフトレジスタ部および第2の双方向シフトレジスタ部の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができる。

10

【0030】

本発明請求項5に係る半導体集積回路装置では、第1の全周期系列発生回路としてデータのインクリメントおよびディクリメントの切り替えを容易に行い得る双方向全周期系列発生回路を用い、第2の全周期系列発生回路として1ビット全周期系列発生回路を用いる場合において、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通じり変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新する。これにより、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができる。

20

【0031】

本発明請求項6に係る半導体集積回路装置では、アドレス発生回路の第1の全周期系列発生回路内の双方向シフトレジスタ部と、各メモリ回路内の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の1ビットの第2の全周期系列発生回路と、各メモリ回路内の1ビットシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させる。このような構成とすることで、双方向シフトレジスタ部および第2の全周期系列発生回路の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができる。特に、複数のセレクト回路およびゲート回路を設けることで、アドレス発生回路からの信号を双方向シフトレジスタ回路および1ビットシフトレジスタ回路に対して適宜選択的に切り替えることができ、両シフトレジスタ回路へのデータ伝送用配線を1本に集約でき、アドレス発生回路とメモリ回路との接続配線数を飛躍的に軽減することができる。

30

【0032】

本発明請求項7に係る半導体集積回路装置では、第1の全周期系列発生回路として1ビット全周期系列発生回路を用い、第2の全周期系列発生回路としてデータのインクリメントおよびディクリメントの切り替えを容易に行い得る双方向全周期系列発生回路を用いる場合において、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値（2値）を、周期的かつ系列的に通じり変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新する。これにより、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができる。

40

【0033】

また、特定状態検出回路として排他的論理和回路を含むことで、当該特定状態検出回路を極めて簡単に構成することができ、回路面積を可及的に低減できる。

【0034】

50

本発明請求項 8 および請求項 9 に係る半導体集積回路装置では、アドレス発生回路の 1 ビットの第 1 の全周期系列発生回路と、各メモリ回路内の 1 ビットシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の第 2 の全周期系列発生回路内の双方向シフトレジスタ部と、各メモリ回路内の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させる。このような構成とすることで、第 1 の全周期系列発生回路および双方向シフトレジスタ部の全てのビット（レジスタ）と X デコーダおよび Y デコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができる。

【0035】

10

特に、請求項 8 では、複数の単一のセレクト回路を設けることで、アドレス発生回路からの信号を双方向シフトレジスタ回路および 1 ビットシフトレジスタ回路に対して適宜選択的に切り替えることができ、両シフトレジスタ回路へのデータ伝送用配線を 1 本に集約でき、アドレス発生回路とメモリ回路との接続配線数を飛躍的に軽減することができる。

【0036】

本発明請求項 10 に係る半導体集積回路装置では、第 1 の全周期系列発生回路と第 2 の全周期系列発生回路とのいずれを先に動作させる自由に選択でき、いずれか一方を先に動作させて、X デコーダおよび Y デコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通り返り変化させた後で、他方を動作させて他方のアドレスを更新する。これにより、故障が X デコーダに起因するものか Y デコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができる。

20

【0038】

【実施例】

{第 1 の実施例}

<構成>

図 1 は本発明の第 1 の実施例の半導体集積回路装置としてのメモリテスト回路を示す図である。本実施例のメモリテスト回路は、Y アドレスを通り返り変化させた後で X アドレスを更新するようなメモリ回路テスト動作を実現するものであって、被テスト回路としてのメモリ回路 21 に対して図 1 に示すようなアドレス発生回路 22 が接続されてなるものである。

30

【0039】

前記メモリ回路 21 は、「0」から「31」までの 32 ワードの格納領域を持つメモリセル 31 と、該メモリセル 31 の 3 桁（XA2, XA1, XA0）の X アドレスを指定する X デコーダ 32 と、前記メモリセル 31 の 2 桁（YA1, YA0）の Y アドレスを指定する Y デコーダ 33 とからなる一般的なものである。

【0040】

前記アドレス発生回路 22 は、前記 Y デコーダ 33 にてアクセスすべき Y アドレスを発生する第 1 の全周期系列発生回路 36 と、該第 1 の全周期系列発生回路 36 がある特定の Y アドレス（具体的には、2 進表示で“01”）を発生した旨を検出する特定状態検出回路 37 と、該特定状態検出回路 37 にて前記第 1 の全周期系列発生回路 36 がある特定の Y アドレス（“01”）を発生した旨を検出した際のみ動作状態となる第 2 の全周期系列発生回路 38 とから構成されている。

40

【0041】

前記第 1 の全周期系列発生回路 36 は 2 ビットの全周期系列発生回路であって、図 1 の如く、2 ビット（A1, A0）のシフトレジスタ 41 と、該シフトレジスタ 41 にデータのフィードバックを施すフィードバック回路としてのインバータ回路 42 とを備えた単純な回路で構成することができる。

【0042】

前記特定状態検出回路 37 は、前記第 1 の全周期系列発生回路 36 の前記シフトレジスタ

50

4 1の大きい桁側のレジスタ(A 1)に接続されたインバータ回路4 4と、一方の入力端子が前記インバータ回路4 4に接続され他方の入力端子が前記シフトレジスタ4 1の小さい桁側のレジスタ(A 0)に接続されたNAND回路4 5とから構成されている。かかる構成により、前記シフトレジスタ4 1の大きい桁側のレジスタ(A 1)が“0”でかつ小さい桁側のレジスタ(A 0)が“1”のとき(すなわち前記第1の全周期系列発生回路3 6が2進表示で“0 1”の状態)にのみ、前記第2の全周期系列発生回路3 8に信号“0”を送信してこれを動作状態とし、それ以外のときには前記第2の全周期系列発生回路3 8に信号“1”を送信してその動作を停止させる。

【0043】

前記第2の全周期系列発生回路3 8は、3ビットの全周期系列発生回路であって、3ビット(A 4, A 3, A 2)のシフトレジスタ4 7と、該シフトレジスタ4 7にデータのフィードバックを施すフィードバック回路4 8とを備えたものである。前記フィードバック回路4 8は、1個のNOR回路5 1および2個の排他的論理和回路(XOR)回路5 2, 5 3とから構成されている。前記NOR回路5 1の一方の入力端子は前記シフトレジスタ4 7の最大桁のレジスタ(A 4)に接続され、他方の入力端子は前記シフトレジスタ4 7の中間桁のレジスタ(A 3)に接続されている。前記XOR回路5 2の一方の入力端子は前記シフトレジスタ4 7の中間桁のレジスタ(A 3)に接続され、他方の入力端子は前記シフトレジスタ4 7の最小桁のレジスタ(A 2)に接続されている。前記XOR回路5 3の一方の入力端子は前記NOR回路5 1に接続され、他方の入力端子は前記XOR回路5 2に接続される。該XOR回路5 3の出力端子は前記シフトレジスタ4 7の最大桁のレジスタ(A 4)に接続される。

【0044】

なお、前記第1の全周期系列発生回路3 6の前記各シフトレジスタ4 1の各レジスタA 1, A 0は前記メモリ回路2 1のYデコーダ3 3のYA 1, YA 0に対応しており、また、前記第2の全周期系列発生回路3 8の前記各シフトレジスタ4 7の各レジスタA 4, A 3, A 2は前記メモリ回路2 1のXデコーダ3 2のXA 2, XA 1, XA 0に対応している。

【0045】

<動作>

図1の回路の動作を図2に示す。図2では時刻T=0において、アドレス信号がA 0=A 1=A 2=A 3=A 4=0に設定されていると仮定している。時刻Tが進むにつれてアドレスの欄で示すようにアドレスが変化する。アドレスは0から31(2の5乗-1)までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。図2のXアドレスとYアドレスの欄を見て分かるように、Yアドレスは0、2、3、1、0、2、3、1、・・・という順序で変化し、Yアドレスが1から0に変化する時のみXアドレスが変化する。

【0046】

このように、Yアドレスを一通り変化させた後でXアドレスを更新しているので、メモリ回路テストを高速で実施できる。そして、故障が発生した旨を検知した場合に、かかる故障がXデコーダに起因するものかYデコーダに起因するものかを区別する際、例えば図2において時刻Tが4から7の全てについて故障が発見されたときはXデコーダのアドレス「4」が故障していることがわかる。あるいは、例えば図2において時刻Tが2, 6, 10, 14, 18, 22, 26, 30のときに故障が発見されたときはYデコーダのアドレス「3」が故障していることがわかる。このように、連続して故障が発見された場合はXデコーダの故障、分散して故障が発見された場合はYデコーダの故障という具合に、いずれのデコーダの故障であるかが瞬時に判明するため、故障検出を極めて素早く行うことができる。

【0047】

また、同一ビット線や同一ワード線の連続的なアクセスを伴うため、Yアドレスだけを変化させるといったケースに条件を特定してアクセスタイムテストを測定できるので、他の

10

20

30

40

50

変化要因を排除することで同一条件における正確な測定を成し得る。

【0048】

{第2の実施例}

<構成>

図3は本発明の第2の実施例のメモリテスト回路を示す図である。なお、図3では第1の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、Xアドレスを一通り変化させた後でYアドレスを更新するようなメモリ回路テスト動作を実現するものであって、被テスト回路としてのメモリ回路21に対して図3に示すようなアドレス発生回路61が接続されてなるものである。なお、前記メモリ回路21は、第1の実施例で説明したものと同一であるためその説明は省略する。

10

【0049】

前記アドレス発生回路61は、前記メモリ回路21のXデコーダ32にてアクセスすべきXアドレスを発生する第1の全周期系列発生回路62と、該第1の全周期系列発生回路62がある特定のXアドレス（具体的には、2進表示で“001”）を発生した旨を検出する特定状態検出回路63と、該特定状態検出回路63にて前記第1の全周期系列発生回路62がある特定のYアドレス（“01”）を発生した旨を検出した際にのみ動作状態となる第2の全周期系列発生回路64とから構成されている。

【0050】

前記第1の全周期系列発生回路62は3ビットの全周期系列発生回路であって、3ビット（A4, A3, A2）のシフトレジスタ66と、該シフトレジスタ66にデータのフィードバックを施すフィードバック回路67とを備えたものである。前記フィードバック回路67は、1個のNOR回路71および2個の排他的論理和回路（XOR）回路72, 73とから構成されている。前記NOR回路71の一方の入力端子は前記シフトレジスタ66の最大桁のレジスタ（A4）に接続され、他方の入力端子は前記シフトレジスタ66の中間桁のレジスタ（A3）に接続されている。前記XOR回路72の一方の入力端子は前記シフトレジスタ66の中間桁のレジスタ（A3）に接続され、他方の入力端子は前記シフトレジスタ66の最小桁のレジスタ（A2）に接続されている。前記XOR回路73の一方の入力端子は前記NOR回路71に接続され、他方の入力端子は前記XOR回路72に接続される。該XOR回路73の出力端子は前記シフトレジスタ66の最大桁のレジスタ（A4）に接続される。

20

30

【0051】

前記特定状態検出回路63は、前記第1の全周期系列発生回路62内の前記NOR回路71と、一方の端子が前記NOR回路71に接続され他方の端子が前記シフトレジスタ66の最小桁のレジスタ（A2）に接続されたNAND回路74とから構成されている。なお、前記NOR回路71は前記第1の全周期系列発生回路62内のNOR回路と兼用されている。かかる構成により、前記シフトレジスタ66の状態がA4=0, A3=0, A2=1のとき、NAND回路74の出力は0になり第2の全周期系列発生回路64は動作状態になる。それ以外の時はNAND回路74の出力は1になり第2の全周期系列発生回路64は動作停止状態になる。

【0052】

前記第2の全周期系列発生回路64は、2ビットの全周期系列発生回路であって、図3の如く、2ビット（A1, A0）のシフトレジスタ76と、該シフトレジスタ76にデータのフィードバックを施すフィードバック回路としてのインバータ回路77とを備えている。

40

【0053】

なお、前記第1の全周期系列発生回路62の前記各シフトレジスタ66の各レジスタA4, A3, A2は前記メモリ回路21のXデコーダ32のXA2, XA1, XA0に対応しており、また、前記第2の全周期系列発生回路64の前記シフトレジスタ76の各レジスタA1, A0は前記メモリ回路21のXデコーダ32のYA1, YA0に対応している。その他の構成は第1の実施例と同様のためその説明は省略する。

50

【0054】

<動作>

図3の回路の動作を図4に示す。図4では時刻 $T=0$ において、アドレス信号が $A0=A1=A2=A3=A4=0$ に設定されていると仮定している。

【0055】

時刻 T が進むにつれて、アドレスの欄で示すようにアドレスが変化する。アドレスは0から31（2の5乗−1）までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0056】

図4のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、・・・という順序で変化し、Xアドレスが1から0に変化する時のみYアドレスが変化する。

【0057】

{第3の実施例}

<構成>

図5および図6は本発明の第3の実施例のメモリテスト回路を示す図である。なお、図6では第2の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、図3に示した第2の実施例のアドレス発生回路61と同様の1個のアドレス発生回路81に対して、図5の如く、複数のメモリ回路21A、21B、21Cが接続されている。

【0058】

そして、図6の如く、該各メモリ回路21A、21B、21Cは、第1の実施例および第2の実施例で説明したメモリ回路21に対して第1のシフトレジスタ回路82および第2のシフトレジスタ回路83が夫々追加されている。ここで、前記第1のシフトレジスタ回路82は前記Xデコーダ32に接続されており、前記第1の全周期系列発生回路62内のシフトレジスタ66のシリアル入力端子と第1のシフトレジスタ回路82のシリアル入力端子は互いに共通に接続されている。従って、初期値が同じであれば、第1の全周期系列発生回路62内のシフトレジスタ66と第1のシフトレジスタ回路82は同じデータを保持し、互いに全く同様の動作を行う。また、前記第2のシフトレジスタ回路83は前記Yデコーダ33に接続されており、第2の全周期系列発生回路64内のシフトレジスタ76と第2のシフトレジスタ回路83の各シリアル入力端子は互いに共通に接続されている。従って、初期値が同じであれば、第2の全周期系列発生回路64内のシフトレジスタ76と第2のシフトレジスタ回路83は同じデータを保持し、互いに全く同様の動作を行う。その他の構成は第2の実施例と同様のためその説明は省略する。

【0059】

<動作>

図6の回路の動作を図7に示す。図7では、時刻 $T=0$ において、アドレス信号が $A0=A1=A2=A3=A4=0$ に設定されていると仮定している。また、各全周期系列発生回路62、64内のシフトレジスタ66、76も全て0にクリアされていると仮定している。この条件下では図7は図4と全く同じになっている。つまり、時刻 T が進むにつれて、アドレスの欄で示すようにアドレスが変化する。アドレスは0から31（2の5乗−1）までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。図7のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、・・・という順序で変化し、Xアドレスが1から0に変化する時のみYアドレスが変化する。

【0060】

図6の回路を用いれば、第1、第2のシフトレジスタ回路をメモリ回路毎に隣接して設け、アドレス発生回路81をメモリ回路21A、21B、21C間で共有することができる。

【0061】

10

20

30

40

50

このとき、アドレス発生回路 8 1 と第 1、第 2 のシフトレジスタ回路 8 2、8 3 との信号接続は 3 本のみでよい。したがって、多くのメモリ回路 2 1 A、2 1 B、2 1 C…をアドレス発生回路 8 1 に接続しても、1 個当たりの配線数を抑えることができ、配線の混雑を抑制できる。

【0062】

{第 4 の実施例}

<構成>

図 8 は本発明の第 4 の実施例のメモリテスト回路を示す図である。なお、図 8 では第 3 の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、図 6 に示した第 3 の実施例のアドレス発生回路 8 1 と同様の回路に対してセ
10
レクタ回路 8 6 が追加されてなるアドレス発生回路 8 1 A と、第 3 の実施例の各メモリ回路 2 1 A、2 1 B、2 1 C と同様の回路に対してゲート回路としての A N D 回路 8 7 が追加されてなるメモリ回路 2 1 D、2 1 E、2 1 F を備えたものである。

【0063】

ここで、前記セレクタ回路 8 6 は第 2 の全周期系列発生回路 6 4 の動作停止信号と同じ信号によって制御されている。セレクタ回路 8 6 の入力には第 1 および第 2 の全周期系列発生回路 6 2、6 4 の出力が接続されており、第 2 の全周期系列発生回路 6 4 が動作状態の時に第 2 の全周期系列発生回路 6 4 の出力を選択するように制御されている。

【0064】

前記 A N D 回路 8 7 は第 2 の全周期系列発生回路 6 4 が動作状態の時に第 1 のシフトレジ
20
スタ回路 8 2 に対して強制的に「0」を供給する。逆に、第 2 の全周期系列発生回路 6 4 が動作停止状態の時はセレクタ回路 8 6 の出力信号を第 1 のシフトレジスタ回路 8 2 に伝播する。セレクタ回路 8 6 の出力は第 2 のシフトレジスタ回路 8 3 にも接続されており、このデータは第 2 の全周期系列発生回路 6 4 が動作状態の時に第 2 のシフトレジスタ回路 8 3 に取り込まれる。なお、図 8 中の 2 1 D、2 1 E、2 1 F はメモリ回路であり、図 5 中のメモリ回路 2 1 A、2 1 B、2 1 C と同様、1 個のアドレス発生回路 8 1 B に対して並列に接続される。その他の構成は第 3 の実施例と同様のためその説明は省略する。

【0065】

<動作>

図 8 の回路の動作を図 9 に示す。図 9 では、時刻 $T = 0$ において、アドレス信号が $A 0 =$
30
 $A 1 = A 2 = A 3 = A 4 = 0$ に設定されていると仮定している。また、各全周期系列発生回路 6 2、6 4 内のシフトレジスタ 6 6、7 6 も全て 0 にクリアされていると仮定している。この条件下では図 9 は図 7 と全く同じになっている。つまり、時刻 T が進むにつれてアドレスの欄で示すようにアドレスが変化する。

【0066】

アドレスは 0 から 3 1 (2 の 5 乗 - 1) までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0067】

図 9 の X アドレスと Y アドレスの欄を見て分かるように、X アドレスは 0、4、2、5、
40
6、7、3、1、0、4、2、5、6、7、3、1、・・・という順序で変化し、X アドレスが 1 から 0 に変化する時のみ Y アドレスが変化する。

【0068】

図 8 の回路を用いれば、第 1、第 2 のシフトレジスタ回路およびゲート回路 (A N D) をメモリ回路毎に隣接して設け、アドレス発生回路 8 1 A をメモリ回路 2 1 D、2 1 E、2 1 F 間で共有することができる。

【0069】

このとき、アドレス発生回路 8 1 A と第 1、第 2 のシフトレジスタ回路 8 2、8 3 との信号接続は 2 本のみでよく、図 6 の第 3 の実施例の回路と比べて更に配線の混雑を抑制できる。

【0070】

{第5の実施例}

<構成>

図10および図11は本発明の第5の実施例のメモリテスト回路を示す図である。図10および図11はA-A線で破断されている。なお、図10および図11では第4の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、図8の第4の実施例のアドレス発生回路81Aの特定状態検出回路63Aと同様の回路に対し、図10および図11のようなインバータ回路88が追加されており、すなわち該インバータ回路88、NOR回路71、およびNAND回路74から特定状態検出回路63Aが構成される。該特定状態検出回路63Aにより、第1の全周期系列発生回路62内のシフトレジスタ66が全て0となった状態を検出し、この状態のときに第2の全周期系列発生回路64および第2のシフトレジスタ回路83を動作させる。また、ゲート回路については、図8の第4の実施例では1個のAND回路87にて構成されていたが、本実施例では、ゲート回路87Aがインバータ回路91およびOR回路92から構成されている。ゲート回路87Aは第2の全周期系列発生回路64が動作状態のときにのみ第1のシフトレジスタ回路82に対して強制的に「1」を供給する。逆に、第2の全周期系列発生回路64が動作停止状態の時はセクタ回路86の出力信号を第1のシフトレジスタ回路82に伝播する。セクタ回路86の出力は第2のシフトレジスタ回路83にも接続されており、このデータは第2の全周期系列発生回路64が動作状態の時に第2のシフトレジスタ回路83に取り込まれる。なお、図10および図11中の21G、21H、21Iはメモリ回路であり、図5中のメモリ回路21A、21B、21Cと同様、1個のアドレス発生回路81Bに対して並列に接続される。その他の構成は第4の実施例と同様のためその説明は省略する。

10

20

【0071】

<動作>

図10および図11の回路の動作を図12に示す。図12では、時刻 $T=0$ において、アドレス信号が $A_4=1$ 、 $A_0=A_1=A_2=A_3=0$ に設定されていると仮定している。また、第1の全周期系列発生回路62内のシフトレジスタ66は“100”、第2の全周期系列発生回路64内のシフトレジスタ76は“00”に設定されていると仮定している。

【0072】

時刻 T が進むにつれて、アドレスの欄で示すようにアドレスが変化する。アドレスは0から31（2の5乗-1）までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

30

【0073】

図12のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、0、・・・という順序で変化し、Xアドレスが0から4に変化するときのみYアドレスが変化する。

【0074】

図10および図11の回路を用いれば、第1、第2のシフトレジスタ回路82、83およびゲート回路87Aをメモリ回路21G、21H、21I毎に隣接して設け、アドレス発生回路81Bを複数のメモリ回路21G、21H、21I間で共有することができる。

40

【0075】

このとき、アドレス発生回路81Bと第1、第2のシフトレジスタ回路82、83との信号接続は2本のみでよく、図6の第3の実施例の回路と比べて更に配線の混雑を抑制できる。かかる効果は図8に示した第4の実施例のメモリテスト回路と同等である。

【0076】

{第6の実施例}

<構成>

図13および図14は本発明の第6の実施例のメモリテスト回路を示す図である。図13および図14はB-B線にて破断されている。本実施例のメモリテスト回路は、図3の第

50

2の実施例のアドレス発生回路81に対して2つの全周期系列発生回路62, 64を双方向全周期系列発生回路95, 96に夫々置き換えて構成されたアドレス発生回路81Cを備えたものである。ただし、第1の双方向全周期系列発生回路95の特定状態を検出する特定状態検出回路63Bは、第2の実施例と異なり、NOR回路71A、XOR回路97、およびNAND回路74から構成されている。図13および図14中の符号101, 102は各双方向全周期系列発生回路95, 96内に設けられたシフトレジスタ、103, 104は前記シフトレジスタ101, 102の動作方向を切り替えるセクタ群、67A, 67Bは第1の双方向全周期系列発生回路95内のシフトレジスタ101の各方向でのデータフィードバックを行うフィードバック回路(第1の双方向フィードバック回路)、71A, 71Bはフィードバック回路67A, 67BのNOR回路、72A, 72B, 73A, 73Bは同じくフィードバック回路67A, 67Bの排他的論理和回路(XOR)回路、77A, 77Bは第2の双方向全周期系列発生回路96内のシフトレジスタ102の各方向でのデータフィードバックを行うフィードバック回路としてのインバータ回路(第2の双方向フィードバック回路)である。なお、前記フィードバック回路67A, 67B, 77A, 77Bの構成は、各シフトレジスタ101, 102に対して双方向に接続される(すなわち一对のフィードバック回路として対称形状に構成される)以外は第2の実施例の構成と同様である。ただし、一方のフィードバック回路67AのNOR回路71Aは、前述の通り、特定状態検出回路63B内のNOR回路と兼用されたものである。

【0077】

ここで、第1の双方向全周期系列発生回路95の動作方向は、CHDIR1信号により制御されている。そして、該第1の双方向全周期系列発生回路95は、CHDIR1信号が「0」の場合は、右シフトによる順方向全周期系列を発生し、CHDIR1信号が「1」の場合は、左シフトによる逆方向全周期系列を発生する。第2の双方向全周期系列発生回路96の動作方向は、CHDIR2信号により制御されている。そして、該第2の双方向全周期系列発生回路96は、CHDIR2信号が「0」の場合は、右シフトによる順方向全周期系列を発生し、CHDIR2信号が「1」の場合は、左シフトによる逆方向全周期系列を発生する。

【0078】

CHDIR1信号は特定状態検出回路63BのXOR回路97にも入力されており、特定状態検出回路63BはCHDIR1信号が「0」のときに“001”を検出し、CHDIR1信号が「0」のときに“000”を検出する。

【0079】

<動作>

図13および図14の回路の動作を図15および図16に示す。図15はCHDIR1=0, CHDIR2=0の場合の動作であり、図16はCHDIR1=1, CHDIR2=1の場合の動作である。なお、CHDIR1=0, CHDIR2=1の設定やCHDIR1=1, CHDIR2=0の設定も可能であるが、効果が同じなのでその説明を省略する。

【0080】

図15では、時刻T=0において、アドレス信号がA0=A1=A2=A3=A4=0に設定されていると仮定している。時刻Tが進むにつれて、アドレスの欄で示すようにアドレスが変化する。

【0081】

アドレスは0から31(2の5乗-1)までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0082】

図15のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、・・・という順序で変化し、Xアドレスが1から0に変化する時のみYアドレスが変化する。

【0083】

10

20

30

40

50

図16では時刻 $T=0$ において、アドレス信号が $A_2=A_0=1$ 、 $A_1=A_3=A_4=0$ に設定されていると仮定している。時刻 T が進むにつれてアドレスの欄で示すようにアドレスが変化する。

【0084】

アドレスは0から31（2の5乗－1）までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0085】

図16のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは1、3、7、6、5、2、4、0、1、3、7、6、5、2、4、0、・・・という順序で変化し、Xアドレスが0から1に変化する時のみYアドレスが変化する。

10

【0086】

図15と図16のアドレスの欄を比較して分かるように全く逆順序でアドレス発生が行なわれる。

【0087】

{第7の実施例}

図17および図18は本発明の第7の実施例のメモリテスト回路を示す図である。図17および図18はC－C線にて破断されている。本実施例のメモリテスト回路は、図13および図14の第6の実施例の双方向全周期系列発生回路を有するメモリテスト回路に対し、図8の第4の実施例または図10および図11の第5の実施例と同様に、各メモリ回路に対してゲート回路およびシフトレジスタ回路を設けたものである。なお、図17および図18では第4の実施例、第5の実施例および第6の実施例と同様の機能を有する要素については同一符号を付している。

20

【0088】

本実施例のメモリテスト回路内のアドレス発生回路81Dには、第1の双方向全周期系列発生回路95の動作方向に対応して出力の取り出し位置を選択するために第1のセクタ回路111が追加されている。また、第2の双方向全周期系列発生回路96の動作方向に対応して出力の取り出し位置を選択するために第2のセクタ回路112が追加されている。そして、図8または図10および図11中のセクタ回路86に相当する要素として第3のセクタ回路113が前記両セクタ回路111、112に接続されている。

【0089】

また、全周期系列発生回路95、96を双方向性のものにしたのに対応し、各メモリ回路21J、21K、21LのXデコーダ32およびYデコーダ33に対して夫々接続されるシフトレジスタ回路として双方向性の回路（第1の双方向シフトレジスタ回路114および第2の双方向シフトレジスタ回路115）が設けられ、さらに、第1の双方向シフトレジスタ回路114については第1の双方向シフトレジスタ回路114の両方向に夫々データ入力するための一対のゲート回路（第1のゲート回路116および第2のゲート回路117）が設けられている。

30

【0090】

前記第1の双方向シフトレジスタ回路114は、前記第1の双方向全周期系列発生回路95のシフトレジスタ101と同様に構成された3桁の双方向シフトレジスタ121と、第1の双方向全周期系列発生回路95のセクタ群103と同様に構成され前記双方向シフトレジスタ121の動作方向を切り替えるセクタ群122とから構成されている。

40

【0091】

前記第2の双方向シフトレジスタ回路115は、前記第2の双方向全周期系列発生回路96のシフトレジスタ102と同様に構成された2桁の双方向シフトレジスタ123と、第2の双方向全周期系列発生回路96のセクタ群104と同様に構成され前記双方向シフトレジスタ123の動作方向を切り替えるセクタ群124とから構成されている。

【0092】

前記第1のゲート回路116は1個のAND回路からなり、一方の入力端子は前記第3のセクタ回路113に接続され、他方の入力端子は前記特定状態検出回路63BのNAN

50

D回路74に接続される。

【0093】

前記第2のゲート回路117は1個のインバータ回路125および1個のOR回路126から構成される。前記インバータ回路125の入力端子は前記特定状態検出回路63BのNAND回路74に接続される。前記OR回路126の一方の入力端子は前記インバータ回路125に接続され、他方の入力端子は前記第3のセクタ回路113に接続される。

【0094】

上記構成のメモリテスト回路では、各シフトレジスタに適切な初期値を設定することにより、図17および図18の回路の動作は図15および図16に示すものと同等になる。

【0095】

{第8の実施例}

<構成>

図19および図20は本発明の第8の実施例のメモリテスト回路を示す図である。なお、図19および図20では図13および図14に示した第6の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、図13および図14の回路に対し、メモリ回路21MのYデコーダ33Aが1桁(2進数)のものであって、メモリセル31Aは0から15までの16ワードの格納領域を有する構成となっている。このため、アドレス発生回路81Eの第2の全周期系列発生回路96Aを1ビット全周期系列発生回路(1ビットカウンタと等価)に置き換えたものである。

【0096】

前記第2の全周期系列発生回路96Aは1個のレジスタ127(1ビットシフトレジスタ)およびフィードバック回路としての1個のインバータ128とから構成されている。前記レジスタ127のデータ入力端子は前記インバータ128の出力端子に接続され、該レジスタ127の動作制御用入力端子は特定状態検出回路63BのNAND回路74に接続され、該レジスタ127のデータ出力端子はメモリ回路21MのYデコーダ33A用のアドレス入力端子(A0)に接続される。前記インバータ128の入力端子は前記レジスタ127に接続される。その他の構成は第6の実施例と同様のためその説明は省略する。

【0097】

<動作>

図19および図20の回路の動作を図21および図22に示す。図21はCHDIR1=0の場合の動作であり、図22はCHDIR1=1の場合の動作である。図21では時刻T=0において、アドレス信号がA0=A1=A2=A3=0に設定されていると仮定している。時刻Tが進むにつれてアドレスの欄で示すようにアドレスが変化する。アドレスは0から15(2の4乗-1)までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0098】

図21のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、・・・という順序で変化し、Xアドレスが1から0に変化する時のみYアドレスが変化する。

【0099】

図22では、時刻T=0において、アドレス信号がA1=A0=1、A2=A3=0に設定されていると仮定している。時刻Tが進むにつれてアドレスの欄で示すようにアドレスが変化する。

【0100】

アドレスは0から15(2の4乗-1)までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。図22のXアドレスとYアドレスの欄を見て分かるように、Xアドレスは1、3、7、6、5、2、4、0、1、3、7、6、5、2、4、0、・・・という順序で変化し、Xアドレスが0から1に変化する時のみYアドレスが変化する。

【0101】

10

20

30

40

50

図 2 1 と図 2 2 のアドレスの欄を比較して分かるように、全く逆順序でアドレス発生が行なわれる。

【0102】

{第 9 の実施例}

図 2 3 および図 2 4 は本発明の第 9 の実施例のメモリテスト回路を示す図である。なお、図 2 3 および図 2 4 では図 1 7 および図 1 8 の第 7 の実施例および図 1 9 および図 2 0 の第 8 の実施例と同様の機能を有する要素については同一符号を付している。また、図 2 3 および図 2 4 は E - E 線にて破断されている。本実施例のメモリテスト回路は、図 1 9 および図 2 0 の第 8 の実施例のメモリ回路 2 1 M に対し、第 7 の実施例と同様にゲート回路 1 1 6, 1 1 7 およびシフトレジスタ回路 1 1 4, 1 3 1 を設けてメモリ回路 2 1 N を構成し、さらに第 8 の実施例のアドレス発生回路 8 1 E に対して第 7 の実施例と同様のセレクト回路 1 1 1, 1 1 3 A を設けてアドレス発生回路 8 1 F を構成したものである。ただし、前記シフトレジスタ回路 1 3 1 は、第 2 の全周期系列発生回路 9 6 A が 1 ビット構成であることに対応して 1 ビットのレジスタのみで構成されている（以下、1 ビットシフトレジスタ回路 1 3 1 と称す）。また、第 7 の実施例の第 2 のセレクト回路 1 1 2 に対応するセレクト回路はデータの進行方向を問題としないため省略されている。このため、前記セレクト回路 1 1 3 A の「0」入力端子は第 2 の全周期系列発生回路 9 6 A のインバータ 1 2 8 に直接に接続されている。その他の構成は第 8 の実施例と同様である。かかる構成のメモリテスト回路は、各シフトレジスタに適切な初期値を設定することにより、図 2 3 および図 2 4 の回路の動作は図 2 1 および図 2 2 に示すものと同じになる。

【0103】

{第 1 0 の実施例}

<構成>

図 2 5 および図 2 6 は本発明の第 1 0 の実施例のメモリテスト回路を示す図である。なお、図 2 5 および図 2 6 では図 1 9 および図 2 0 の第 8 の実施例と同様の機能を有する要素については同一符号を付している。また、図 2 5 および図 2 6 は F - F 線で破断されている。本実施例のメモリテスト回路中のアドレス発生回路 8 1 G において、第 1 の全周期系列発生回路 9 5 A は Y アドレスを発生するための回路として第 8 の実施例中の第 2 の全周期系列発生回路 9 6 A と同様の 1 ビット全周期系列発生回路を用い、第 2 の全周期系列発生回路 9 6 B は X アドレスを発生するための回路として第 8 の実施例中の第 1 の双方向全周期系列発生回路 9 5 と同様の双方向全周期系列発生回路を用いている。そして、前記第 1 の全周期系列発生回路 9 5 A の特定の出力状態（Y アドレス値）を検出し第 2 の全周期系列発生回路 9 6 B の動作を停止させる特定状態検出回路 6 3 C として、1 個の X O R 回路（排他的論理和回路）が用いられたものである。該 X O R 回路 6 3 C の一方の入力端子には外部からの C H D I R 2 信号が入力され、他方の入力端子は第 1 の全周期系列発生回路 9 5 A のインバータ 1 2 8 の出力端子に接続されている。これにより、X O R 回路 6 3 C の検出条件を C H D I R 2 信号により指定できる。その他の構成は第 8 の実施例と同様のためその説明は省略する。

【0104】

<動作>

図 2 5 および図 2 6 の回路の動作を図 2 7 および図 2 8 に示す。図 2 7 は C H D I R 1 = 0, C H D I R 2 = 0 の場合の動作であり、図 2 8 は C H D I R 1 = 1, C H D I R 2 = 1 の場合の動作である。図 2 7 では時刻 T = 0 において、アドレス信号が A 0 = A 1 = A 2 = A 3 = 0 に設定されていると仮定している。この場合、第 2 の動作モード切替信号（C H D I R 2 信号）と 1 ビットの第 1 の全周期系列発生回路 9 5 A のアドレス状態とが一致したときに限り第 2 の全周期系列発生回路 9 6 B の動作を停止させることになる。具体的には、図 2 7 および図 2 8 の如く、時刻 T が進むにつれてアドレスの欄で示すようにアドレスが変化する。アドレスは 0 から 1 5（2 の 4 乗 - 1）までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0105】

図 27 の X アドレスと Y アドレスの欄を見て分かるように、Y アドレスは 0、1、0、1、・・・という順序で変化し、Y アドレスが 1 から 0 に変化するときのみ X アドレスが変化する。

【0106】

図 28 では、時刻 $T = 0$ において、アドレス信号が $A_1 = A_0 = 1$ 、 $A_2 = A_3 = 0$ に設定されていると仮定している。時刻 T が進むにつれてアドレスの欄で示すようにアドレスが変化する。アドレスは 0 から 15 (2 の 4 乗 - 1) までの全ての値が発生されるので、全てのメモリセルをアクセスすることができる。

【0107】

図 28 の X アドレスと Y アドレスの欄を見て分かるように、Y アドレスは 1、0、1、0、・・・という順序で変化し、Y アドレスが 0 から 1 に変化するときのみ X アドレスが変化する。

10

【0108】

図 27 と図 28 のアドレスの欄を比較して分かるように、全く逆順序でアドレス発生が行なわれる。

【0109】

{第 11 の実施例}

図 29 および図 30 は本発明の第 11 の実施例のメモリテスト回路を示す図である。なお、図 29 および図 30 では第 9 の実施例および第 10 の実施例と同様の機能を有する要素については同一符号を付している。また、図 29 および図 30 は G-G 線で破断されている。本実施例のメモリテスト回路は、図 25 および図 26 の第 10 の実施例のメモリ回路 21N に対し、1 ビットの第 1 の全周期系列発生回路 95A に対応する 1 ビットシフトレジスタ回路 131 と、第 2 の全周期系列発生回路 96B に対応する 3 ビットの双方向シフトレジスタ回路 114 と、前記 1 ビットシフトレジスタ回路 131 への入力データを選択するセクタ回路 132 とが追加されて、図 29 および図 30 に示したメモリ回路 21O が構成されている。また、図 25 および図 26 の第 10 の実施例のアドレス発生回路 81F に対し、2 個のセクタ回路 111、113A が追加されてアドレス発生回路 81G が構成されている。

20

【0110】

前記セクタ回路 111 は前記第 2 の全周期系列発生回路 96B の動作方向に対応して出力の取り出し位置を選択するものであって、両入力端子は第 2 の全周期系列発生回路 96B の両フィードバック回路 67A、67B の XOR 回路 73A、73B の出力端子に接続され、該セクタ回路 111 の切り替え制御端子には CHDIR1 信号が入力される。

30

【0111】

前記セクタ回路 113A は、特定状態検出回路 63C からの信号に基づいて、第 1 の全周期系列発生回路 95A のインバータ 128 からの出力信号および前記セクタ回路 111 からの出力信号のいずれかを選択するものである。

【0112】

前記セクタ回路 132 は、図 8 中または図 10 中のゲート回路に相当するものであって、特定状態検出回路 63C からの信号に基づいて、外部からの CHDIR2 信号および前記セクタ回路 113A からの信号のいずれかを選択する。該セクタ回路 132 は、双方向の第 2 の全周期系列発生回路 96B と第 1 の双方向シフトレジスタ回路 114 が動作停止状態のときは、セクタ回路 113A の出力を 1 ビットシフトレジスタ回路 131 に伝播する。逆に双方向の第 2 の全周期系列発生回路 96B と双方向シフトレジスタ回路 114 が動作状態のときは CHDIR2 信号を 1 ビットシフトレジスタ回路 131 に伝播する。その他の構成は第 10 の実施例と同様のためその説明は省略する。

40

【0113】

各シフトレジスタに適切な初期値を設定することにより、図 29 および図 30 の回路の動作は図 27 および図 28 に示すものと同じになる。

【0114】

50

{第12の実施例}

図31および図32は本発明の第12の実施例のメモリテスト回路を示す図である。なお、図31および図32では図29および図30の第11の実施例と同様の機能を有する要素については同一符号を付している。図31および図32はH-H線で破断されている。本実施例のメモリテスト回路は、図29および図30の第11の実施例の回路と同様に動作するものであるが、図31および図32の如く、該メモリテスト回路中の1ビット全周期系列発生回路95Aの出力は1ビットシフトレジスタ回路131に直接に接続されている。また、セクタ回路111の出力は双方向シフトレジスタ回路114の順方向入力と逆方向入力に共通接続されている。なお、図31中の81Hはアドレス発生回路、図32中の21Pはメモリ回路である。その他の構成は図29および図30の第11の実施例と同様のためその説明は省略する。

10

【0115】

各シフトレジスタに適切な初期値を設定することにより、図31および図32の回路の動作は図27および図28に示すものと同じになる。

【0116】

{第13の実施例}

<構成>

図33および図34は本発明の第13の実施例のメモリテスト回路を示す図である。なお、図33および図34では図1の第1の実施例および図3の第2の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、第1の実施例の機能と第2の実施例の機能とをモード切り替えできるよう構成したものである。すなわち、第1の全周期系列発生回路62が、3ビットのシフトレジスタ66と、1個のNOR回路71および2個のXOR回路72、73からなるフィードバック回路67とを備え、第2の全周期系列発生回路64が、2ビットのシフトレジスタ76およびフィードバック回路としてのインバータ回路77とを備える点で図3の第2の実施例と同様であるが、一対の特定状態検出回路、すなわち、第1の全周期系列発生回路62の特定の出力状態(Xアドレス値)を検出し第2の全周期系列発生回路64の動作を停止させる第1の特定状態検出回路63と、第2の全周期系列発生回路64の特定の出力状態(Yアドレス値)を検出し第1の全周期系列発生回路62の動作を停止させる第2の特定状態検出回路37(副特定状態検出回路)とが設けられている点で第2の実施例と構成を異にする。該両特定状態検出回路37、63のうちいずれを動作させるかは、夫々に対応するAND回路141、142に外部からの制御信号MODE1、MODE2を入力することで選択的に切り替えられる。なお、図33中の61Aはアドレス発生回路である。その他の構成は第2の実施例と同様のためその説明は省略する。

20

30

【0117】

<動作>

上記構成において、MODE1=1、MODE2=0の場合は、第2の全周期系列発生回路64は常に動作状態になり、第1の全周期系列発生回路62の動作は第2の全周期系列発生回路64の状態により制御されて、図2と同様の動作を行う。

【0118】

一方、MODE1=0、MODE2=1の場合は、第1の全周期系列発生回路62は常に動作状態になり、第2の全周期系列発生回路64の動作は第1の全周期系列発生回路62の状態により制御されて、図4と同様の動作を行う。

40

【0119】

このように、本実施例では、Yアドレスを一通り変化させた後でXアドレスを更新するようなテストと、Xアドレスを一通り変化させた後でYアドレスを更新するようなテストの両方を、必要に応じて選択的に実施できる。

【0120】

{第14の実施例}

<構成>

50

図 3 5 および図 3 6 は本発明の第 1 4 の実施例のメモリテスト回路を示す図である。なお、図 3 5 および図 3 6 では図 3 3 および図 3 4 の第 1 3 の実施例と同様の機能を有する要素については同一符号を付している。本実施例のメモリテスト回路は、第 1 3 の実施例の各全周期系列発生回路 6 2, 6 4 に対して、各シフトレジスタ 6 6, 7 6 のデータ入力端子とフィードバック回路 6 7, 7 7 との間にセクタ回路 1 4 5, 1 4 6 を介装することで、各全周期系列発生回路 6 2 A, 6 4 A にスキャン機能を持たせたものである。図 3 5 中の符号 S I はシリアル入力ピン、S O はシリアル出力ピン、S M はシフトモード制御ピンである。その他の構成は第 1 3 の実施例と同様のためその説明は省略する。

【0121】

<動作>

シフトモード制御ピン S M に「0」が入力された場合は、図 3 3 および図 3 4 の第 1 3 の実施例と同様の動作が実現される。また、シフトモード制御ピン S M に「1」が入力された場合は、シリアル入力ピン S I からシリアル出力ピン S O への直列経路が構成される。シフトモード制御ピン S M に「1」が入力されたときに、MODE 1 = MODE 2 = 0 であれば、両全周期系列発生回路 6 2 A, 6 4 A 内のシフトレジスタは動作状態であり、直列シフト動作が行える。

【0122】

スキャン機能を付与することによって、直列シフト動作によって任意の初期値を各全周期系列発生回路 6 2 A, 6 4 A に設定できるようになる。

【0123】

なお、初期値の設定は、各全周期系列発生回路を構成するシフトレジスタの各ビットにセットまたはリセット手段を設けることによって実現できる。

【0124】

{変形例}

(1) 上記各実施例では、半導体集積回路装置の例としてメモリテスト回路について説明したが、アドレスを順次変化させるものであれば、メモリテスト回路に限るものではない。

【0125】

(2) 上記各実施例では、アドレスの全ての値を周期的かつ系列的に順次変遷しつつ生成する全周期系列発生回路を用いていたが、かかる完全な全周期系列発生回路に代えて、不完全な全周期系列発生回路、すなわち、アドレスの全ての値のうち一部を除いてを周期的かつ系列的に順次変遷しつつ生成する回路、例えば L F S R を用いてもよい。ここで、該 L F S R は、内部のシフトレジスタについてオールゼロ (A L L “0”) の値を除外した全てのアドレスを発生させるものである。また、X, Y アドレスについて、一方に対して全周期系列発生回路を用い、他方について L F S R を用いてもよい。

【0126】

(3) 第 1 4 の実施例では、第 1 3 の実施例の各全周期系列発生回路 6 2, 6 4 に対して、スキャン機能を持たせていたが、第 1 の実施例乃至第 1 2 の実施例に対してスキャン機能を持たせてもよい。

【0127】

(4) 第 1 0 の実施例では、特定状態検出回路 6 3 C として排他的論理和回路を使用していたが、その反転回路 (イクスクルーシブ・ノア回路: E x . N O R 回路) を使用してもよい。この場合、第 2 の動作モード切替信号 (C H D I R 2 信号) と 1 ビットの第 1 の全周期系列発生回路 9 5 A のアドレス状態とが不一致のときに限り第 2 の全周期系列発生回路 9 6 B の動作を停止させることになる。

【0128】

【発明の効果】

本発明の各請求項によると、第 1 の全周期系列発生回路を動作させて、X デコーダおよび Y デコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通り返して変化した後で、第 2 の全周期系列発生回路を動作させて他方のアドレスを更新することができ、

10

20

30

40

50

故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができる。

【0129】

この場合、本発明請求項1によると、アドレス発生回路の第1の全周期系列発生回路内の第1のシフトレジスタ部と、各メモリ回路内の第1のシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の第2の全周期系列発生回路内の第2のシフトレジスタ部と、各メモリ回路内の第2のシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させることができ、第1のシフトレジスタ部および第2のシフトレジスタ部の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができるという効果がある。

10

【0130】

特に、本発明請求項2に係る半導体集積回路装置のように、セクタ回路およびゲート回路を設けているので、アドレス発生回路からの信号を第1のシフトレジスタ回路および第2のシフトレジスタ回路に対して適宜選択的に切り替えることができ、両シフトレジスタ回路へのデータ伝送用配線を1本に集約でき、アドレス発生回路とメモリ回路との接続配線数を飛躍的に軽減することができるという効果がある。

【0131】

20

本発明請求項3によると、データのインクリメントおよびデクリメントの切り替えを容易に行い得る双方向全周期系列発生回路にてアドレス指定を行う場合において、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通じ変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新することができ、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができるという効果がある。

【0132】

本発明請求項4によると、アドレス発生回路の第1の全周期系列発生回路内の第1の双方向シフトレジスタ部と、各メモリ回路内の第1の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の第2の全周期系列発生回路内の第2の双方向シフトレジスタ部と、各メモリ回路内の第2の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させることができ、第1の双方向シフトレジスタ部および第2の双方向シフトレジスタ部の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができるという効果がある。

30

【0133】

本発明請求項5によると、第1の全周期系列発生回路としてデータのインクリメントおよびデクリメントの切り替えを容易に行い得る双方向全周期系列発生回路を用い、第2の全周期系列発生回路として1ビット全周期系列発生回路を用いる場合において、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通じ変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新することができ、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができるという効果がある。

40

【0134】

本発明請求項6によると、アドレス発生回路の第1の全周期系列発生回路内の双方向シ

50

フトレジスタ部と、各メモリ回路内の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の1ビットの第2の全周期系列発生回路と、各メモリ回路内の1ビットシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させることができ、双方向シフトレジスタ部および第2の全周期系列発生回路の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができる。特に、複数のセクタ回路およびゲート回路を設けることで、アドレス発生回路からの信号を双方向シフトレジスタ回路および1ビットシフトレジスタ回路に対して適宜選択的に切り替えることができ、両シフトレジスタ回路へのデータ伝送用配線を1本に集約でき、アドレス発生回路とメモリ回路との接続配線数を飛躍的に軽減することができるという効果がある。

10

【0135】

本発明請求項7によると、第1の全周期系列発生回路として1ビット全周期系列発生回路を用い、第2の全周期系列発生回路としてデータのインクリメントおよびデクリメントの切り替えを容易に行い得る双方向全周期系列発生回路を用いる場合において、第1の全周期系列発生回路を動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値（2値）を、周期的かつ系列的に通り返し変化させた後で、第2の全周期系列発生回路を動作させて他方のアドレスを更新することができ、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができるという効果がある。

20

【0136】

また、特定状態検出回路として排他的論理和回路を含むことで、当該特定状態検出回路を極めて簡単に構成することができ、回路面積を可及的に低減できるという効果がある。

【0137】

本発明請求項8および請求項9によると、アドレス発生回路の1ビットの第1の全周期系列発生回路と、各メモリ回路内の1ビットシフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させ、また、アドレス発生回路の第2の全周期系列発生回路内の双方向シフトレジスタ部と、各メモリ回路内の双方向シフトレジスタ回路とを同様に（すなわち、同期して、または所定のビット数だけ遅延して）動作させることができ、第1の全周期系列発生回路および双方向シフトレジスタ部の全てのビット（レジスタ）とXデコーダおよびYデコーダの全ての桁（端子）とを夫々直接接続する場合に比べて、アドレス発生回路とメモリ回路との接続配線数を軽減することができるという効果がある。

30

【0138】

特に、請求項8では、複数の単一のセクタ回路を設けることで、アドレス発生回路からの信号を双方向シフトレジスタ回路および1ビットシフトレジスタ回路に対して適宜選択的に切り替えることができ、両シフトレジスタ回路へのデータ伝送用配線を1本に集約でき、アドレス発生回路とメモリ回路との接続配線数を飛躍的に軽減することができるという効果がある。

40

【0139】

本発明請求項10によると、第1の全周期系列発生回路と第2の全周期系列発生回路とのいずれを先に動作させる自由に選択でき、いずれか一方を先に動作させて、XデコーダおよびYデコーダのうちの一方のアドレスの全ての値を、周期的かつ系列的に通り返し変化させた後で、他方を動作させて他方のアドレスを更新することができ、故障がXデコーダに起因するものかYデコーダに起因するものかを容易に区別できる。また、メモリ回路の同一ビット線や同一ワード線の連続的なアクセスを伴うため、アクセスタイムテストを正確に行うことができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例のメモリテスト回路を示す図である。

50

- 【図 2】 本発明の第 1 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 3】 本発明の第 2 の実施例のメモリテスト回路を示す図である。
- 【図 4】 本発明の第 2 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 5】 本発明の第 3 の実施例のメモリテスト回路の全体的な配線構成を示す図である。
- 【図 6】 本発明の第 3 の実施例のメモリテスト回路を示す図である。
- 【図 7】 本発明の第 3 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。 10
- 【図 8】 本発明の第 4 の実施例のメモリテスト回路を示す図である。
- 【図 9】 本発明の第 4 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 10】 本発明の第 5 の実施例のメモリテスト回路を示す図である。
- 【図 11】 本発明の第 5 の実施例のメモリテスト回路を示す図である。
- 【図 12】 本発明の第 5 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 13】 本発明の第 6 の実施例のメモリテスト回路を示す図である。
- 【図 14】 本発明の第 6 の実施例のメモリテスト回路を示す図である。
- 【図 15】 本発明の第 6 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図 20
である。
- 【図 16】 本発明の第 6 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 17】 本発明の第 7 の実施例のメモリテスト回路を示す図である。
- 【図 18】 本発明の第 7 の実施例のメモリテスト回路を示す図である。
- 【図 19】 本発明の第 8 の実施例のメモリテスト回路を示す図である。
- 【図 20】 本発明の第 8 の実施例のメモリテスト回路を示す図である。
- 【図 21】 本発明の第 8 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 22】 本発明の第 8 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図 30
である。
- 【図 23】 本発明の第 9 の実施例のメモリテスト回路を示す図である。
- 【図 24】 本発明の第 9 の実施例のメモリテスト回路を示す図である。
- 【図 25】 本発明の第 10 の実施例のメモリテスト回路を示す図である。
- 【図 26】 本発明の第 10 の実施例のメモリテスト回路を示す図である。
- 【図 27】 本発明の第 10 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 28】 本発明の第 10 の実施例のメモリテスト回路の各レジスタの値の変遷を示す図である。
- 【図 29】 本発明の第 11 の実施例のメモリテスト回路を示す図である。 40
- 【図 30】 本発明の第 11 の実施例のメモリテスト回路を示す図である。
- 【図 31】 本発明の第 12 の実施例のメモリテスト回路を示す図である。
- 【図 32】 本発明の第 12 の実施例のメモリテスト回路を示す図である。
- 【図 33】 本発明の第 13 の実施例のメモリテスト回路を示す図である。
- 【図 34】 本発明の第 13 の実施例のメモリテスト回路を示す図である。
- 【図 35】 本発明の第 14 の実施例のメモリテスト回路を示す図である。
- 【図 36】 本発明の第 14 の実施例のメモリテスト回路を示す図である。
- 【図 37】 第 1 の従来例のメモリテスト回路を示す図である。
- 【図 38】 第 2 の従来例のメモリテスト回路を示す図である。
- 【図 39】 第 3 の従来例のメモリテスト回路を示す図である。 50

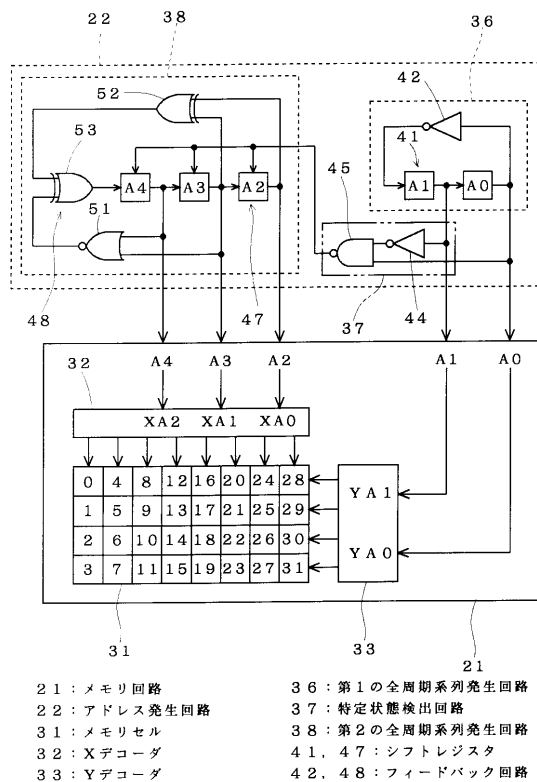
【図 40】 第 3 の従来例のメモリテスト回路の各レジスタの値の変遷を示す図である。

【符号の説明】

21, 21A, 21B, 21C, 21D, 21E, 21F, 21G, 21H, 21I, 21J, 21K, 21L, 21M, 21N, 21O, 21P メモリ回路、22, 61, 81, 81A, 81B, 81C, 81D, 81E, 81F, 81G, 81H アドレス発生回路、31, 31A メモリセル、32 Xデコーダ、33, 33A Yデコーダ、36, 62, 62A, 95A 第 1 の全周期系列発生回路、37, 63, 63A, 63B, 63C 特定状態検出回路、38, 64, 64A, 96A, 96B 第 2 の全周期系列発生回路、41, 47, 66, 76, 101, 102 シフトレジスタ、42, 48, 67, 67A, 67B, 77, 77A, 77B, 128 フィードバック回路、82 第 1 のシフトレジスタ回路、83 第 2 のシフトレジスタ回路、86, 111, 112, 113, 113A, 132, 145, 146 セクタ回路、87, 87A, 116, 117 ゲート回路、95 第 1 の双方向全周期系列発生回路、96 第 2 の双方向全周期系列発生回路、114 第 1 の双方向シフトレジスタ回路、115 第 2 の双方向シフトレジスタ回路、131 1 ビットシフトレジスタ回路、141, 142 AND 回路。

10

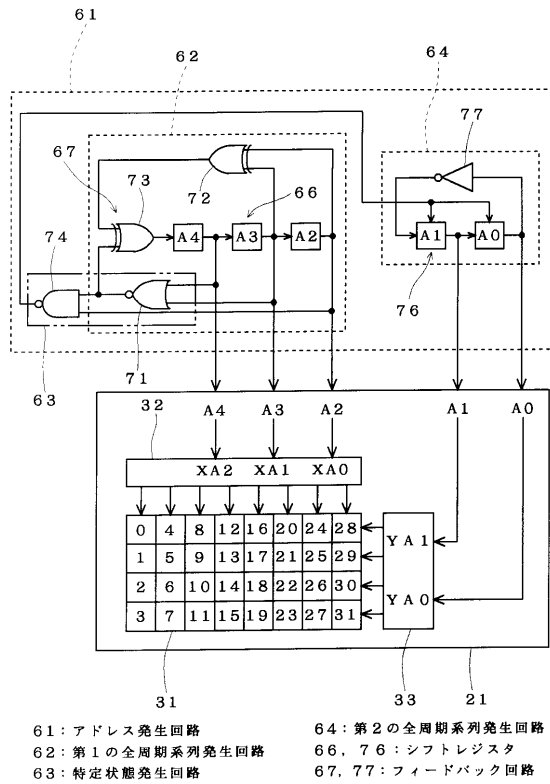
【図 1】



【図 2】

時刻 T	A 4 (XA2)	A 3 (XA1)	A 2 (XA0)	A 1 (YA1)	A 0 (YA0)	アドレス A 4~0 (10 進表示)	Xアドレス XA2~0 (10 進表示)	Yアドレス YA1~0 (10 進表示)
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	2	0	2
2	0	0	0	1	1	3	0	3
3	0	0	0	0	1	1	0	1
4	1	0	0	0	0	16	4	0
5	1	0	0	1	0	18	4	2
6	1	0	0	1	1	19	4	3
7	1	0	0	0	1	17	4	1
8	0	1	0	0	0	8	2	0
9	0	1	0	1	0	10	2	2
10	0	1	0	1	1	11	2	3
11	0	1	0	0	1	9	2	1
12	1	0	1	0	0	20	5	0
13	1	0	1	1	0	22	5	2
14	1	0	1	1	1	23	5	3
15	1	0	1	0	1	21	5	1
16	1	1	0	0	0	24	6	0
17	1	1	0	1	0	26	6	2
18	1	1	0	1	1	27	6	3
19	1	1	0	0	1	25	6	1
20	1	1	1	0	0	28	7	0
21	1	1	1	1	0	30	7	2
22	1	1	1	1	1	31	7	3
23	1	1	1	0	1	29	7	1
24	0	1	1	0	0	12	3	0
25	0	1	1	1	0	14	3	2
26	0	1	1	1	1	15	3	3
27	0	1	1	0	1	13	3	1
28	0	0	1	0	0	4	1	0
29	0	0	1	1	0	6	1	2
30	0	0	1	1	1	7	1	3
31	0	0	1	0	1	5	1	1

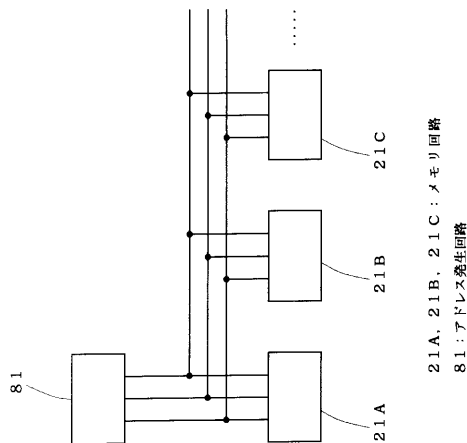
【図 3】



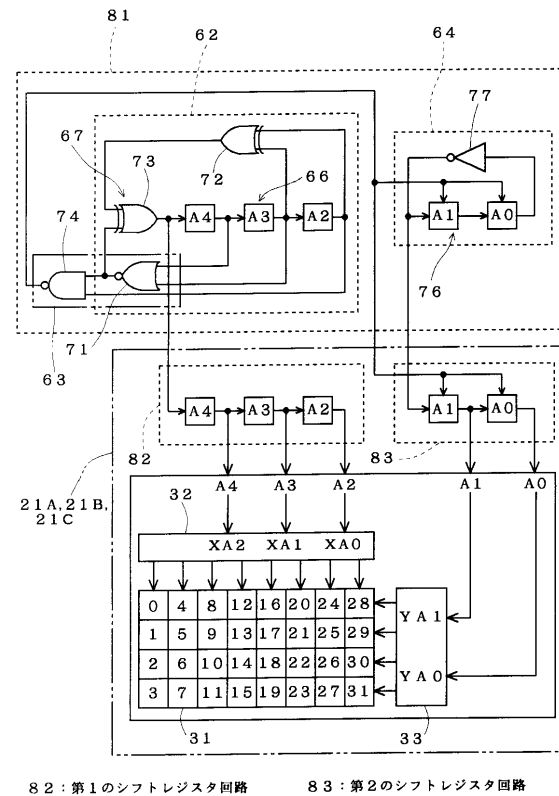
【図 4】

時刻 T	A 4 (XA2)	A 3 (XA1)	A 2 (XA0)	A 1 (YA1)	A 0 (YA0)	アドレス A 4~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1~0 (10進表示)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

【図 5】



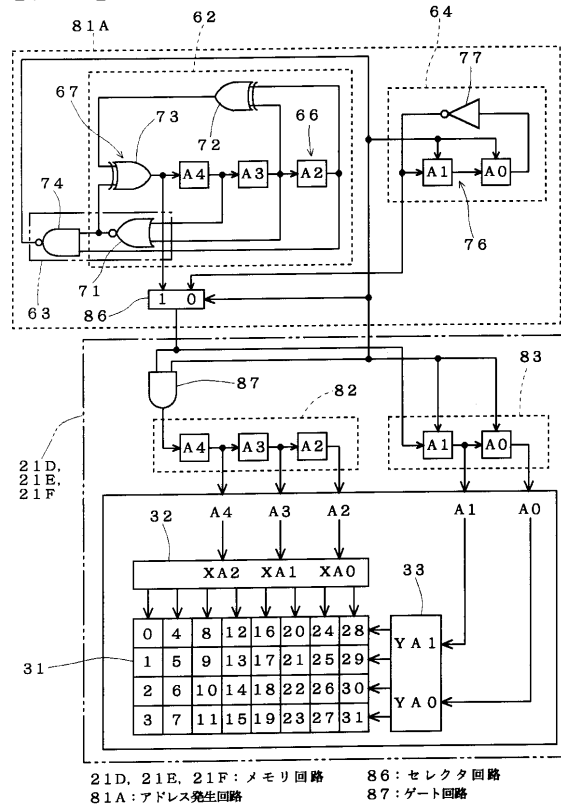
【図 6】



【図 7】

時刻 T	A 4 (XA2)	A 3 (XA1)	A 2 (XA0)	A 1 (YA1)	A 0 (YA0)	アドレス A 4~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1~0 (10進表示)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	1	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

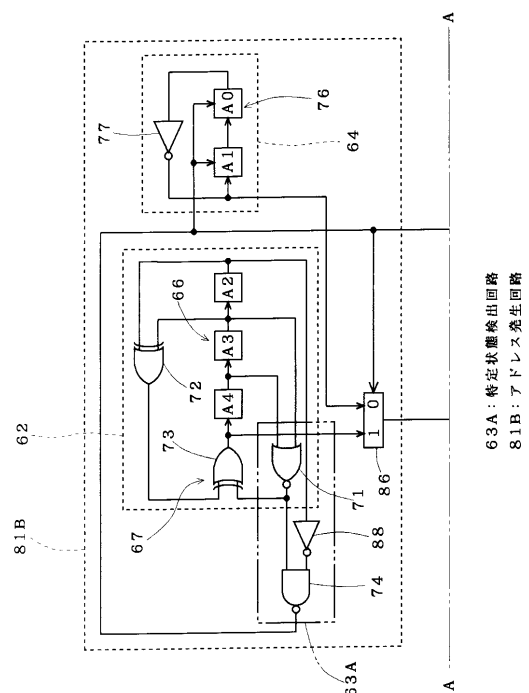
【図 8】



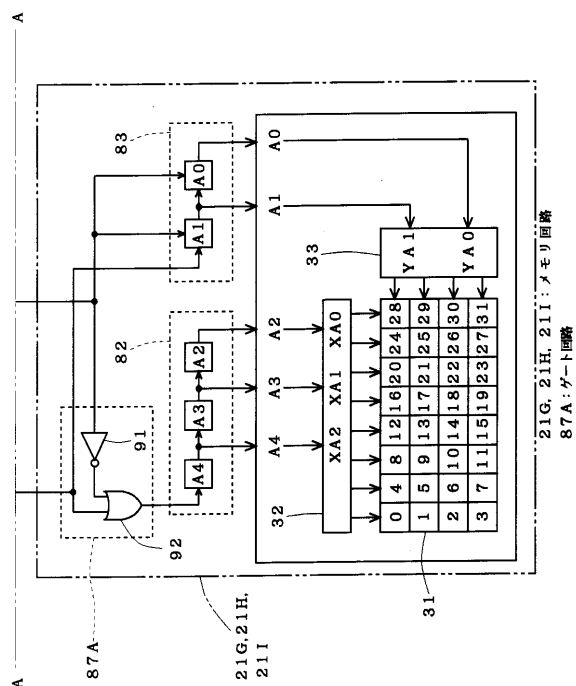
【図 9】

時刻 T	A 4 (XA2)	A 3 (XA1)	A 2 (XA0)	A 1 (YA1)	A 0 (YA0)	アドレス A 4~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1~0 (10進表示)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

【図 10】



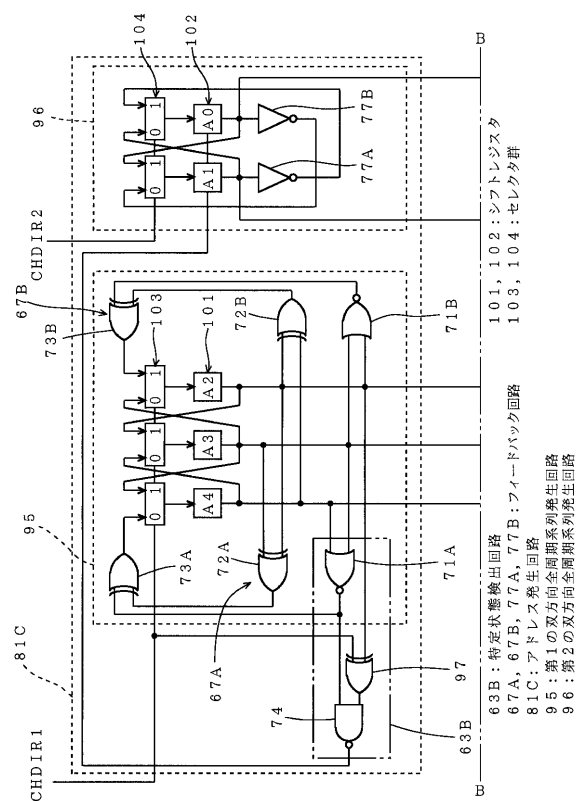
【 ㊦ 1 1 】



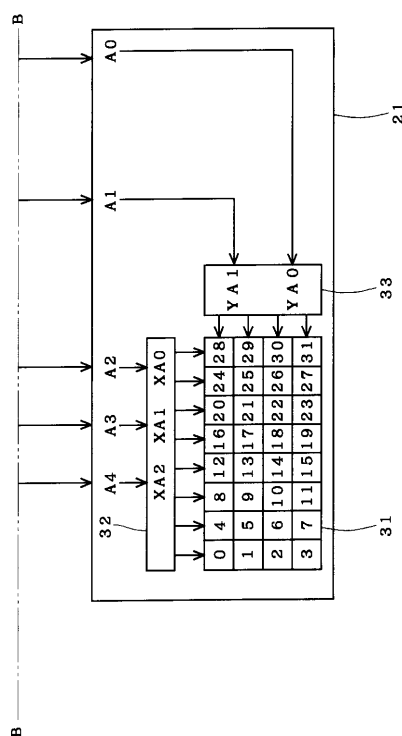
【图 1 2】

時刻 T	A 4 (XA2)	A 3 (XA1)	A 2 (XA0)	A 1 (YA1)	A 0 (YA0)	アドレス A 4 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1~0 (10進表示)
0	1	0	0	0	0	16	4	0
1	0	1	0	0	0	8	2	0
2	1	0	1	0	0	20	5	0
3	1	1	0	0	0	24	6	0
4	1	1	1	0	0	28	7	0
5	0	1	1	0	0	12	3	0
6	0	0	1	0	0	4	1	0
7	0	0	0	0	0	0	0	0
8	1	0	0	1	0	18	4	2
9	0	1	0	1	0	10	2	2
10	1	0	1	1	0	24	5	2
11	1	1	0	1	0	26	6	2
12	1	1	1	1	0	30	7	2
13	0	1	1	1	0	14	3	2
14	0	0	1	1	0	6	1	2
15	0	0	0	1	0	2	0	2
16	1	0	0	1	1	19	4	3
17	0	1	0	1	1	11	2	3
18	1	0	1	1	1	23	5	3
19	1	1	0	1	1	27	6	3
20	1	1	1	1	1	31	7	3
21	0	1	1	1	1	15	3	3
22	0	0	1	1	1	7	1	3
23	0	0	0	1	1	3	0	3
24	1	0	0	0	1	17	4	1
25	0	1	0	0	1	9	2	1
26	1	0	1	0	1	21	5	1
27	1	1	0	0	1	25	6	1
28	1	1	1	0	1	29	7	1
29	0	1	1	0	1	13	3	1
30	0	0	1	0	1	5	1	1
31	0	0	0	0	1	1	0	1

【 図 1 3 】



【図 14】



【図 15】

CHDIR1='1', CHDIR2='1' の場合

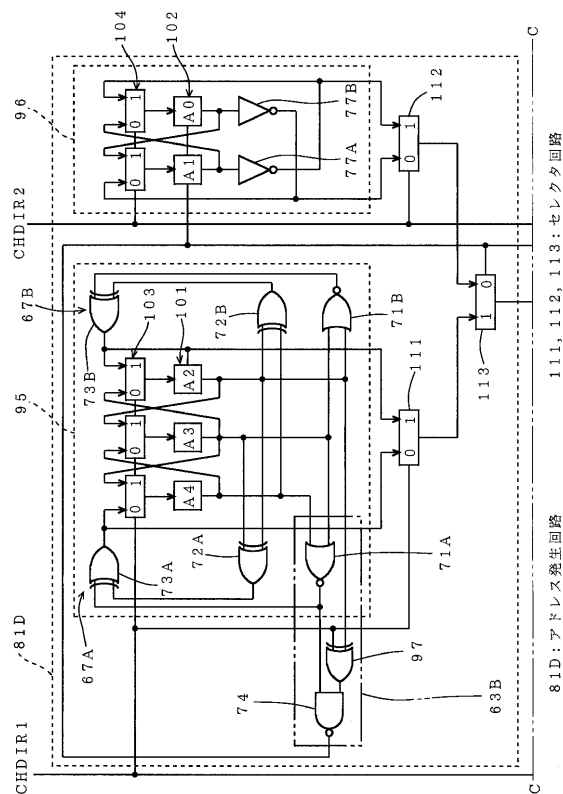
時刻 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	アドレス A4~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1~0 (10進表示)
0	0	0	1	0	1	5	1	1
1	0	1	1	0	1	13	3	1
2	1	1	1	0	1	29	7	1
3	1	1	0	0	1	25	6	1
4	1	0	1	0	1	21	5	1
5	0	1	0	0	1	9	2	1
6	1	0	0	0	1	17	4	1
7	0	0	0	0	1	1	0	1
8	0	0	1	1	1	7	1	3
9	0	1	1	1	1	15	3	3
10	1	1	1	1	1	31	7	3
11	1	1	0	1	1	27	6	3
12	1	0	1	1	1	23	5	3
13	0	1	0	1	1	11	2	3
14	1	0	0	1	1	19	4	3
15	0	0	0	1	1	3	0	3
16	0	0	1	1	0	6	1	2
17	0	1	1	1	0	14	3	2
18	1	1	1	1	0	30	7	2
19	1	1	0	1	0	26	6	2
20	1	0	1	1	0	24	5	2
21	0	1	0	1	0	10	2	2
22	1	0	0	1	0	18	4	2
23	0	0	0	1	0	2	0	2
24	0	0	1	0	0	4	1	0
25	0	1	1	0	0	12	3	0
26	1	1	1	0	0	28	7	0
27	1	1	0	0	0	24	6	0
28	1	0	1	0	0	20	5	0
29	0	1	0	0	0	8	2	0
30	1	0	0	0	0	16	4	0
31	0	0	0	0	0	0	0	0

【図 16】

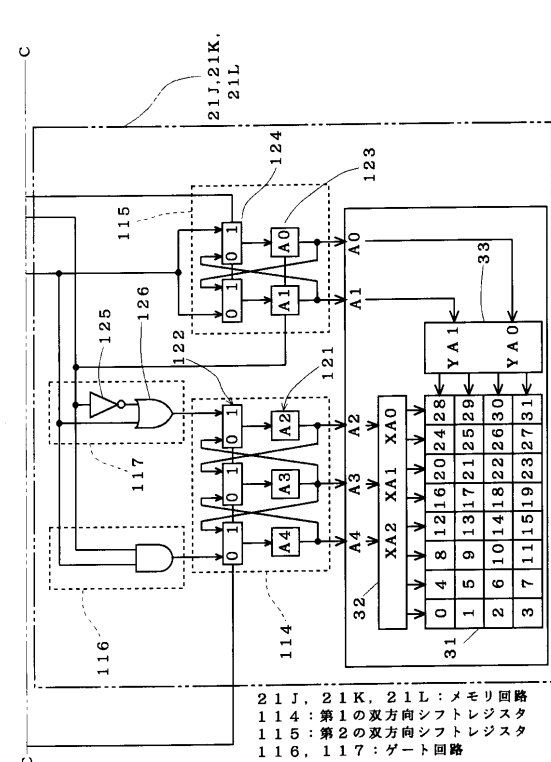
CHDIR1='0', CHDIR2='0' の場合

時刻 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	アドレス A4~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1~0 (10進表示)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

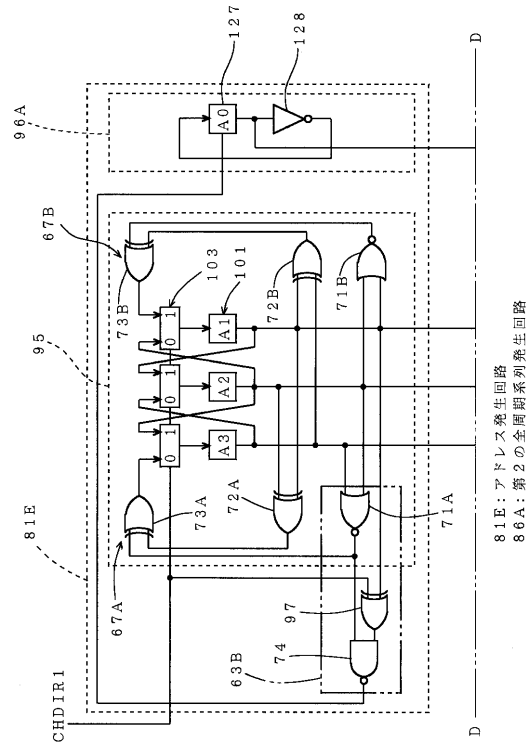
【図 17】



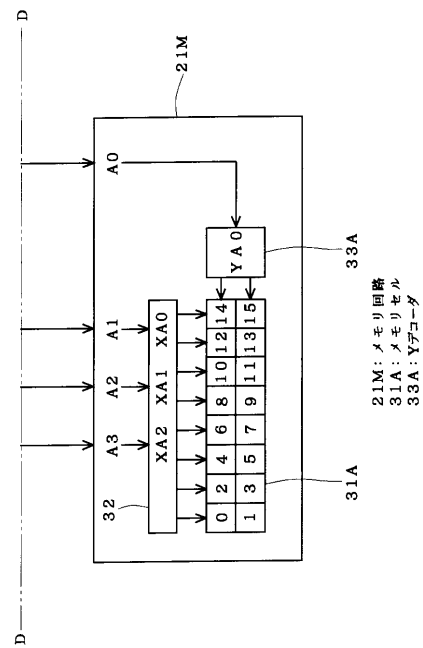
【図 18】



【図 19】



【図 20】



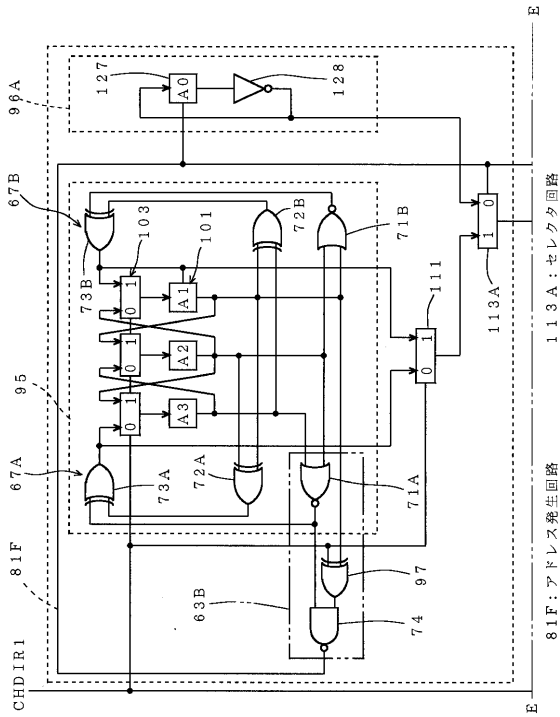
【図 21】

CHDIR1='0'の場合							
時刻 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	アドレス A3~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1 (10進表示)
0	0	0	0	0	0	0	0
1	1	0	0	0	8	4	0
2	0	1	0	0	4	2	0
3	1	0	1	0	10	5	0
4	1	1	0	0	12	6	0
5	1	1	1	0	14	7	0
6	0	1	1	0	6	3	0
7	0	0	1	0	2	1	0
8	0	0	0	1	1	0	1
9	1	0	0	1	9	4	1
10	0	1	0	1	5	2	1
11	1	0	1	1	11	5	1
12	1	1	0	1	13	6	1
13	1	1	1	1	15	7	1
14	0	1	1	1	7	3	1
15	0	0	1	1	3	1	1

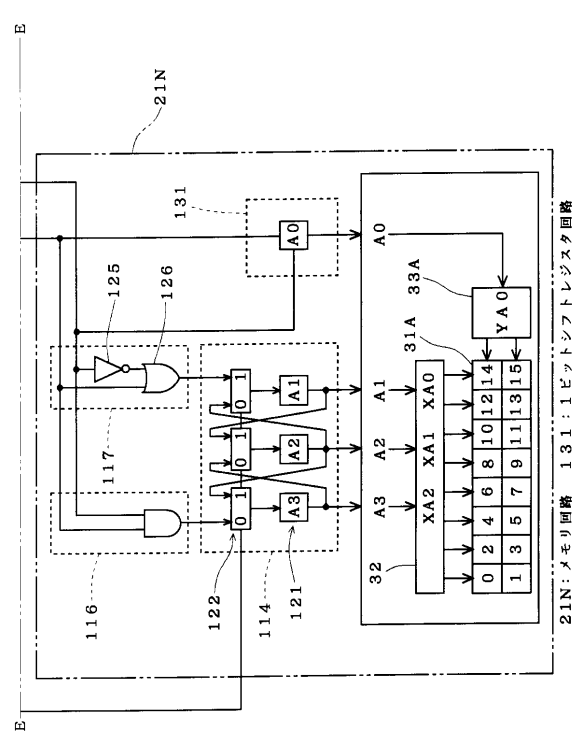
【図 22】

CHDIR1='0'の場合							
時刻 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	アドレス A3~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1 (10進表示)
0	0	0	1	1	3	1	1
1	0	1	1	1	7	3	1
2	1	1	1	1	15	7	1
3	1	1	0	1	13	6	1
4	1	0	1	1	11	5	1
5	0	1	0	1	5	2	1
6	1	0	0	1	9	4	1
7	0	0	0	1	1	0	1
8	0	0	1	0	2	1	0
9	0	1	1	0	6	3	0
10	1	1	1	0	14	7	0
11	1	1	0	0	12	6	0
12	1	0	1	0	10	5	0
13	0	1	0	0	4	2	0
14	1	0	0	0	8	4	0
15	0	0	0	0	0	0	0

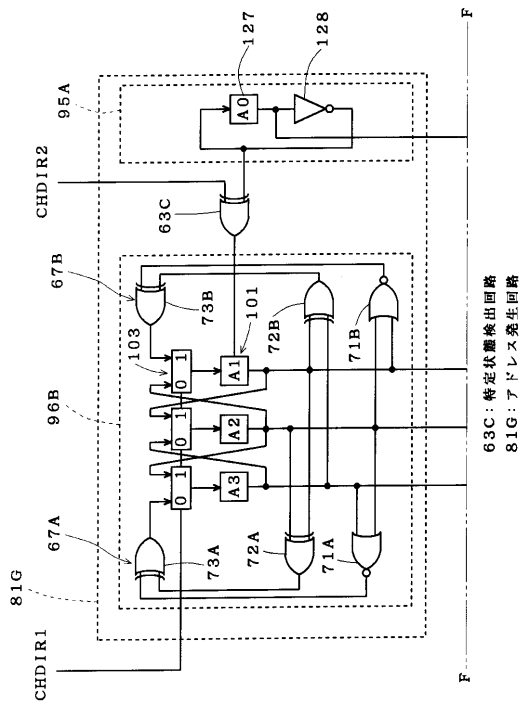
【図 23】



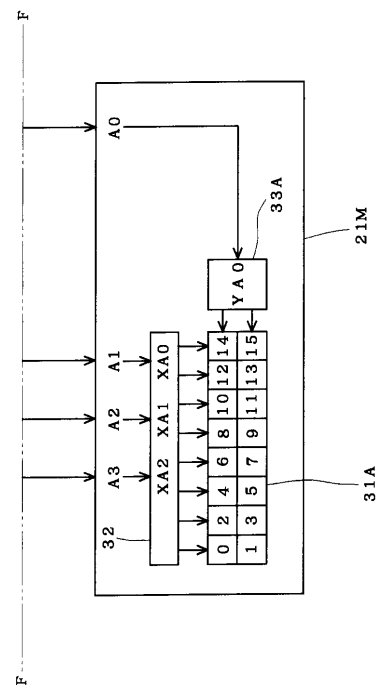
【図 24】



【図 25】



【図 26】



【図 27】

CHDIR1='0', CHDIR2='0' の場合

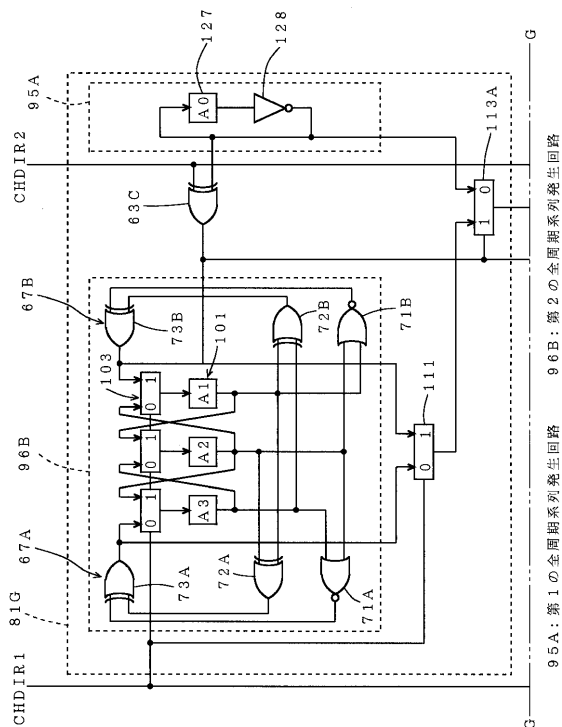
時刻 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	アドレス A3~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1 (10進表示)
0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	1
2	1	0	0	0	8	4	0
3	1	0	0	1	9	4	1
4	0	1	0	0	4	2	0
5	0	1	0	1	5	2	1
6	1	0	1	0	10	5	0
7	1	0	1	1	11	5	1
8	1	1	0	0	12	6	0
9	1	1	0	1	13	6	1
10	1	1	1	0	14	7	0
11	1	1	1	1	15	7	1
12	0	1	1	0	6	3	0
13	0	1	1	1	7	3	1
14	0	0	1	0	2	1	0
15	0	0	1	1	3	1	1

【図 28】

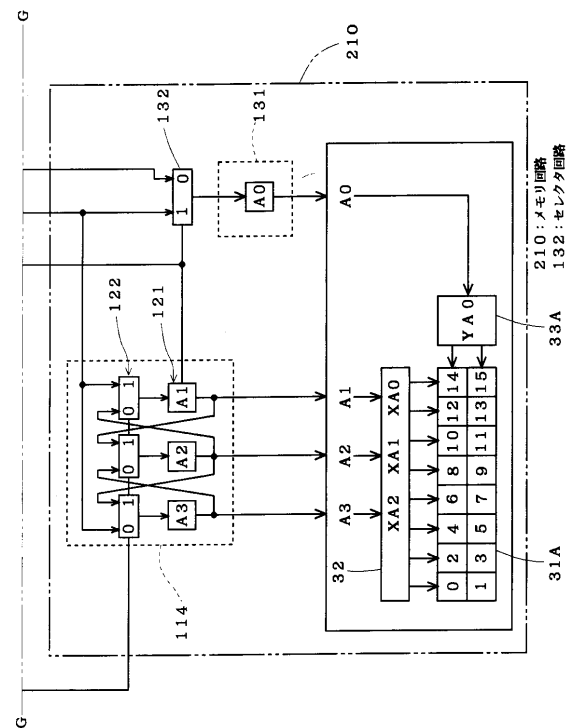
CHDIR1='1', CHDIR2='1' の場合

時刻 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	アドレス A3~0 (10進表示)	Xアドレス XA2~0 (10進表示)	Yアドレス YA1 (10進表示)
0	0	0	1	1	3	1	1
1	0	0	1	0	2	1	0
2	0	1	1	1	7	3	1
3	0	1	1	0	6	3	0
4	1	1	1	1	15	7	1
5	1	1	1	0	14	7	0
6	1	1	0	1	13	6	1
7	1	1	0	0	12	6	0
8	1	0	1	1	11	5	1
9	1	0	1	0	10	5	0
10	0	1	0	1	5	2	1
11	0	1	0	0	4	2	0
12	1	0	0	1	9	4	1
13	1	0	0	0	8	4	0
14	0	0	0	1	1	0	1
15	0	0	0	0	0	0	0

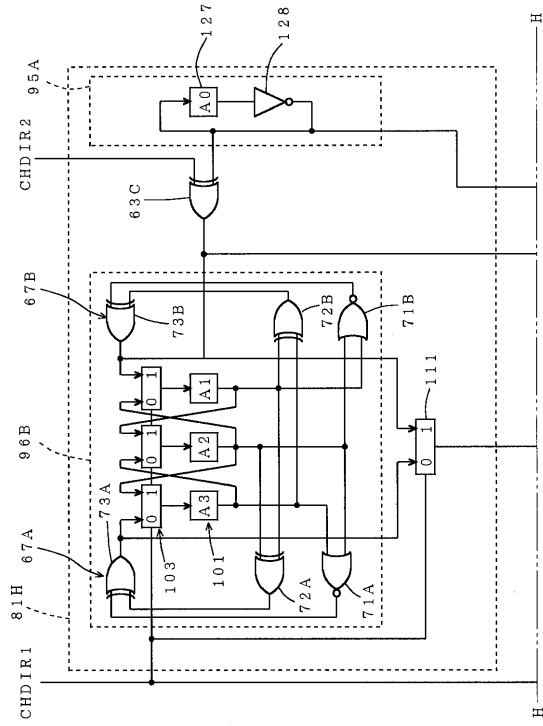
【図 29】



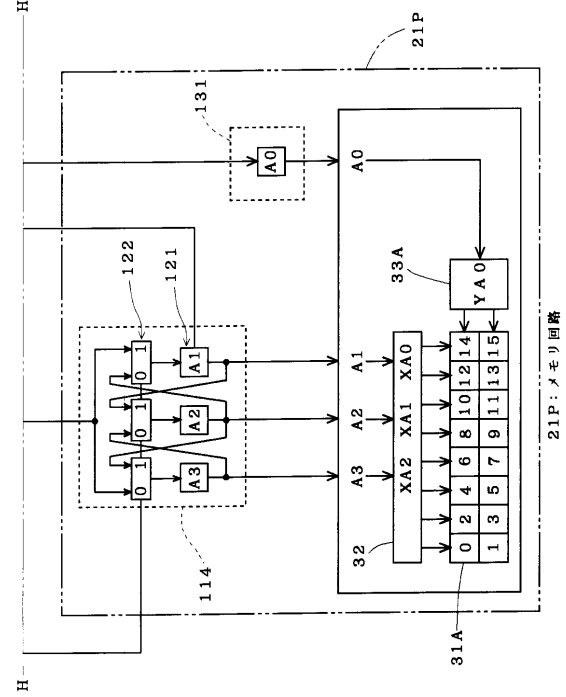
【図 30】



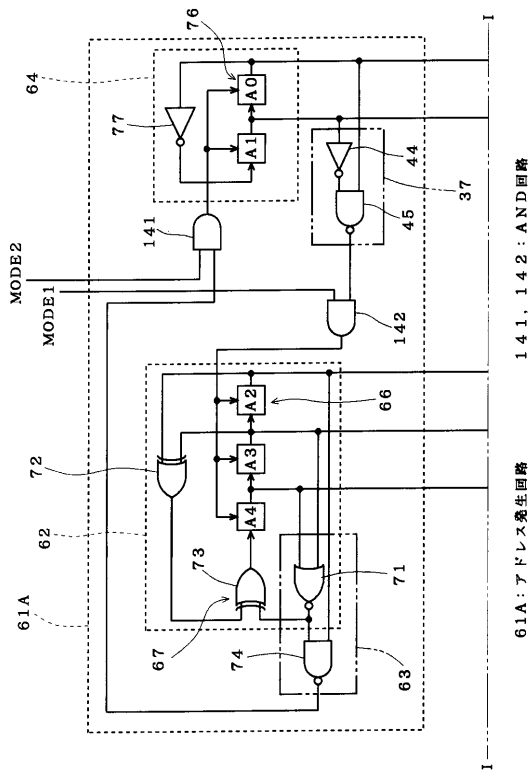
【図 31】



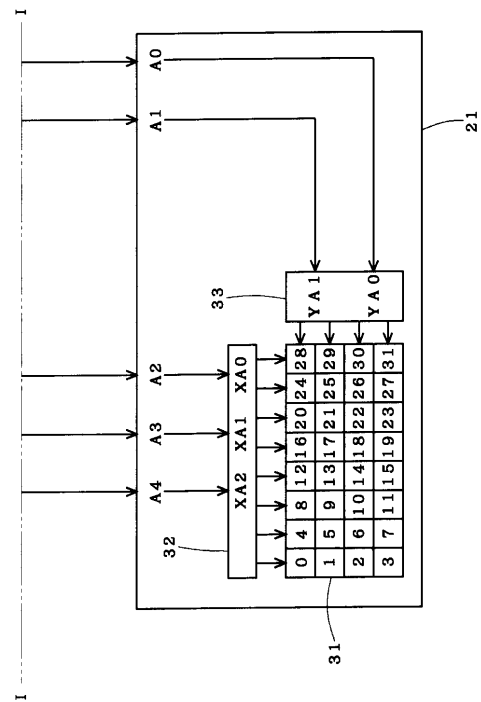
【図 32】



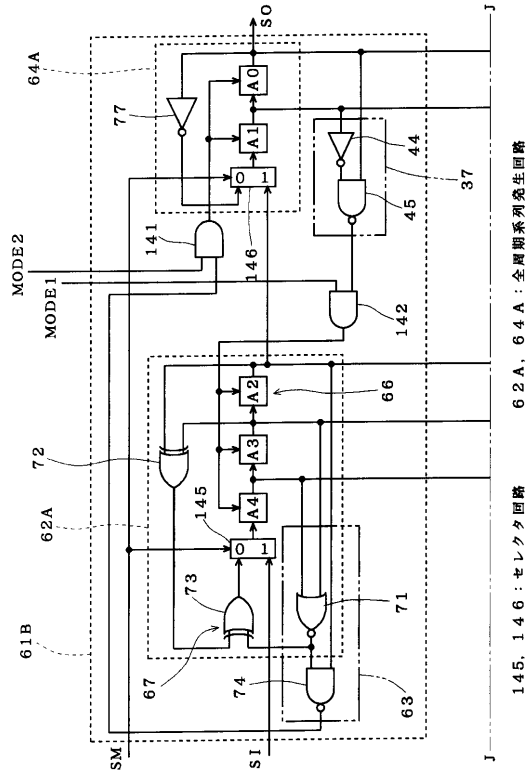
【図 33】



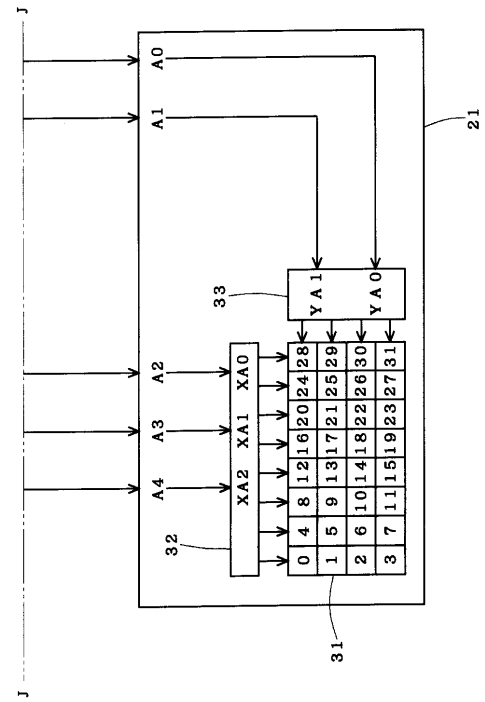
【図 34】



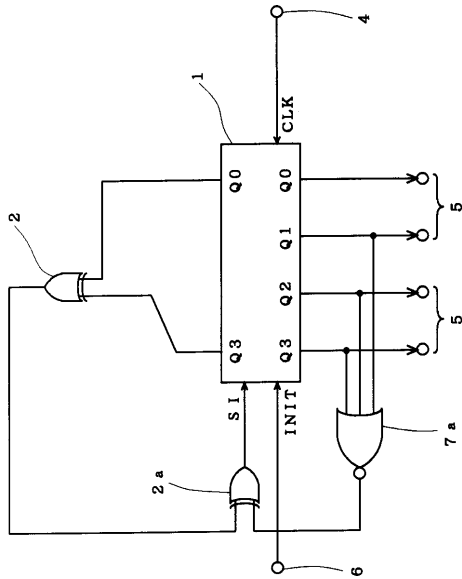
【図 35】



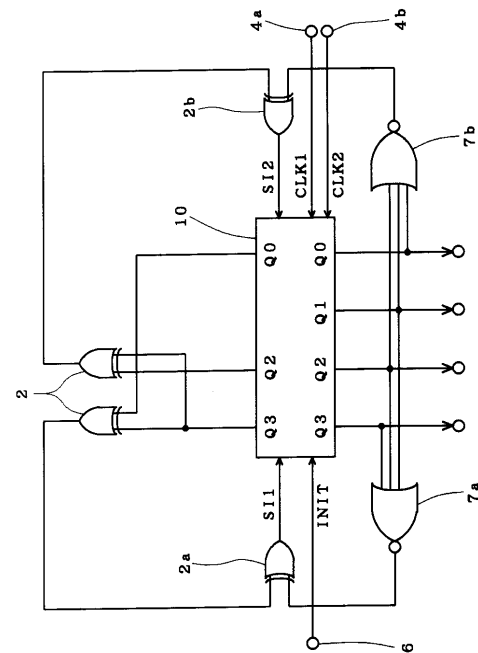
【図 36】



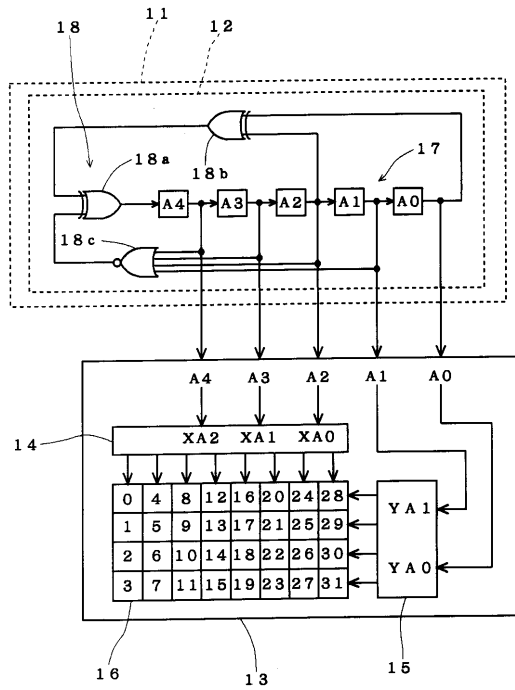
【図 37】



【図 38】



【図 39】



【図 40】

時刻 T	A 4 (XA2)	A 3 (XA1)	A 2 (XA0)	A 1 (YA1)	A 0 (YA0)	アドレス A 4~0 (10進表示)	Xアドレス XA 2~0 (10進表示)	Yアドレス YA 1~0 (10進表示)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	0	0	1	0	0	4	1	0
4	1	0	0	1	0	18	4	2
5	0	1	0	0	1	9	2	1
6	1	0	1	0	0	20	5	0
7	1	1	0	1	0	26	6	2
8	0	1	1	0	1	13	3	1
9	0	0	1	1	0	6	1	2
10	1	0	0	1	1	19	4	3
11	1	1	0	0	1	25	6	1
12	1	1	1	0	0	28	7	0
13	1	1	1	1	0	30	7	2
14	1	1	1	1	1	31	7	3
15	0	1	1	1	1	15	3	3
16	0	0	1	1	1	7	1	3
17	0	0	0	1	1	3	0	3
18	1	0	0	0	1	17	4	1
19	1	1	0	0	0	24	6	0
20	0	1	1	0	0	12	3	0
21	1	0	1	1	0	22	5	2
22	1	1	0	1	1	27	6	3
23	1	1	1	0	1	29	7	1
24	0	1	1	1	0	14	3	2
25	1	0	1	1	1	23	5	3
26	0	1	0	1	1	11	2	3
27	1	0	1	0	1	21	5	1
28	0	1	0	1	0	10	2	2
29	0	0	1	0	1	5	1	1
30	0	0	0	1	0	2	0	2
31	0	0	0	0	1	1	0	1

フロントページの続き

(56)参考文献 特開平06-251600 (JP, A)
特開平01-106393 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
G11C 29/00
G11C 11/401-11/4099