



(12) **Patentschrift**

(21) Aktenzeichen: **10 2010 029 608.2**  
(22) Anmeldetag: **02.06.2010**  
(43) Offenlegungstag: **09.12.2010**  
(45) Veröffentlichungstag  
der Patenterteilung: **31.01.2013**

(51) Int Cl.: **H03F 1/56 (2006.01)**  
**G05F 3/26 (2006.01)**  
**H03H 11/28 (2012.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**12/477,569 03.06.2009 US**

(72) Erfinder:  
**Draxelmayr, Dieter, Villach, AT**

(73) Patentinhaber:  
**Infineon Technologies AG, 85579, Neubiberg, DE**

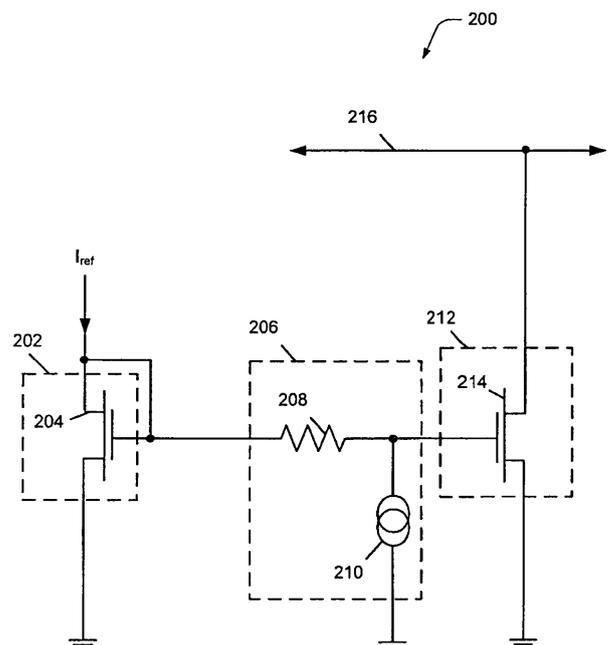
(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

(74) Vertreter:  
**Patent- und Rechtsanwälte Kraus & Weisert,  
80539, München, DE**

**US 6 172 556 B1**  
**US 5 801 523 A**  
**EP 0 195 525 A1**

(54) Bezeichnung: **Impedanztransformationen mit Transistorschaltungen**

(57) Hauptanspruch: Vorrichtung (110; 200; 300; 400; 500; 600; 700) umfassend:  
eine erste Transistorschaltung (202; 302; 402; 502; 602; 702) mit einer ersten Übersteuerungsspannung, wobei die erste Übersteuerungsspannung definiert ist durch eine Gate-Source-Spannung der ersten Transistorschaltung (202; 302; 402; 502; 602; 702) minus einer Schwellenspannung der ersten Transistorschaltung (202; 302; 402; 502; 602; 702), und eine zweite Transistorschaltung (212; 312; 414; 514; 610; 708) mit einer zweiten Übersteuerungsspannung, wobei die zweite Übersteuerungsspannung definiert ist durch eine Gate-Source-Spannung der zweiten Transistorschaltung (212; 312; 414; 514; 610; 708) minus einer Schwellenspannung der zweiten Transistorschaltung (212; 312; 414; 514; 610; 708), wobei die zweite Transistorschaltung (212; 312; 414; 514; 610; 708) mit der ersten Transistorschaltung (202; 302; 402; 502; 602; 702) in einer Anordnung vom Stromspiegeltyp angeordnet ist, wobei eine Impedanz der zweiten Transistorschaltung (212; 312; 414; 514; 610; 708) zunimmt, wenn die zweite Übersteuerungsspannung bezüglich der ersten Übersteuerungsspannung abnimmt, und...



## Beschreibung

**[0001]** In manchen Fällen kann eine Verstärkereinrichtung eine sehr hohe Eingangsimpedanz benötigen. Beispielsweise kann ein kapazitiver Sensor, dessen Ausgangssignal der Verstärkereinrichtung zugeführt wird, eine Impedanz im Gigaohmbereich benötigen. Ein einfaches Hinzufügen eines sehr großen Widerstandes zwischen einem Eingang der Verstärkereinrichtung und einem Vorspannungspunkt, um einen geeigneten Arbeitspunkt zu definieren, verbraucht zu viel Siliziumfläche, um praktisch zu sein.

**[0002]** Impedanztransformationen können benutzt werden, um eine Eingangsimpedanz einer Verstärkerschaltung zu vergrößern. Eine Impedanztransformationstechnik beinhaltet ein Koppeln eines Paares von Transistorschaltungen in einer Stromspiegelanordnung, wobei jede Transistorschaltung des Paares ein anderes Kanalbreiten zu Kanallängen-Verhältnis, im folgenden als W/L-Verhältnis bezeichnet, aufweist. Bei manchen Implementierungen arbeitet die Transistorschaltung mit dem niedrigeren W/L-Verhältnis als Impedanzeinrichtung. Bei derartigen Implementierungen ist der Quotient der W/L-Verhältnisse der Transistorschaltungen proportional zu der Impedanztransformation. Um dies zu veranschaulichen ist beispielsweise, wenn das W/L-Verhältnis einer ersten Transistorschaltung ungefähr 10 Mal größer ist als das W/L-Verhältnis einer zweiten Transistorschaltung der Impedanzwert der zweiten Transistorschaltung um einen Faktor 10 vergrößert. Schaltungsanordnungen, welche auf unterschiedlichen W/L-Verhältnissen bei einem Paar von Transistorschaltungen zur Impedanztransformation basieren, sind nur leicht für Impedanzen im Megaohmbereich implementierbar. Um mit derartigen Schaltungsanordnungen Impedanzen im Gigaohmbereich zu erreichen, sind Ströme in der Größenordnung von Picoampere erforderlich, was die durch diese Schaltungsanordnungen hervorgerufene Impedanz unpraktisch macht.

**[0003]** Aus der US 6,172,556 B1 ist eine Vorrichtung mit einem NMOS-Stromspiegel und einem PMOS-Stromspiegel zum Erzeugen und Abführen von Strömen bei niedriger Spannung bekannt. Dabei ist ein Drain-Anschluss eines ersten PMOS-Transistors des PMOS-Stromspiegels mit Gate-Anschlüssen der NMOS-Transistoren des NMOS-Stromspiegels verschaltet, ein Drain-Anschluss eines zweiten PMOS-Transistors des PMOS-Stromspiegels ist mit Gate-Anschlüssen der PMOS-Transistoren des PMOS-Stromspiegels und mit einem Drain-Anschluss eines weiteren NMOS-Transistors verschaltet, wobei ein Source-Anschluss des weiteren NMOS-Transistors mit einem Drain-Anschluss eines zweiten NMOS-Transistors des NMOS-Stromspiegels verschaltet ist und ein Gate-Anschluss des weiteren

NMOS-Transistors mit einem Drain-Anschluss eines ersten NMOS-Transistors des NMOS-Stromspiegels verschaltet ist.

**[0004]** Aus der EP 0 195 525 A1 sind Stromspiegel bekannt, bei welchen die Transistorpaare skalierte Breiten/Längenverhältnisse aufweisen.

**[0005]** Aus der US 5,801,523 ist eine Konstantstromquelle, welche einen Stromspiegel verwendet, bekannt.

**[0006]** Es ist daher eine Aufgabe der vorliegenden Erfindung, Vorrichtungen und Verfahren zu schaffen, mit welchen auch hohe Impedanzen in praktikabler Weise bereitgestellt werden können.

**[0007]** Diese Aufgabe wird gelöst durch eine Vorrichtung nach Anspruch 1 oder 10 oder durch ein Verfahren nach Anspruch 14. Die abhängigen Ansprüche definieren weitere Ausführungsbeispiele.

**[0008]** Die Erfindung wird im Folgenden anhand von Ausführungsbeispielen unter Bezugnahme auf die beigefügte Zeichnung erläutert. In den Figuren gibt die am weitesten links stehende Ziffer der Bezugszeichen an, in welcher Figur das Bezugszeichen zuerst auftritt. Die Benutzung des gleichen Bezugszeichens an unterschiedlichen Stellen der Beschreibung und der Figuren deutet auf ähnliche oder gleiche Elemente hin.

**[0009]** [Fig. 1](#) ist ein schematisches Diagramm eines Systems mit einer zwischen eine Quelle und eine Verstärkerschaltung gekoppelten Schaltung hoher Impedanz.

**[0010]** [Fig. 2](#) ist ein schematisches Diagramm einer Schaltung hoher Impedanz umfassend NMOS-Transistorschaltungen, welche mit einer Spannungsquelle, welche verschiedene Übersteuerungsspannungen für jede Transistorschaltung bereitstellt, gekoppelt sind.

**[0011]** [Fig. 3](#) ist ein schematisches Diagramm einer Schaltung hoher Impedanz umfassend PMOS-Transistorschaltungen, welche mit einer Spannungsquelle, welche verschiedene Übersteuerungsspannungen für jede Transistorschaltung bereitstellt, gekoppelt sind.

**[0012]** [Fig. 4](#) ist ein schematisches Diagramm einer Schaltung hoher Impedanz umfassend eine Reihenschaltung zwischen einer NMOS-Transistorschaltung eines Paares von NMOS-Transistorschaltungen und einer PMOS-Transistorschaltung eines Paares von PMOS-Transistorschaltungen, wobei eine erste Spannungsquelle den NMOS-Transistorschaltungen verschiedene Übersteuerungsspannungen bereitstellt und eine zweite Spannungsquel-

le den PMOS-Transistorschaltungen verschiedene Übersteuerungsspannungen bereitstellt.

**[0013]** [Fig. 5](#) ist ein schematisches Diagramm einer Schaltung hoher Impedanz mit einer Parallelschaltung zwischen einer NMOS-Transistorschaltung eines Paares von NMOS-Transistorschaltungen und einer PMOS-Transistorschaltung eines Paares von PMOS-Transistorschaltungen, wobei eine erste Spannungsquelle den NMOS-Transistorschaltungen verschiedene Übersteuerungsspannungen bereitstellt und eine zweite Spannungsquelle den PMOS-Transistorschaltungen verschiedene Übersteuerungsspannungen bereitstellt.

**[0014]** [Fig. 6](#) ist ein schematisches Diagramm einer Schaltung hoher Impedanz umfassend mit einem Impedanzelement gekoppelte NMOS-Transistorschaltungen und eine Stromquelle zum Bereitstellen verschiedener Übersteuerungsspannungen für die NMOS-Transistorschaltungen.

**[0015]** [Fig. 7](#) ist ein schematisches Diagramm einer Schaltung hoher Impedanz umfassend eine Gate-Drain-Kopplung von NMOS-Transistorschaltungen, welche verschiedene Übersteuerungsspannungen aufweisen.

**[0016]** [Fig. 8](#) ist ein Flussdiagramm eines Verfahrens zum Erzeugen von Impedanztransformationen mit Transistorschaltungen.

**[0017]** Im Folgenden wird die Benutzung von Impedanztransformationen, um eine Schaltung hoher Impedanz an einem Eingang einer Verstärkerschaltung bereitzustellen, wobei eine relativ geringe Siliziumfläche benötigt wird, beschrieben. Zudem bietet die Schaltung hoher Impedanz, welche die Impedanztransformationen benutzt, eine gute Steuerung des Impedanzwertes. Die Impedanztransformationen können mit NMOS-Transistorschaltungen (Metalloxidhalbleitertransistoren mit negativem Kanal) und PMOS-Transistorschaltungen (Metalloxidhalbleitertransistoren mit positivem Kanal) implementiert werden. Die Impedanztransformation kann auf Unterschieden des Verhältnisses von Kanalbreite zu Kanallänge von Transistorschaltungspaaren beruhen.

**[0018]** Zudem kann die Impedanztransformation auf Unterschieden von Übersteuerungsspannungen der Transistorschaltungspaaren beruhen. Eine Übersteuerungsspannung ist definiert durch eine Gate-Source-Spannung einer Transistorschaltung minus einer Schwellenspannung der Transistorschaltung. Eine Transistorschaltung, welche eine Übersteuerungsspannung kleiner als die Übersteuerungsspannung einer anderen Transistorschaltung aufweist, kann als Impedanzeinrichtung dienen. Bei manchen Implementierungen arbeitet zumindest die Transis-

torschaltung mit der niedrigen Übersteuerungsspannung mit einer Gate-Source-Spannung unterhalb des Schwellenwertes. Eine Transistorschaltung arbeitet mit einer Gate-Source-Spannung unterhalb des Schwellenwertes, wenn die Gate-Source-Spannung kleiner ist als die Spannung, welche die Transistorschaltung einschaltet (d. h. wenn die Übersteuerungsspannung einen negativen Wert annimmt). Wenn die Gate-Source-Spannung der Transistorschaltung, welche als Impedanzeinrichtung liegt, unterhalb des Schwellenwertes liegt, nimmt die Impedanz exponentiell in Abhängigkeit von der Differenz zwischen der Übersteuerungsspannungen eines Paares von Transistoren zu. Beispielsweise kann, wenn die Übersteuerungsspannung der Transistorschaltung, welche als die Impedanzeinrichtung dient, einen vorgegebenen Wert niedriger ist als die Übersteuerungsspannung einer anderen Transistorschaltung, die Impedanz der Impedanzeinrichtung um einen Faktor 10 zunehmen. Bei einem Ausführungsbeispiel kann die Impedanz der Impedanzeinrichtung für jede 80–90 mV Differenz zwischen den Übersteuerungsspannungen der Transistorschaltungen um einen Faktor 10 zunehmen. Bei manchen Implementierungen können die Differenzen der Übersteuerungsspannungen über Gates der Transistorschaltungen hervorgerufen werden. Bei anderen Implementierungen können die Unterschiede der Übersteuerungsspannungen über die Source-Anschlüsse der Transistorschaltungen hervorgerufen werden.

**[0019]** [Fig. 1](#) ist ein schematisches Diagramm eines Systems **100** zum Bereitstellen einer hohen Impedanz an einem Eingang einer Verstärkerschaltung. Eine Quelle **102** und eine Verstärkerschaltung **104** sind über eine Quelle-Verstärker-Leitung **106** verbunden. Die Quelle **102** kann ein oder mehrere Schaltungsanordnungen umfassen, welche der Verstärkerschaltung **104** Eingangssignale bereitstellen. Die Eingangssignale können Hochfrequenzsignale, Audiosignale, digitale Signale, andere Daten tragende Signale oder eine Kombination hiervon umfassen. Bei manchen Implementierungen kann die Quelle **102** eine kapazitive Spannungsquelle sein. Beispielsweise kann die Quelle **102** ein Siliziummikrofon sein.

**[0020]** Die Verstärkerschaltung **104** kann ein oder mehrere Schaltungsanordnungen zum Verstärken des von der Quelle **102** empfangenen Signals und zum Bereitstellen des verstärkten Signals für eine Last **108** umfassen. In manchen Fällen kann die Verstärkerschaltung **104** eine sehr hohe Impedanz erfordern. Beispielsweise kann die Verstärkerschaltung **104** eine sehr hohe Eingangsimpedanz erfordern, wenn sie ein Signal von einem kleinen kapazitiven Sensor verstärkt, welcher eine Kapazität von einigen wenigen Picofarads aufweist und niedrige Eckfrequenzen aufweist, wie beispielsweise ein Siliziummikrofon. Die Last **108** kann eine Ausgabereinrichtung wie einen Audiolautsprecher, einen Analog-Digital-

Wandler, einen Mischer oder eine Kombination hiervon aufweisen. Das System **100** umfasst zudem eine Schaltung hoher Impedanz **110** zum Bereitstellen einer wohldefinierten Gleichspannung mit einem sehr hohen Impedanzwert. Die Schaltung hoher Impedanz **110** kann Impedanztransformationen benutzen, um der Verstärkerschaltung **104** einen Eingang hoher Impedanz bereitzustellen. Die Schaltung hoher Impedanz **110** bewirkt eine erste Impedanztransformation **112**. Die erste Impedanztransformation **112** kann durch ein oder mehrere Transistorschaltungspaare hervorgerufen werden, welche unterschiedliche Verhältnisse von Kanalbreite zu Kanallänge (im Folgenden als W/L-Verhältnis vom Englischen "Width/Length" bezeichnet) aufweisen. Beispielsweise kann die erste Impedanztransformation **112** durch eine erste Transistorschaltung mit einem ersten W/L-Verhältnis gekoppelt mit einer zweiten Transistorschaltung mit einem zweiten W/L-Verhältnis kleiner als das erste W/L-Verhältnis hervorgerufen werden. In diesem Beispiel dient die zweite Transistorschaltung als eine Impedanzeinrichtung mit einer Impedanztransformation proportional zu dem Quotienten des ersten W/L-Verhältnisses und des zweiten W/L-Verhältnisses. Das W/L-Verhältnis einer Transistorschaltung kann durch einen einzigen Transistor realisiert werden. Alternativ kann das W/L-Verhältnis einer Transistorschaltung durch Parallel- oder Reihenschaltung einer Anzahl von Transistoren realisiert werden. Die erste Impedanztransformation kann durch eine Anzahl von Paaren von Transistorschaltungen, welche miteinander gekoppelt sind, hervorgerufen werden, wobei die Transistorschaltungen jedes Paares jeweils unterschiedliche W/L-Verhältnisse aufweisen. Die Transistorschaltungen können NMOS-Transistoren und/oder PMOS-Transistoren umfassen.

**[0021]** Die Schaltung **100** hoher Impedanz kann zudem eine zweite Impedanztransformation **114** hervorrufen. Die zweite Impedanztransformation **114** kann hervorgerufen werden, indem jedem der Paare von Transistorschaltungen, welche miteinander gekoppelt sind, unterschiedliche Übersteuerungsspannungen zugeführt werden. Verschiedene Übersteuerungsspannungen können erzeugt werden, wenn die Differenz zwischen einer Gate-Source-Spannung und einer Schwellenspannung einer ersten Transistorschaltung zu der Differenz zwischen einer Gate-Source-Spannung und einer Schwellenspannung einer zweiten Transistorschaltung einen Versatz aufweist bzw. unterschiedlich zu dieser ist. Bei einem Beispiel können eine erste Transistorschaltung und eine zweite Transistorschaltung ähnliche Schwellenspannungen aufweisen. Bei diesem Beispiel kann die erste Transistorschaltung eine erste Gate-Source-Spannung und die zweite Transistorschaltung eine zweite Gate-Source-Spannung, welche kleiner ist als die erste Gate-Source-Spannung, aufweisen. Auf diese Weise weisen die erste Transistorschaltung und die zweite Transistorschaltung unterschied-

liche Übersteuerungsspannungen auf. Bei einem anderen Beispiel können die erste Transistorschaltung und die zweite Transistorschaltung ähnliche Gate-Source-Spannungen aufweisen, aber die erste Transistorschaltung kann eine erste Schwellenspannung und die zweite Transistorschaltung kann eine zweite Schwellenspannung aufweisen, welche kleiner ist als die erste Schwellenspannung. Demzufolge weisen auch in diesem Fall die erste Transistorschaltung und die zweite Transistorschaltung unterschiedliche Übersteuerungsspannungen aus. Die Differenz zwischen den Übersteuerungsspannungen der ersten Transistorschaltung und der zweiten Transistorschaltung können erzeugt werden, indem die erste Transistorschaltung und die zweite Transistorschaltung in verschiedenen Anordnungen positioniert werden, so dass die Übersteuerungsspannung der Transistorschaltung, welche als Impedanzeinrichtung dient, erzeugt wird, indem zu der Übersteuerungsspannung der anderen Transistorschaltung ein gewisser Versatz erzeugt wird. In bestimmten beispielhaften Implementierungen sind die erste Transistorschaltung und die zweite Transistorschaltung in einer Anordnung vom Stromspiegeltyp angeordnet. Bei anderen Implementierungen wird die Differenz zwischen den Übersteuerungsspannungen der ersten Transistorschaltung und der zweiten Transistorschaltung erzeugt, indem die Gate-Source-Spannung der ersten Transistorschaltung über eine Impedanzeinrichtung wie einen Widerstand modifiziert wird, die modifizierte Gate-Source-Spannung einer Anzahl von Operationsverstärkern zugeführt wird und die Ausgangsspannung der Anordnung der Operationsverstärker der zweiten Transistorschaltung zugeführt wird.

**[0022]** Bei manchen Implementierungen können die Gate-Source-Spannungen der ersten Transistorschaltung und der zweiten Transistorschaltung durch eine Spannungsquelle bereitgestellt werden, welche mit der ersten Transistorschaltung und mit der zweiten Transistorschaltung gekoppelt ist. Die jeweiligen Gate-Source-Spannungen können im Bereich unterhalb des Schwellenwertes der Transistorschaltungen liegen. Die Gate-Source-Spannungen können über die Gates der Transistorschaltungen, die Source-Anschlüsse der Transistorschaltungen oder eine Kombination hiervon erzeugt werden. Die zweite Impedanztransformation kann unter Benutzung einer Anzahl von Paaren von Transistorschaltungen hervorgerufen werden, wobei die Transistorschaltungen jedes jeweiligen Paares jeweils unterschiedliche Übersteuerungsspannungen aufweisen. Die Paare von Transistorschaltungen können NMOS-Transistoren, PMOS-Transistoren oder eine Kombination hiervon umfassen.

**[0023]** Durch Erzeugen der ersten Impedanztransformation **112** in Verbindung mit der zweiten Impedanztransformation **114** kann die Schaltung **110** hoher Impedanz sehr hohe Impedanzen bezüglich des

Eingangs der Verstärkerschaltung **104** bereitstellen. Somit kann die Schaltung **110** hoher Impedanz der Verstärkerschaltung **104** eine hohe Eingangsimpedanz bereitstellen, während die Siliziumfläche, welche zum Erreichen der hohen Eingangsimpedanz verwendet wird, minimiert wird. Zudem sind die Ströme, welche der Schaltung **110** hoher Impedanz zugeführt werden, um die sehr hohe Eingangsimpedanz der Verstärkerschaltung **104** zu erzeugen, groß genug, dass die von der Schaltung **110** hoher Impedanz erzeugte Impedanz hinreichend genau ist.

**[0024]** [Fig. 2](#) ist ein Schemadiagramm einer Schaltung **200** hoher Impedanz umfassend NMOS-Transistorschaltungen gekoppelt mit einer Spannungsquelle, welche jeder Transistorschaltung unterschiedliche Übersteuerungsspannungen bereitstellt. Die Schaltung **200** hoher Impedanz umfasst eine erste Transistorschaltung **202**. Die erste Transistorschaltung **202** weist ein erstes W/L-Verhältnis auf. Zudem umfasst die erste Transistorschaltung **202** einen oder mehrere NMOS-Transistoren, welche in [Fig. 2](#) durch einen ersten NMOS-Transistor **204** repräsentiert sind. Somit kann das W/L-Verhältnis der ersten Transistorschaltung **202** in einem einzigen NMOS-Transistor oder mit einer Anzahl von NMOS-Transistoren realisiert werden. In manchen Fällen kann das W/L-Verhältnis durch eine Anzahl von parallel geschalteten NMOS-Transistoren realisiert sein. Ein Gate des ersten NMOS-Transistors **204** ist mit einer Spannungsquelle **206** gekoppelt, und ein Source-Anschluss des ersten NMOS-Transistors **204** ist mit Masse gekoppelt. Ein Drain-Anschluss des ersten NMOS-Transistors **204** empfängt einen Referenzstrom  $I_{REF}$ .

**[0025]** Die Spannungsquelle **206** umfasst eine Anzahl von Komponenten wie ein Impedanzelement **208** und eine Stromquelle **210**. Das Impedanzelement **208** kann ein oder mehrere Widerstände oder jegliche Anordnung anderer Einrichtungen oder Komponenten, wie einen oder mehrere Kondensatoren, einen oder mehrere Transistoren, eine oder mehrere Induktivitäten oder eine Kombination hiervon umfassen. Zudem kann die Spannungsquelle **206** einen NMOS-Transistor statt der Stromquelle **210** umfassen. Bei manchen Implementierungen ist die Spannungsquelle **206** zudem mit einem Bezugspunkt wie Masse gekoppelt. Weiterhin ist die Spannungsquelle **206** mit einer zweiten Transistorschaltung **212** gekoppelt.

**[0026]** Die zweite Transistorschaltung **212** kann ein zweites W/L-Verhältnis aufweisen, welches kleiner ist als das erste W/L-Verhältnis. Das W/L-Verhältnis der zweiten Transistorschaltung **212** kann durch ein oder mehrere NMOS-Transistoren realisiert sein, welche durch einen zweiten NMOS-Transistor **214** repräsentiert sind. In manchen Fällen kann das W/L-Verhältnis der zweiten Transistorschaltung **212** durch eine An-

zahl von in Reihe geschalteten NMOS-Transistoren realisiert sein. Ein Gate des zweiten NMOS-Transistors **214** ist mit der Spannungsquelle **206** gekoppelt, und ein Source-Anschluss des zweiten NMOS-Transistors **214** ist mit Masse gekoppelt. Weiterhin ist ein Drain-Anschluss des zweiten NMOS-Transistors **214** mit einer Quelle-Verstärker-Leitung **216** gekoppelt. Die Quelle-Verstärker-Leitung **216** ist mit einem Eingang einer Verstärkereinrichtung gekoppelt, ähnlich der Quelle-Verstärker-Leitung **106**, welche die Quelle **102** und die Verstärkerschaltung **104** der [Fig. 1](#) koppelt.

**[0027]** Eine erste Gate-Source-Spannung des ersten NMOS-Transistors **204** wird durch den Strom  $I_{REF}$ , welcher dem ersten NMOS-Transistor **204** bereitgestellt wird, und den von dem ersten NMOS-Transistor **204** von der Spannungsquelle **206** gezogenen Strom definiert. Auf diese Weise kann bei dem ersten NMOS-Transistor **204** eine wohldefinierte Gate-Source-Spannung erzeugt werden. Zudem kann diese Anordnung andere wohldefinierte Kleinsignalparameter erzeugen, wie die Transkonduktanz des ersten NMOS-Transistors **204**. Eine zweite Gate-Source-Spannung des zweiten NMOS-Transistors **204** wird durch eine Differenz zwischen der Gate-Source-Spannung des ersten NMOS-Transistors **204** und einem von der Spannungsquelle **206** bereitgestellten Spannungsabfall definiert. Der Spannungsabfall der Spannungsquelle **206** kann durch das Produkt des Impedanzwertes des Impedanzelements **208** und dem von der Stromquelle **206** gezogenen Strom definiert sein. Somit kann der zweite NMOS-Transistor **214** eine wohldefinierte Gate-Source Spannung aufweisen, was auch zu einem wohldefinierten Wert von  $R_{EIN}$  führt, d. h. des Impedanzwertes, welcher den zweiten NMOS-Transistor **214** einschaltet.

**[0028]** Bei der in [Fig. 2](#) dargestellten beispielhaften Implementierung sind die erste Transistorschaltung **202** und die zweite Transistorschaltung **212** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung hoher Impedanz **200** kann benutzt werden, eine Impedanztransformation hervorzurufen, indem bei dem ersten NMOS-Transistor **204** eine erste Übersteuerungsspannung und bei dem zweiten NMOS-Transistor **214** eine zweite Übersteuerungsspannung, welche sich von der ersten Übersteuerungsspannung unterscheidet, hervorgehoben wird. Bei manchen Implementierungen kann die erste Übersteuerungsspannung sich aufgrund von unterschiedlichen Gate-Source-Spannungen an dem ersten NMOS-Transistor **204** und dem zweiten NMOS-Transistor **214** von der zweiten Übersteuerungsspannung unterscheiden, während die Schwellenspannungen des ersten NMOS-Transistors **204** und des zweiten NMOS-Transistors **214** näherungsweise gleich sind. Bei anderen Implementierungen kann sich die erste Übersteuerungsspannung von

der zweiten Übersteuerungsspannung aufgrund von unterschiedlichen Schwellenspannungen des ersten NMOS-Transistors **204** und des zweiten NMOS-Transistors **214** unterscheiden, während die Gate-Source-Spannungen des ersten NMOS-Transistors **204** und des zweiten NMOS-Transistors **214** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors **214** geringer ist als die Übersteuerungsspannung des ersten NMOS-Transistors **204**, der Impedanzwert des ersten NMOS-Transistors **204** zu dem Impedanzwert des zweiten Transistors **214** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **200** ergibt. In manchen Fällen kann die Gate-Source-Spannung des ersten NMOS-Transistors **204**, die Gate-Source-Spannung des zweiten Transistors **214** oder ein Kombination hiervon in einem Bereich unterhalb des Schwellenwertes liegen. Wenn die Gate-Source-Spannung des zweiten NMOS-Transistors **214** in dem Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz des zweiten NMOS-Transistors **214** exponentiell größer werden, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors **214** kleiner wird. Das Maß des Ansteigens der Impedanz des zweiten NMOS-Transistors **214** kann auf der Differenz der Übersteuerungsspannungen des ersten NMOS-Transistors **204** und des zweiten NMOS-Transistors **214** beruhen.

**[0029]** Zudem kann, wenn das W/L-Verhältnis der zweiten Transistorschaltung **212** kleiner ist als das W/L-Verhältnis der ersten Transistorschaltung **202**, die zweite Transistorschaltung **212** als Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der zweiten Transistorschaltung **212** vonstattengehen, welche proportional zu dem Quotienten des W/L-Verhältnisses der ersten Transistorschaltung **202** und des W/L-Verhältnisses der zweiten Transistorschaltung **212** ist. Somit kann, durch Hervorrufen einer ersten Impedanztransformation durch verschiedene Übersteuerungsspannungen für die NMOS-Transistoren **204**, **214** in Verbindung mit einer zweiten Impedanztransformation, welche verschiedene W/L-Verhältnisse der Transistorschaltungen **202**, **214** benutzt, die Schaltung hoher Impedanz **200** eine sehr hohe Impedanz für eine Verstärkereinrichtung wie die Verstärkerschaltung **104** der [Fig. 1](#) bereitstellen. Obwohl [Fig. 2](#) zeigt, dass die Gate-Source-Spannungen der Transistoren **204**, **214** über die Gates der Transistoren **204**, **214** realisiert bzw. eingestellt werden, können die Gate-Source-Spannungen auch über die Source-Anschlüsse der Transistoren **204**, **214** eingestellt werden.

**[0030]** [Fig. 3](#) ist ein schematisches Diagramm einer Schaltung **300** hoher Impedanz umfassend PMOS-Transistorschaltungen, welche mit einer Spannungsquelle gekoppelt sind, welche jeder Transistorschaltung eine andere Übersteuerungsspannung bereit-

stellt. Die Schaltung **300** hoher Impedanz umfasst eine erste Transistorschaltung **302**. Die erste Transistorschaltung **302** kann ein erstes W/L-Verhältnis aufweisen. Zudem umfasst die erste Transistorschaltung **302** einen oder mehrere PMOS-Transistoren, welche durch einen ersten PMOS-Transistor **304** repräsentiert sind. Somit kann das W/L-Verhältnis der ersten Transistorschaltung **302** in einem einzigen PMOS-Transistor oder in einer Anzahl von PMOS-Transistoren realisiert sein. In manchen Fällen kann das W/L-Verhältnis durch eine Anzahl von parallel geschalteten PMOS-Transistoren realisiert sein. Ein Gate des ersten PMOS-Transistors **302** ist mit einer Spannungsquelle **306** gekoppelt, und ein Source-Anschluss des ersten PMOS-Transistors **304** ist mit einer positiven Versorgungsspannung  $V_{DD}$  gekoppelt. Ein Drain-Anschluss des ersten PMOS-Transistors **304** empfängt einen Referenzstrom  $I_{REF}$ .

**[0031]** Die Spannungsquelle **306** umfasst eine Anzahl von Komponenten wie ein Impedanzelement **308** und eine Stromquelle **310**. Zudem kann die Spannungsquelle **306** einen NMOS-Transistor statt der Stromquelle **310** umfassen. Bei manchen Implementierungen ist die Spannungsquelle **306** zudem mit einem Referenzpunkt wie Masse gekoppelt. Weiterhin ist die Spannungsquelle **306** mit einer zweiten Transistorschaltung **312** gekoppelt.

**[0032]** Die zweite Transistorschaltung **312** kann ein zweites W/L-Verhältnis aufweisen, welches kleiner ist als das erste W/L-Verhältnis. Das W/L-Verhältnis der zweiten Transistorschaltung **312** kann durch ein oder mehrere PMOS-Transistoren realisiert sein, welche durch einen zweiten PMOS-Transistor **314** repräsentiert wird. In manchen Fällen kann das W/L-Verhältnis der zweiten Transistorschaltung **312** durch eine Anzahl von in Reihe geschaltete PMOS-Transistoren realisiert sein. Ein Gate des zweiten PMOS-Transistors **314** ist mit der Spannungsquelle **316** gekoppelt, und ein Source-Anschluss des zweiten PMOS-Transistors **314** ist mit der positiven Versorgungsspannung  $V_{DD}$  gekoppelt. Weiterhin ist ein Drain-Anschluss des zweiten PMOS-Transistors **314** mit einer Quelle-Verstärker-Leitung **316** gekoppelt. Die Quelle-Verstärker-Leitung **316** ist mit einem Eingang einer Verstärkereinrichtung verbunden, ähnlich wie die Quelle-Verstärker-Leitung **106** die Quelle **102** und die Verstärkerschaltung **104** der [Fig. 1](#) verbindet.

**[0033]** Eine erste Gate-Source-Spannung des ersten PMOS-Transistors **304** wird durch den dem ersten PMOS-Transistor **304** bereitgestellten Strom  $I_{REF}$  und den von dem ersten PMOS-Transistor **304** von der Spannungsquelle **306** gezogenen Strom definiert. Auf diese Weise kann eine wohldefinierte Gate-Source-Spannung an dem ersten PMOS-Transistor hervorgerufen werden. Zudem kann diese Anordnung weitere wohldefinierte Kleinsignalparameter wie die Transkonduktanz des ersten PMOS-Trans-

sistors **304** hervorrufen. Eine zweite Gate-Source-Spannung des zweiten PMOS-Transistors **314** ist durch eine Differenz der Gate-Source-Spannung des ersten PMOS-Transistors **304** und einem durch die Spannungsquelle **306** bereitgestellten Spannungsabfall definiert. Der Spannungsabfall der Spannungsquelle **306** kann durch das Produkt des Impedanzwertes des Impedanzelements **308** und dem von der Stromquelle **310** gezogenen Strom definiert sein. Somit kann der zweite PMOS-Transistor **314** eine wohldefinierte Gate-Source-Spannung aufweisen, was auch zu einem wohldefinierten Wert  $R_{\text{EIN}}$  führt, d. h. des Impedanzwertes, welcher den zweiten PMOS-Transistor **314** einschaltet. Bei der in [Fig. 3](#) gezeigten beispielhaften Implementierung sind der erste PMOS-Transistor **304** und der zweite PMOS-Transistor **314** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung hoher Impedanz **300** kann benutzt werden, eine Impedanztransformation hervorzubringen, indem sie eine erste Übersteuerungsspannung an dem ersten PMOS-Transistor **304** hervorruft und eine zweite Übersteuerungsspannung an dem zweiten PMOS-Transistor **314** hervorruft, welche sich von der ersten Übersteuerungsspannung unterscheidet. Bei manchen Implementierungen kann sich die erste Übersteuerungsspannung von der zweiten Übersteuerungsspannung aufgrund von unterschiedlichen Gate-Source-Spannungen, an dem ersten PMOS-Transistor **304** und dem zweiten PMOS-Transistor **314** unterscheiden, während die Schwellenspannungen des ersten PMOS-Transistors **304** und des zweiten PMOS-Transistors **314** näherungsweise gleich sind. Bei anderen Implementierungen kann sich die erste Übersteuerungsspannung von der zweiten Übersteuerungsspannung aufgrund von verschiedenen Schwellenspannungen des ersten PMOS-Transistors **304** und des zweiten PMOS-Transistors **14** unterscheiden, während die Gate-Source-Spannungen des ersten PMOS-Transistors **304** und des zweiten PMOS-Transistors **314** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die Übersteuerungsspannung des zweiten PMOS-Transistors **314** kleiner ist als die Übersteuerungsspannung des ersten PMOS-Transistors **304**, der Impedanzwert des ersten PMOS-Transistors **304** auf den Impedanzwert des zweiten PMOS-Transistors **314** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **300** ergibt.

**[0034]** Bei manchen Fällen liegen die Gate-Source-Spannung des ersten PMOS-Transistors **304**, die Gate-Source-Spannung des zweiten PMOS-Transistors **314** oder eine Kombination hiervon in einem Bereich unterhalb des Schwellenwertes. Wenn die Gate-Source-Spannung des zweiten PMOS-Transistors **314** im Bereich unterhalb des Schwellenwertes liegt, kann sich die Impedanz des zweiten PMOS-Transistors **314** exponentiell vergrößern, wenn die Übersteuerungsspannung des zweiten PMOS-Transistors

**314** kleiner wird. Das Maß des Anwachsens der Impedanz des zweiten PMOS-Transistors **314** kann auf der Differenz der ersten Übersteuerungsspannung und der zweiten Übersteuerungsspannung basieren.

**[0035]** Zudem kann, wenn das zweite W/L-Verhältnis geringer ist als das erste W/L-Verhältnis, die zweite Transistorschaltung **312** als Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der zweiten Transistorschaltung **312** vonstattengehen, welche proportional zu dem Quotienten zwischen dem ersten W/L-Verhältnis und dem zweiten W/L-Verhältnis ist. Somit kann durch Hervorrufen der ersten Impedanztransformation durch verschiedene Übersteuerungsspannungen für die PMOS-Transistoren **304**, **314** in Verbindung mit einer zweiten Impedanztransformation, welche verschiedene W/L-Verhältnisse für die Transistorschaltungen **302**, **312** benutzt, die Schaltung hoher Impedanz **300** für eine Verstärkereinrichtung wie die Verstärkerschaltung **104** der [Fig. 1](#) eine sehr hohe Impedanz bereitstellen. Zudem können, obwohl [Fig. 3](#) zeigt, dass die Gate-Source-Spannungen der Transistoren **304**, **314** über die Gates der Transistoren **304**, **314** eingestellt werden, die Gate-Source-Spannungen auch über die Source-Anschlüsse der Transistoren **304**, **314** eingestellt werden.

**[0036]** [Fig. 4](#) ist ein Schemadiagramm einer Schaltung hoher Impedanz **400**, welche eine Reihenschaltung zwischen einer NMOS-Transistorschaltung eines Paares von NMOS-Transistorschaltungen und einer PMOS-Transistorschaltung eines Paares von PMOS-Transistorschaltungen enthält, wobei eine erste Spannungsquelle verschiedene Übersteuerungsspannungen für die NMOS-Transistorschaltungen bereitstellt und eine zweite Spannungsquelle verschiedene Übersteuerungsspannungen für die PMOS-Transistorschaltungen bereitstellt. Die Schaltung hoher Impedanz **400** umfasst eine erste NMOS-Transistorschaltung **402**. Die erste NMOS-Transistorschaltung **402** kann ein erstes W/L-Verhältnis aufweisen. Zudem umfasst die erste NMOS-Transistorschaltung **402** einen oder mehrere NMOS-Transistoren, welche durch einen ersten NMOS-Transistor **404** repräsentiert werden. Somit kann das W/L-Verhältnis der ersten NMOS-Transistorschaltung **402** durch einen einzigen NMOS-Transistor oder durch eine Anzahl von NMOS-Transistoren realisiert werden. In manchen Fällen kann das W/L-Verhältnis der ersten NMOS-Transistorschaltung **402** durch eine Anzahl von parallel geschalteten NMOS-Transistoren realisiert sein. Ein Gate des ersten NMOS-Transistors **404** ist mit einer ersten Spannungsquelle **406** gekoppelt, und ein Source-Anschluss des ersten NMOS-Transistors **404** ist mit einer Leitung **408** gekoppelt. Ein Drain-Anschluss des ersten NMOS-Transistors **404** empfängt einen Referenzstrom  $I_{\text{REF1}}$ .

**[0037]** Die erste Spannungsquelle **406** umfasst eine Anzahl von Komponenten, wie ein erstes Impedanzelement und eine erste Stromquelle **412**. Die erste Spannungsquelle **406** ist zudem mit der Leitung **408** gekoppelt. Bei einer alternativen Implementierung kann die erste Stromquelle **412** der ersten Spannungsquelle **406** mit Masse statt mit der Leitung **408** gekoppelt sein. Zudem ist die erste Spannungsquelle **406** mit einer zweiten NMOS-Transistorschaltung **414** gekoppelt. Die zweite NMOS-Transistorschaltung **414** kann ein zweites NMOS W/L-Verhältnis aufweisen, welches kleiner ist als das erste NMOS W/L-Verhältnis. Das W/L-Verhältnis des zweiten NMOS-Transistors **414** kann durch einen oder mehrere NMOS-Transistoren realisiert sein, welche durch einen zweiten NMOS-Transistor **416** repräsentiert sind. In manchen Fällen kann das W/L-Verhältnis der zweiten NMOS-Transistorschaltung **414** durch eine Anzahl von in Reihe geschalteten NMOS-Transistoren realisiert sein.

**[0038]** Ein Gate des zweiten NMOS-Transistors **416** ist mit der ersten Spannungsquelle **406** gekoppelt, und ein Source-Anschluss des zweiten NMOS-Transistors **416** ist mit einem Verbindungspunkt **418** auf einer Quelle-Verstärker-Leitung zwischen einer Quelle und einer Verstärkereinrichtung gekoppelt, wie der Quelle-Verstärker-Leitung **106**, die die Quelle **102** und die Verstärkerschaltung **104** der [Fig. 1](#) verbindet. Weiterhin stellt ein Drain-Anschluss des zweiten NMOS-Transistors **416** eine Reihenschaltung mit einer ersten PMOS-Transistorschaltung **420** bereit.

**[0039]** Die erste PMOS-Transistorschaltung **420** kann ein erstes PMOS W/L-Verhältnis aufweisen. Bei manchen Implementierungen kann das erste PMOS W/L-Verhältnis sich von dem ersten NMOS W/L-Verhältnis der zweiten NMOS-Transistorschaltung **414** unterscheiden. Zudem umfasst die erste PMOS-Transistorschaltung **420** ein oder mehrere PMOS-Transistoren, welche durch einen ersten PMOS-Transistor **422** repräsentiert werden. Somit kann das W/L-Verhältnis der ersten Transistorschaltung **420** mit einem einzigen PMOS-Transistor oder mit einer Anzahl von PMOS-Transistoren realisiert werden. In manchen Fällen kann das erste PMOS W/L-Verhältnis durch eine Anzahl von in Reihe geschalteten PMOS-Transistoren realisiert sein. Ein Source-Anschluss des ersten PMOS-Transistors **422** ist mit einer zweiten Spannungsquelle **424** gekoppelt, und in manchen Implementierungen ist ein Gate des ersten PMOS-Transistors **422** mit einem Referenzpunkt wie Masse verbunden.

**[0040]** Die zweite Spannungsquelle **424** umfasst eine Anzahl von Komponenten wie ein zweites Impedanzelement **426** und eine zweite Stromquelle **428**. Bei manchen Implementierungen ist die zweite Spannungsquelle **424** zudem mit einem Referenzpunkt wie Masse gekoppelt. Zudem ist die zweite Span-

nungsquelle **424** mit einer zweiten PMOS-Transistorschaltung **430** gekoppelt. Die zweite PMOS-Transistorschaltung **430** kann ein zweites PMOS W/L-Verhältnis aufweisen, welches größer ist als das erste PMOS W/L-Verhältnis. Bei manchen Implementierungen kann sich das zweite PMOS W/L-Verhältnis von dem ersten NMOS W/L-Verhältnis der ersten NMOS-Transistorschaltung **402** unterscheiden. Das W/L-Verhältnis der zweiten PMOS-Transistorschaltung **430** kann durch ein oder mehrere PMOS-Transistoren realisiert sein, welche durch einen zweiten PMOS-Transistor **432** repräsentiert sind. Bei manchen Fällen kann das W/L-Verhältnis der zweiten PMOS-Transistorschaltung **430** durch eine Anzahl von parallel geschalteten PMOS-Transistoren realisiert sein. Ein Source-Anschluss des zweiten PMOS-Transistors **432** ist mit der zweiten Spannungsquelle **424** gekoppelt. Zudem empfängt der Source-Anschluss des zweiten PMOS-Transistors **432** einen zweiten Referenzstrom  $I_{REF2}$ . Bei manchen Implementierungen sind ein Drain-Anschluss des zweiten PMOS-Transistors **432** und/oder ein Gate des zweiten PMOS-Transistors **432** mit einem Referenzpunkt wie Masse gekoppelt.

**[0041]** Eine erste NMOS Gate-Source-Spannung des ersten NMOS-Transistors **404** wird durch den dem ersten NMOS-Transistor **404** bereitgestellten Strom  $I_{REF1}$  und den von dem ersten NMOS-Transistor **404** von der ersten Spannungsquelle **406** gezogenen Strom definiert. Auf diesem Weg kann bei dem ersten NMOS-Transistor **404** eine wohldefinierte Gate-Source-Spannung hervorgerufen werden. Zudem kann diese Anordnung weitere wohldefinierte Kleinsignalparameter wie die Transkonduktanz des ersten NMOS-Transistors **404** hervorrufen. Eine zweite NMOS Gate-Source-Spannung des zweiten NMOS-Transistors **416** wird durch eine Differenz der Gate-Source-Spannung des ersten NMOS-Transistors **404** und einen durch die Spannungsquelle **406** bereitgestellten Spannungsabfall definiert. Der Spannungsabfall der Spannungsquelle **406** kann durch das Produkt des Impedanzwertes des Impedanzelements **410** und dem von der ersten Stromquelle **412** gezogenen Strom definiert werden. Somit kann der zweite NMOS-Transistor **416** eine wohldefinierte Gate-Source-Spannung aufweisen, was auch zu einem wohldefinierten Wert von  $R_{EIN}$  führt, d. h. dem Impedanzwert, welcher den zweiten NMOS-Transistor **416** anschaltet.

**[0042]** Bei der in [Fig. 4](#) dargestellten beispielhaften Implementierung sind die erste NMOS-Transistorschaltung **402** und die zweite NMOS-Transistorschaltung **414** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung **400** hoher Impedanz kann benutzt werden, eine Impedanztransformation hervorzurufen, indem eine erste NMOS Übersteuerungsspannung an dem ersten NMOS-Transistor **404** und eine zweite NMOS Übersteuerungsspannung an

dem zweiten NMOS-Transistor **416**, welche sich von der ersten NMOS Übersteuerungsspannung unterscheidet, angelegt wird. Bei manchen Implementierungen kann sich die erste NMOS Übersteuerungsspannung von der zweiten NMOS Übersteuerungsspannung aufgrund von unterschiedlichen Gate-Source-Spannungen an dem ersten NMOS-Transistor **404** und dem zweiten NMOS-Transistor **416** unterscheiden, während die Schwellenspannungen des ersten NMOS-Transistors **404** und des zweiten NMOS-Transistors **416** näherungsweise gleich sind. Bei anderen Implementierungen kann sich die erste NMOS Übersteuerungsspannung von der zweiten NMOS Übersteuerungsspannung aufgrund von unterschiedlichen Schwellenspannungen des ersten NMOS-Transistors **404** und des zweiten NMOS-Transistors **416** unterscheiden, während die Gate-Source-Spannungen des ersten NMOS-Transistors **404** und des zweiten NMOS-Transistors **416** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die zweite NMOS Übersteuerungsspannung des zweiten NMOS-Transistors **416** kleiner ist als die erste NMOS Übersteuerungsspannung des ersten NMOS-Transistors **404**, der Impedanzwert des ersten NMOS-Transistors **404** auf den Impedanzwert des zweiten NMOS-Transistors **416** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **400** bewirkt.

**[0043]** Bei manchen Fällen kann die Gate-Source-Spannung des ersten NMOS-Transistors **404**, die Gate-Source-Spannung des zweiten NMOS-Transistors **416** oder eine Kombination hiervon in einem Bereich unterhalb des Schwellenwertes liegen. Wenn die Gate-Source-Spannung des zweiten NMOS-Transistors **416** in dem Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz des zweiten NMOS-Transistors **416** exponentiell ansteigen, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors **416** kleiner wird. Das Maß des Anwachsens der Impedanz des zweiten NMOS-Transistors **416** kann auf der Differenz zwischen der ersten NMOS Übersteuerungsspannung und der zweiten NMOS Übersteuerungsspannung beruhen.

**[0044]** Zudem kann, wenn das W/L-Verhältnis der zweiten NMOS-Transistorschaltung **414** kleiner ist als das W/L-Verhältnis der ersten NMOS-Transistorschaltung **402**, die zweite NMOS-Transistorschaltung **414** als eine Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der zweiten NMOS-Transistorschaltung **414** vonstattengehen, welche proportional zu dem Quotienten des W/L-Verhältnisses der ersten NMOS-Transistorschaltung **402** und des W/L-Verhältnisses der zweiten NMOS-Transistorschaltung **414**. Somit kann durch Hervorrufen einer ersten Impedanztransformation durch verschiedene Übersteuerungsspannungen für die NMOS-Transistoren **404**, **416** in Verbindung mit einer zweiten Impedanztransformation unter Benut-

zung verschiedener W/L-Verhältnisse für die Transistorschaltungen **402**, **414** die Schaltung hoher Impedanz **400** eine sehr hohe Impedanz für eine Verstärkereinrichtung wie die Verstärkerschaltung **104** der [Fig. 1](#) bereitstellen.

**[0045]** Eine erste PMOS Gate-Source-Spannung des ersten PMOS-Transistors **422** wird durch eine Differenz der Gate-Source-Spannung des zweiten PMOS-Transistors **432** und einem von der zweiten Spannungsquelle **424** bereitgestellten Spannungsabfall definiert. Der Spannungsabfall der zweiten Spannungsquelle **424** kann durch das Produkt des Impedanzwertes des zweiten Impedanzelements **426** mit dem von der zweiten Stromquelle **428** gezogenen Strom definiert sein. Somit kann der erste PMOS-Transistor **422** eine wohldefinierte Gate-Source-Spannung aufweisen, was zudem zu einem wohldefinierten Wert  $R_{EIN}$  führt, d. h. dem Impedanzwert, welcher den ersten PMOS-Transistor **422** einschaltet. Eine zweite PMOS Gate-Source-Spannung des zweiten PMOS-Transistors **432** ist durch den dem zweiten PMOS-Transistor **432** bereitgestellten Strom  $I_{REF2}$  und dem von dem zweiten PMOS-Transistor **432** von der zweiten Spannungsquelle **424** gezogenen Strom definiert. Somit kann bei dem zweiten PMOS-Transistor **432** eine wohldefinierte Gate-Source-Spannung hervorgerufen werden. Zudem kann diese Anordnung andere wohldefinierte Kleinsignalparameter wie die Transkonduktanz des zweiten PMOS-Transistors **432** hervorrufen.

**[0046]** Bei der in [Fig. 4](#) dargestellten beispielhaften Implementierung sind die erste PMOS-Transistorschaltung **420** und die zweite PMOS-Transistorschaltung **430** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung hoher Impedanz **400** kann benutzt werden, eine Impedanztransformation zu erzeugen, indem eine erste PMOS Übersteuerungsspannung an dem ersten PMOS-Transistor **422** und eine zweite PMOS Übersteuerungsspannung an dem zweiten PMOS-Transistor **432**, welche sich von der ersten PMOS Übersteuerungsspannung unterscheidet, hervorgerufen wird. Bei manchen Implementierungen kann sich die erste PMOS Übersteuerungsspannung von der zweiten PMOS Übersteuerungsspannung aufgrund von unterschiedlichen Gate-Source-Spannungen an dem ersten PMOS-Transistor **422** und dem zweiten PMOS-Transistor **432** unterscheiden, während die Schwellenspannungen des ersten PMOS-Transistors **422** und des zweiten PMOS-Transistors **432** näherungsweise gleich sind. Bei anderen Implementierungen kann sich die erste PMOS Übersteuerungsspannung von der zweiten PMOS Übersteuerungsspannung aufgrund von unterschiedlichen Schwellenspannungen des ersten PMOS-Transistors **422** und des zweiten PMOS-Transistors **432** unterscheiden, während die Gate-Source-Spannungen des ersten PMOS-Transistors **422** und des zweiten PMOS-

Transistors **432** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die erste PMOS Übersteuerungsspannung kleiner ist als die zweite PMOS Übersteuerungsspannung, der Impedanzwert des zweiten PMOS-Transistors **432** auf den Impedanzwert des ersten PMOS-Transistors **422** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **400** ergibt.

**[0047]** In manchen Fällen können die Gate-Source-Spannung des ersten PMOS-Transistors **422**, die Gate-Source-Spannung des zweiten PMOS-Transistors **432** oder eine Kombination hiervon in einem Bereich unterhalb des Schwellenwertes liegen. Wenn die Gate-Source-Spannung des ersten PMOS-Transistors **422** in dem Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz des ersten PMOS-Transistors **422** exponentiell anwachsen, wenn die Übersteuerungsspannung des ersten PMOS-Transistors **422** kleiner wird. Das Maß des Ansteigens der Impedanz des ersten PMOS-Transistors **422** kann auf der Differenz der Übersteuerungsspannungen des ersten PMOS-Transistors **422** und des zweiten PMOS-Transistors **432** beruhen.

**[0048]** Zudem kann, wenn das W/L-Verhältnis der zweiten PMOS-Transistorschaltung **430** größer ist als das W/L-Verhältnis der ersten PMOS-Transistorschaltung **420**, die erste PMOS-Transistorschaltung **420** als eine Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der ersten PMOS-Transistorschaltung **420** vonstattengehen, welche proportional ist zu dem Quotienten des W/L-Verhältnisses der zweiten PMOS-Transistorschaltung **430** und des W/L-Verhältnisses der ersten PMOS-Transistorschaltung **420**. Somit trägt das Hervorrufen einer dritten Impedanztransformation unter Benützung unterschiedlicher W/L-Verhältnisse für die PMOS-Transistorschaltungen **420**, **430** in Verbindung mit dem Hervorrufen einer vierten Impedanztransformation mit unterschiedlichen Übersteuerungsspannungen für die PMOS-Transistoren **422**, **432** zu der durch die Schaltung hoher Impedanz **400** für die Verstärkereinrichtung bereitgestellten Impedanz bei.

**[0049]** Bei manchen Fällen können Impedanztransformationen über die erste NMOS-Transistorschaltung **402** und die zweite NMOS-Transistorschaltung **414** ein nichtlineares Verhalten bezüglich der von der Schaltung hoher Impedanz **400** für die Verstärkereinrichtung bereitgestellten Impedanz hervorrufen. Beispielsweise können die erste NMOS-Transistorschaltung **402** und die zweite NMOS-Transistorschaltung **414** bei Signalen höherer Spannung hochohmig sein und bei Signalen niedriger Spannung niederohmig sein. Die Impedanztransformation, welche bezüglich der ersten PMOS-Transistorschaltung **420** und der zweiten PMOS-Transistorschaltung **430** auftritt, hilft, zumindest einen Teil der Nichtlinearität der Impe-

danz, welche durch die erste NMOS-Transistorschaltung **402** und die zweite NMOS-Transistorschaltung **414** hervorgerufen wird, auszugleichen. Zur Veranschaulichung ist, wenn die von der ersten NMOS-Transistorschaltung **402** und der zweiten NMOS-Transistorschaltung **414** hervorgerufene Impedanz zu hochohmig ist, die von der ersten PMOS-Transistorschaltung **420** und der zweiten PMOS-Transistorschaltung **430** hervorgerufene Impedanz niederohmig, da die von der ersten PMOS-Transistorschaltung **420** und der zweiten PMOS-Transistorschaltung **430** hervorgerufene Impedanz bei Signalen höherer Spannung geringer ist. Auf diese Weise linearisieren die erste PMOS-Transistorschaltung **420** und die zweite PMOS-Transistorschaltung **430** die Impedanz der Schaltung hoher Impedanz **400**. Zudem ist, wenn die von der ersten NMOS-Transistorschaltung **402** und der zweiten NMOS-Transistorschaltung **414** hervorgerufene Impedanz zu niederohmig ist, die von der ersten PMOS-Transistorschaltung **420** und der zweiten PMOS-Transistorschaltung **430** hervorgerufene Impedanz hochohmig, was die Impedanz der Schaltung **400** hoher Impedanz zumindest teilweise linearisiert.

**[0050]** [Fig. 5](#) ist ein schematisches Diagramm einer Schaltung **500** hoher Impedanz umfassend eine Parallelschaltung zwischen einer NMOS-Transistorschaltung eines Paares von NMOS-Transistorschaltungen und einer PMOS-Transistorschaltung eines Paares von PMOS-Transistorschaltungen, wobei eine erste Spannungsquelle verschiedene Übersteuerungsspannungen für die NMOS-Transistorschaltungen bereitstellt und eine zweite Spannungsquelle verschiedene Übersteuerungsspannungen für die PMOS-Transistorschaltungen bereitstellt. Die Schaltung **500** hoher Impedanz umfasst eine erste NMOS-Transistorschaltung **502**. Die erste NMOS-Transistorschaltung **502** kann ein erstes NMOS W/L-Verhältnis aufweisen. Zudem umfasst die erste NMOS-Transistorschaltung **502** ein oder mehrere NMOS-Transistoren, welche durch einen ersten NMOS-Transistor **504** repräsentiert werden. Somit kann das erste NMOS W/L-Verhältnis der ersten NMOS-Transistorschaltung **502** durch einen einzigen NMOS-Transistor oder durch eine Anzahl von NMOS-Transistoren realisiert sein. Bei manchen Fällen kann das erste NMOS W/L-Verhältnis durch eine Anzahl von parallel geschalteten NMOS-Transistoren realisiert sein. Ein Gate des ersten NMOS-Transistors **504** ist mit einer ersten Spannungsquelle **506** gekoppelt, und ein Source-Anschluss des ersten NMOS-Transistors **504** ist mit einer Leitung **508** gekoppelt. Ein Drain-Anschluss des ersten NMOS-Transistors **504** empfängt einen Referenzstrom  $I_{REF1}$ .

**[0051]** Die erste Spannungsquelle **506** umfasst eine Anzahl von Komponenten wie ein erstes Impedanzelement **510** und eine erste Stromquelle **512**. Die erste Spannungsquelle **506** ist ebenso mit der Leitung

**508** gekoppelt. Bei einer alternativen Implementierung kann die erste Stromquelle **512** der ersten Spannungsquelle **506** mit Masse statt mit der Leitung **508** gekoppelt sein. Zudem ist die erste Spannungsquelle **506** mit einer zweiten NMOS-Transistorschaltung **514** gekoppelt. Die zweite NMOS-Transistorschaltung **514** kann ein zweites NMOS W/L-Verhältnis aufweisen, welches geringer ist als das erste NMOS W/L-Verhältnis. Das W/L-Verhältnis der zweiten NMOS-Transistorschaltung **514** kann durch ein oder mehrere NMOS-Transistoren realisiert sein, welche durch einen zweiten NMOS-Transistor **514** repräsentiert sind. In manchen Fällen kann das W/L-Verhältnis der zweiten NMOS-Transistorschaltung **514** durch eine Anzahl von in Reihe geschalteter NMOS-Transistoren realisiert sein. Ein Gate des zweiten NMOS-Transistors **516** ist mit der ersten Spannungsquelle **506** gekoppelt, und ein Drain-Anschluss des zweiten NMOS-Transistors **516** ist mit einer Quelle-Verstärker-Leitung **518** zwischen einer Quelle und einer Verstärkereinrichtung gekoppelt, wie beispielsweise der Quelle-Verstärker-Leitung **106**, welche in [Fig. 1](#) die Quelle **102** und die Verstärkerschaltung **104** verbindet. Zudem ist der Drain-Anschluss des zweiten NMOS-Transistors **516** mit einer ersten PMOS-Transistorschaltung **520** gekoppelt, und ein Source-Anschluss des zweiten NMOS-Transistors **516** ist mit der Leitung **508** gekoppelt, was eine Parallelschaltung zwischen der zweiten NMOS-Transistorschaltung **514** und der ersten PMOS-Transistorschaltung **520** ergibt. Bei manchen Implementierungen kann die Parallelschaltung zwischen der zweiten NMOS-Transistorschaltung **514** und der ersten PMOS-Transistorschaltung **520** einen Klemm- bzw. Aufspannungseffekt hervorrufen.

**[0052]** Die erste PMOS-Transistorschaltung **520** kann ein erstes PMOS W/L-Verhältnis aufweisen. Bei manchen Implementierungen kann sich das erste PMOS W/L-Verhältnis von dem zweiten NMOS W/L-Verhältnis der zweiten NMOS-Transistorschaltung **514** unterscheiden. Zudem umfasst die erste PMOS-Transistorschaltung **520** einen oder mehrere PMOS-Transistoren, welche durch einen ersten PMOS-Transistor **522** repräsentiert werden. Somit kann das W/L-Verhältnis der ersten PMOS-Transistorschaltung **520** in einem einzigen PMOS-Transistor oder in einer Anzahl von PMOS-Transistoren realisiert sein. In manchen Fällen kann das erste PMOS W/L-Verhältnis durch eine Anzahl von in Reihe geschalteter PMOS-Transistoren realisiert sein. Ein Source-Anschluss des ersten PMOS-Transistors **522** ist mit einer zweiten Spannungsquelle **524** gekoppelt. Bei manchen Implementierungen ist ein Gate des ersten PMOS-Transistors **522** mit einem Referenzpunkt wie beispielsweise Masse gekoppelt.

**[0053]** Die zweite Spannungsquelle **524** umfasst eine Anzahl von Komponenten wie ein zweites Impedanzelement **526** und eine zweite Stromquelle

**528**. Bei manchen Implementierungen ist die zweite Spannungsquelle **524** ebenso mit einem Referenzpunkt wie beispielsweise Masse gekoppelt. Zudem ist die zweite Spannungsquelle **524** mit einer zweiten PMOS-Transistorschaltung **530** gekoppelt. Die zweite PMOS-Transistorschaltung **530** kann ein zweites PMOS W/L-Verhältnis aufweisen, welches größer ist als das erste PMOS W/L-Verhältnis. Das zweite PMOS W/L-Verhältnis der zweiten PMOS-Transistorschaltung **530** kann durch ein oder mehrere PMOS-Transistoren realisiert sein, welche durch einen zweiten PMOS-Transistor **532** repräsentiert sind. In manchen Fällen kann das W/L-Verhältnis der zweiten Transistorschaltung **530** durch eine Anzahl von parallel geschalteter PMOS-Transistoren realisiert sein. Ein Source-Anschluss des zweiten PMOS-Transistors **532** ist mit der zweiten Spannungsquelle **524** gekoppelt. Zudem empfängt der Source-Anschluss des zweiten PMOS-Transistors **532** einen zweiten Referenzstrom  $I_{REF2}$ . Bei manchen Implementierungen ist ein Drain-Anschluss des zweiten PMOS-Transistors **532** und ein Gate des zweiten PMOS-Transistors **532** zudem mit Masse gekoppelt. Bei manchen Implementierungen kann sich das zweite PMOS W/L-Verhältnis von dem ersten NMOS W/L-Verhältnis der ersten NMOS-Transistorschaltung **502** unterscheiden.

**[0054]** Eine erste NMOS Gate-Source-Spannung des ersten NMOS-Transistors **504** ist durch den dem ersten NMOS-Transistor **504** bereitgestellten Strom  $I_{REF2}$  und den von dem ersten NMOS-Transistor **504** von der ersten Spannungsquelle **506** gezogenen Strom definiert. Auf diese Weise kann an dem ersten NMOS-Transistor **504** eine wohldefinierte Gate-Source-Spannung hervorgerufen werden. Zudem kann diese Anordnung andere wohldefinierte Kleinsignalparameter wie die Transkonduktanz des ersten NMOS-Transistors **504** hervorrufen. Eine zweite NMOS Gate-Source-Spannung des zweiten NMOS-Transistors **516** ist durch eine Differenz der Gate-Source-Spannung des ersten NMOS-Transistors **504** und einen durch die erste Spannungsquelle **506** bereitgestellten Spannungsabfall definiert. Der Spannungsabfall der ersten Spannungsquelle **506** kann durch das Produkt des Impedanzwertes des Impedanzelements **510** und des von der ersten Stromquelle **512** gezogenen Stroms definiert sein. Somit kann der erste NMOS-Transistor **516** eine wohldefinierte Gate-Source-Spannung aufweisen, was zudem zu einem wohldefinierten Wert  $R_{EIN}$  führt, d. h. dem Impedanzwert, welcher den zweiten NMOS-Transistor **516** einschaltet.

**[0055]** Bei der in [Fig. 5](#) gezeigten beispielhaften Implementierung sind die erste NMOS-Transistorschaltung **502** und die zweite NMOS-Transistorschaltung **514** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung hoher Impedanz **500** kann benutzt werden, eine Impedanztransformation zu er-

zeugen, indem an dem ersten NMOS-Transistor **504** eine erste NMOS Übersteuerungsspannung hervorgerufen wird und an dem zweiten NMOS-Transistor **516** eine zweite NMOS Übersteuerungsspannung hervorgerufen wird. Bei manchen Implementierungen kann sich die erste NMOS Übersteuerungsspannung von der zweiten NMOS Übersteuerungsspannung aufgrund von unterschiedlichen Gate-Source-Spannungen an dem ersten NMOS-Transistor **504** und dem zweiten NMOS-Transistor **516** unterscheiden, während die Schwellenspannungen des ersten NMOS-Transistors **504** und des zweiten NMOS-Transistors **516** näherungsweise gleich sind. Bei anderen Implementierungen kann sich die erste NMOS Übersteuerungsspannung von der zweiten NMOS Übersteuerungsspannung aufgrund von unterschiedlichen Schwellenspannungen des ersten NMOS-Transistors **504** und des zweiten NMOS-Transistors **516** unterscheiden, während die Gate-Source-Spannungen des ersten NMOS-Transistors **504** und des zweiten NMOS-Transistors **516** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die zweite NMOS Übersteuerungsspannung kleiner ist als die erste NMOS Übersteuerungsspannung, der Impedanzwert des ersten NMOS-Transistors **504** auf den Impedanzwert des zweiten NMOS-Transistors **516** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **500** ergibt.

**[0056]** In manchen Fällen können die Gate-Source-Spannung des ersten NMOS-Transistors **504**, die Gate-Source-Spannung des zweiten NMOS-Transistors **516** oder eine Kombination hiervon im Bereich unterhalb des Schwellenwertes sein. Wenn die Gate-Source-Spannung des zweiten NMOS-Transistors **516** im Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz des zweiten NMOS-Transistors **516** exponentiell ansteigen, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors **516** kleiner wird. Das Maß des Ansteigens der Impedanz des zweiten NMOS-Transistors **516** kann auf der Differenz der Übersteuerungsspannungen des ersten NMOS-Transistors **504** und des zweiten NMOS-Transistors **516** beruhen.

**[0057]** Wenn das zweite NMOS W/L-Verhältnis der zweiten NMOS-Transistorschaltung **514** kleiner ist als das erste NMOS W/L-Verhältnis der ersten NMOS-Transistorschaltung **502**, kann die zweite NMOS-Transistorschaltung **514** als eine Impedanz-einrichtung dienen, und eine Impedanztransformation kann bezüglich der zweiten NMOS-Transistorschaltung **514** vonstattengehen, welche proportional zu dem Quotienten des ersten NMOS W/L-Verhältnisses der ersten NMOS-Transistorschaltung **502** und des zweiten NMOS W/L-Verhältnisses der zweiten NMOS-Transistorschaltung **514** ist. Somit kann die Schaltung hoher Impedanz **500** durch Hervorrufen einer ersten Impedanztransformation un-

ter Benutzung verschiedener W/L-Verhältnisse für die NMOS-Transistorschaltungen **502**, **514** in Verbindung mit dem Hervorrufen einer zweiten Impedanztransformation mit verschiedenen Übersteuerungsspannungen für die NMOS-Transistoren **504**, **516** eine sehr hohe Eingangsimpedanz für eine Verstärkereinrichtung wie die Verstärkerschaltung **104** der [Fig. 1](#) bereitstellen.

**[0058]** Eine erste PMOS Gate-Source-Spannung des ersten PMOS-Transistors **522** ist durch eine Differenz zwischen der Gate-Source-Spannung des zweiten PMOS-Transistors **532** und einem durch die zweite Spannungsquelle **524** bereitgestellten Spannungsabfall definiert. Der Spannungsabfall der zweiten Spannungsquelle **524** kann durch das Produkt des Impedanzwertes des zweiten Impedanzelements **526** und dem durch die zweite Stromquelle **528** gezogenen Strom definiert sein. Somit kann der erste PMOS-Transistor **522** eine wohldefinierte Gate-Source-Spannung aufweisen, welche zudem zu einem wohldefinierten Wert  $R_{EIN}$  führt, d. h. dem Impedanzwert, welcher den ersten PMOS-Transistor **522** einschaltet. Eine zweite PMOS Gate-Source-Spannung des zweiten PMOS-Transistors **532** ist durch den dem zweiten PMOS-Transistor **532** bereitgestellten Strom  $I_{REF2}$  und dem von dem zweiten PMOS-Transistor **532** von der zweiten Spannungsquelle **524** gezogenen Strom definiert. Auf diese Weise kann an dem zweiten PMOS-Transistor **532** eine wohldefinierte Gate-Source-Spannung hervorgerufen werden. Zudem kann diese Anordnung andere wohldefinierte Kleinsignalparameter wie die Transkonduktanz des zweiten PMOS-Transistors **532** hervorgerufen.

**[0059]** Bei der in [Fig. 5](#) gezeigten beispielhaften Implementierung sind die erste PMOS-Transistorschaltung **520** und die zweite PMOS-Transistorschaltung **530** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung hoher Impedanz **500** kann benutzt werden, eine Impedanztransformation zu erzeugen, indem an dem ersten PMOS-Transistor **522** eine erste PMOS Übersteuerungsspannung hervorgerufen wird und an dem zweiten PMOS-Transistor **532** eine zweite PMOS Übersteuerungsspannung hervorgerufen wird. Bei manchen Implementierungen kann sich die erste PMOS Übersteuerungsspannung von der zweiten PMOS Übersteuerungsspannung aufgrund von unterschiedlichen Gate-Source-Spannungen an dem ersten PMOS-Transistor **522** und dem zweiten PMOS-Transistor **532** unterscheiden, während die Schwellenwerte des ersten PMOS-Transistors **522** und des zweiten PMOS-Transistors **532** näherungsweise gleich sind. Bei anderen Implementierungen kann sich die erste PMOS Übersteuerungsspannung von der zweiten PMOS Übersteuerungsspannung aufgrund von unterschiedlichen Schwellenspannungen des ersten PMOS-Transistors **522** und des zweiten PMOS-Transistors **532** unterscheiden, während die Gate-Source-Spannungen des ers-

ten PMOS-Transistor **522** und des zweiten PMOS-Transistors **532** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die erste PMOS Übersteuerungsspannung kleiner ist als die zweite PMOS Übersteuerungsspannung, der Impedanzwert des zweiten PMOS-Transistors **532** auf den Impedanzwert des ersten PMOS-Transistors **522** transformiert, was einen sehr hohen Impedanzwert für die Schaltung **500** hoher Impedanz ergibt.

**[0060]** Bei manchen Fällen liegen die Gate-Source-Spannung des ersten PMOS-Transistors **522**, die Gate-Source-Spannung des zweiten PMOS-Transistors **532** oder eine Kombination davon in einem Bereich unterhalb des Schwellenwertes. Wenn die Gate-Source-Spannung des ersten PMOS-Transistors **522** in dem Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz des ersten PMOS-Transistors **522** exponentiell zunehmen, wenn die Übersteuerungsspannung des ersten PMOS-Transistors **522** kleiner wird. Das Maß des Ansteigens der Impedanz des ersten PMOS-Transistors **522** kann auf der Differenz der Übersteuerungsspannungen des ersten PMOS-Transistors **522** und des zweiten PMOS-Transistors **532** beruhen. Wenn das W/L-Verhältnis der zweiten PMOS-Transistorschaltung **530** größer ist als das W/L-Verhältnis der ersten PMOS-Transistorschaltung **520**, kann die erste PMOS-Transistorschaltung **520** als eine Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der ersten PMOS-Transistorschaltung **520** vonstattengehen, welche proportional ist zu dem Quotienten des W/L-Verhältnisses der ersten PMOS-Transistorschaltung **520** und des W/L-Verhältnisses der zweiten PMOS-Transistorschaltung **530**. Somit trägt das Hervorrufen einer dritten Impedanztransformation unter Benutzung verschiedener W/L-Verhältnisse für die erste PMOS-Transistorschaltung **520** und die zweite PMOS-Transistorschaltung **530** in Verbindung mit dem Hervorrufen einer vierten Impedanztransformation mit verschiedenen Übersteuerungsspannungen für die PMOS-Transistoren **522**, **532** zu der von der Schaltung hoher Impedanz **500** der Verstärkereinrichtung bereitgestellten Impedanz bei.

**[0061]** In manchen Fällen können Impedanztransformationen über die erste NMOS-Transistorschaltung **502** und die zweite NMOS-Transistorschaltung **514** ein nichtlineares Verhalten bezüglich der durch die Schaltung hoher Impedanz **500** bereitgestellten Impedanz hervorrufen. Die Impedanztransformationen, welche bezüglich der ersten PMOS-Transistorschaltung **520** und der zweiten PMOS-Transistorschaltung **530** auftreten, helfen, zumindest einen Teil der Nichtlinearität in der durch die erste NMOS-Transistorschaltung **502** und die zweite NMOS-Transistorschaltung **514** hervorgerufenen Impedanz auszugleichen.

**[0062]** [Fig. 6](#) ist ein schematisches Diagramm einer Schaltung **600** hoher Impedanz umfassend NMOS-Transistoranordnungen, welche mit einer Impedanz und einer Stromquelle gekoppelt sind, um den NMOS-Transistoranordnungen verschiedene Übersteuerungsspannungen bereitzustellen. Die Schaltung hoher Impedanz **600** umfasst eine erste Transistorschaltung **602**. Die erste Transistorschaltung **602** kann ein erstes W/L-Verhältnis aufweisen. Zudem umfasst die erste Transistorschaltung **602** einen oder mehrere NMOS-Transistoren, welche durch einen ersten NMOS-Transistor **604** repräsentiert sind. Somit kann das W/L-Verhältnis der ersten Transistorschaltung **602** in einem einzigen NMOS-Transistor oder in einer Anzahl von NMOS-Transistoren realisiert sein. In manchen Fällen kann das W/L-Verhältnis durch eine Anzahl von parallel geschalteten NMOS-Transistoren realisiert sein. Ein Gate des ersten NMOS-Transistors **604** ist mit einem ersten Impedanzelement **606** gekoppelt, und ein Source-Anschluss des ersten NMOS-Transistors **604** ist mit Masse gekoppelt. Ein Drain-Anschluss des ersten NMOS-Transistors **604** ist mit einem zweiten Impedanzelement **608** gekoppelt. Das zweite Impedanzelement **608** empfängt einen Referenzstrom  $I_{REF1}$ .

**[0063]** Das erste Impedanzelement **606** ist mit einer zweiten Transistorschaltung **610** und einer Stromquelle **612** gekoppelt. Die zweite Transistorschaltung **610** kann ein zweites W/L-Verhältnis aufweisen, welches geringer ist als das erste W/L-Verhältnis. Das W/L-Verhältnis der zweiten Transistorschaltung **610** kann durch ein oder mehrere NMOS-Transistoren realisiert sein, welche durch einen zweiten NMOS-Transistor **614** repräsentiert sind. In manchen Fällen kann das W/L-Verhältnis der zweiten Transistorschaltung **610** durch eine Anzahl von in Reihe geschalteten NMOS-Transistoren realisiert sein. Ein Gate des zweiten NMOS-Transistors **614** ist mit dem ersten Impedanzelement **606** und mit der Stromquelle **612** gekoppelt. Bei manchen Implementierungen ist ein Source-Anschluss des zweiten NMOS-Transistors **614** mit einem Referenzpunkt wie Masse gekoppelt. Weiterhin ist ein Drain-Anschluss des zweiten NMOS-Transistors **614** mit einer Quelle-Verstärker-Leitung **616** gekoppelt. Die Quelle-Verstärker-Leitung **616** ist zwischen eine Quelle und eine Verstärkereinrichtung gekoppelt, wie beispielsweise die Quelle-Verstärker-Leitung **106**, welche die Quelle **102** und die Verstärkerschaltung **104** in [Fig. 1](#) verbindet.

**[0064]** Die Stromquelle **612** umfasst einen dritten NMOS-Transistor **618** in einer Stromspiegelanordnung mit einem vierten NMOS-Transistor **620**. Ein Drain-Anschluss des dritten NMOS-Transistors **618** ist mit dem ersten Impedanzelement **606** und der zweiten Transistorschaltung **610** gekoppelt. Bei manchen Implementierungen ist ein Source-Anschluss des dritten NMOS-Transistors **618** mit einem Re-

ferenzpunkt wie Masse gekoppelt. Zudem ist ein Gate des dritten NMOS-Transistors **618** mit einem Gate des vierten NMOS-Transistors **620** gekoppelt. Ein Source-Anschluss des vierten NMOS-Transistors **620** kann mit Masse gekoppelt sein, und ein Drain-Anschluss des vierten NMOS-Transistors **620** ist mit einem dritten Impedanzelement **622** gekoppelt. Das dritte Impedanzelement **622** empfängt einen Referenzstrom  $I_{REF2}$ .

**[0065]** Eine erste NMOS Gate-Source-Spannung des ersten NMOS-Transistors **604** ist durch den dem ersten NMOS-Transistor **604** bereitgestellten Strom  $I_{REF1}$  und den von dem ersten NMOS-Transistor **604** von der Stromquelle **612** gezogenen Strom definiert. Auf diese Weise kann an dem ersten NMOS-Transistor **604** eine wohldefinierte Gate-Source-Spannung hervorgerufen werden. Eine zweite NMOS Gate-Source-Spannung des zweiten NMOS-Transistors **614** ist durch eine Differenz der Gate-Source-Spannung des ersten NMOS-Transistors **604** und einen durch das Produkt des Impedanzwertes des Impedanzelements **606** und des von der Stromquelle **612** gezogenen Stroms definierten Spannungsabfall definiert. Somit kann der zweite NMOS-Transistor **614** eine wohldefinierte Gate-Source-Spannung aufweisen, was zudem zu einem wohldefinierten Wert  $R_{EIN}$  führt, d. h. dem Impedanzwert, welcher den zweiten NMOS-Transistor **614** einschaltet. Beider beispielhaften in [Fig. 6](#) dargestellten Implementierung sind die erste Transistorschaltung **602** und die zweite Transistorschaltung **610** in einer Anordnung vom Stromspiegeltyp angeordnet, und die Schaltung hoher Impedanz **600** kann benutzt werden, eine Impedanztransformation zu erzeugen, indem eine erste Übersteuerungsspannung an dem ersten NMOS-Transistor **604** und eine zweite Übersteuerungsspannung an dem zweiten NMOS-Transistor **614**, welche sich von der ersten Übersteuerungsspannung unterscheidet, hervorgerufen wird. Bei manchen Implementierungen kann sich eine Übersteuerungsspannung des ersten NMOS-Transistors **604** von einer Übersteuerungsspannung des zweiten NMOS-Transistors **614** aufgrund von unterschiedlichen Gate-Source-Spannungen an dem ersten NMOS-Transistor **604** und dem zweiten NMOS-Transistor **614** unterscheiden, während die Schwellenspannungen des ersten NMOS-Transistors **604** und des zweiten NMOS-Transistors **614** näherungsweise gleich sind. Bei anderen Implementierungen kann die Übersteuerungsspannung des ersten NMOS-Transistors **604** sich von der Übersteuerungsspannung des zweiten NMOS-Transistors **614** aufgrund von unterschiedlichen Schwellenwerten des ersten NMOS-Transistors **604** und des zweiten NMOS-Transistors **614** unterscheiden, während die Gate-Source-Spannungen des ersten NMOS-Transistors **604** und des zweiten NMOS-Transistors **614** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors

**614** kleiner ist als die Übersteuerungsspannung des ersten NMOS-Transistors **604**, der Impedanzwert des ersten NMOS-Transistors **604** auf den Impedanzwert des zweiten NMOS-Transistors **614** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **600** ergibt.

**[0066]** In manchen Fällen liegen die Gate-Source-Spannung des ersten NMOS-Transistors **604**, die Gate-Source-Spannung des zweiten NMOS-Transistors **614** oder eine Kombination hiervon in einem Bereich unterhalb des Schwellenwertes. Wenn die Gate-Source-Spannung des zweiten NMOS-Transistors **614** in dem Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz der zweiten Transistorschaltung **610** exponentiell ansteigen, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors **614** kleiner wird. Das Maß des Ansteigens der Impedanz des zweiten NMOS-Transistors **614** kann auf der Differenz der Übersteuerungsspannungen des ersten NMOS-Transistors **604** und des zweiten NMOS-Transistors **614** beruhen.

**[0067]** Wenn das W/L-Verhältnis der zweiten Transistorschaltung **610** kleiner ist als das W/L-Verhältnis der ersten Transistorschaltung **612**, kann die zweite Transistorschaltung **610** als eine Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der zweiten Transistorschaltung **610** vonstattengehen, welche proportional ist zu dem Quotienten des ersten W/L-Verhältnisses und des zweiten W/L-Verhältnisses. Somit kann die Schaltung hoher Impedanz **600** durch Hervorrufen einer ersten Impedanztransformation durch unterschiedliche Übersteuerungsspannungen für die NMOS-Transistoren **604**, **614** in Verbindung mit einer zweiten Impedanztransformation, welche auf unterschiedlichen W/L-Verhältnissen für die Transistorschaltungen **602**, **610** beruht, eine sehr hohe Impedanz für eine Verstärkereinrichtung bereitstellen, wie die Verstärkerschaltung **104** der [Fig. 1](#).

**[0068]** Zudem kann in manchen Fällen die Stromquelle **612** aufgrund von Effekten zweiter Ordnung wie dem Early-Effekt vom idealen Verhalten abweichen. Um die Effekte zweiter Ordnung bezüglich der Stromquelle **612** auszugleichen, können die Drain-Source-Spannungen des ersten NMOS-Transistors **604**, des dritten NMOS-Transistors **618** und des vierten NMOS-Transistors **620** näherungsweise gleich sein. Auf diese Weise kann der von der Stromquelle **612** erzeugte Strom relativ stabil und wohl definiert sein. Bei manchen Implementierungen kann die Stromquelle **612** als die Stromquelle **210** der [Fig. 2](#), der ersten Stromquelle **412** und der zweiten Stromquelle **428** der [Fig. 4](#) und der ersten Stromquelle **512** und der zweiten Stromquelle **528** der [Fig. 5](#) benutzt werden. Eine Stromquelle ähnlich der Stromquelle **612**, welche PMOS-Transistoren, welche mit der positiven Versorgungsspannung  $V_{DD}$  statt Masse

verbunden sind, benutzt, kann als Stromquelle **310** der **Fig. 3** benutzt werden. Zudem kann ein zusätzliches Impedanzelement wie das zweite Impedanzelement **608** mit dem Drain-Anschluss des ersten NMOS-Transistors **204** der **Fig. 2**, einem Drain-Anschluss des ersten PMOS-Transistors **304** der **Fig. 3**, einem Drain-Anschluss des ersten NMOS-Transistors **404** der **Fig. 4** und einem Drain-Anschluss des ersten NMOS-Transistors **504** der **Fig. 5** gekoppelt sein.

**[0069]** **Fig. 7** ist ein schematisches Diagramm einer Schaltung **700** hoher Impedanz umfassend eine Gate-Drain-Kopplung von NMOS-Transistorschaltungen mit unterschiedlichen Übersteuerungsspannungen. Die Schaltung hoher Impedanz **700** umfasst eine erste Transistorschaltung **702**. Die erste Transistorschaltung **702** kann ein erstes W/L-Verhältnis aufweisen. Zudem umfasst die erste Transistorschaltung **702** einen oder mehrere NMOS-Transistoren, welche durch einen ersten NMOS-Transistor **704** repräsentiert sind. Somit kann das W/L-Verhältnis der ersten Transistorschaltung **702** durch einen einzigen NMOS-Transistor oder durch eine Anzahl von NMOS-Transistoren realisiert sein. In manchen Fällen kann das W/L-Verhältnis durch eine Anzahl von parallel geschalteten NMOS-Transistoren realisiert sein. Ein Source-Anschluss des ersten NMOS-Transistors **704** kann mit Masse gekoppelt sein, und ein Drain-Anschluss des ersten NMOS-Transistors **704** ist mit einem Impedanzelement **706** gekoppelt. Das Impedanzelement **706** empfängt einen Referenzstrom  $I_{REF}$ . Weiterhin empfängt ein Gate des ersten NMOS-Transistors **704** ebenso den Referenzstrom  $I_{REF}$ .

**[0070]** Die Schaltung hoher Impedanz **700** umfasst zudem eine zweite Transistorschaltung **708**. Bei der in **Fig. 7** gezeigten beispielhaften Implementierung sind die erste Transistorschaltung **702** und die zweite Transistorschaltung **708** in einer Anordnung vom Stromspiegeltyp angeordnet. Die zweite Transistorschaltung **708** kann ein zweites W/L-Verhältnis aufweisen, welches geringer ist als das erste W/L-Verhältnis. Das W/L-Verhältnis der zweiten Transistorschaltung **708** kann durch einen oder mehrere NMOS-Transistoren realisiert sein, welche durch einen zweiten NMOS-Transistor **710** repräsentiert sind. In manchen Fällen kann das W/L-Verhältnis der zweiten Transistorschaltung **708** durch eine Anzahl von in Reihe geschalteten NMOS-Transistoren realisiert sein. Ein Gate-Anschluss des zweiten NMOS-Transistors **710** ist mit dem Drain-Anschluss des ersten NMOS-Transistors **704** gekoppelt, und ein Source-Anschluss des zweiten NMOS-Transistors **710** kann mit Masse gekoppelt sein. Weiterhin ist ein Drain-Anschluss des zweiten NMOS-Transistors **710** mit einer Quelle-Verstärker-Leitung **712** gekoppelt. Die Quelle-Verstärker-Leitung **712** ist zwischen eine Quelle und eine Verstärkereinrichtung gekoppelt, wie die Quelle-

Verstärker-Leitung **108**, welche die Quelle **102** und die Verstärkerschaltung **104** der **Fig. 1** verbindet.

**[0071]** Eine Gate-Source-Spannung des ersten NMOS-Transistors **704** ist durch den Strom  $I_{REF}$  definiert, und die Gate-Source-Spannung des zweiten NMOS-Transistors **710** ist durch eine Differenz der Gate-Source-Spannung des ersten NMOS-Transistors **704** und einer Spannung, welche durch das Produkt des Impedanzwertes des Impedanzelements **706** und des Wertes des Stroms  $I_{REF}$  definiert ist, definiert. Bei manchen Implementierungen kann die Gate-Source-Spannung des ersten NMOS-Transistors **704** in dem Bereich unterhalb des Schwellenwertes liegen, die Gate-Source-Spannung des zweiten NMOS-Transistors **710** kann in dem Bereich unterhalb des Schwellenwertes liegen, oder eine Kombination hiervon.

**[0072]** Eine Impedanztransformation kann auftreten, indem unterschiedliche Übersteuerungsspannungen des ersten NMOS-Transistors **704** und des zweiten NMOS-Transistors **710** hervorgerufen werden. Bei manchen Implementierungen kann sich eine Übersteuerungsspannung des ersten NMOS-Transistors **704** von einer Übersteuerungsspannung des zweiten NMOS-Transistors **710** aufgrund unterschiedlicher Gate-Source-Spannungen bei dem ersten NMOS-Transistor **704** und dem zweiten NMOS-Transistor **710**, während die Schwellenspannungen des ersten NMOS-Transistors **704** und des zweiten NMOS-Transistors **710** näherungsweise gleich sind, unterscheiden. Bei diesen Implementierungen ist die Differenz zwischen der Gate-Source-Spannung des ersten NMOS-Transistors **704** und der Gate-Source-Spannung des zweiten NMOS-Transistors **710** aufgrund des mit dem Drain-Anschluss des zweiten NMOS-Transistors **710** gekoppelten Impedanzelements **706** vorhanden. Bei anderen Implementierungen kann die Übersteuerungsspannung des ersten NMOS-Transistors **704** sich von der Übersteuerungsspannung des zweiten NMOS-Transistors **710** aufgrund von verschiedenen Schwellenspannungen des ersten NMOS-Transistors **704** und des zweiten NMOS-Transistors **710** unterscheiden, während die Gate-Source-Spannungen des ersten NMOS-Transistors **704** und des zweiten NMOS-Transistors **710** näherungsweise gleich sind. Bei einem bestimmten Beispiel wird, wenn die Übersteuerungsspannung des zweiten NMOS-Transistors **710** geringer ist als die Übersteuerungsspannung des ersten NMOS-Transistors **704**, der Impedanzwert des ersten NMOS-Transistors **704** auf den Impedanzwert des zweiten NMOS-Transistors **710** transformiert, was einen sehr hohen Impedanzwert für die Schaltung hoher Impedanz **700** ergibt. Wenn die Gate-Source-Spannung des zweiten NMOS-Transistors **710** in dem Bereich unterhalb des Schwellenwertes liegt, kann die Impedanz des zweiten NMOS-Transistors **710** exponentiell anwachsen, wenn die

Übersteuerungsspannung des zweiten NMOS-Transistors **710** kleiner wird. Das Maß des Anwachsens der Impedanz des zweiten NMOS-Transistors **710** kann auf der Differenz der Übersteuerungsspannungen des ersten NMOS-Transistors **704** und des zweiten NMOS-Transistors **710** beruhen.

**[0073]** Weiterhin kann, wenn das W/L-Verhältnis der zweiten Transistorschaltung **708** geringer ist als das W/L-Verhältnis der ersten Transistorschaltung **702**, die zweite Transistorschaltung **708** als eine Impedanzeinrichtung dienen, und eine Impedanztransformation kann bezüglich der zweiten Transistorschaltung **708** vonstattengehen, welche proportional zu dem Quotienten des W/L-Verhältnisses der ersten Transistorschaltung **702** und des W/L-Verhältnisses der zweiten Transistorschaltung **708** ist. Somit kann die Schaltung hoher Impedanz **700** durch Hervorrufen einer Impedanztransformation aufgrund unterschiedlicher Übersteuerungsspannungen des ersten NMOS-Transistors **704** und des zweiten NMOS-Transistors **710** und durch Hervorrufen einer Impedanztransformation aufgrund unterschiedlicher W/L-Verhältnisse der ersten Transistorschaltung **702** und der zweiten Transistorschaltung **708** einer Verstärkereinrichtung wie der Verstärkerschaltung **104** von [Fig. 1](#) eine sehr hohe Eingangsimpedanz bereitstellen.

**[0074]** [Fig. 8](#) ist ein Flussdiagramm eines Verfahrens **800** zum Hervorrufen von Impedanztransformationen in einer Schaltung hoher Impedanz wie in den Schaltungen hoher Impedanz **110**, **200**, **300**, **400**, **500**, **600** und **700** der [Fig. 1–Fig. 7](#).

**[0075]** Details von Beispielen von Verfahren sind unten stehend beschrieben. Es ist jedoch zu bemerken, dass bestimmte Vorgänge nicht in der beschriebenen Reihenfolge durchgeführt werden müssen, modifiziert werden können und/oder gänzlich weggelassen werden können, abhängig von den Umständen. Die beschriebenen Vorgänge können unterstützt von einem Computer, Prozessor oder einer anderen Recheneinrichtung basierend auf Instruktionen, welche auf ein oder mehreren Computer lesbaren Speichermedien gespeichert sind. Das Computer lesbare Speichermedium kann jedes verfügbare Medium sein, auf welches eine Recheneinrichtung zugreifen kann, um die darauf gespeicherten Instruktionen zu implementieren.

**[0076]** Bei **802** wird eine erste NMOS Übersteuerungsspannung für eine erste NMOS-Transistorschaltung hervorgerufen. Die erste NMOS Übersteuerungsspannung ist definiert durch den Wert der Schwellenspannung der ersten NMOS-Transistorschaltung abgezogen von der Gate-Source-Spannung der ersten NMOS-Transistorschaltung. Die Gate-Source-Spannung der ersten NMOS-Transistorschaltung kann durch Anlegen eines ersten Vor-

spannungsstroms an die erste NMOS-Transistorschaltung hervorgerufen werden. Die Gate-Source-Spannung der ersten NMOS-Transistorschaltung kann in einem Bereich unterhalb des Schwellenwertes der ersten NMOS-Transistorschaltung liegen. Zudem kann die erste NMOS-Transistorschaltung ein erstes NMOS-W/L-Verhältnis aufweisen, welches durch eine Anzahl von parallel geschalteten NMOS-Transistoren realisiert ist.

**[0077]** Bei **804** wird für eine zweite NMOS-Transistorschaltung eine zweite NMOS Übersteuerungsspannung hervorgerufen, welche sich von der ersten NMOS Übersteuerungsspannung unterscheidet. Die zweite NMOS Übersteuerungsspannung ist definiert durch den Wert der Schwellenspannung der zweiten NMOS-Transistorschaltung abgezogen von der Gate-Source-Spannung der zweiten NMOS-Transistorschaltung. Die Gate-Source-Spannung der zweiten NMOS-Transistorschaltung kann durch Modifizieren der Gate-Source-Spannung der ersten NMOS-Transistorschaltung unter Benutzung einer ersten Spannungsquelle definiert werden. Die Gate-Source-Spannung der zweiten NMOS-Transistorschaltung kann ebenso in dem Bereich unterhalb des Schwellenwertes der zweiten NMOS-Transistorschaltung sein. Zudem kann die zweite NMOS-Transistorschaltung ein zweites NMOS W/L-Verhältnis aufweisen, welches durch eine Anzahl von in Reihe geschaltete NMOS-Transistoren realisiert ist. Bei manchen Implementierungen ist die zweite NMOS Übersteuerungsspannung kleiner als die erste NMOS Übersteuerungsspannung. Auf diese Weise arbeitet die zweite NMOS-Transistorschaltung als eine Impedanzeinrichtung, und eine Impedanztransformation geht aufgrund der unterschiedlichen Übersteuerungsspannungen vonstatten. Eine zusätzliche Impedanztransformation kann aufgrund der unterschiedlichen W/L-Verhältnisse der ersten NMOS-Transistorschaltung und der zweiten NMOS-Transistorschaltung vonstattengehen.

**[0078]** Bei **806** wird für eine erste PMOS-Transistorschaltung eine erste PMOS Übersteuerungsspannung hervorgerufen. Die erste PMOS Übersteuerungsspannung ist definiert durch den Wert der Schwellenspannung der ersten PMOS-Transistorschaltung abgezogen von der Gate-Source-Spannung der ersten PMOS-Transistorschaltung. Die Gate-Source-Spannung der ersten PMOS-Transistorschaltung kann durch Anlegen eines zweiten Vorspannungsstroms an die erste PMOS-Transistorschaltung hervorgerufen werden. Die Gate-Source-Spannung der ersten PMOS-Transistorschaltung kann zudem im Bereich unterhalb des Schwellenwertes der ersten PMOS-Transistorschaltung liegen. Zudem kann die erste PMOS-Transistorschaltung ein erstes PMOS W/L-Verhältnis aufweisen, welches durch eine Anzahl von parallel geschalteten PMOS-Transistoren realisiert ist.

**[0079]** Bei **808** wird für eine zweite PMOS-Transistorschaltung eine zweite PMOS Übersteuerungsspannung hervorgerufen, welche sich von der ersten PMOS Übersteuerungsspannung unterscheidet. Die zweite PMOS Übersteuerungsspannung ist definiert durch den Wert der Schwellenspannung subtrahiert von der Gate-Source-Spannung der zweiten PMOS-Transistorschaltung. Die Gate-Source-Spannung der zweiten PMOS-Transistorschaltung kann durch Modifizieren der Gate-Source-Spannung der ersten PMOS-Transistorschaltung unter Benutzung einer zweiten Spannungsquelle definiert sein. Die Gate-Source-Spannung der zweiten PMOS-Transistorschaltung kann zudem in dem Bereich unterhalb des Schwellenwertes der zweiten PMOS-Transistorschaltung liegen. Zudem kann die zweite PMOS-Transistorschaltung ein zweites PMOS W/L-Verhältnis aufweisen, welches durch eine Anzahl von in Reihe geschalteten PMOS-Transistoren realisiert wird.

**[0080]** Weiterhin kann die zweite PMOS-Transistorschaltung in Reihe oder parallel zu der zweiten NMOS-Transistorschaltung geschaltet sein. Bei manchen Implementierungen ist die zweite PMOS Übersteuerungsspannung kleiner als die erste PMOS Übersteuerungsspannung. Auf diese Weise arbeitet die zweite PMOS-Transistorschaltung als eine Impedanzeinrichtung, und aufgrund der unterschiedlichen Übersteuerungsspannungen geht eine Impedanztransformation vorstatten. Eine zusätzliche Impedanztransformation kann auch aufgrund verschiedener W/L-Verhältnisse der ersten PMOS-Transistorschaltung und der zweiten PMOS-Transistorschaltung vorstattengehen. Weiterhin kann durch Hervorrufen von Impedanztransformationen unter Benutzung eines Paares von NMOS-Transistorschaltungen und Hervorrufen von Impedanztransformationen unter Benutzung eines Paares von PMOS-Transistorschaltungen in einer Schaltung hoher Impedanz ein nicht lineares Verhalten der Schaltung hoher Impedanz verringert werden.

**[0081]** Es ist zu bemerken, dass Merkmale und Vorgänge, welche oben stehend beschrieben wurden, und Variationen dieser spezifischen Merkmale und Vorgänge separat oder in Kombination miteinander implementiert werden können, wobei auch Merkmale verschiedener Ausführungsbeispiele miteinander kombinierbar sind.

### Patentansprüche

1. Vorrichtung (**110; 200; 300; 400; 500; 600; 700**) umfassend:  
eine erste Transistorschaltung (**202; 302; 402; 502; 602; 702**) mit einer ersten Übersteuerungsspannung, wobei die erste Übersteuerungsspannung definiert ist durch eine Gate-Source-Spannung der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**) mi-

nus einer Schwellenspannung der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**), und eine zweite Transistorschaltung (**212; 312; 414; 514; 610; 708**) mit einer zweiten Übersteuerungsspannung, wobei die zweite Übersteuerungsspannung definiert ist durch eine Gate-Source-Spannung der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) minus einer Schwellenspannung der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**), wobei die zweite Transistorschaltung (**212; 312; 414; 514; 610; 708**) mit der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**) in einer Anordnung vom Stromspiegeltyp angeordnet ist, wobei eine Impedanz der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) zunimmt, wenn die zweite Übersteuerungsspannung bezüglich der ersten Übersteuerungsspannung abnimmt, und wobei die Schwellenspannung der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) größer ist als die Schwellenspannung der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**), und die Gate-Source-Spannung der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) näherungsweise gleich ist der Gate-Source-Spannung der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**).

2. Vorrichtung (**110; 200; 300; 400; 500; 600; 700**) nach Anspruch 1, wobei die erste Transistorschaltung (**202; 302; 402; 502; 602; 702**) ein erstes Kanalbreiten-zu-Kanallängenverhältnis aufweist und die zweite Transistorschaltung (**212; 312; 414; 514; 610; 708**) ein zweites Kanalbreiten-zu-Längenverhältnis aufweist, welches kleiner ist als das erste Kanalbreiten-zu-Längenverhältnis.

3. Vorrichtung nach einem der Ansprüche 1 oder 2, wobei die erste Gate-Source-Spannung und/oder die zweite Gate-Source-Spannung in einem Bereich unterhalb des Schwellenwertes liegen.

4. Vorrichtung (**200; 300; 400; 500**) nach einem der Ansprüche 1–3, weiterhin umfassend eine mit der ersten Transistorschaltung (**202; 302; 402; 502**) und der zweiten Transistorschaltung (**212; 312; 414; 514**) gekoppelte Spannungsquelle (**206; 306; 406; 506**), wobei die Spannungsquelle (**206; 306; 406; 506**) ein erstes Impedanzelement (**208; 308; 410; 510**) und eine Stromquelle (**210; 310; 412; 512**) umfasst.

5. Vorrichtung (**200; 300; 400; 500**) nach Anspruch 4, wobei ein Gate der ersten Transistorschaltung (**202; 302; 402; 502**) mit dem ersten Impedanzelement (**208; 308; 410; 510**) gekoppelt ist und ein Gate der zweiten Transistorschaltung (**212; 312; 414; 514**) mit dem ersten Impedanzelement (**208; 308; 410; 510**) gekoppelt ist.

6. Vorrichtung (**200; 300; 400; 500**) nach Anspruch 4 oder 5, wobei ein Source-Anschluss der ersten Transistorschaltung (**202; 302; 402; 502**) mit dem ers-

ten Impedanzelement (**208; 308; 410; 510**) gekoppelt ist und/oder ein Source-Anschluss der zweiten Transistorschaltung (**212; 312; 414; 514**) mit dem ersten Impedanzelement (**208; 308; 410; 510**) gekoppelt ist.

7. Vorrichtung nach einem der Ansprüche 4–6, wobei die Stromquelle (**612**) eine Stromspiegelanordnung umfassend einen ersten NMOS-Transistor (**618**) und einen zweiten NMOS-Transistor (**620**) umfasst.

8. Vorrichtung (**110; 200; 300; 500; 600; 700**) nach einem der Ansprüche 1–7, wobei die erste Transistorschaltung (**202; 302; 402; 502; 602; 702**) eine Vielzahl von parallel geschalteten Transistoren umfasst.

9. Vorrichtung (**110; 200; 300; 500; 600; 700**) nach einem der Ansprüche 1–8, wobei die zweite Transistorschaltung (**212; 312; 414; 514; 610; 708**) eine Vielzahl von in Reihe geschalteten Transistoren umfasst.

10. Vorrichtung (**500**) umfassend:  
eine erste NMOS-Transistorschaltung (**402; 502**), welche mit einer ersten Spannungsquelle (**406; 506**) gekoppelt ist,  
eine zweite NMOS-Transistorschaltung (**414; 514**), welche mit der ersten Spannungsquelle (**406; 506**) gekoppelt ist, wobei die zweite NMOS-Transistorschaltung (**414; 514**) ein kleineres Kanalbreiten-zu-Längenverhältnis aufweist als die erste NMOS-Transistorschaltung (**402; 502**),  
eine erste PMOS-Transistorschaltung (**420; 520**), welche mit einer zweiten Spannungsquelle (**424; 524**) und mit der zweiten NMOS-Transistorschaltung (**414; 514**) gekoppelt ist, und  
eine zweite PMOS-Transistorschaltung (**430; 530**), welche mit der zweiten Spannungsquelle (**424; 524**) gekoppelt ist, wobei die zweite PMOS-Transistorschaltung (**430; 530**) ein größeres Kanalbreiten-zu-Längenverhältnis aufweist als die erste PMOS-Transistorschaltung (**420; 520**),  
wobei die erste PMOS-Transistorschaltung (**520**) mit der zweiten NMOS-Transistorschaltung (**514**) parallel geschaltet ist.

11. Vorrichtung nach Anspruch 10, wobei die erste Spannungsquelle (**406; 506**) eine erste Stromquelle (**412; 512**) und ein erstes Impedanzelement (**410; 510**) umfasst und die zweite Spannungsquelle (**424; 524**) eine zweite Stromquelle (**428; 528**) und ein zweites Impedanzelement (**426; 526**) umfasst.

12. Vorrichtung nach einem der Ansprüche 10 oder 11, wobei die erste NMOS-Transistorschaltung (**402; 502**) ein anderes Kanalbreiten-zu-Längenverhältnis aufweist als die zweite PMOS-Transistorschaltung (**430; 530**).

13. Vorrichtung (**400; 500**) nach einem der Ansprüche 10–12, wobei die zweite NMOS-Transistorschaltung

(**414; 514**) ein anderes Kanalbreiten-zu-Längenverhältnis aufweist als die erste PMOS-Transistorschaltung (**420; 520**).

14. Verfahren, umfassend:

Hervorrufen einer ersten Impedanztransformation bezüglich einer ersten Transistorschaltung, welche mit einer zweiten Transistorschaltung gekoppelt ist, und

Hervorrufen einer zweiten Impedanztransformation bezüglich der ersten Transistorschaltung und der zweiten Transistorschaltung,

wobei die zweite Impedanztransformation hervorgerufen wird, indem der ersten Transistorschaltung eine erste Übersteuerungsspannung bereitgestellt wird und der zweiten Transistorschaltung eine zweite Übersteuerungsspannung bereitgestellt ist, wobei die erste Übersteuerungsspannung definiert ist durch eine Gate-Source-Spannung der ersten Transistorschaltung minus einer Schwellenspannung der ersten Transistorschaltung und wobei die zweite Übersteuerungsspannung definiert ist durch eine Gate-Source-Spannung der zweiten Transistorschaltung minus einer Schwellenspannung der zweiten Transistorschaltung,

wobei eine Impedanz der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) zunimmt, wenn die zweite Übersteuerungsspannung bezüglich der ersten Übersteuerungsspannung abnimmt, und wobei die Schwellenspannung der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) größer ist als die Schwellenspannung der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**), und die Gate-Source-Spannung der zweiten Transistorschaltung (**212; 312; 414; 514; 610; 708**) näherungsweise gleich ist der Gate-Source-Spannung der ersten Transistorschaltung (**202; 302; 402; 502; 602; 702**).

15. Verfahren nach Anspruch 14, wobei die erste Impedanztransformation darauf basierend hervorgerufen wird, dass die erste Transistorschaltung ein Kanalbreiten-zu-Längenverhältnis aufweist, welches größer ist als das Kanalbreiten-zu-Längenverhältnis der zweiten Transistorschaltung.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

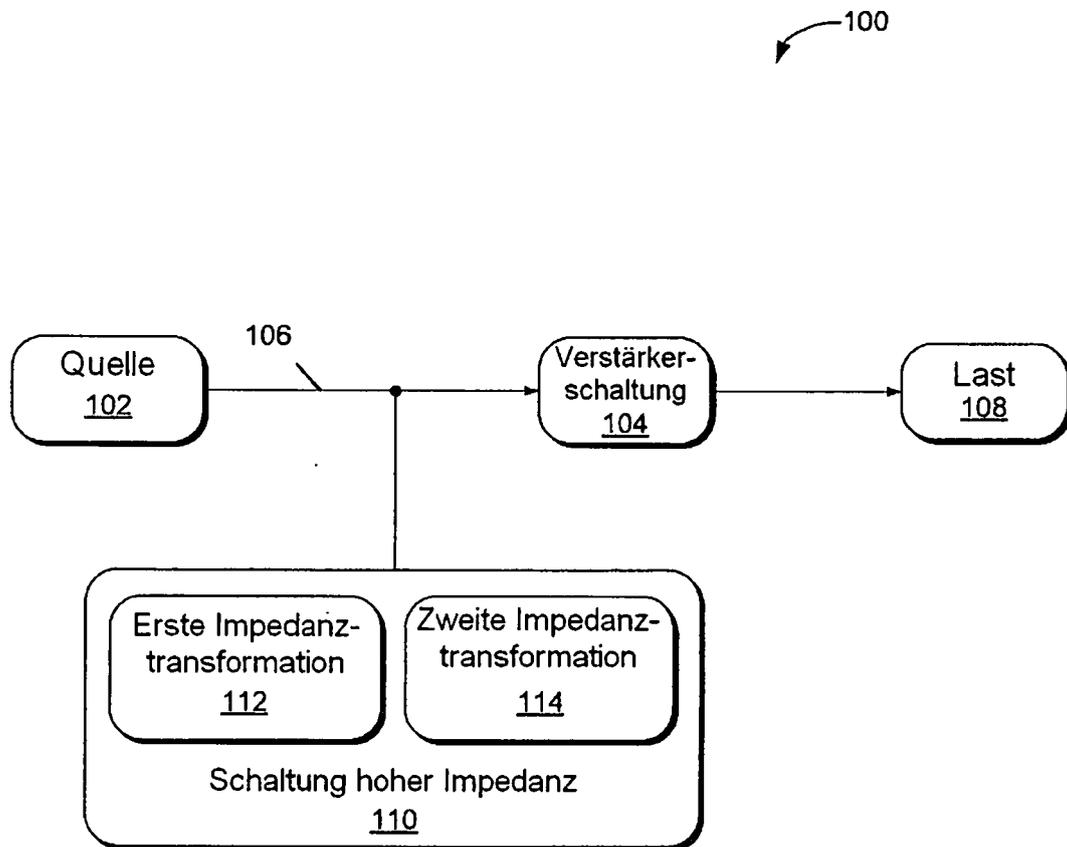


FIG. 1

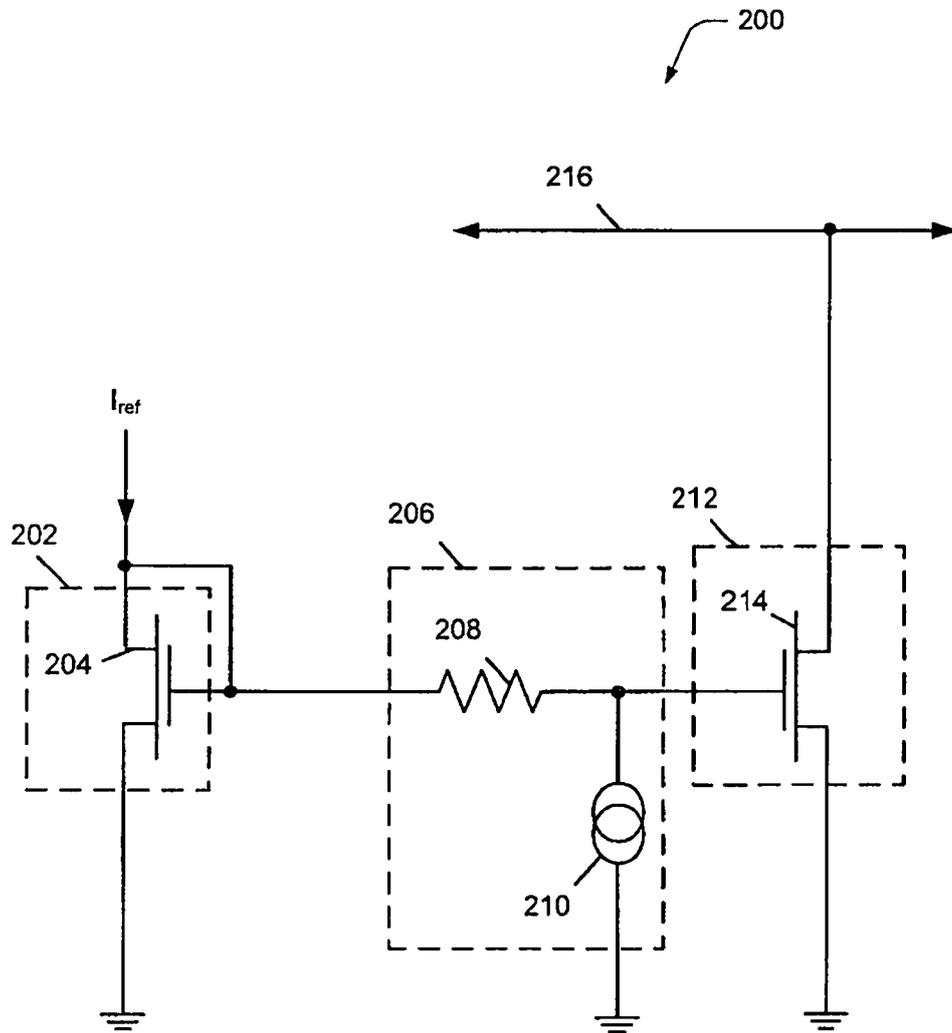


FIG. 2

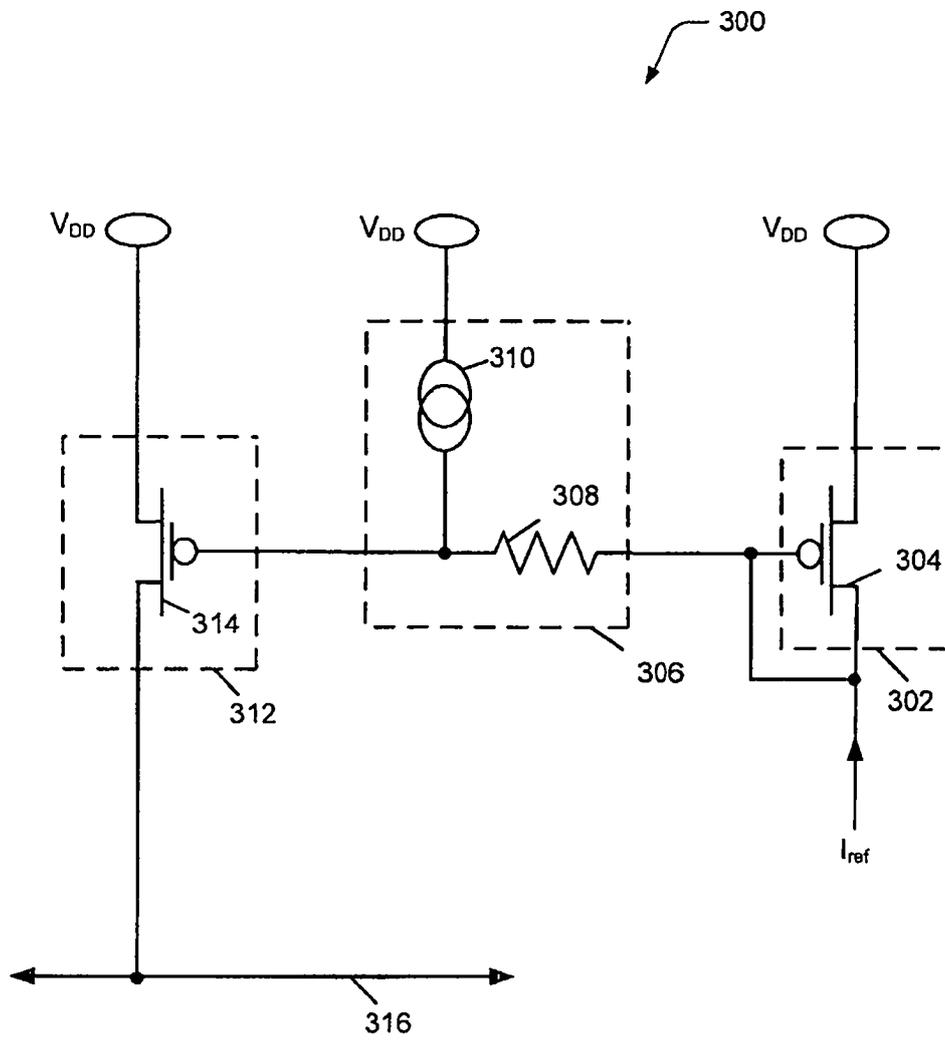


FIG. 3

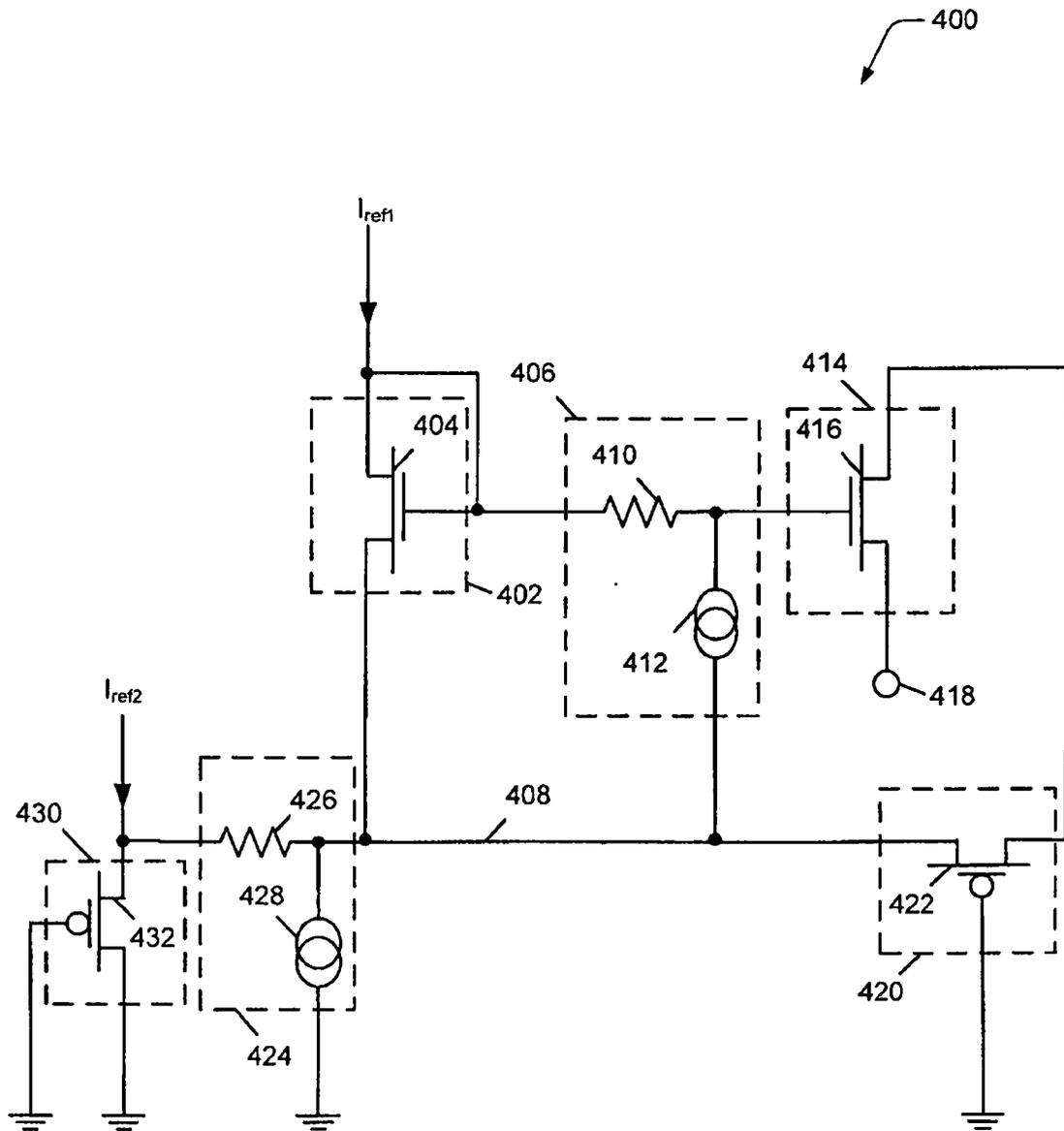


FIG. 4

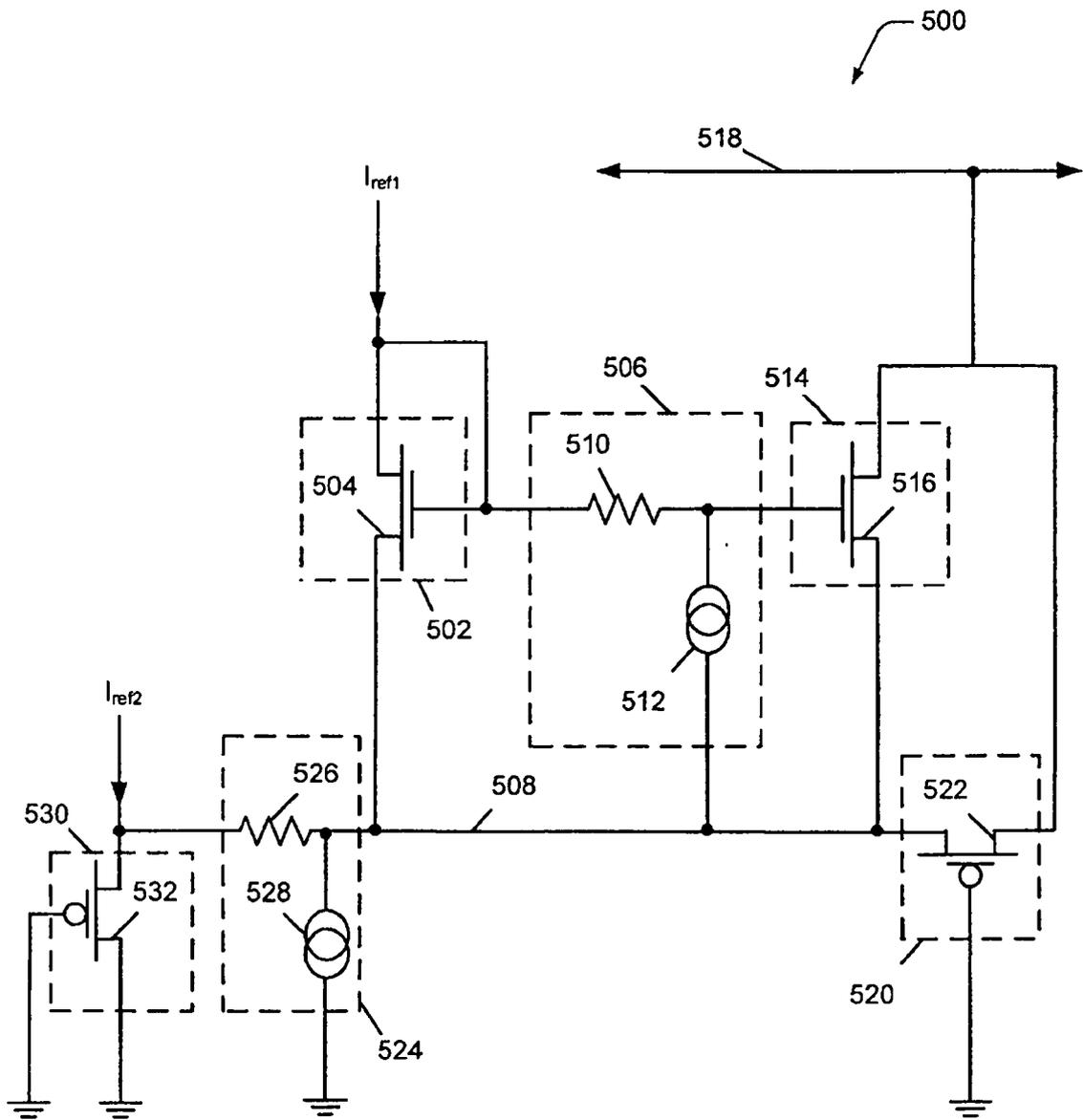


FIG. 5

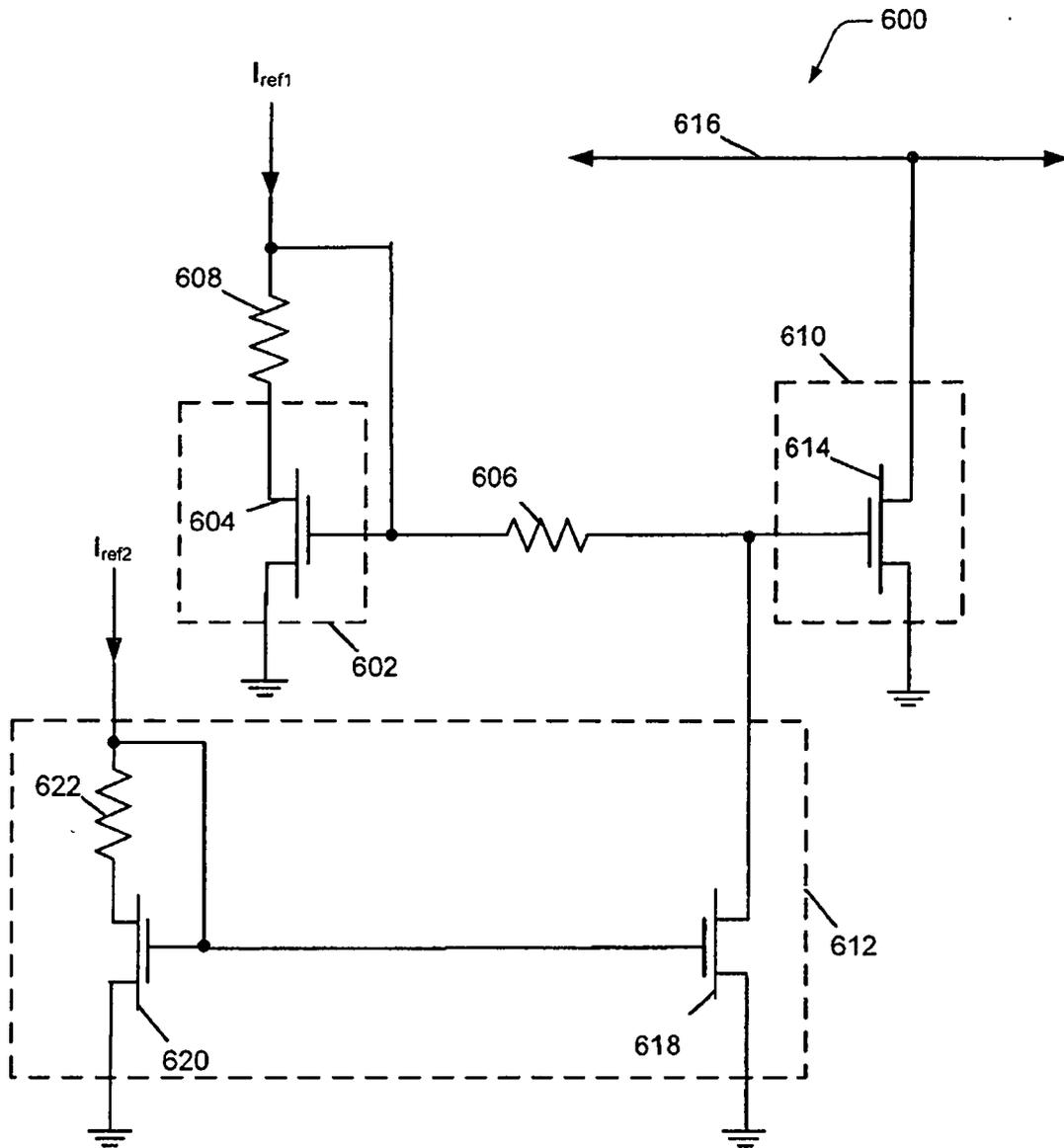


FIG. 6

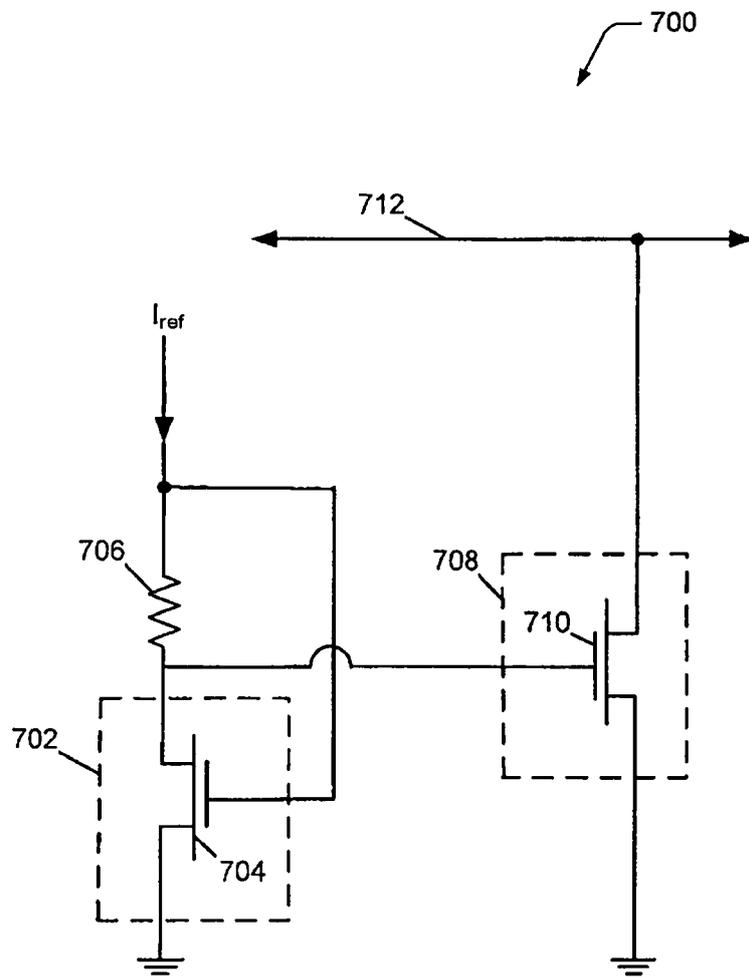


FIG. 7

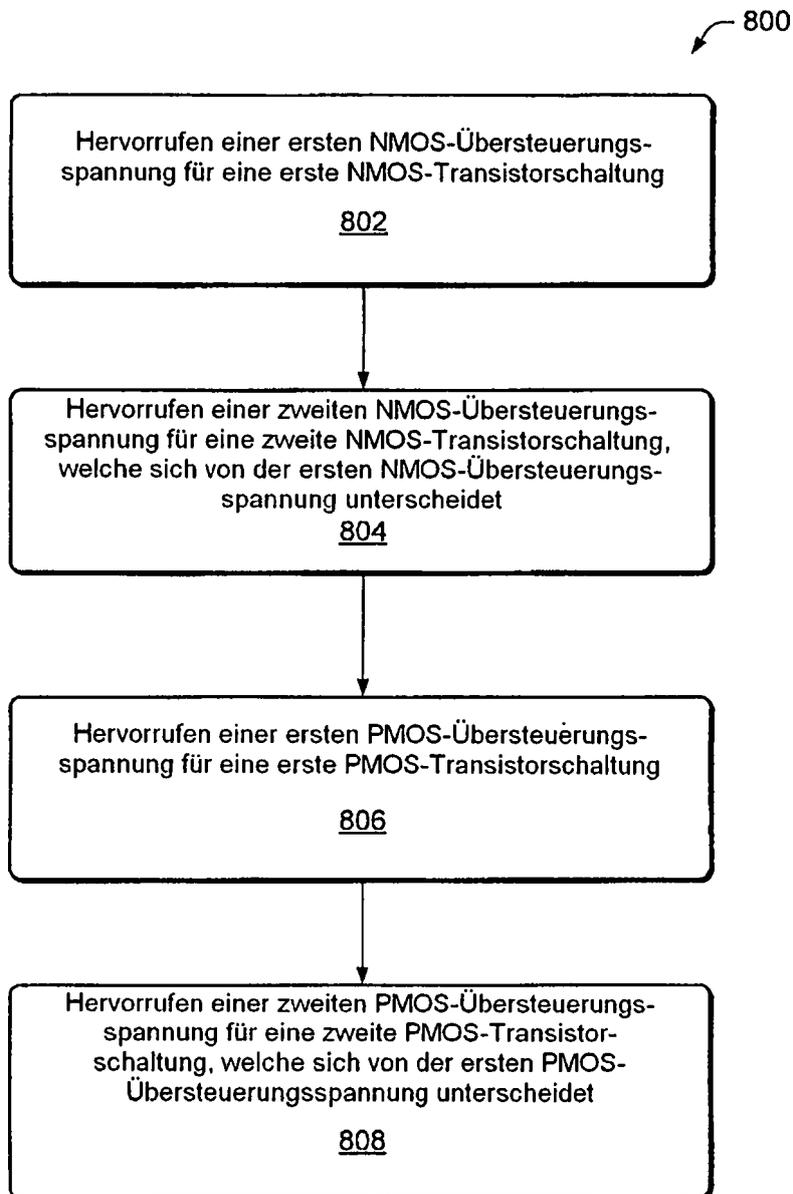


FIG. 8