



(12) 发明专利申请

(10) 申请公布号 CN 102592680 A

(43) 申请公布日 2012. 07. 18

(21) 申请号 201110005399. 9

(22) 申请日 2011. 01. 12

(71) 申请人 北京兆易创新科技有限公司

地址 100084 北京市海淀区清华科技园学研大厦 B 座 301 室

(72) 发明人 苏志强 舒清明

(74) 专利代理机构 北京润泽恒知识产权代理有限公司 11319

代理人 苏培华

(51) Int. Cl.

G11C 29/44 (2006. 01)

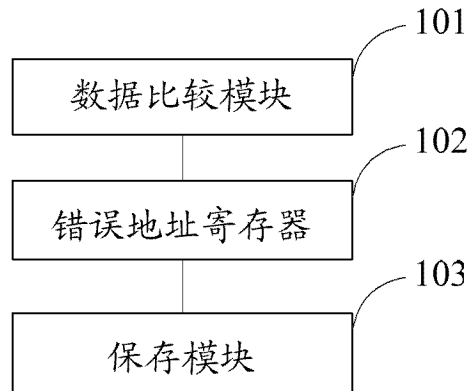
权利要求书 2 页 说明书 8 页 附图 3 页

(54) 发明名称

一种存储芯片的修复装置和方法

(57) 摘要

本发明提供了一种存储芯片的修复装置和方法, 其中的修复装置位于存储芯片内部, 包括: 数据比较模块, 用于在自动测试设备并行读取存储芯片时, 对所处存储芯片的当前地址中的数据与预设目标数据进行比较; 错误地址寄存器, 用于在该当前地址中的数据不同于预设目标数据时, 将该当前地址作为错误地址进行记录; 及保存模块, 用于在所处存储芯片读取完毕时, 保存所述错误地址寄存器中的错误地址。本发明能够实现存储芯片的并行修复, 从而能够提高存储芯片修复的速度和成功率。



1. 一种存储芯片的修复装置,其特征在于,位于存储芯片内部,包括:  
数据比较模块,用于在自动测试设备并行读取存储芯片时,对所处存储芯片的当前地址中的数据与预设目标数据进行比较;  
错误地址寄存器,用于在该当前地址中的数据不同于预设目标数据时,将该当前地址作为错误地址进行记录;及  
保存模块,用于在所处存储芯片读取完毕时,保存所述错误地址寄存器中的错误地址。
2. 如权利要求1所述的装置,其特征在于,还包括控制状态机,用于控制所述数据比较模块、错误地址寄存器和保存模块的操作。
3. 如权利要求2所述的装置,其特征在于,所述控制状态机包括:  
设定模块,用于在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所处存储芯片的地址中的数据设定为所述预设目标数据。
4. 如权利要求2所述的装置,其特征在于,所述控制状态机包括:  
保存控制模块,用于在所处存储芯片读取完毕时,依据外界的保存指令,通过控制将所述错误地址寄存器中的错误地址保存至所述保存模块。
5. 如权利要求2所述的装置,其特征在于,所述数据比较模块,还用于在该当前地址中的数据不同于预设目标数据时,发送错误信号至所述控制状态机;  
所述控制状态机包括:  
记录控制模块,用于依据所述错误信号,通过控制将该当前地址作为错误地址记录至所述错误地址寄存器。
6. 如权利要求2所述的装置,其特征在于,所述控制状态机包括:  
增加模块,用于在所处存储芯片中增设冗余空间;  
地址比较模块,用于将所述保存模块中保存的错误地址和外界输入的地址进行比较;  
及  
替代模块,用于在所述保存模块中保存的错误地址与外界输入的地址相同时,使用冗余空间来替代所处存储芯片中的该错误地址对应的空间。
7. 如权利要求6所述的装置,其特征在于,所述控制状态机还包括:  
冗余设定模块,用于在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所述冗余空间中的数据设定为第一预设目标数据。
8. 一种存储芯片的修复方法,其特征在于,所述方法在存储芯片内部执行,包括:  
比较步骤:在自动测试设备并行读取存储芯片时,对所处存储芯片的当前地址中的数据与预设目标数据进行比较;  
记录步骤:在该当前地址中的数据不同于预设目标数据时,将该当前地址作为错误地址记录到错误地址寄存器;  
保存步骤:在所处存储芯片读取完毕时,保存所述错误地址寄存器中的错误地址。
9. 如权利要求8所述的方法,其特征在于,还包括:  
控制步骤:利用控制状态机控制所述比较步骤、记录步骤和保存步骤的执行。
10. 如权利要求9所述的方法,其特征在于,所述控制步骤包括:  
在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所处存储芯片的地址中的数据设定为所述预设目标数据。

11. 如权利要求 9 所述的方法,其特征在于,所述控制步骤包括:  
在所处存储芯片读取完毕时,依据外界的保存指令,通过控制将所述错误地址寄存器中的错误地址保存至所述保存模块。
12. 如权利要求 9 所述的方法,其特征在于,所述比较步骤还包括:  
在该当前地址中的数据不同于预设目标数据时,发送错误信号至所述控制状态机;  
所述控制步骤包括:  
依据所述错误信号,通过控制将该当前地址作为错误地址记录至所述错误地址寄存器。
13. 如权利要求 9 所述的方法,其特征在于,还包括:  
在所处存储芯片中增设冗余空间;  
将所述保存模块中保存的错误地址和外界输入的地址进行比较;  
在所述保存模块中保存的错误地址与外界输入的地址相同时,使用冗余空间来替代所处存储芯片中的该错误地址对应的空间。
14. 如权利要求 13 所述的方法,其特征在于,还包括:  
在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所述冗余空间中的数据设定为第一预设目标数据。

## 一种存储芯片的修复装置和方法

### 技术领域

[0001] 本发明涉及半导体芯片技术领域,特别是涉及一种存储芯片的修复装置和方法。

### 背景技术

[0002] 随着微电子技术的飞速发展,并行芯片测试被引入印刷电路板、通讯产品和片上系统等集成电路领域并得到广泛应用。并行芯片测试指在同一时间内完成多项测试任务,包括在同一时间内完成对多个待测芯片的测试,或者,在单个待测芯片上异步或者同步地运行多个测试任务,同时完成对待测芯片多项参数的测量。

[0003] 存储芯片的基本存储单位为存储单元(memory cell),为了存储芯片内数据的安全性,其通常不允许一个memory cell的损坏,因此,在并行测试存储芯片的过程中,需要对存储芯片进行修复。

[0004] 从测试角度出发,记录存储芯片中的错误地址即认为实现了存储芯片的修复。已有的存储芯片修复方法的实现过程通常为,自动测试设备(ATE, Automatic Test Equipment)依次针对每个待测存储芯片,对其进行地址遍历读取数据,并根据目标数据判断读取数据正确与否,如果错误,则认为当前地址为错误地址,于是记录当前地址至寄存器。这样,在遍历完所有的存储芯片后,ATE就会依据寄存器中记录的错误地址,逐个存储芯片进行修复。

[0005] 可以看出,为了记录不同存储芯片的错误地址,现有的存储芯片修复方法需要串行读取各存储芯片;并且,由于存储芯片的错误地址记录在ATE的寄存器中,导致依据寄存器中记录的错误地址进行各存储芯片的串行修复,这就违背了并行测试的初衷,导致存储芯片修复速度的降低。

[0006] 另外,由于ATE的硬件限制,其仅能提供有限空间的寄存器;这样,在每个存储芯片中都有大量(如1024个)错误地址时,32(32为并测数量)个存储芯片就会产生 $32 \times 1024$ 个错误地址,ATE很难将所有存储芯片的错误地址记录下来,导致存储芯片修复的失败。

[0007] 总之,需要本领域技术人员迫切解决的一个技术问题就是:如何能够提高存储芯片修复的速度和成功率。

### 发明内容

[0008] 本发明所要解决的技术问题是提供一种存储芯片的修复装置和方法,能够实现存储芯片的并行修复,从而能够提高存储芯片修复的速度和成功率。

[0009] 为了解决上述问题,本发明公开了一种存储芯片的修复装置,位于存储芯片内部,包括:

[0010] 数据比较模块,用于在自动测试设备并行读取存储芯片时,对所处存储芯片的当前地址中的数据与预设目标数据进行比较;

[0011] 错误地址寄存器,用于在该当前地址中的数据不同于预设目标数据时,将该当前

地址作为错误地址进行记录 ;及

[0012] 保存模块,用于在所处存储芯片读取完毕时,保存所述错误地址寄存器中的错误地址。

[0013] 优选的,所述装置还包括控制状态机,用于控制所述数据比较模块、错误地址寄存器和保存模块的操作。

[0014] 优选的,所述控制状态机包括 :

[0015] 设定模块,用于在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所处存储芯片的地址中的数据设定为所述预设目标数据。

[0016] 优选的,所述控制状态机包括 :

[0017] 保存控制模块,用于在所处存储芯片读取完毕时,依据外界的保存指令,通过控制将所述错误地址寄存器中的错误地址保存至所述保存模块。

[0018] 优选的,所述数据比较模块,还用于在该当前地址中的数据不同于预设目标数据时,发送错误信号至所述控制状态机 ;

[0019] 所述控制状态机包括 :

[0020] 记录控制模块,用于依据所述错误信号,通过控制将该当前地址作为错误地址记录至所述错误地址寄存器。

[0021] 优选的,所述控制状态机包括 :

[0022] 增加模块,用于在所处存储芯片中增设冗余空间 ;

[0023] 地址比较模块,用于将所述保存模块中保存的错误地址和外界输入的地址进行比较 ;及

[0024] 替代模块,用于在所述保存模块中保存的错误地址与外界输入的地址相同时,使用冗余空间来替代所处存储芯片中的该错误地址对应的空间。

[0025] 优选的,所述控制状态机还包括 :

[0026] 冗余设定模块,用于在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所述冗余空间中的数据设定为第一预设目标数据。

[0027] 另一方面,本发明还公开了一种存储芯片的修复方法,所述方法在存储芯片内部执行,包括 :

[0028] 比较步骤 :在自动测试设备并行读取存储芯片时,对所处存储芯片的当前地址中的数据与预设目标数据进行比较 ;

[0029] 记录步骤 :在该当前地址中的数据不同于预设目标数据时,将该当前地址作为错误地址记录到错误地址寄存器 ;

[0030] 保存步骤 :在所处存储芯片读取完毕时,保存所述错误地址寄存器中的错误地址。

[0031] 优选的,所述方法还包括 :

[0032] 控制步骤 :利用控制状态机控制所述比较步骤、记录步骤和保存步骤的执行。

[0033] 优选的,所述控制步骤包括 :

[0034] 在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所处存储芯片的地址中的数据设定为所述预设目标数据。

[0035] 优选的,所述控制步骤包括 :

[0036] 在所处存储芯片读取完毕时,依据外界的保存指令,通过控制将所述错误地址寄

寄存器中的错误地址保存至所述保存模块。

[0037] 优选的,所述比较步骤还包括:

[0038] 在该当前地址中的数据不同于预设目标数据时,发送错误信号至所述控制状态机;

[0039] 所述控制步骤包括:

[0040] 依据所述错误信号,通过控制将该当前地址作为错误地址记录至所述错误地址寄存器。

[0041] 优选的,所述方法还包括:

[0042] 在所处存储芯片中增设冗余空间;

[0043] 将所述保存模块中保存的错误地址和外界输入的地址进行比较;

[0044] 在所述保存模块中保存的错误地址与外界输入的地址相同时,使用冗余空间来替代所处存储芯片中的该错误地址对应的空间。

[0045] 优选的,所述方法还包括:

[0046] 在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所述冗余空间中的数据设定为第一预设目标数据。

[0047] 与背景技术的已有方法相比,本发明具有以下优点:

[0048] 相对于背景技术的已有方法,ATE 通过串行读取存储芯片来记录不同存储芯片的错误地址到寄存器;本发明在 ATE 并行读取存储芯片的过程中,由存储芯片本身记录错误地址,不仅能够减少记录所花费的测试时间;并且,由于从测试角度来分析,作为存储芯片修复依据的错误地址分别存储在各自的存储芯片中,就意味着能够分别依据内部的错误地址进行各存储芯片的修复,也即,能够保证在真正意义上实现存储芯片的并行修复,因此,本发明能够大大提高存储芯片修复的速度。

[0049] 另外,由于本发明的错误地址寄存器仅用来存储所处存储芯片的错误地址,即使所处存储芯片具有大量(如 1024 个)错误地址,错误地址寄存器的容量也能够满足所述大量错误地址的空间需求;因此,相对于背景技术的已有方法,ATE 很难将所有存储芯片的错误地址记录下来,导致存储芯片修复的失败的情形,本发明能够大大提高存储芯片修复的成功率。

[0050] 再者,背景技术的已有方法中,由 ATE 在并行测试过程中进行存储芯片的修复,不能保证修复的成功率,并且,即使能够保证修复的成功率,也难免会出现 memory cell 在修复成功后损坏的情形,这就严重影响用户的使用体验;而本发明能够在用户的使用过程中,自动完成存储芯片的修复,对于用户来讲,所述自动修复过程执行速度快且不可见,因此,不会影响用户的使用体验。

#### 附图说明

[0051] 图 1 是本发明一种存储芯片的修复装置实施例 1 的结构图;

[0052] 图 2 是本发明一种存储芯片的修复装置实施例 2 的结构图;

[0053] 图 3 是本发明一种存储芯片的修复装置实施例 3 的结构图;

[0054] 图 4 是本发明一种存储芯片的修复方法实施例 1 的流程图;

[0055] 图 5 是本发明一种存储芯片的修复方法实施例 2 的流程图;

[0056] 图 6 是本发明一种存储芯片的修复方法实施例 3 的流程图。

### 具体实施方式

[0057] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0058] 本发明实施例的核心构思之一在于，在 ATE 并行读取存储芯片的过程中，由存储芯片本身记录错误地址；因此，相对于背景技术的已有方法，ATE 通过串行读取存储芯片来记录不同存储芯片的错误地址到寄存器，本发明能够减少记录所花费的测试时间，并且，从测试角度来分析，分别存储在各自存储芯片中的错误地址，能够保证并行修复存储芯片的可行性，从而能够提高存储芯片修复的速度。

[0059] 参照图 1，示出了本发明一种存储芯片的修复装置实施例 1 的结构图，其位于存储芯片内部，具体可以包括：

[0060] 数据比较模块 101，用于在自动测试设备并行读取存储芯片时，对所处存储芯片的当前地址中的数据与预设目标数据进行比较；

[0061] 错误地址寄存器 102，用于在该当前地址中的数据不同于预设目标数据时，将该当前地址作为错误地址进行记录；及

[0062] 保存模块 103，用于在所处存储芯片读取完毕时，保存所述错误地址寄存器 102 中的错误地址。

[0063] 本发明的修复装置可以应用在各种存储芯片的测试过程中，例如，Flash 芯片，EEPROM（电可擦可编程只读存储器，Electrically Erasable Programmable Read-Only Memory）芯片等，对于 Flash 芯片，其又可以包括 NOR Flash（或非闪存）、NAND Flash（与非闪存）、Low Power SRAM（低功耗随机存储器）及 Pseudo SRAM（虚拟静态随机存取记忆体）等。下面仅仅以 Flash 芯片为例进行说明，其它存储芯片请参照即可。

[0064] 首先给出自动测试设备并行读取存储芯片的示例：多（以下主要以 32 为例）个存储芯片安装在探针台中，通过探针卡与测试机台相连，由测试机台通过执行测试指令以完成对待测芯片的测试过程，其中，探针卡的探针与存储芯片的引脚（pin）一一连接；并行读取即是同时读取 32 个存储芯片引脚地址中的数据。

[0065] 在 ATE 并行读取存储芯片的过程中，存储芯片会在内部记录本身的错误地址。具体而言，数据比较模块 101 会对所处存储芯片的当前地址中的数据与预设目标数据进行比较，比较结果为相同代表没有出错，比较结果为不同代表出错，此时，则由错误地址寄存器 102 将该当前地址作为错误地址进行记录。

[0066] 由于错误地址寄存器 102 中的数据会在断电后丢失，其只能用来暂存数据；故本发明还在存储芯片内部设计保存模块 103，用于在所处存储芯片读取完毕时，保存所述错误地址寄存器 102 中的错误地址。这样，本发明记录的错误地址能够在断电后继续保存在存储芯片内部的保存模块 103 中。

[0067] 从测试角度来分析，由于作为存储芯片修复依据的错误地址分别存储在各自的存储芯片中，因此能够保证分别依据内部的错误地址进行各存储芯片的修复，也即，能够保证在真正意义上实现存储芯片的并行修复，从而能够提高存储芯片修复的速度。

[0068] 另外，由于错误地址寄存器 102 仅存储所处存储芯片的错误地址，即使所处存储

芯片具有大量（如 1024 个）错误地址，错误地址寄存器 102 的容量也能够满足所述大量错误地址的空间需求；因此，相对于背景技术的已有方法，ATE 很难将所有存储芯片的错误地址记录下来，导致存储芯片修复的失败的情形，本发明能够提高存储芯片修复的成功率。

[0069] 参照图 2，示出了本发明一种存储芯片的修复装置实施例 2 的结构图，其位于存储芯片内部，具体可以包括数据比较模块 201、错误地址寄存器 202、保存模块 203 和控制状态机 204，其中，

[0070] 所述数据比较模块 201，可用于在自动测试设备并行读取存储芯片时，对所处存储芯片的当前地址中的数据与预设目标数据进行比较；

[0071] 所述错误地址寄存器 202，可用于在该当前地址中的数据不同于预设目标数据时，将该当前地址作为错误地址进行记录；

[0072] 所述保存模块 203，可用于在所处存储芯片读取完毕时，保存所述错误地址寄存器 202 中的错误地址；

[0073] 所述控制状态机 204，则可用于控制所述数据比较模块 201、错误地址寄存器 202 和保存模块 203 的操作。

[0074] 本实施例相对于实施例 1 的区别在于，增加了控制状态机 204，来协调或控制所述数据比较模块 201、错误地址寄存器 202 和保存模块 203 工作。

[0075] 在具体实现中，控制状态机 204 可依据外界或内部的指令信息，实现上述协调或控制，具体可以包括：

[0076] 一、在控制状态机 204 中设计设定模块，用于在自动测试设备并行读取存储芯片前，依据外界的准备指令，将所处存储芯片的地址中的数据设定为所述预设目标数据。

[0077] 在实际中，控制状态机 204 一般会在 ATE 并行读取存储芯片前，接收到外界的准备指令，然后，由所述设定模块依据该准备指令，将所处存储芯片的地址中的数据全部设为目标值，如 A11 FF, A11 00 等。

[0078] 需要说明的是，本发明还可以修复包括 Check board（检验板），Inversion Check Board（反检验板）在内的其它错误类型，相应地，所述设定模块也可以设定与 Check board、Inversion Check Board 相关的目标数据，本发明对此不加以限制。

[0079] 二、在控制状态机 204 中设计保存控制模块，用于依据外界的保存指令，通过控制将所述错误地址寄存器 202 中的错误地址保存至所述保存模块 203。

[0080] 在实际中，ATE 一般根据存储芯片的容量，通过地址遍历来达到读取数据的目的，并且，在将存储芯片的所有地址遍历一遍后，ATE 会发送保存（例如 program REDCAM）指令；由所述保存控制模块，将错误地址寄存器 202 中的错误地址自动对应到保存模块 203 中。

[0081] 三、在本发明的一种优选实施例中，所述数据比较模块 201，还可用于在该当前地址中的数据不同于预设目标数据时，发送错误信号至所述控制状态机；

[0082] 此时，可以在所述控制状态机 204 中设计记录控制模块，用于依据所述错误信号，通过控制将该当前地址作为错误地址记录至所述错误地址寄存器 202。

[0083] 总之，控制状态机 204 对外与 ATE 交互，对内协调或控制所述数据比较模块 201、错误地址寄存器 202 和保存模块 203，以达到在 ATE 并行读取存储芯片时自动记录和存储各存储芯片的错误地址的目的。

[0084] 参照图 3，示出了本发明一种存储芯片的修复装置实施例 3 的结构图，其位于存储



芯片内部,具体可以包括数据比较模块 301、错误地址寄存器 302、保存模块 303 和控制状态机 304,其中,

[0085] 所述数据比较模块 301,可用于在自动测试设备并行读取存储芯片时,对所处存储芯片的当前地址中的数据与预设目标数据进行比较;

[0086] 所述错误地址寄存器 302,可用于在该当前地址中的数据不同于预设目标数据时,将该当前地址作为错误地址进行记录;

[0087] 所述保存模块 303,可用于在所处存储芯片读取完毕时,保存所述错误地址寄存器 202 中的错误地址;

[0088] 所述控制状态机 304,则可用于控制所述数据比较模块 201、错误地址寄存器 302 和保存模块 303 的操作,具体可以包括:

[0089] 增加模块 341,用于在所处存储芯片中增设冗余空间;

[0090] 地址比较模块 342,用于将所述保存模块 303 中保存的错误地址和外界输入的地址进行比较;及

[0091] 替代模块 343,用于在所述保存模块 303 中保存的错误地址与外界输入的地址相同时,使用冗余空间来替代所处存储芯片中的该错误地址对应的空间。

[0092] 相对于实施例 2,本实施例的控制状态机 304 除了可以在 ATE 并行读取存储芯片时自动记录和存储各存储芯片的错误地址外,还可以实现存储芯片的修复。

[0093] 假设存储芯片中已有正常 memory cell 阵列的数目为 1024,那么,增加模块 341 可以通过增加一定数目(例如数目为 16)的备份 cell,以增加一些额外的地址空间,也即冗余(redundancy)空间。

[0094] 由于保存模块 303 能够永久保存修复过程中检查出的错误地址,那么,在用户使用存储芯片的过程中,可以将所述保存模块中保存的错误地址和用户输入的地址进行比较,则把该错误地址对应的空间关掉,而用冗余空间来代替。

[0095] 背景技术的已有方法中,由 ATE 在并行测试过程中进行存储芯片的修复,不能保证修复的成功率,并且,即使修复成功,也难免会出现 memory cell 在修复成功后损坏的情形,这就严重影响用户的使用体验。由于本实施例能够在用户的使用过程中,自动完成存储芯片的修复,对于用户来讲,所述自动修复过程快速且不可见,因此,不会影响用户的使用体验。

[0096] 对于已增设冗余空间的存储芯片,还可以在控制状态机 304 设计冗余设定模块,用于在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所述冗余空间中的数据设定为第一预设目标数据。这里的第一预设目标数据可与预设目标数据相同或不同,本发明对此不加以限制。

[0097] 与前述装置实施例 1 相应,本发明还公开了一种存储芯片的修复方法实施例 1,参照图 4,所述方法在存储芯片内部执行,具体可以包括:

[0098] 比较步骤 401、在自动测试设备并行读取存储芯片时,对所处存储芯片的当前地址中的数据与预设目标数据进行比较;

[0099] 记录步骤 402、在该当前地址中的数据不同于预设目标数据时,将该当前地址作为错误地址记录到错误地址寄存器;

[0100] 保存步骤 403、在所处存储芯片读取完毕时,保存所述错误地址寄存器中的错误地

址。

[0101] 参照图 5, 示出了本发明一种存储芯片的修复方法实施例 2 的流程图, 具体可以包括:

[0102] 比较步骤 501、在自动测试设备并行读取存储芯片时, 对所处存储芯片的当前地址中的数据与预设目标数据进行比较;

[0103] 记录步骤 502、在该当前地址中的数据不同于预设目标数据时, 将该当前地址作为错误地址记录到错误地址寄存器;

[0104] 保存步骤 503、在所处存储芯片读取完毕时, 保存所述错误地址寄存器中的错误地址;

[0105] 控制步骤 504、利用控制状态机控制所述比较步骤 501、记录步骤 502 和保存步骤 503 的执行。

[0106] 在本发明的一种优选实施例中, 所述控制步骤 504 可以包括:

[0107] 在自动测试设备并行读取存储芯片前, 依据外界的准备指令, 将所处存储芯片的地址中的数据设定为所述预设目标数据。

[0108] 在本发明的另一种优选实施例中, 所述控制步骤 504 可以包括:

[0109] 在所处存储芯片读取完毕时, 依据外界的保存指令, 通过控制将所述错误地址寄存器中的错误地址保存至所述保存模块。

[0110] 在本发明的另一种优选实施例中, 所述比较步骤 501 还可以包括:

[0111] 在该当前地址中的数据不同于预设目标数据时, 发送错误信号至所述控制状态机;

[0112] 相应地, 所述控制步骤 504 可以包括:

[0113] 依据所述错误信号, 通过控制将该当前地址作为错误地址记录至所述错误地址寄存器。

[0114] 参照图 6, 示出了本发明一种存储芯片的修复方法实施例 3 的流程图, 具体可以包括:

[0115] 比较步骤 601、在自动测试设备并行读取存储芯片时, 对所处存储芯片的当前地址中的数据与预设目标数据进行比较;

[0116] 记录步骤 602、在该当前地址中的数据不同于预设目标数据时, 将该当前地址作为错误地址记录到错误地址寄存器;

[0117] 保存步骤 603、在所处存储芯片读取完毕时, 保存所述错误地址寄存器中的错误地址;

[0118] 控制步骤 604、利用控制状态机控制所述比较步骤 601、记录步骤 602 和保存步骤 603 的执行;

[0119] 增加步骤 605、在所处存储芯片中增设冗余空间;

[0120] 地址比较步骤 606、将所述保存模块中保存的错误地址和外界输入的地址进行比较;

[0121] 替代步骤 607、在所述保存模块中保存的错误地址与外界输入的地址相同时, 使用冗余空间来替代所处存储芯片中的该错误地址对应的空间。

[0122] 在本发明的一种优选实施例中, 所述方法还可以包括:

[0123] 在自动测试设备并行读取存储芯片前,依据外界的准备指令,将所述冗余空间中的数据设定为第一预设目标数据。

[0124] 本说明书中的各个实施例均采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似的部分互相参见即可。对于方法实施例而言,由于其与装置实施例基本相似,所以描述的比较简单,相关之处参见方法实施例的部分说明即可。

[0125] 以上对本发明所提供的一种存储芯片的修复装置和方法,进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

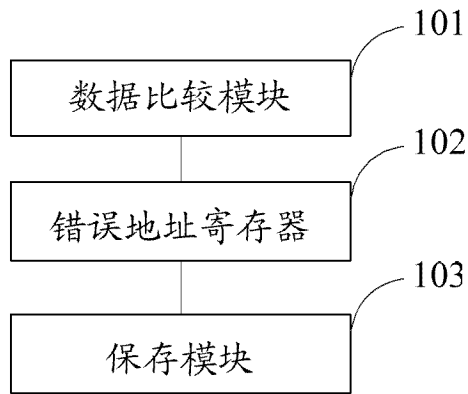


图 1

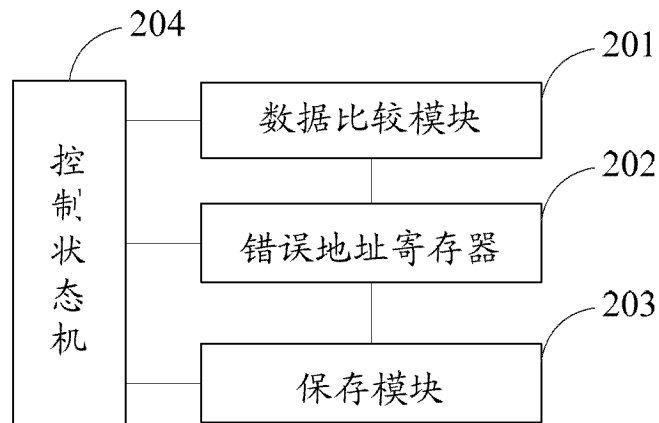


图 2

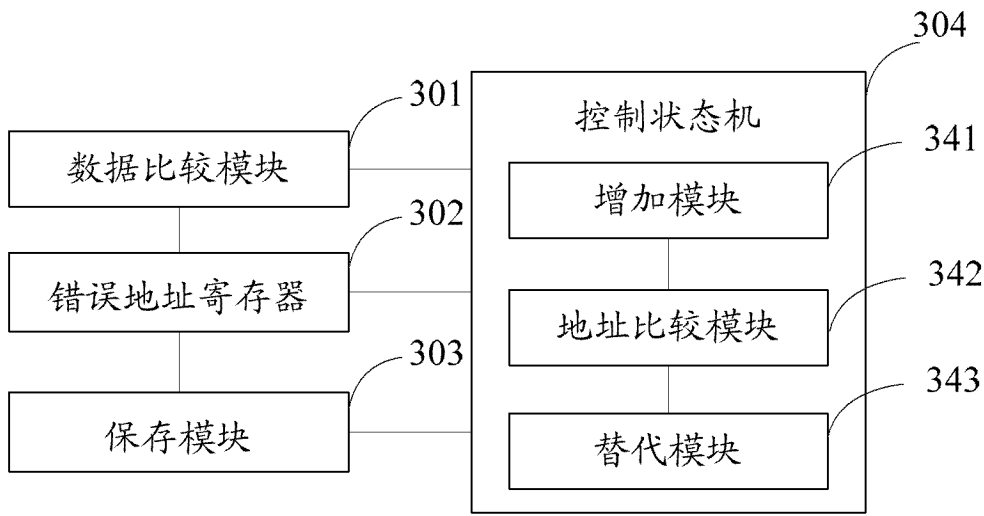


图 3

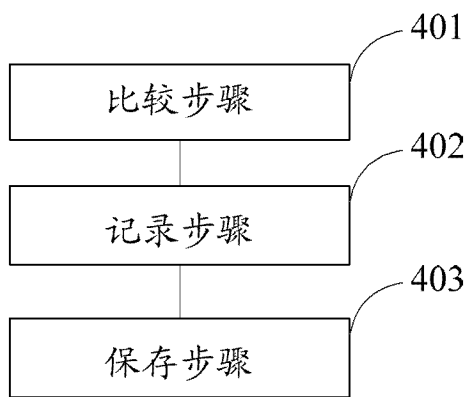


图 4

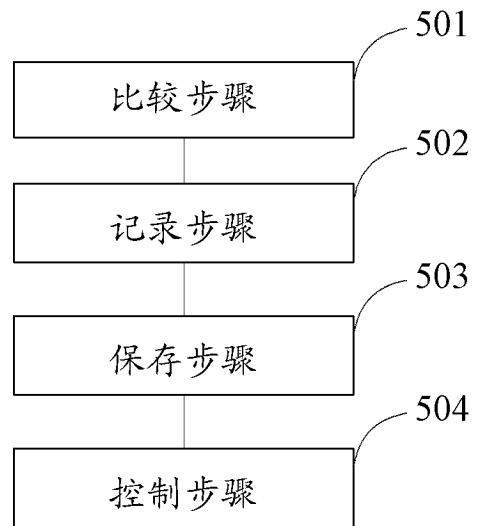


图 5

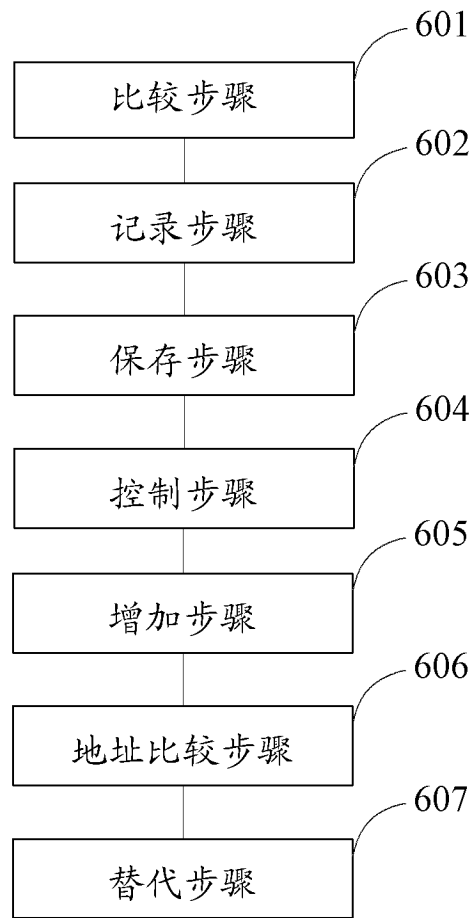


图 6