I571058

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I571058 B**

(45)公告日： 中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：101116523 (22)申請日： 中華民國 101 (2012) 年 05 月 09 日

(51)Int. Cl.： ***H03K19/177 (2006.01)*** ***H01L21/768 (2006.01)***

(30)優先權：2011/05/18 日本 2011-111098

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：竹村保彥 TAKEMURA, YASUHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5886920 US 6157213

US 6775197B2 US 7135886B2

US 7242049B2

審查人員：陳明德

申請專利範圍項數：10 項 圖式數：13 共 88 頁

(54)名稱

半導體裝置與驅動半導體裝置之方法

SEMICONDUCTOR DEVICE AND METHOD OF DRIVING SEMICONDUCTOR DEVICE

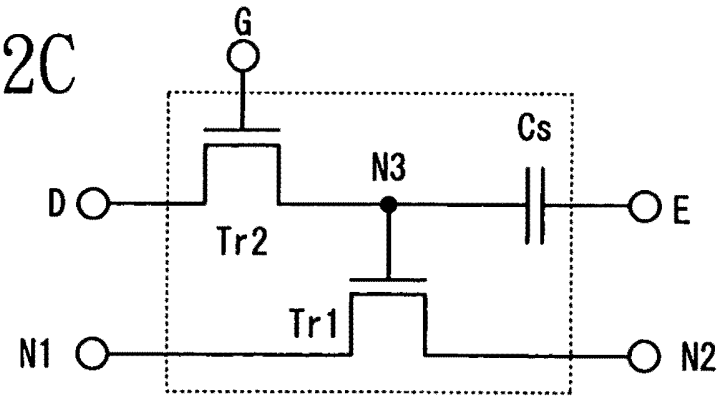
(57)摘要

提供一種使用程式化單元的半導體裝置。提供一種使用該程式化單元的高度可靠的半導體裝置。提供一種使用該程式化單元的高度積體的半導體裝置。在具有改變邏輯單元之間的連接結構之功能的半導體電路中，諸如，可程式邏輯裝置，該等邏輯單元之間或至該等邏輯單元的電源供應之連接及切斷係由使用具有小量的關閉狀態電流或小量的漏電流之絕緣閘場效電晶體的程式化單元控制。在該程式化單元中可配置傳輸閘電路。為降低驅動電壓，在該程式化單元中可配置電容器，且該電容器的該電位在組態期間及操作期間可改變。

A semiconductor device using a programming unit with is provided. A highly reliable semiconductor device using the programming unit is provided. A highly integrated semiconductor device using the programming unit is provided. In a semiconductor circuit having a function of changing a structure of connections between logic cells such as PLDs, connection and disconnection between the logic cells or power supply to the logic cells is controlled by a programming unit using an insulated gate field-effect transistor with a small amount of off-state current or leakage current. A transfer gate circuit may be provided in the programming unit. To lower driving voltage, a capacitor may be provided in the programming unit and the potential of the capacitor may be changed during configuration and during operation.

指定代表圖：

圖2C



符號簡單說明：

Cs・・・電容器

D、E、G・・・終端

N1・・・第一節點

N2・・・第二節點

N3・・・第三節點

Tr1・・・第一電晶體

Tr2・・・第二電晶體

六、發明說明：

【發明所屬之技術領域】

本發明相關於可程式化半導體裝置。

【先前技術】

在半導體積體電路中，諸如，普通的中央處理單元（CPU），電路設計係固定的且在製造後不能改變。相反地，在稱爲可程式化邏輯裝置（PLD）的半導體積體電路中，因爲邏輯電路係由足夠數量的邏輯單元組成且該等邏輯單元可藉由電開關（程式化單元或開關）互連，邏輯單元之間的互連可在製造後依需要改變（見專利文件 1 及 2）。

因此，因爲電路組態可由使用者改變，可程式化邏輯裝置具有高可變性且容許大幅減少耗費在電路設計及發展上的時間及成本。

與可程式化邏輯裝置技術競爭之技術的一者係閘陣列。此係藉由其在晶圓上方，將係標準邏輯元件的組件範例，諸如，反及閘及反或閘、電晶體、以及被動元件，諸如電阻器，放置在預界定位置上並將金屬佈線層形成於其上方以將該等組件彼此連接，從而完成半導體電路的方式。此方式與可程式化邏輯裝置技術的不同係藉由金屬佈線形成組件之間的連接。

因此，爲以閘陣列完成半導體裝置，僅訂購用於金屬佈線的遮罩並使用此遮罩形成金屬佈線層。雖然不能在半

導體裝置完成後改變電路組態，因爲閘陣列在少量的生產等上需要比較小的投資量，閘陣列已比可程式化邏輯裝置技術更廣泛地使用。

然而，近年隨著電路線寬的減少，因爲用於金屬佈線的遮罩變得更加昂貴，除非可預期可觀的生產量，閘陣列已無利潤。因此，在閘陣列中，電路線寬在最近幾年未曾落至 130nm 以下。

相反地，在電路係由電性程式化單元組成的可程式化邏輯裝置中，因爲不需要遮罩，電路線寬已經係 40nm 或以下。另外，可程式化邏輯裝置技術需要比閘陣列更小的投資量。因此，即使在習知情形中會藉由閘陣列製造的半導體裝置也開始藉由可程式化邏輯裝置技術製造。

[參考文件]

[專利文件 1] 美國專利申請案公告案號第 2011/0175646 號

[專利文件 2] 美國專利序號第 6172521 號

[專利文件 3] 美國專利序號第 7772053 號

[專利文件 4] 美國專利序號第 7674650 號

[專利文件 5] 美國專利申請案公告案號第 2011/0058116 號

[專利文件 6] 美國專利申請案公告案號第 2011/0101351 號

【發明內容】

可程式化邏輯裝置包括複雜的可程式化邏輯裝置（CPLD）、及場效可規劃閘極陣列（FPGA）等。在任何該等可程式化邏輯裝置中，電路組態係由儲存在半導體記憶體中，諸如電子可抹拭唯讀記憶體或靜態隨機存取記憶體，的邏輯單元之間的互連決定。

取決於已程式化的電路組態，可有邏輯單元對該電路組態無用的情形。特別係因爲邏輯單元的數量在具有較大尺寸及較高可變性的可程式化邏輯裝置中增加，設定特定用途的電路組態（實施組態）增加對該電路結構無用之邏輯單元的數量。

另外，因爲半導體記憶體電路，諸如，電子可抹拭唯讀記憶體（或反或快閃記憶體）或靜態隨機存取記憶體的較大面積，導致晶片面積相對於邏輯單元的尺寸甚大。例如，當場效可規劃閘極陣列及閘陣列具有相同數量的邏輯單元時，使用 40-nm 世代之靜態隨機存取記憶體的場效可規劃閘極陣列與使用 130-nm 世代之靜態隨機存取記憶體的閘陣列具有幾乎相同的晶片面積。

此外，在可程式化邏輯裝置中，也將電源供應電壓供應至對電路組態無用的邏輯單元，且因此，由於漏電流或關閉狀態電流，導致非必要的電力消耗發生。例如，在反向器係使用互補式金屬氧化物半導體形成的情形中，雖然理論上不會在穩態中消耗電力，實際上電力由於流至閘極絕緣膜的漏電流或在源極及汲極之間流動的關閉狀態電流

而消耗。

在互補式金屬氧化物半導體反向器係使用塊狀矽形成的情形中，使用約 2V 的電源供應電壓，在室溫下產生約 1pA 的關閉狀態電流。當實現更高積體度的可程式化邏輯裝置時，由於半導體元件的小型化、及元件數量的增加等，導致電力消耗更加增加。

在使用可重寫可程式化邏輯裝置的情形中，通常將電子可抹拭唯讀記憶體或靜態隨機存取記憶體使用爲儲存互連結構的程式化單元。然而，因爲電子可抹拭唯讀記憶體使用穿隧電流原理寫入及抹除資料，易發生絕緣膜退化。

因此，重寫資料的次數實際上並非無限，且重寫數量的上限約爲數萬次至數十萬次。此外，當寫入資料或當抹除資料時，施加至電子可抹拭唯讀記憶體之電壓的絕對值高達約 20V。因此，當寫入資料或當抹除資料時，電力消耗容易增加。此外，用於涵蓋此種高操作電壓的冗餘電路設計係必要的，且非常長的時間週期對寫入或抹除資料係必要的。因此，電子可抹拭唯讀記憶體不適合包含頻繁組態的用途。

另外，在靜態隨機存取記憶體中，始終需要供應電源供應電壓，使得資料可保持。雖然習知靜態隨機存取記憶體具有比動態隨機存取記憶體少的電力消耗，最近靜態隨機存取記憶體已消耗比動態隨機存取記憶體更多的電力。此係因爲短通道效應及因應電源供應電壓的降低而在臨界上的降低。

因此，如上文所述，當供應電源供應電壓時，即使在穩態中仍消耗電力；因此，若使用靜態隨機存取記憶體之程式化單元的數量隨更高積體度而增加時，半導體裝置的電力消耗增加。

有鑑於上述問題，本發明之目的係提供可降低電力消耗的半導體裝置。本發明之另一目的係提供使用程式化單元之高度可靠的半導體裝置。本發明之再一目的係提供高度積體的半導體裝置。本發明之另一目的係提供具有新穎結構的半導體裝置。本發明之再一目的係提供驅動半導體裝置的新穎方法。根據本發明的一實施例，可實現此等目的之至少一者。

在本發明之一實施例的半導體裝置中，根據邏輯單元間之連接結構的改變（實施組態），電源供應電壓至邏輯單元的供應也改變。換言之，當邏輯單元間之連接結構的改變產生對電路組態無用的邏輯單元時，電源供應電壓對不確定邏輯單元的供應停止。

根據本發明的一實施例，電源供應電壓至邏輯單元的供應及邏輯單元之間的連接係由使用具有極小量之關閉狀態電流或極小量的漏電流之絕緣閘極場效電晶體（在下文簡單地稱爲電晶體）形成的程式化單元控制。

此處，該程式化單元包括第一開關元件、第二開關元件、以及電容器；該第一開關元件包括邏輯單元（等）的連接點及電源供應，並由該電容器中的電荷控制；且該第二開關元件具有將組態資料累積入該電容器並保持該資料

的功能。

依據本發明的一實施例，半導體裝置包括記憶體區域，該記憶體區域包括記憶體元件，諸如，動態隨機存取記憶體，其包括電容器及電晶體並藉由將電荷累積入該電容器而儲存資料，以及將邏輯單元配置成矩陣的邏輯電路區域。該半導體裝置具有在其中將作爲電路連接的資料（組態資料）從記憶體區域週期性地傳輸至邏輯電路區域中之程式化單元的結構，且該程式化單元依據該組態資料控制邏輯單元間之連接及電源供應電壓至邏輯單元的供應。該程式化單元包括第一開關元件、第二開關元件、以及電容器；該第一開關元件包括邏輯單元（等）的連接點及電源供應，並由該電容器中的電荷控制；且該第二開關元件具有將組態資料累積入該電容器並保持該資料的功能。

作爲用於第一開關元件使用的半導體，使用可以係單晶或多晶的矽、鍺、砷化鎵、磷化鎵、或磷化銦等是可能的。

作爲用於第二開關元件使用的電晶體，具有比正常電晶體更長之通道長度或更窄的通道寬度之電晶體可被使用。例如，具有正常電晶體十倍通道長度之電晶體的關閉狀態電流可係該正常電晶體之關閉狀態電流的十分之一。此外，當可防止短通道效應時，關閉狀態電流可係正常電晶體之關閉狀態電流的百分之一。具有正常電晶體十分之一的通道寬度之電晶體的情形也是如此。該電晶體的關閉狀態電流也可用更薄的半導體層降低（見專利文件 3）。

該電晶體的通道形成區域可能包括具有比矽半導體更寬的能帶隙及比矽更低之本質載體密度的半導體材料。將具有此種特徵的半導體材料包括在通道形成區域中，因此電晶體的關閉狀態電流量可極小。

作爲此種半導體材料的範例，可提供具有約爲矽的能帶隙三倍大之能帶隙的氧化物半導體（見專利文件 1 及 4 至 6）。

在本發明的一實施例中，將如上文所述之具有極小量的關閉狀態電流或極小量之漏電流的電晶體使用爲用於控制邏輯單元間之連接的程式化單元爲佳。須注意可能將正常電晶體使用在實施將資料期間性地寫至程式化單元（動態組態）之驅動方法的情形中。

除非另有指定，在 n-通道（p-通道）電晶體的情形中，此說明書中的術語關閉狀態電流係指將源極電位使用爲參考電位而汲極電位高於（低於）源極及閘極電位時，當閘極之電位小於或等於 0V 時，在源極及汲極之間流動的電流。

具體地說，上述程式化單元包括至少用於控制二節點間之連接的第一開關元件以及用於控制上述第一開關元件的第二開關元件。該第一開關元件包括一或多個電晶體。

第二開關元件包括一或多個如上文所述的具有比正常電晶體更長之通道長度的電晶體、具有極薄半導體層（具有 2nm 或以下的厚度）的電晶體、以及具有包括諸如具有矽之大約二或多倍的能帶隙之氧化物半導體的電晶體材

料之通道形成區域的電晶體爲佳。在第二開關元件中，電晶體的關閉狀態電流或漏電流量極小。

將包括在第二開關元件中之至少一電晶體的源極及汲極之一者連接至包括在第一開關元件中之至少一電晶體的閘極。因此，使用在第二開關元件中具有極小量的關閉狀態電流或極小量之漏電流的電晶體，可將包括在第一開關元件中之電晶體的閘極電位保持長週期。

保持包括在第一開關元件中的電晶體之閘極電位的期間係依據半導體裝置決定，並可能係 100 微秒或以下、一天或以上、或十年或以上。因此，第二開關元件中的電晶體的關閉狀態電流可依據所需週期決定。

須注意氧化物半導體係呈現半導體特徵的金屬氧化物。藉由將作爲電子供給體（donors）使用的雜質濃度降低，諸如濕氣或氫，而高度純化的氧化物半導體（purified OS）係本質半導體（i-型）或實質本質半導體。因此，包括此種氧化物半導體的電晶體具有極小量之關閉狀態電流或極小量的漏電流。

具體地說，藉由二次離子質譜儀（SIMS）量測之高度純化氧化物半導體中的氫濃度小於或等於 $5\times10^{19}/cm^3$，小於或等於 $5\times10^{18}/cm^3$ 爲佳，小於或等於 $5\times10^{17}/cm^3$ 更佳，小於或等於 $1\times10^{16}/cm^3$ 又更佳。

此外，可藉由霍爾效應量測量測之氧化物半導體膜的載體密度小於 $1\times10^{14}/cm^3$，小於 $1\times10^{12}/cm^3$ 較佳，小於 $1\times10^{11}/cm^3$ 更佳。此外，該氧化物半導體的能帶隙大於或

等於 2eV，大於或等於 2.5eV 爲佳，大於或等於 3eV 更佳。使用藉由充份地降低雜質濃度，諸如濕氣或氫，而高度純化之氧化物半導體膜，可降低該電晶體的關閉狀態電流或漏電流量。

於此處描述該氧化物半導體膜之氫濃度的分析。理論上，難以藉由二次離子質譜儀分析在樣本表面的鄰近處或在使用不同材料形成之堆疊膜間的介面鄰近處精確地得到資料已爲人所知。因此，藉由二次離子質譜儀在厚度方向上分析該膜之氫濃度的分佈之情形中，當在該膜之受調查的區域中，該值未大幅改變且可得到幾乎固定之值時，將平均值接受爲該氫濃度。

另外，在受調查之該膜的厚度甚小的情形中，由於受相鄰膜中之氫濃度的影響，有時不能得到具有幾乎固定值的區域。在該情形中，將該膜區域中的氫濃度之區域最大值或區域最小值接受爲該膜中的氫濃度。另外，在具有區域最大值之山形尖峰及具有區域最小值的谷形尖峰不存在於設置該等膜之該區域中的情形中，將在拐點的該值接受爲該氫濃度。

各種實驗可實際地證明將高度純化氧化物半導體膜包括爲主動層的該電晶體之小量的關閉狀態電流。例如，使用具有 1×10^{6}mm 的通道寬度及 10μm 之通道長度的元件，在源極及汲極間的電位差係在從 1V 至 10V 的範圍中，關閉狀態電流（其係在閘極及源極之間的電位差爲 0V 或以下之情形中的汲極電流）小於或等於半導體參數分析儀的

量測限制係可能的，亦即，小於或等於 1×10^{-13}A。

在該情形中，可發現與以該電晶體的通道寬度除該關閉狀態電流所得到之值對應的關閉狀態電流密度低於或等於 100zA/μm。另外，在該實驗中，將電容器及電晶體（閘極絕緣膜的厚度爲 100nm）彼此連接，並使用流入或流出該電容器的電荷係由該電晶體控制之電路。當將高度純化氧化物半導體膜使用爲該電晶體中的通道形成區域時，並從每單位時間該電容器之電荷量的改變量測該電晶體的關閉狀態電流量，在該電晶體的源極及汲極間之電位差爲 3V 的情形中，發現能得到 10zA/μm 至 100zA/μm 之較小量的關閉狀態電流。

因此，在依據本發明之一實施例的半導體裝置中，取決於源極及汲極間的電位差，將高度純化氧化物半導體膜包括爲主動層之該電晶體的關閉狀態電流密度可小於或等於 100zA/μm，小於或等於 10zA/μm 爲佳，或小於或等於 1zA/μm 更佳。因此，將高度純化氧化物半導體膜包括爲主動層的該電晶體具有遠小於包括具有晶度的矽之電晶體的關閉狀態電流量。當將具有此種小量之關閉狀態電流的電晶體使用爲第二開關元件時，可將電荷保持一天或以上。

包括高度純化氧化物半導體的電晶體顯示關閉狀態電流幾乎無溫度相依性。此係因爲將在該氧化物半導體中作爲電子供給體（donors）使用的雜質移除並將該氧化物半導體高度純化，使得導電性接近實質本質型，且費米能階

位於禁帶中心。

此也由該氧化物半導體具有大於或等於 3eV 的能量間隙並包括非常少之熱激發載子所導致。此外，源極及汲極係在退化狀態中，其也係顯示無溫度相依性的因素。該電晶體主要係使用從退化源極注入至氧化物半導體的載體操作。

可將四元金屬氧化物，諸如，銦-錫-鎵-鋅-基氧化物半導體、三元金屬氧化物，諸如，銦-鎵-鋅-基氧化物半導體、銦-錫-鋅-基氧化物半導體、銦-鋁-鋅-基氧化物半導體、錫-鎵-鋅-基氧化物半導體、鋁-鎵-鋅-基氧化物半導體、以及錫-鋁-鋅-基氧化物半導體、或二元金屬氧化物，諸如，銦-鋅-基氧化物半導體、錫-鋅-基氧化物半導體、鋁-鋅-基氧化物半導體、鋅-鎂-基氧化物半導體、錫-鎂-基氧化物半導體、銦-鎂-基氧化物半導體、銦-鎵-基氧化物半導體、銦-基氧化物半導體、錫-基氧化物半導體、以及鋅-基氧化物半導體等使用爲該氧化物半導體。

須注意在此說明書中，例如，銦-錫-鎵-鋅-基氧化物半導體意指包括銦（In）、錫（Sn）、鎵（Ga）、以及鋅（Zn）的金屬氧化物。在計量組成率上無特別限制。上述氧化物半導體可能包括矽。

或者，可能將以化學方程式銦 $MO_3(ZnO)_m$（$m>0$）表示的氧化物半導體使用爲該氧化物半導體。此處，M 代表選自鎵、鋁、錳、以及鈷之一或多種金屬元素。

上述解釋係適合本發明申請案之氧化物半導體的一實

施態樣，且該氧化物半導體的細節及其製備方法等可在專利文件 1 及 4 至 6 中發現。

可應用至本發明之一實施例的程式化單元包括電容器，將其電極之一者連接至第一電晶體的閘極，且該電容器的電極之另一者的電位在程式化（組態）期間及在電路操作期間不同。

可應用至本發明之一實施例的程式化單元包括作爲第一開關元件的一 n-通道電晶體、一 p-通道電晶體、或一傳輸閘電路（類比開關）。

可應用至本發明之一實施例的程式化單元包括作爲第二開關元件之具有 0V 或以下之臨界的 n-通道電晶體或具有 0V 或以上之臨界的 p-通道電晶體。

根據本發明之一實施例，電源供應電壓至對電路組態無用之邏輯單元的供應係由程式化單元停止，使得可降低半導體積體電路的電力消耗。

相較於使用電子可抹拭唯讀記憶體的習知程式化單元，具有任何上述組態的程式化單元可抑制由穿隧電流導致的閘極絕緣膜退化；因此，可提供可增加重寫資料次數數量的半導體裝置。

形成具有任何上述結構之程式化單元所需的面積充份地小於使用靜態隨機存取記憶體或電子可抹拭唯讀記憶體之習知程式化單元中的面積；因此，可實現電路積體性。特別係當使用薄膜電晶體形成時，可將第二開關元件形成在邏輯單元上方；因此可更加縮減面積。

在本發明的一實施例中，動態組態係可能的，且因此具有有限數量之邏輯單元的電路可實質實現與使用至少數倍以上之邏輯單元同等級的功能。

在具有上述結構的程式化單元中，藉由該第二電晶體的操作電壓大致判定在連接狀態中寫入資料所需要的操作電壓。因此，可能提供相較於具有使用電子可抹拭唯讀記憶體之習知程式化單元的半導體裝置，可將上述操作電壓顯著地降低並降低電力消耗的半導體裝置。

與使用靜態隨機存取記憶體形成的程式化單元不同，具有上述結構的程式化單元使用具有極小量之關閉狀態電流的電晶體保持資料；因此，即使在未始終將電源供應電壓供應至程式化單元時，仍可將連接狀態保持至特定程度。因此，可提供降低電力消耗的半導體裝置。

【實施方式】

在下文中，將參考該等隨附圖式詳細描述本發明之實施例。然而，本發明並未受限於以下描述，且熟悉本發明之人士可輕易地理解模式及細節可無須脫離本發明之精神及範圍而以各種方式改變。因此，不應將本發明理解爲受以下實施例的描述限制。

須注意本發明之半導體裝置在其類別中包括使用半導體元件形成的各種半導體積體電路，諸如微處理器、影像處理電路、半導體顯示裝置的控制器、數位訊號處理器（DSP）、及微控制器等。此外，本發明之半導體裝置也在

其類別中包括各種裝置，諸如使用上述半導體積體電路形成的 RF 標籤、及半導體顯示裝置等。半導體顯示裝置包括在其類別中包括：液晶顯示裝置、發光裝置，其中針對各像素設置以有機發光元件（OLED）爲代表的發光元件、電子紙、數位微鏡裝置（DMD）、電漿顯示面板（PDP）、場致發射顯示器（FED）、以及將半導體元件包括在驅動器電路中的其他半導體顯示裝置。

（實施例 1）

在此實施例中，將描述本發明之一實施例的半導體裝置之結構及操作。

將本發明之一實施例的半導體裝置之結構描繪於圖 1 中，作爲範例。描繪於圖 1 中的半導體裝置設有九個邏輯單元 A 至 I、組態成控制邏輯單元 A 至 I 間之連接的程式化單元 PD_AB 至 PD_IH、以及組態成控制高電源供應電位 VDD 至邏輯單元 A 至 I 之供應的程式化單元 PD_VA 至 PD_VI。

須注意在圖 1 中，例如，將組態成控制邏輯單元 A 之輸出端及邏輯單元 B 的輸入端間之連接的程式化單元標示爲 PD_AB。另一方面，將組態成控制邏輯單元 B 之輸出端及邏輯單元 A 的輸入端間之連接的程式化單元標示爲 PD_BA。

在圖 1 中，爲避免描述的複雜性，說明該等九個邏輯單元各者係經由程式化單元連接至上方、下方、左方、或

右方之邏輯單元的情形。然而，本發明之一實施例並未受限於此結構，且設計者可視情況設定邏輯單元的數量及連接的結構。

在圖 1 中，經由程式化單元將各邏輯單元連接至施加高電源供應電位 VDD 的節點；然而，在實際上，不僅將高電源供應電位 VDD，也將與高電源供應電位 VDD 不同之固定電位，諸如，低電源電位 VSS，施加至各邏輯單元。亦即，當將高電源供應電位 VDD 施加至邏輯單元時，將高電源供應電位 VDD 及低電源電位 VSS 之間的電位差作爲電源供應電壓供應至邏輯單元。

圖 1 描繪經由程式化單元將給定邏輯單元的一輸出終端連接至另一邏輯單元之一輸入終端的情形。然而，本發明的一實施例並未受限於此結構。可能經由程式化單元將給定邏輯單元的一輸出端連接至另一邏輯單元的複數個輸入端。

須注意在使用爲邏輯單元之邏輯電路的結構上並無特別限制。可將實施簡單邏輯操作的邏輯電路，諸如反向器、及、反及、或反或、加法器、乘法器、記憶體（例如，動態隨機存取記憶體或靜態隨機存取記憶體）；或各種算術單元，使用爲該邏輯單元。

各程式化單元包括至少控制二節點間之連接的第一電晶體（Tr1）及控制電位至該第一電晶體的閘極之供應的第二電晶體（Tr2）。具體地說，將該等程式化單元的結構範例描繪於圖 2A 至 2D 中。

圖 2A 係具有最簡單結構的程式化單元，其包括組態成控制二節點（第一節點 N1 及第二節點 N2）間之連接的第一電晶體 Tr1，以及組態成控制電位至第一電晶體 Tr1 的閘極（第三節點 N3）之供應的第二電晶體 Tr2。具體地說，將第一電晶體 Tr1 的源極連接至第一節點 N1 並將第一電晶體 Tr1 的汲極連接至第二節點 N2。

另外，將第二電晶體 Tr2 之源極及汲極的一者連接至第一電晶體 Tr1 的閘極（第三節點 N3），並將控制第一電晶體 Tr1 之切換的電位施加至第二電晶體 Tr2 之源極及汲極的另一者（終端 D）。

如圖 2B 描繪的，第二電晶體 Tr2 可能係 p-通道電晶體。如圖 2C 描繪的，可能設置用於保持第一電晶體 Tr1 之閘極電位的電容器 Cs。如圖 2D 描繪的，可能將第三電晶體 Tr3 設置在該電容器的相對電極側上，使得防止終端 E 的電位在組態期間影響第三節點 N3 的電位。

當依據輸入至第二電晶體 Tr2 之閘極（亦即，終端 G）的電位將第二電晶體 Tr2 開啓時，將用於控制第一電晶體 Tr1 之切換的電位施加至第三節點 N3。第一電晶體 Tr1 依據施加至第三節點 N3 的電位實施切換。當第一電晶體 Tr1 爲開啓時，將第一節點 N1 連接至第二節點 N2。相反地，當第一電晶體 Tr1 爲關閉時，第一節點 N1 未連接至第二節點 N2。

當依據輸入至第二電晶體 Tr2 之閘極（亦即，終端 G）的電位將第二電晶體 Tr2 關閉時，第三節點 N3 係在浮

動狀態中，並保持該電位。因此，保持第一節點 N1 及第二節點 N2 之間的連接狀態或切斷狀態。以此方式，可取決於第三節點 N3 的電位連接或切斷第一節點 N1 及第二節點 N2。

在程式化單元用於控制邏輯單元間之連接的情形中，將第一節點 N1 連接至一邏輯單元的輸入端或輸出端，並將第二節點 N2 連接至另一邏輯單元的輸入端或輸出端。在程式化單元用於控制電源供應電壓至邏輯單元之供應的情形中，將邏輯單元連接至第一節點 N1 及第二節點 N2 之一者，並將高電源供應電位 VDD 施加至第一節點 N1 及第二節點 N2 之另一者。

依據本發明的一實施例，在描繪於圖 2A 至 2D 的各程式化單元中，第二電晶體 Tr2 的關閉狀態電流或漏電流量小至足以滿足需求。此處，所需之關閉狀態電流或漏電流量係由保持資料之期間的週期及電容器的電容（或對應於該電容器的元件）決定。

例如，爲使用 0.01fF 之電容而可將資料保持 10 天或以上，關閉狀態電流及漏電流量的和必需爲 0.01zA 或以下；當使用 100fF 之電容而保持資料之期間的週期爲 1 秒或以下時，關閉狀態電流及漏電流量的和可高達 10fA。

例如，第二電晶體 Tr2 的通道形成區域可能包括其能帶隙比矽半導體的能帶隙更寬且其本質載體密度比矽之本質載體密度更低的半導體材料。當將具有此種特徵的半導體材料包括在通道形成區域中時，可實現具有極小量之關

閉狀態電流的電晶體。另外，第二電晶體 Tr2 可能具有比正常電晶體更長的通道長度。或者，可能使用極薄的半導體層。

其能帶隙比矽半導體之能帶隙更寬且其本質載體密度比矽區域化合物半導體的本質載體密度更低之半導體材料的範例，諸如碳化矽（SiC）或氮化鎵（GaN），及包括金屬氧化物，諸如氧化鋅（ZnO），的氧化物半導體等。

特別係該氧化物半導體的膜形成溫度通常低至 300℃至 500℃（最大約爲 800℃），且可將包括氧化物半導體的半導體元件堆疊在使用半導體材料，諸如單晶矽，形成的積體電路上方。

另外，該氧化物半導體可隨基材的尺寸增加而增加。因此，在上述寬能帶隙半導體之間，氧化物半導體特別具有高量產效率的優點。此外，具有卓越效能（例如，更高的場效遷移率）的晶體氧化物半導體可藉由包含在 450℃及 800℃間之溫度的熱處理而輕易地得到。

當將氧化物半導體使用爲第二電晶體 Tr2 時，氧化物半導體具有大於或等於 3eV 的能帶隙，及小於 $10^{12}/cm^3$ 的載體密度爲佳，小於 $10^{11}/cm^3$ 更佳。藉由二次離子質譜儀量測之上述氧化物半導體中的氫濃度小於或等於 $5\times10^{19}/cm^3$ 亦佳，小於或等於 $5\times10^{18}/cm^3$ 爲佳，小於或等於 $5\times10^{17}/cm^3$ 更佳，小於或等於 $1\times10^{16}/cm^3$ 又更佳。當使用具有此種特徵的氧化物半導體時，可降低第二電晶體 Tr2 的關閉狀態電流或漏電流量。

第二電晶體 Tr2 的閘極絕緣膜具有大於或等於 1nm 的厚度爲佳，大於或等於 10nm 更佳。第二電晶體 Tr2 的通道長度大於或等於 30nm 爲佳，大於或等於 300nm 更佳。當採用此種結構時，可降低第二電晶體 Tr2 的關閉狀態電流或漏電流量。

因此，當使用具有非常小量的關閉狀態電流或非常小量之漏電流的第二電晶體 Tr2 時，電位至第三節點 N3 的供應受控制，從而將第三節點 N3 的電位長時間地保持固定。因此，也可將第一節點 N1 及第二節點 N2 之間的連接狀態保持長時間。

在保持連接狀態時，爲更加降低第二電晶體 Tr2 的關閉狀態電流或漏電流，視情況設定第三節點 N3 的電位爲佳。

第一電晶體 Tr1 的通道形成區域可能包括其能帶隙較矽半導體之能帶隙更寬且其本質載體密度較矽的本質載體密度更低的半導體材料，或可能包括具有較高遷移率的半導體材料。具有高遷移率之半導體材料的適當範例係具有晶度的多晶或單晶材料，諸如，鍺、矽、及鍺化矽、及單晶碳化矽等。

在其能帶隙比矽半導體之能帶隙更寬且其本質載體密度比矽的本質載體密度更低之半導體材料的情形中，第一電晶體 Tr1 具有與第二電晶體 Tr2 相似的小量之關閉狀態電流或小量的漏電流，且因此可更加降低半導體裝置的電力消耗。

在具有較高遷移率之半導體材料的情形中，第一電晶體 Tr1 的遷移率甚高，且因此可將與第一電晶體 Tr1 連接之該等節點間的電阻降低。特別係在使用控制邏輯單元間的連接之程式化單元的情形中，邏輯單元間的高連接電阻導致半導體裝置之操作速度降低。因此，在用於控制邏輯單元間的連接之程式化單元的情形中，使用具有較高遷移率之半導體材料的該結構較佳。

須注意當第一電晶體 Tr1 的通道形成區域包括具有較高遷移率的半導體材料時，該閘極絕緣膜的實體厚度爲 2nm 或以上爲佳，以降低關閉狀態電流或漏電流。

另外，當保持資料之期間的週期爲 1 天或以上時，閘極絕緣膜的實體厚度爲 4nm 或以上爲佳。當保持資料之期間的週期爲 10 年或以上時，閘極絕緣膜的實體厚度爲 7nm 或以上爲佳。

在任何情形中，第一電晶體 Tr1 可能使用半導體的薄膜（半導體膜）或塊狀半導體（例如，半導體晶圓）形成。

須注意當二電晶體的通道形成區域包括相同的半導體材料時，可能將第一電晶體 Tr1 形成在與第二電晶體 Tr2 相同的層中。

在該情形中，第一電晶體 Tr1 之閘極絕緣膜的厚度在設計上與第二電晶體 Tr2 之閘極絕緣膜的厚度相同；然而，第一電晶體 Tr1 的通道長度或通道寬度可能與第二電晶體 Tr2 不同。例如，當期望第一電晶體 Tr1 的開啓狀態電

阻較低時，通道寬度可能係第二電晶體 Tr2 之通道寬度的二倍或以上，爲第二電晶體 Tr2 之通道寬度的五倍或以上爲佳。

另外，第一電晶體 Tr1 可能藉由非自對準法形成。雖然寄生電容由於藉由非自對準法引起之閘極與源極或汲極重疊而發生，因爲第一電晶體 Tr1 不需要高速切換，此種寄生電容不會變成問題。取而代之的，寄生電容的功能如同保持第一電晶體 Tr1 之閘極電位的電容器（Cs）。另一方面，第二電晶體 Tr2 的寄生電容甚低爲佳，以防止切換時在第三節點 N3 的電位中產生變化。

甚至在將與形成邏輯單元的電晶體之半導體材料相同的半導體材料用於第一電晶體 Tr1 時，閘極絕緣膜的厚度比形成邏輯單元之電晶體的閘極絕緣膜之厚度更大爲佳，以降低第一電晶體 Tr1 的漏電流。在該情形中，藉由非自對準法形成第一電晶體 Tr1 並將形成在與用於邏輯單元之電晶體的層不同之層中的導電膜使用爲第一電晶體 Tr1 之閘極係可能的。

當第一電晶體 Tr1 及第二電晶體 Tr2 之至少一者係使用半導體膜形成時，使用半導體膜形成的該電晶體或該等電晶體可能具有僅在半導體膜之一側上的閘極或也可能具有在半導體膜之相對側上的背閘極，使得半導體膜插於閘極及背閘極之間。在該情形中，可能將該背閘極電性絕緣爲在浮動狀態中，或可能在以來自另一元件之電位供應該背閘極的狀態中。在後一情形中，可能將閘極電性連接至

背閘極，或始終可能以適當的固定電位僅供應該背閘極。控制施加至背閘極的電位位準，因此可控制電晶體的臨界。

可用於該半導體裝置的程式化單元並未受限於圖 2A 至 2D 描繪的電路。程式化單元至少包括用於控制二節點間之連接的一或多個第一電晶體，以及用於控制電位至第一電晶體的閘極之供應的一或多個第二電晶體。

圖 1 中描繪的半導體裝置係在將所有邏輯單元間之連接切斷並將至所有邏輯單元的電源供應電壓之供應停止的狀態中。可從圖 1 描繪的該狀態將部分程式化單元開啓以連接邏輯單元，使得可形成所需電路。

須注意只要使用如圖 1 描繪的電路結構，取決於使用邏輯單元及程式化單元形成之矩陣的尺寸、及用於程式化單元之電晶體的遷移率等，實施組態（藉由控制程式化單元的切換建立電路）所需要的時間短到可忽視。例如，每列邏輯單元（例如，邏輯單元 A 至 C 的一列）所需要的上述時間小於或等於 100 奈秒。

在此實施例中，將電源供應電壓至對電路組態無用之邏輯單元的供應停止，其可減少半導體裝置的電力消耗。特別係當半導體裝置具有小於或等於 50nm 的通道長度時，因爲閘極絕緣膜的厚度爲數奈米或以下且將流經閘極絕緣膜之在源極及汲極間的關閉狀態電流及漏電流列入電力消耗的基本量中，上述結構在減少電力消耗上係有效的。

在此實施例中，邏輯單元之間的連接係由具有極小量

之關閉狀態電流或極小量的漏電流的電晶體控制，使得可能減少流經施加電源供應電壓的邏輯單元及未施加電源供應電壓之邏輯單元間的漏電流或關閉狀態電流，從而減少半導體裝置的電力消耗。

使用具有上述結構的程式化單元，相較於在使用電子可抹拭唯讀記憶體的習知程式化單元中之閘極絕緣膜退化的情形，可抑制由於穿隧電流所導致的程式化單元中之閘極絕緣膜的退化。因此，可提供能將資料重寫無限次的半導體裝置。

在具有上述結構的程式化單元中，藉由第二電晶體 Tr2 的操作電壓大致判定寫入資料所需要的操作電壓。因此，相較於使用電子可抹拭唯讀記憶體的習知程式化單元，可提供可顯著地降低此操作電壓並可抑制電力消耗的半導體裝置。

與使用靜態隨機存取記憶體的程式化單元不同，甚至在電源供應電壓未始終供應至程式化單元時，具有上述結構的程式化單元可將連接狀態保持至特定程度。此外，資料係使用具有非常小量之關閉狀態電流的電晶體保持。因此，可提供可將電力消耗降低的半導體裝置。

（實施例 2）

在此實施例中，描述將圖 2A 中的電路使用爲程式化單元的操作範例。在包括此實施例的下文解釋中，雖然爲了易於理解而提供具體數值，未排除使用其他數值的實作

。此外，因爲電位係相對決定的，電位的絕對值並不太重要。

此處，將描繪於圖 1 中之電路的高電源供應電位 VDD 及低電源電位 VSS 分別設定爲+2V 及 0V。亦即，描繪於圖 1 中之各邏輯單元的輸出電壓在 0V 至+2V 的範圍中改變。

在該情形中，爲使在描繪於圖 2A 中之程式化單元中的第一節點 N1 及第二節點 N2 可始終在連接狀態中（爲了可防止第一節點 N1 及第二節點 N2 的電位限制該連接狀態），第三節點 N3 的電壓必需等於或高於第一電晶體 Tr1 之臨界及 VDD 的和。

當將第一電晶體 Tr1 的臨界設定爲+0.5V 時，第三節點 N3 的電位必需爲+2.5V 或以上。實際上，第三節點 N3 的電位爲+3V 或以上爲佳，以充份地降低開啓狀態電阻。

以相同的方式，爲使程式化單元中的第一節點 N1 及第二節點 N2 可始終在切斷狀態中，第三節點 N3 的電位必需等於或低於第一電晶體 Tr1 之臨界及 VSS 的和。因此，第三節點 N3 的電位必需爲+0.5V 或以下。實際上，第三節點 N3 的電位爲 0V 或以下爲佳，以充份地增加關閉狀態電阻。

因此，將終端 D 的電位設定爲 0V 或以下或+3V 或以上。此處，將終端 D 的電位設定爲 0V 或+3V。當終端 D 的電位爲 0V 時，將程式化單元中的第一節點 N1 及第二節點 N2 切斷，且當終端 D 的電位爲+3V 時，連接第一節

點 N1 及第二節點 N2。

考慮當對終端 D 使用上述條件時第二電晶體 Tr2 的操作。在終端 D 的電位爲+3V 的情形中，爲可將該電位輸入至第三節點 N3，第二電晶體 Tr2 之閘極的電位必需等於或高於+3V 及第二電晶體 Tr2 之臨界的和。

附帶一提，參考圖 4A 及 4B 描繪對本發明的理解及實作重要之第二電晶體 Tr2 的臨界及關閉狀態特徵。圖 4A 示意地顯示汲極電流（Id）在通常之 n-通道絕緣閘極電晶體上的閘極電位（Vg）相依性（汲極的電位>源極的電位=0V）。

換言之，當閘極電位充份地低於源極電位時，汲極電流量在保持成極小時較不改變。須注意如上文所述，此狀態中的汲極電流量在將具有 3eV 或以上之能帶隙的本質半導體用爲通道的情形中極小。

當閘極電位超過特定值且變高時，汲極電流迅速地增加。此狀態持續至閘極電位變爲在電晶體之臨界附近的值。將此種區域稱爲次臨界區域。在閘極電位超過臨界附近之後，汲極電流緩慢增加。

當保持資料時，程式化單元中的第二電晶體 Tr2 必需具有足夠高的關閉狀態電阻（亦即，夠小量的關閉狀態電流）。另一方面，當將資料寫至程式化單元中時，需要充份低的開啓狀態電阻（充份高的開啓狀態電流）。在圖 4A 中以 V1 標示得到所需之開啓狀態電流的閘極電位。

在以下範例中，在可充份地得到第二電晶體 Tr2 所需

之開啓狀態電流的假設下，即使在將閘極電位設定爲臨界時，V1 意指與臨界相同的事物。

程式化單元保持資料之期間的週期爲一微秒至十年，且資料的寫入在十奈秒至一微秒的週期中實施爲佳。在此種條件下，所需開啓狀態電流對所需關閉狀態電流的比率（所需開啓狀態電流/所需關閉狀態電流）爲 10^6 至 10^{20}，10^{14} 至 10^{20} 爲佳。

如圖 4A 所明顯顯示的，所需開啓狀態電流對所需關閉狀態電流之比率的主要部分在次臨界區域內改變。因此，比率中的此種改變在次臨界區域中得到爲佳。

通常，考慮汲極電流在次臨界區域中的增加，針對理想的絕緣閘極電晶體，將汲極電流增加十倍需要在室溫下（25℃）將閘極電位增加 60mV。若有閘極絕緣膜的陷阱準位等或短通道效應，需要將閘極電位增加更多。

若有溫度增加，也需要將閘極電位增加更多。此趨勢比例於絕對溫度；例如，在 95℃，增加十倍的汲極電流需要增加 73mV 的閘極電位。

鑒於上文，例如，針對理想的絕緣閘極電晶體，爲將汲極電流改變 14 個數量級，在室溫下需要以 0.84V 或在 95℃ 需要以 1.02V 改變閘極電位。實際的絕緣閘極電晶體比理想閘極電晶體需要更大的改變；在室溫下需要以 1V 至 1.5V 或在 95℃ 需要以 1.2V 至 1.8V 改變閘極電位。

換言之，所需之關閉狀態電阻（關閉狀態電流）在室溫下需要比臨界低 1V 或以上，或在 95℃ 需要比臨界低

1.2V 或以上的閘極電位。在圖 4A，V2（RT）代表用於在室溫下得到所需之關閉狀態電流的閘極電位，且 V2（HT）代表用於在高溫（95℃）得到所需之關閉狀態電流的閘極電位。

附帶一提，在具有足夠長的通道之薄膜電晶體中，其中本質半導體膜的厚度爲 30nm 或以下且閘極絕緣膜的氧化矽等效厚度爲 30nm 或以下之，臨界幾乎係由半導體的電子親和力及閘極的工作函數決定。例如，當半導體的電子親和力爲 4.6eV 且閘極的工作函數爲 5.0eV 時，臨界約爲 +0.4V。

例如，在材料具有 4.1eV 之工作函數的情形中（例如，鋁），臨界約爲 -0.5V（見圖 4B 中的曲線 B）；在材料具有 5.9eV 之工作函數的情形中（例如，銥），臨界約爲 +1.3V（見圖 4B 中的曲線 A）。此處，在後一情形中，當臨界爲 +0.1V（對應於圖 4B 中的 V2a）時，可在 95℃ 得到所需之關閉狀態電流。須注意當受到短通道效應影響時，必需將閘極電位降低更多。

於下文描述在第二電晶體 Tr2 的 +1.5V、+0.5V、以及 -0.5V 之臨界 V1 的操作。在此實施例及後續實施例中，可用其得到所需關閉狀態電流（或關閉狀態電阻）之閘極的電位 V2[V]爲（V1-1.5）[V]或以下。

如上文所述，在終端 D 的電位爲 +3V 的情形中，第二電晶體 Tr2 的閘極（亦即，終端 G）電位必需等於或高於 +3V 及第二電晶體 Tr2 之臨界的和，以使第二電晶體 Tr2

可開啓。因此，當第二電晶體 Tr2 的臨界爲+1.5V 時，終端 G 的電位必需係[4.5+α]V，當臨界爲+0.5V 時，終端 G 的電位必需爲[3.5+α]V，且當臨界爲-0.5V 時，終端 G 的電位必需爲[2.5+α]V。

此處，α係 0 或以上爲佳；當α增加時，資料的寫入更快，但電路所需的最大電位自然地變得更高且電路上的負載也增加。然而，與正常 CPU 或記憶體不同，取決於該情形，如此實施例中的程式化單元並不特別需要高速。因此，α可能係 0，或取決於該情形可能小於 0。

例如，具有 $10cm^2/Vs$ 的半導體遷移率，當α=0 時，汲極電流約爲 1μA，但切換所需時間可爲 100 奈秒或以下。若切換所需時間可係一微秒或以上，α可小於 0。

在終端 D 的電位爲 0V 的情形中，用於得到保持第三節點 N3 中之終端 D 的電位所需之關閉狀態電流的第二電晶體 Tr2 之閘極（亦即，終端 G）的電位必需等於或低於從第二電晶體 Tr2 之臨界減去 1.5V 所得到的該值。亦即，當臨界爲+1.5V 時，終端 G 的電位必需係[0-β]V，當臨界爲+0.5V 時，終端 G 的電位必需爲[-1-β]V，且當臨界爲-0.5V 時，終端 G 的電位必需爲[-2-β]V。此處，β爲 0 或以上爲佳。

總之，在將第二電晶體 Tr2 之臨界設定爲+1.5V 的情形中，需要四種電位，亦即，VDD、VSS、終端 D 所需的+3V 電位、以及將第二電晶體 Tr2 開啓所需之大於或等於+4.5V 的電位。須注意可用 VSS 取代關閉第二電晶體 Tr2

所需之小於或等於 0V 的電位。

另外，也可用開啓第二電晶體 Tr2 所需之大於或等於 +4.5V 的電位取代終端 D 所需之 +3V 電位。在產生此種取代的情形中，所需電位數爲三。在將終端 D 的電位設定爲 +4.5V 或以上的情形中，第三節點 N3 的電位係藉由從終端 D 的電位減去第二電晶體 Tr2 之臨界所得到的電位（+3V 或以上）。

在將第二電晶體 Tr2 之臨界設定爲 +0.5V 的情形中，需要五種電位，亦即，VDD、VSS、終端 D 所需的 +3V 電位、開啓第二電晶體 Tr2 所需之大於或等於 +3.5V 的電位、以及關閉第二電晶體 Tr2 所需之小於或等於 -1V 的電位。

另外，可用開啓第二電晶體 Tr2 所需之大於或等於 +3.5V 的電位取代終端 D 所需之 +3V 電位。在產生此種取代的情形中，所需電位數爲四。在將終端 D 的電位設定爲 +3.5V 或以上的情形中，第三節點 N3 的電位係藉由從終端 D 的電位減去第二電晶體 Tr2 之臨界所得到的電位（+3V 或以上）。

在將第二電晶體 Tr2 之臨界設定爲 -0.5V 的情形中，需要五種電位，亦即，VDD、VSS、終端 D 所需的 +3V 電位、開啓第二電晶體 Tr2 所需之大於或等於 +2.5V 的電位、以及關閉第二電晶體 Tr2 所需之小於或等於 -2V 的電位。

須注意可用終端 D 所需的 +3V 電位取代開啓第二電晶

體 Tr2 所需之大於或等於+2.5V 的電位。在產生此種取代的情形中，所需電位數爲四。在將開啓第二電晶體 Tr2 所需的電位設定爲+3V 並將終端 D 之電位設定爲+3V 的情形中，第三節點 N3 的電位爲+3V。

因此，可用開啓第二電晶體 Tr2 的該電位取代比施加至終端 D 之電位（上述範例中的+3V 及 0V）更高的電位（上述範例中的+3V）。在第二電晶體 Tr2 之臨界足夠高的情形中，可用 VSS 取代用於關閉第二電晶體 Tr2 的電位。因此，所需電位係三或四種。

通常，在第二電晶體 Tr2 之臨界爲 V1[V]的情形中，需要五種電位，亦即，VDD、VSS、終端 D 所需的+3V、開啓第二電晶體 Tr2 所需的（V1+3+α）[V]電位（α≥0）、以及關閉第二電晶體 Tr2 所需的（V1-1.5-β）[V]電位（β≥0）。

在上述電位之間，當 V1≥0 時，可用開啓第二電晶體 Tr2 所需的（V1+3+α）[V]電位取代終端 D 所需的+3V 電位。在產生此種取代的情形中，第三節點 N3 的電位爲+3V 或以上。另外，當-3<V1<0 時，可用終端 D 所需的+3V 電位取代開啓第二電晶體 Tr2 所需的電位。在產生此種取代的情形中，第三節點 N3 的電位爲+3V。在任何情形中，可將所需電位的數量減少一。

在 V1≥1.5[V]的情形中，可用 VSS 置換關閉第二電晶體 Tr2 所需的（V1-1.5-β）[V]電位。在任何情形中，可將所需電位的數量另外減少一。

在上述之驅動上述程式化單元的方法中，當視情況設定第二電晶體 Tr2 的臨界時，可更加降低第二電晶體 Tr2 的閘極及源極（或汲極）之間的電位差。

因此，第二電晶體 Tr2 之閘極的最大電位爲（V1+3）[V]或以上，且終端 D 的最低電位爲 0V，且因此此等電位之間的差爲|V1+3|[V]或以上。當將第二電晶體 Tr2 關閉時，第二電晶體 Tr2 之閘極的最小電位爲（V1-1.5）[V]或以下，且終端 D 的較高電位爲+3V；因此此等電位之間的差爲|V1-4.5|[V]或以上。

因此，當選擇使|V1+3|[V]等於|V1-4.5|[V]的 V1 時，可使第二電晶體 Tr2 的閘極及源極（或汲極）之間的最大電位差最小化。具體地說，當 V1=+0.75[V]時，第二電晶體 Tr2 的閘極及源極（或汲極）之間的最大電位差爲 3.75V，此係其之最小值。

（實施例 3）

於下文描述將圖 2B 中的電路使用爲程式化單元的操作範例。爲使描繪於圖 2B 中之程式化單元中的第一節點 N1 及第二節點 N2 可始終在切斷狀態中，第三節點 N3 的電位必需等於或高於第一電晶體 Tr1 之臨界及 VDD 的和。此處，當將第一電晶體 Tr1 的臨界設定爲-0.5V 時，第三節點 N3 的電位必需爲+1.5V 或以上。實際上，第三節點 N3 的電位爲+2V 或以上爲佳，以充份地增加關閉狀態電阻。

以相同的方式，爲使程式化單元中的第一節點 N1 及第二節點 N2 可始終在連接狀態中，第三節點 N3 的電位必需等於或低於第一電晶體 Tr1 之臨界及 VSS 的和。因此，第三節點 N3 的電位必需爲-0.5V 或以下。實際上，第三節點 N3 的電位爲-1V 或以下爲佳，以充份地降低開啓狀態電阻。

因此，終端 D 的電位必需爲-1V 或以下或+2V 或以上。此處，將終端 D 的電位設定爲-1V 或+2V。當終端 D 的電位爲+2V 時，將程式化單元中的第一節點 N1 及第二節點 N2 切斷，且當終端 D 的電位爲-1V 時，連接第一節點 N1 及第二節點 N2。

考慮當對終端 D 使用上述條件時第二電晶體 Tr2 的操作。當終端 D 的電位爲+2V 時，終端 G 的電位必需等於或高於+2V 及第二電晶體 Tr2 之臨界的和。因此，當臨界爲 V1[V]時，終端 G 的電位必需係（V1+2+α）[V]。此處，α爲 0 或以上爲佳。

在終端 D 的電位爲-1V 的情形中，用於得到保持第三節點 N3 中之終端 D 的電位所需之關閉狀態電流的閘極（亦即，終端 G）之電位必需等於或低於從臨界減去 1.5-（-1）=2.5[V]所得到的該值。亦即，終端 G 的電位必需係（V1-2.5-β）[V]。此處，β爲 0 或以上爲佳。

需要五種電位，亦即，VDD、VSS、終端 D 所需的-1V 電位、開啓第二電晶體 Tr2 所需的（V1+2+α）[V]電位（α≥0）、以及關閉第二電晶體 Tr2 所需的（V1-2.5-β

）[V]電位（β≥0）。

此處，當 V1≥+1.5[V]時，可用終端 D 所需之-1V 電位取代關閉第二電晶體 Tr2 所需的（V1-2.5-β）[V]電位。亦即，當終端 G 的電位爲-1V 時，可得到充份的關閉狀態特徵。在此情形中，可將所需電位的數量減少一。

另外，當 V1≤0[V]時，可用 VDD 取代開啓第二電晶體 Tr2 所需的（V1+2+α）[V]電位。在該情形中，可將所需電位的數量減少一。

此外，當 V1≤+1.5[V]時，可用關閉第二電晶體 Tr2 所需的（V1-2.5-β）[V]電位取代終端 D 所需的-1V 電位。換言之，將（V1-2.5-β）[V]輸入爲終端 D 的低電位，將終端 G 的電位設定爲 VDD，使得可將第二電晶體 Tr2 開啓，然後將終端 G 的電位設定爲（V1-2.5-β）[V]。須注意當保持資料時，將終端 D 的電位設定爲 VSS 或以上。

在此種條件下使用第二電晶體 Tr2，不能得到充分的關閉狀態特徵且因此第三節點 N3 的電位在最初從（V1-2.5-β）[V]增加；然而，當第三節點 N3 的電位增加至以（V1-1.5）[V]高於第二電晶體 Tr2 的閘極電位時（亦即，當第三節點 N3 的電位變成（-1-β）[V]時），可得到充份的關閉狀態特徵且因此該電位不會有任何增加。亦即，結果可將-1V 或以下的電位輸入至第三節點 N3。

在描述於此實施例中的驅動程式化單元的方法中，終端 G 的最大電位可比實施例 2 中的最大電位更加降低。

雖然在實施例 2 中第二電晶體 Tr2 之閘極的最大電位爲（V1+3）[V]或以上，在實施例 3 中，第二電晶體 Tr2 之閘極的最大電位爲（V1+2）[V]或以上；亦即，比實施例 2 低 1V。

（實施例 4）

於下文描述將圖 2C 中的電路使用爲程式化單元的操作範例。爲使在描繪於圖 2C 中之程式化單元中的第一節點 N1 及第二節點 N2 可始終在連接（或切斷）狀態中，如實施例 2 中描述的，第三節點 N3 的電位爲+3V 或以上（或 0V 或以下）爲佳。

然而，上文在電路藉由程式化單元功能藉由連接或切斷而組態的該階段（操作期間）係必要的，但在程式化單元的組態期間並不始終係必要的。例如，終端 D 的電位在組態期間可係+2V 或以下的電位。

例如，在組態期間可將終端 D 的電位設定爲-1V 或+2V。爲使此電位可輸入至第三節點 N3，第二電晶體 Tr2 之閘極（亦即，終端 G）的電位爲（V1+2）[V]或以上爲佳。另外，此時將終端 E 的電位設定爲-1V。

在組態週期以外的週期期間，以 1V 將終端 E 的電位增加至 0V。然後，也以 1V 將經由電容器 Cs 連接至終端 E 之第三節點 N3 的電位增加至 0V 或+3V。亦即，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。

當第三節點 N3 的電位係 0V 或+3V 時，將終端 G 的電位設定爲（V1-1.5）[V]或以下爲佳，以可確實地關閉第二電晶體 Tr2。須注意終端 D 的電位爲 0V 或以上爲佳。

總之，需要五種電位，亦即，VDD、VSS、（V1+2+α）[V]（α≥0）的電位、（V1-1.5-β）[V]（β≥0）之電位、以及-1V 的電位。在此等電位之間，當 V1≥+0.5[V]時，可用-1V 電位取代用於關閉第二電晶體 Tr2 的（V1-1.5-β）[V]電位。在產生此種取代的情形中，所需電位數爲四。當 V1≤0[V]時，可用 VDD 取代用於開啓第二電晶體 Tr2 的（V1+2+α）[V]電位，且因此可將所需電位數量另外減少一。

在此實施例中，所需電位的範圍（最大電位-最小電位）爲 3.5V（當 V<+0.5[V]時）或（V1+3）[V]（當 V1≥+0.5[V]時），其可比實施例 2 或實施例 3 更小 1V。

此係因爲以 1V 改變終端 E 的電位，以在組態週期及其他週期（操作期間）之間不同。將電路所需的最大電位減少爲佳，其中此種減少可減少施加電位之元件上或電位產生電路上的負載。

（實施例 5）

於下文描述將圖 2C 中的電路使用爲程式化單元的操作範例。在此實施例中，依據終端 D 在組態期間的電位改變終端 E 的電位。例如，當終端 D 的電位爲+1.5V 時，

將終端 E 的電位設定爲 0V，或當終端 D 的電位爲 0V 時，將終端 E 的電位設定爲+1.5V。在此種情形中，將終端 E 的電位稱爲係終端 D 之電位的電位互補。

爲使終端 D 的電位可輸入至第三節點 N3，第二電晶體 Tr2 之閘極（亦即，終端 G）的電位爲（V1+1.5）[V]或以上爲佳。另外，當第二電晶體 Tr2 在關閉狀態中時，第三節點 N3 的電位係依據終端 E 的電位而改變。實際上，因爲將程式化單元配置成矩陣，即使當第二電晶體 Tr2 在關閉狀態中時，將用於將資料輸入至其他程式化單元的電位（亦即，+1.5V 或 0V）施加至終端 E，且第三節點 N3 的電位因此改變並具有-1.5V 的最小值。因此，爲可確實地關閉第二電晶體，必需將終端 G 的電位設定爲（V1-3）[V]或以下。

在組態週期以外的週期期間，將終端 E 的電位設定爲+1.5V。然後，經由電容器 Cs 連接至終端 E 之第三節點 N3 的電位變成 0V 或+3V。換言之，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。

總之，需要五種電位，亦即，VDD、VSS、（V1+1.5+α）[V]（α≥0）的電位、（V1-3-β）[V]（β≥0）之電位、以及+1.5V 的電位。在此等電位之間，可用 VDD 取代大於或等於用於開啓第二電晶體 Tr2 之（V1+1.5）[V]的電位。在產生此種取代的情形中，所需電位數爲四。

可用 VDD 取代上述的+1.5V 電位。在產生此種取代

的情形中，所需電位數也可能爲四。在此種情形中，例如，在組態期間，當終端 D 的電位爲 VDD 時，將終端 E 的電位設定爲 VSS，或當終端 D 的電位爲 VSS 時，將終端 E 的電位設定爲 VDD。

爲可將終端 D 的電位輸入至第三節點 N3，第二電晶體 Tr2 之閘極（亦即，終端 G）的電位爲（V1+VDD）或以上（亦即，（V1+VDD+α）[V]（α≥0））爲佳。另外，當第二電晶體 Tr2 在關閉狀態中時，依據終端 E 的電位改變第三節點 N3 的電位。也將其他程式化單元連接至終端 E 並供應程式化此等單元的電位，且因此終端 E 的電位在 VSS 至 VDD 的範圍中改變。

因此，第三節點 N3 之電位的最小值係（2×VSS-VDD）。爲可確實地關閉第二電晶體，必需將終端 G 的電位設定爲（2×VSS-VDD+V1-1.5）[V]或以下。換言之，需要四種電位，亦即，VDD、VSS、以及（V1+VDD+α）[V]的電位，及（2×VSS-VDD+V1-1.5-β）[V]（β≥0）的電位。因此，在終端 G 之電位中的改變爲（2×VDD+α-2×VSS+1.5+β）[V]。

在組態結束之後，將終端 E 的電位設定爲 VDD。然後，經由電容器 Cs 連接至終端 E 之第三節點 N3 的電位變成（2×VDD-VSS）或 VSS。當 VDD=+2V 且 VSS=0V 時，第三節點 N3 的電位爲+4V 或 0V，其對連接或切斷第一節點 N1 及第二節點 N2 係充分的。

在上述範例中，雖然第三節點 N3 的電位在組態完成

後可高於 VDD，第三節點 N3 的電位在組態期間可能低於 VDD，其在降低電力消耗上係有效的。

例如，在 VDD=+2V 且 VSS=0V 的情形中，產生一脈衝所需的能量爲 2C，其中 C 代表將脈衝導通至其之部位的電容，且因爲在此實施例之方法中的組態期間，在終端 D 之電位中的改變爲 2V，所需能量變爲 4C。相反地，如實施例 2 或實施例 3，在將終端 D 的電位設定爲+3V 並將終端 E 的電位設定爲 0V 的情形中，產生一脈衝所需的能量爲 4.5C，其大於上文所述。因此，在描述於此實施例中的方法中，可降低電力消耗。另外，當用於組態的電位與組態結束後用於電路的電位相同時，也有利於電路設計。

（實施例 6）

在實施例 5 中，藉由在組態期間改變終端 E 之電位的影響，可使第三節點 N3 的電位變成低於 VSS；因此，需要減少第二電晶體 Tr2 之閘極的最小電位。

在實施例 6 中，將第三電晶體 Tr3 設置在電容器 Cs 的相對電極側上，使得終端 E 之電位的改變不影響電容器 Cs。在此結構中，防止第三節點 N3 的電位變爲低於 VSS，且因此增加第二電晶體 Tr2 之閘極的最小電位，其導致電力消耗的更加減少。

將具有六或更多位數之導通/截止比率的電晶體使用爲第三電晶體 Tr3 爲佳。若可能，第三電晶體 Tr3 具有等

效於第二電晶體 Tr2 的開啓狀態特徵及關閉狀態特徵爲佳。雖然在圖 2D 中使用 n-通道電晶體，可能使用 p-通道電晶體。可接受第三電晶體 Tr3 的切換速度實質等於或高於第二電晶體 Tr2 的切換速度。此處，使用具有與第二電晶體 Tr2 的特徵相似之特徵的電晶體。須注意因爲電晶體 Tr3 的導通/截止比率可能沒有如此高，第三電晶體 Tr3 可具有比第二電晶體 Tr2 更短的通道。

於下文簡短地描述驅動方法。此處，在將資料寫至程式化單元的期間，當終端 D 的電位爲 VDD 時，將終端 E 的電位設定爲 VSS，或當終端 D 的電位爲 VSS 時，將終端 E 的電位設定爲 VDD。

首先，開啓第二電晶體 Tr2 及第三電晶體 Tr3。例如，將終端 G1 及終端 G2 各者設定爲（VDD+V1+α）[V]（α≥0）。

之後，僅關閉第二電晶體 Tr2 並將終端 E 的電位設定爲 VDD。因此，第三節點 N3 的電位爲 VSS 或（2×VDD-VSS）之任一者。因爲 VDD 高於 VSS，導出 VSS<（2×VDD-VSS）的關係式。因此，爲可使第二電晶體 Tr2 關閉，將終端 G1 的電位設定爲（VSS+V1-1.5-β）[V]（β≥0）爲佳。

之後，將第三電晶體 Tr3 關閉。例如，將終端 G2 的電位設定爲（VSS+V1-1.5-β）[V]爲佳。

如上文所述，在終端 G1 之電位中的改變爲（VDD+α-VSS+1.5+β）[V]。藉由（VDD-VSS）[V]的此改變小於實

施例 5 中的改變，且因此可降低電力消耗。

（實施例 7）

於下文描述將圖 2C 中的電路使用爲程式化單元的操作範例。又在此實施例中，依據終端 D 在組態期間的電位改變終端 E 之電位，使得該等電位彼此互補。例如，當終端 D 的電位爲 VDD（=+2V）時，將終端 E 的電位設定爲 VSS（=0V），或當終端 D 的電位爲 VSS 時，將終端 E 的電位設定爲 VDD。在此實施例中，將 V1 設定爲+1V 或以下。

將第二電晶體 Tr2 之閘極（亦即，終端 G）的電位設定爲 VDD。然後，當第二電晶體 Tr2 在開啓狀態中時，第三節點 N3 的電位變爲（2-V1）[V]或 0V 之任一者。另外，當第二電晶體 Tr2 在關閉狀態中時，第三節點 N3 之電位的最小值爲-2V；因此，爲可確實地關閉第二電晶體 Tr2，需要將終端 G 的電位設定爲（V1-3.5）[V]或以下。

在組態週期以外的週期期間，將終端 E 的電位設定爲+2V。然後，經由電容器 Cs 連接至終端 E 之第三節點 N3 的電位變成 0V 或（4-V1）[V]（≥+3V）。亦即，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。

總之，該電路可用三種電位驅動，亦即，VDD、VSS、以及（V1-3.5-β）[V]（β≥0）的電位。

（實施例 8）

於下文描述將圖 2C 中的電路使用爲程式化單元的操作範例。在此實施例中，在組態期間將終端 E 的電位改變爲+3V 或 0V 之任一者。另外，將終端 D 的電位固定在 0V。

爲可使第二電晶體 Tr2 開啓，終端 G 的電位爲（V1+α）[V]爲佳。另外，當第二電晶體 Tr2 在關閉狀態中時，第三節點 N3 之電位的最小值爲-3V；因此，爲可確實地關閉第二電晶體 Tr2，需要將終端 G 的電位設定爲（V1-4.5-β）[V]。

在組態週期以外的週期期間，將終端 E 的電位設定爲+3V。然後，經由電容器 Cs 連接至終端 E 之第三節點 N3 的電位變成 0V 或+3[V]。亦即，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。

總之，需要五種電位，亦即，VDD、VSS、（V1+α）[V]（α≥0）的電位、（V1-4.5-β）[V]（β≥0）之電位、以及+3V 的電位。須注意當 V1≤+2[V]時，可用 VDD 取代（V1+α）[V]電位。

（實施例 9）

於下文描述將圖 3A 中的電路使用爲程式化單元的操作範例。描繪於圖 3A 中的程式化單元具有包括 n-通道第四電晶體 Tr4 及 p-通道第五電晶體 Tr5 的傳輸閘電路，並將該傳輸閘電路之端點的一者連接至第一節點 N1 並將端

點的另一者連接至第二節點 N2。

將第四電晶體 Tr4 的閘極連接至第一電容器 Cs1 之電極的一者，並將第五電晶體 Tr5 的閘極連接至第二電容器 Cs2 之電極的一者。也將第四電晶體 Tr4 的閘極連接至第六電晶體 Tr6 之源極及汲極的一者；將此部位界定爲第四節點 N4。也將第五電晶體 Tr5 的閘極連接至第七電晶體 Tr7 之源極及汲極的一者；將此部位界定爲第五節點 N5。

將第六電晶體 Tr6 之源極及汲極的另一者連接至終端 D1，並將第七電晶體 Tr7 之源極及汲極的另一者連接至終端 D2。將第六電晶體 Tr6 之閘極及第七電晶體 Tr7 的閘極二者連接至終端 G。將第一電容器 Cs1 之電極的另一者連接至終端 E1，並將第二電容器 Cs2 之電極的另一者連接至終端 E2。

在此種程式化單元中，爲使第一節點 N1 及第二節點 N2 可始終在連接（切斷）狀態中，第四節點 N4 的電位必需爲 VDD 或以上（VSS 或以下）且第五節點的電位必需爲 VSS 或以下（VDD 或以上）。

因此，終端 D1 及 D2 之電位中的改變可小於在實施例 2 至 7 中的改變。例如，爲連接第一節點 N1 及第二節點 N2，將終端 D1 的電位設定爲 VDD（=+2V）並將終端 D2 之電位設定爲 VSS（=0V）爲佳。相反地，爲切斷第一節點 N1 及第二節點 N2，將終端 D1 的電位設定爲 VSS（=0V）並將終端 D2 之電位設定爲 VDD（=+2V）爲佳。

此外，爲使第四節點 N4 及第五節點 N5 的電位可具

有上述值，將第六電晶體 Tr6 之閘極的電位設定成等於或多於臨界及+2V 之和並將第七電晶體 Tr7 之閘極的電位設定成等於或多於臨界及+2V 之和爲佳。當第六電晶體 Tr6 及第七電晶體 Tr7 二者之臨界均爲 V1 時，將終端 G 的電位設定爲（V1+2）[V]或以上爲佳。

爲可確實地關閉第六電晶體 Tr6 及第七電晶體 Tr7，將終端 G 的電位設定爲（V1-1.5）[V]或以下爲佳。

總之，在此電路中，需要四種電位，亦即，VDD、VSS、（V1+2+α）[V]（α≥0）的電位、以及（V1-1.5-β）[V]（β≥0）的電位。另外，最大電位及最小電位之間的差也可比實施例 2 至 4 中的差低 3.5V。當 V1 爲 0V 或以下時，可用 VDD 取代（V1+2+α）[V]的電位（α≥0），或當 V1 爲+1.5V 或以上時，可用 VSS 取代（V1-1.5-β）[V]的電位；因此，所需電位的數量可另外減少一。

（實施例 10）

於下文描述將圖 3A 中的電路使用爲程式化單元的操作範例。此處描述如何使終端 E1 及 E2 各者的電位在組態週期期間及在其他週期期間不同，以將最大電位及最小電位間之差減少的方式。

如實施例 9 描述的，爲連接第一節點 N1 及第二節點 N2，將終端 D1 的電位設定爲 VDD（=+2V）並將終端 D2 之電位設定爲 VSS（=0V）爲佳。相反地，爲切斷第一節點 N1 及第二節點 N2，將終端 D1 的電位設定爲 VSS（

=0V）並將終端 D2 之電位設定爲 VDD（=+2V）爲佳。

然而，在組態期間，上文係不必要的並也可使用改變較少的電位。例如，當終端 D1（終端 D2）的電位在組態期間爲+1V（0V）時，將終端 E1（終端 E2）的電位設定爲 0V（+1V）。當終端 D1（終端 D2）的電位在組態期間爲 0V（+1V）時，將終端 E1（終端 E2）的電位設定爲+1V（0V）。

另外，爲可將終端 D1 及 D2 的上述電位寫至第四節點 N4 及第五節點 N5，將第六電晶體 Tr6 之閘極的電位設定成等於或多於臨界及+1V 的和，亦即，（V1+1）[V]或以上，並將第七電晶體 Tr7 之閘極的電位設定成等於或多於臨界及+1V 的和，亦即，（V1+1）[V]或以上，爲佳。

當第六電晶體 Tr6 在關閉狀態中時，第四節點 N4 之電位的最小值爲-1V，且當第七電晶體 Tr7 在關閉狀態中時，第五節點 N5 之電位的最小值爲-1V。爲可確實地關閉第六電晶體 Tr6 及第七電晶體 Tr7，必需將終端 G 的電位設定爲（V1-2.5）[V]或以下。

在組態週期以外的週期期間，將終端 E1 及終端 E2 二者的電位均設爲+1V。然後，第四節點 N4 及第五節點 N5 各者的電位變爲+2V 或 0V 之任一者。

總之，在此電路中，需要五種電位，亦即，VDD、VSS、（V1+1+α）[V]（α≥0）的電位、+1V 的電位、以及（V1-2.5-β）[V]（β≥0）的電位。此處，當 V1 係+1V 或以下時，可用 VDD 取代（V1+1+α）[V]電位，且因此所

需電位可能係四種。

（實施例 11）

於下文描述將圖 3A 中的電路使用爲程式化單元的操作範例。須注意在此實施例中，將 V1 設定爲+2V 或以下。

如同在實施例 10 中，將終端 E1 及 E2 各者的電位改變成在組態週期期間及其他週期期間不同。例如，當終端 D1（終端 D2）的電位在組態期間爲+2V（0V）時，將終端 E1（終端 E2）的電位設定爲 0V（+2V）。當終端 D1（終端 D2）的電位在組態期間爲 0V（+2V）時，將終端 E1（終端 E2）的電位設定爲+2V（0V）。須注意將終端 G 的電位設定爲 VDD（=+2V）。

在此情形中，即使在將終端 D1 的電位設定爲+2V 時，第四節點 N4 的電位變爲不係+2V 而係藉由從+2V 減去第六電晶體 Tr6 之臨界而得到的值，亦即，（2-V1）[V]，且即使在將終端 D2 的電位設定爲+2V 時，第五節點 N5 的電位變爲不係+2V 而係從+2V 減去第七電晶體 Tr7 之臨界而得到的值，亦即，（2-V1）[V]。亦即，第四節點 N4 及第五節點 N5 各者的電位變爲（2-V1）[V]或 0V。

當第六電晶體 Tr6 在關閉狀態中時，第四節點 N4 之電位的最小值爲-2V，且當第七電晶體 Tr7 在關閉狀態中時，第五節點 N5 之電位的最小值爲-2V。因此，爲可確實地關閉第六電晶體 Tr6 及第七電晶體 Tr7，必需將終端

G 的電位設定爲（V1-3.5）[V]或以下。

在組態週期以外的週期期間，將終端 E1 及終端 E2 二者的電位均設爲+2V。然後，第四節點 N4 及第五節點 N5 各者的電位變爲（4-V1）[V]（≥+2[V]）或 0V 之任一者。

總之，在該電路中，需要三種電位，亦即，VDD、VSS、以及（V1-3.5-β）[V]（β≥0）的電位。

（實施例 12）

於下文描述將圖 3B 中的電路使用爲程式化單元的操作範例。於圖 3B 中描繪之程式化單元的電路結構幾乎與描繪於圖 3A 中的電路結構相同，但以將第六電晶體 Tr6 之源極及汲極的另一者與第七電晶體 Tr7 之源極及汲極的另一者二者均連接至終端 D 的此種方法簡化。

如同在圖 3A 中的程式化單元中，爲使第一節點 N1 及第二節點 N2 可始終在連接（或切斷）狀態中，將第四節點 N4 的電位設定爲 VDD 或以上（或 VSS 或以下）並將第五節點 N5 的電位設定爲 VSS 或以下（或 VDD 或以上）爲佳。

此處描述如何使終端 E1 及 E2 各者的電位在組態週期期間及在其他週期期間不同，以將最大電位及最小電位間之差減少的方式。例如，當終端 E1 的電位在組態期間爲 0V 時，將終端 E2 的電位設定爲+2V，或當終端 E1 的電位在組態週期爲+2V 時，終端 E2 的電位爲 0V。須注意

於此處將終端 D 的電位固定在 0V。

爲可使第六電晶體 Tr6 及第七電晶體 Tr7 開啓，終端 G 的電位爲（V1+α）[V]（α≥0）爲佳。當第六電晶體 Tr6 在關閉狀態中時，第四節點 N4 之電位的最小值爲-2V，且當第七電晶體 Tr7 在關閉狀態中時，第五節點 N5 之電位的最小值爲-2V。因此，爲可確實地關閉第六電晶體 Tr6 及第七電晶體 Tr7，必需將終端 G 的電位設定爲（V1-3.5）[V]或以下。

在組態週期以外的週期期間，將終端 E1 的電位設定爲+2V 並將終端 E2 的電位設定爲 0V。然後，第四節點 N4 及第五節點 N5 各者的電位變爲 0V 或+2[V]之任一者。亦即，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。

在上述操作中，可用四種電位驅動該電路，亦即，VDD、VSS、（V1+α）[V]（α≥0）的電位、以及（V1-3.5-β）[V]（β≥0）的電位。須注意當 V1≤+2[V]時，可用 VDD 取代（V1+α）[V]電位。

（實施例 13）

描述將圖 5A 中的電路使用爲程式化單元的操作範例。描繪於圖 5A 中的程式化單元具有與圖 3A 中之程式化單元相同的結構，且在其中將終端 E2 連接至終端 D1 並將終端 D2 連接至終端 E1。

在組態期間，將互補電位施加至終端 D 及 E。例如，

當終端 D 的電位爲 VDD 時，將終端 E 的電位設定爲 VSS，或當終端 D 的電位爲 VSS 時，將終端 E 的電位設定爲 VDD。

爲使在圖 5A 中之程式化單元中的第一節點 N1 及第二節點 N2 可始終在連接（或切斷）狀態中，將第四節點 N4 的電位設定爲 VDD 或以上（或 VSS 或以下）並將第五節點 N5 的電位設定爲 VSS 或以下（或 VDD 或以上）爲佳。

爲可使第六電晶體 Tr6 及第七電晶體 Tr7 開啓，終端 G 的電位爲（VDD+V1+α）[V]（α≥0）爲佳。當第六電晶體 Tr6 在關閉狀態中時，第四節點 N4 之電位的最小值爲（VSS-VDD），且當第七電晶體 Tr7 在關閉狀態中時，第五節點 N5 之電位的最小值爲（2×VSS-VDD）。因此，爲可確實地關閉第六電晶體 Tr6 及第七電晶體 Tr7，需要將終端 G 的電位設定爲（V1-1.5+2×VSS-VDD）[V]或以下。

在組態週期以外的週期期間，將終端 D 及 E 二者的電位設定爲 VDD。然後，第四節點 N4 及第五節點 N5 各者的電位變爲 VSS 或（2×VDD-VSS）之任一者。亦即，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。

在上述操作中，可用四種電位驅動該電路，亦即，VDD、VSS、（VDD+V1+α）[V]（α≥0）的電位、以及（V1-1.5+2×VSS-VDD-β）[V]（β≥0）的電位。須注意當 V1≤0[V]時，可用 VDD 取代（VDD+V1+α）[V]的電位。

（實施例 14）

描述將圖 5B 中的電路使用爲程式化單元的操作範例。描繪於圖 5B 中之程式化單元具有與圖 2D 中之程式化單元相同的結構，且在其中第三電晶體 Tr3 的功能係由包括第八電晶體 Tr8 及第九電晶體 Tr9 的傳輸閘極實施。

具體地說，如同在圖 2D 的程式化單元中，將第二電晶體 Tr2 及包括第八電晶體 Tr8 及第九電晶體 Tr9 的傳輸閘極開啓及關閉。

因此，可將 VDD 或 VSS 使用爲終端 G2 及終端 G3 各者的電位，且因此可更加降低電力消耗。傳輸閘極之操作以外的操作可如同在圖 2D 描繪之程式化單元中的操作實施。

在組態期間，將互補電位施加至終端 D 及 E。例如，當終端 D 的電位爲 VDD 時，將終端 E 的電位設定爲 VSS，或當終端 D 的電位爲 VSS 時，將終端 E 的電位設定爲 VDD。爲使在圖 5B 之程式化單元中的第一節點 N1 及第二節點 N2 可始終在連接（或切斷）狀態中，將第三節點 N3 的電位設定爲 VDD 或以上（或 VSS 或以下）。

爲可使第二電晶體 Tr2 開啓，終端 G1 的電位爲（VDD+V1+α）[V]（α≥0）爲佳。當第二電晶體 Tr2 在關閉狀態中時，第三節點 N3 之電位的最小值可係 VSS；因此，爲可確實地關閉第三電晶體 Tr3，終端 G1 的電位爲（V1-1.5+VSS）[V]或以下爲佳。

在將第二電晶體關閉之後，將終端 E 的電位設定爲 VDD。然後，第三節點 N3 的電位變爲 VSS 或（2×VDD-VSS）之任一者。亦即，第一節點 N1 及第二節點 N2 係在連接狀態或切斷狀態之任一者中。之後，可將第八電晶體 Tr8 及第九電晶體 Tr9 關閉。

在上述操作中，可用四種電位驅動該電路，亦即，VDD、VSS、（VDD+V1+α）[V]（α≥0）的電位、以及（VSS+V1-1.5-β）[V]（β≥0）的電位。須注意當 V1≤0[V]時，可用 VDD 取代（VDD+V1+α）[V]的電位。

（實施例 15）

在此實施例中，描述將本發明之一實施例施用至場效可規劃閘極陣列的範例。在該場效可規劃閘極陣列中，如圖 6A 描繪的，將複數個邏輯單元（LC1 至 LC9）配置爲矩陣。藉由配置在矩陣中的佈線及設置成使此等佈線彼此連接的開關將邏輯單元彼此連接。

如圖 6B 描繪的，各開關包括形成爲連接水平及垂直佈線的六個程式化單元（PD1 至 PD6）。已使用具有靜態隨機存取記憶體及電子可抹拭唯讀記憶體的程式化單元形成此種程式化單元，但此種結構中的缺點如上文所述。

在此實施例中，此等程式化單元各者係使用包括二開關元件及一電容器的程式化單元形成，導致較高的積體度及特徵改善。參考圖 7A 至 7C、圖 8A 至 8C、圖 9A 至 9D、以及圖 10A 至 10E 於下文描述開關的結構。

在圖 7A 至 7C 及圖 8A 至 8C 中，描繪主要構成開關之佈線、及接點插頭等的佈置。虛線 A-B 代表各圖式中的相同位置，且虛線 C-D 代表各圖式中的相同位置。已爲人所知的半導體製造技術或專利文件 1 及 4 至 6 供圖 7A 至 7C 及圖 8A 至 8C 參考。

圖 7A 描繪元件分隔絕緣器 102 及元件形成區域 101a 及 101b 的位置，基材的表面設置有彼等。爲製造如圖 6B 描繪之連接在二相交方向上延伸之佈線（圖 6B 中之在垂直方向上的佈線 114a 及 114b 及在水平方向上的佈線 111a 及 111b）的六個開關元件，即使在儘可能地減少用於製造的面積時，仍需要彼此無關的二元件形成區域（圖 7A 中的元件形成區域 101a 及 101b）。

圖 7B 描繪第一層佈線 103a 至 1031 以及第一接點插頭 105 的位置，彼等形成在元件分隔絕緣器 102 及元件形成區域 101a 及 101b 上方。

此處，將第一層佈線 103a 至 103e 形成以橫跨元件形成區域 101a，並將第一層佈線 103f 形成以橫跨元件形成區域 101b。因此，將第一層佈線 103a 至 103f 作爲包括在個別程式化單元中之第一開關元件的閘極使用。

元件形成區域 101a 及 101b 具有依據第一層佈線 103a 至 103f 之形狀的雜質區域（擴散區域）爲佳。

從上文明顯地看出，各元件形成區域 101a 及 101b 在 C-D 方向上的長度爲第一開關元件之電晶體的通道寬度。因此，爲可減少第一開關元件的開啓狀態電阻，儘可能地

增加元件形成區域 101a 及 101b 在 C-D 方向上的長度爲佳（並在同時也將第一層佈線 103a 至 103f 的長度增加）。

具體地說，第一開關元件之電晶體的通道寬度爲通道長度的 2 至 10 倍長爲佳。須注意通道長度爲最小線寬的至少二倍長爲佳。與習知程式化單元不同，此實施例的程式化單元不包括大面積組件，諸如，靜態隨機存取記憶體，並因此可將更大面積用於第一開關元件的電晶體。因此，可實現具有大量的開啓狀態電流及小量之關閉狀態電流的特徵而不使用短通道效應。

當將接點插頭形成在第一層佈線 103g 至 103l 上方時，第一層佈線 103g 至 103l 各者的功能如同焊墊。

圖 7C 描繪形成在第一層佈線 103a 至 103l 及第一接點插頭 105 上方之半導體層 106a 至 106f 的位置。可將在多晶狀態、非晶狀態、或多晶-非晶混合狀態中的矽、或氧化物半導體等使用爲半導體層 106a 至 106f。

圖 8A 描繪形成在半導體層 106a 至 106f 上方之第二層佈線 108a 至 108g 及第二接點插頭 110 的位置。此處，第二層佈線 108a 如圖式中描繪地在水平方向上延伸。第二層佈線 108a 作爲包括在各程式化單元中之第二開關元件的閘極使用。

將第二層佈線 108b 至 108g 形成爲分別與第一層佈線 103a 至 103f 實質重疊，從而形成電容器。因此，當在 C-D 方向上將第一層佈線 103a 至 103f 加長時，該等電容器的電容也增加，導致程式化單元之電荷保持特徵（亦即，

組態資料保持特徵）的改善。

須注意將第二層佈線 108b 至 108g 各者連接至平行於待於稍後經由形成在第二層佈線 108b 至 108g 上方的第二接點插頭 110 等形成之資料佈線（透過彼等傳輸組態資料的佈線）的佈線。

圖 8B 描繪形成在第二層佈線 108a 至 108g 及第二接點插頭 110 上方之第三層佈線 111a 及 111b 及第三接點插頭 113 的位置。此處，將第三層佈線 111a 連接至在第一層佈線 103a 之左側上的雜質區域及在第一層佈線 103d 及 103e 之間的雜質區域。將第三層佈線 111b 連接至在第一層佈線 103b 及 103c 之間的雜質區域及在第一層佈線 103e 之右側上的雜質區域。

圖 8C 描繪形成在第三層佈線 111a 及 111b 以及第三接點插頭 113 上方之第四層佈線 114a 及 114b 以及第四接點插頭 116 的位置。此處，將第四層佈線 114a 連接至在第一層佈線 103a 及 103b 之間的雜質區域以及在第一層佈線 103f 之右側上的雜質區域。將第四層佈線 114b 連接至在第一層佈線 103c 及 103d 之間的雜質區域以及在第一層佈線 103f 之左側上的雜質區域。

從上文明顯地看出，將第一層佈線 103a 用於控制圖 6B 中之程式化單元 PD1 的第一開關元件。換言之，可藉由第一層佈線 103a 的電位開啓或關閉程式化單元 PD1 中的第一開關元件。以相同的方式，將第一層佈線 103b 用於控制程式化單元 PD2 中的第一開關元件；將第一層佈

線 103c 用於控制程式化單元 PD3 中的第一開關元件；將第一層佈線 103d 用於控制程式化單元 PD4 中的第一開關元件；將第一層佈線 103e 用於控制程式化單元 PD5 中的第一開關元件；並將第一層佈線 103f 用於控制程式化單元 PD6 中的第一開關元件。

圖 9A 至 9D 依製程的順序沿著圖 7A 至 7C 及圖 8A 至 8C 中之虛線 A-B 描繪橫剖面。圖 10A 至 10E 依製程的順序沿著圖 7A 至 7C 及圖 8A 至 8C 中之虛線 C-D 描繪橫剖面。

圖 9A 描繪將元件分隔絕緣器 102 形成在基材 101 中的狀態。圖 9B 描繪另外形成層佈線 103a 至 103f、第一層間絕緣器 104、以及第一接點插頭 105 的狀態。

圖 9C 描繪另外形成閘極絕緣器 107、第二層佈線 108b 至 108g、第二層間絕緣器 109、以及第二接點插頭 110 的狀態。圖 9D 描繪另外形成第三層佈線 111a 及 111b、第三層間絕緣器 112、第三接點插頭 113、第四層佈線 114a 及 114b、以及第四層間絕緣器 115 的狀態。

圖 10A 描繪將元件分隔絕緣器 102 形成在基材 101 中的狀態。圖 10B 描繪另外形成第一層佈線 103a 及 103g 以及第一層間絕緣器 104 的狀態。圖 10C 描繪另外形成半導體層 106a 及閘極絕緣器 107 的狀態。

圖 10D 描繪另外形成第二層佈線 108a 及 108b、第二層間絕緣器 109、以及第二接點插頭 110 的狀態。第二層佈線 108a 作爲在各程式化單元中之第二開關元件的閘極

使用。第一層佈線 103a、第二層佈線 108b、以及閘極絕緣器 107 作爲構成電容器的介電質。

須注意因爲第二開關元件的通道長度對應於第一層佈線 103a 及 103g 之間的距離，增加第二開關元件之關閉狀態電阻的有效方式係儘可能地增加第一層佈線 103a 及 103g 之間的距離。爲避免由短通道效應導致的關閉狀態電阻降低，此種方式也係可取的。

圖 10E 描繪另外形成第三層佈線 111a、第三層間絕緣器 112、第三接點插頭 113、第四層間絕緣器 115、以及第四接點插頭 116 的狀態。將與第二層佈線 108a 相交的資料佈線形成在第四接點插頭 116 上方爲佳。在此實施例中製造的程式化單元具有與描繪於圖 2C 中之電路結構等效的電路結構。

須注意可將第二開關元件或電容器形成在與上述層不同的層中，使得可降低開關的面積並可增加邏輯單元的面積。例如，可將開關的面積限制成僅在圖 7A 中之元件形成區域 101a 及 101b 的附近。參考圖 11A 至 11C 描繪此種結構的範例。

圖 11A 至 11C 描繪與圖 10A 至 10E 相似並由邏輯單元區域（LC 區域）大量佔據的橫剖面結構。須注意在圖 11A 至 11C 及其解釋中，未用參考數字註明接點插頭。

圖 11A 描繪基材 201 設有元件分隔絕緣器 202 及第一層佈線 203a 至 203d 的狀態。此處，第一層佈線 203a、203c、以及 203d 係邏輯單元區域中之電晶體的佈線。

第一層佈線 203b 作爲程式化單元中之第一開關元件的閘極使用。

圖 11B 描繪將第一層間絕緣器 204 及第一接點插頭形成在元件分隔絕緣器 202 及第一層佈線 203a 至 203d 上方，並在其上方，另外形成第二層佈線 208a 至 208d、第二層間絕緣器 209、以及第二接點插頭，並在其上方另外形成第三層佈線 211a 至 211c、第三層間絕緣器 212、以及第三接點插頭。

此處，在第二層佈線 208a 至 208d 及第三層佈線 211a 至 211c 之間，僅有第二層佈線 208b 及第三層佈線 211b 相關於程式化單元且其他佈線相關於邏輯單元。雖然在圖 11A 至 11C 中，相關於邏輯單元的佈線係由第一至第三層佈線組成，除了第一至第三層佈線外，可能視需要將在此等層佈線上方的佈線層用於邏輯單元。

圖 11C 描繪將第四層佈線 214a 及第四層佈線 214b 形成爲埋入在第三層佈線 211a 至 211c、第三層間絕緣器 212、以及第三接點插頭上方的第四層間絕緣器 215 中，且在第四層佈線 214a 及 214b 上方，形成半導體層 206、閘極絕緣器 207、第五層佈線 217a 及 217b、第五層間絕緣器 218、以及第四接點插頭。

在圖 11C 中，第四層佈線 214a 對應於圖 10A 至 10E 中的第一層佈線 103g，並具有如同焊墊的功能。第五層佈線 217a 具有如同第二開關元件之閘極的功能。第二開關元件的通道長度對應於第四層佈線 214a 及 214b 之間的

距離。第四層佈線 214b 及第五層佈線 217b 構成在其中閘極絕緣器 207 係介電質的電容器。具有此種結構的程式化單元具有等效於描繪於圖 2C 中之電路結構的電路結構。

如圖 11C 描繪的，將第四層佈線 214a 及 214b、半導體層 206、閘極絕緣器 207、及第五層佈線 217a 及 217b 等形成爲在邏輯單元區域中重疊，使得第二開關元件的通道長度可足夠長且電容器的面積可足夠大。因此，程式化單元可具有優秀的組態資料保持特徵。

如圖 11A 至 11C，在將第二開關元件設置在多層佈線的上層部中的情形中，需要用於將第一開關元件連接至第二開關元件的多階接點插頭。此外，此等接點插頭受低層佈線所影響。

若電容器的電容不夠大，由於低層佈線的影響，讀取閘極的電位可能改變，導致非預期操作。爲避免此種情況，電容器的電容必需足夠大。在圖 11A 至 11C 中，在邏輯單元區域上方有充份的面積，且因此可設置具有所需之大電容的電容器。

（實施例 16）

在此實施例中，描述將包括正常動態隨機存取記憶體記憶體胞元或修改之動態隨機存取記憶體記憶體胞元的程式化單元使用於其中的場效可規劃閘極陣列。例如，當將描繪於圖 2C 中之電路結構用爲程式化單元時，將動態隨機存取記憶體記憶體胞元的結構用爲第二電晶體 Tr2 及電

容器 Cs。

在動態隨機存取記憶體中，自電容器釋放的自發電荷通常需要週期性的資料寫入（復新）。通常，每秒需要數十次的復新。因此，在將正常動態隨機存取記憶體之電晶體及電容器用於程式化單元的情形中，也需要每秒將組態資料重寫數十次。

例如，當圖 2C 中之第二電晶體 Tr2 的通道長度爲正常動態隨機存取記憶體的十倍長或電容器 Cs 的電容爲正常動態隨機存取記憶體的十倍大時，可將復新頻率降低至十分之一。當通道長度及電容二者增加爲正常動態隨機存取記憶體的十倍時，可將復新頻率降低至百分之一。

上文也意謂著寫入所需時間增加爲正常動態隨機存取記憶體的十倍（或一百倍），並需要用於通道長度及電容增加的面積。然而，因爲稍後描述的部分因素，這些係可接受的。

雖然週期性寫入組態資料的必要性可能導致電力消耗的增加，當用於形成具有相同結構的程式化單元，特別係具有 40nm 或以下之電路線寬時，靜態隨機存取記憶體消耗比驅動動態隨機存取記憶體更多的電力。

特別係如上文所述地，每次將組態資料週期性地寫入時，可藉由改變組態資料週期性地改變電路組態，亦即，可實施動態重組態。在此情形中，可能形成實質等效於由多於其實際邏輯單元所構成的電路。

在未實施動態重組態的情形中，需要足夠用於與實施

動態重組態的情形相同之效能等級的更多邏輯單元，並因此另外需要程式化單元；因此，電力消耗更加增加。爲此種原因，如此實施例中之將組態資料週期性地寫入的方法充份地優於習知方法。

圖 12A 至 12D 係描繪此實施例的程式化單元之製程的橫剖面圖。圖 12A 至 12D 對應於圖 10A 至 10E 或圖 11A 至 11C。

圖 12A 描繪基材 301 設有元件分隔絕緣器 302、第一層佈線 303a 及 303b、以及第一層間絕緣器 304 的狀態。此處，第一層佈線 303a 對應於第二開關元件的閘極，且第一層佈線 303b 對應於第一開關元件的閘極。第一層佈線 303b 可參考實施例 15。

第一層佈線 303a 及 303b 之任一者或二者可能係具有凹陷結構的閘極。使用凹陷結構，可抑制短通道效應。當第一層佈線 303a 的線寬長於正常動態隨機存取記憶體記憶體胞元中的線寬時，作爲第二開關元件之電晶體的通道可甚長，使得可降低關閉狀態電流。

圖 12B 描繪第一層間絕緣器 304 設有第一接點插頭 305，且於其上形成第二層佈線 308a 至 308c、第二層間絕緣器 309、以及第二接點插頭 310 的狀態。

第二層佈線 308b 將第一開關元件的閘極（第一層佈線 303b）連接至第二開關元件。須注意第二層佈線 308a 及 308c 分別對應於圖 8B 中的第三層佈線 111a 及 111b，並係將邏輯單元互連的佈線。

圖 12C 描繪將第三層佈線 311a 及 311b、第三層間絕緣器 312、以及第三接點插頭 313 形成在第二層間絕緣器 309 及第二接點插頭 310 上方的情形。須注意第三層佈線 311a 及 311b 係分別對應於圖 8C 中之第四層佈線 114a 及 114b 的佈線，並互連邏輯單元。

圖 12D 描繪將第四層佈線 314、第四層間絕緣器 315、第四接點插頭 316、電容器 317、以及第五層佈線 318 形成在第三層間絕緣器 312 及第三接點插頭 313 上方的情形。

第四層佈線 314、第四接點插頭 316、以及電容器 317 之間的位置關係如在正常動態隨機存取記憶體中發現的。將第四層佈線 314 放置成避開第四接點插頭 316。將第五層佈線 318 及第四層佈線 314 放置成彼此平行，並分別對應於圖 2C 中描繪的終端 D 及 E。第四層佈線 314 及第五層佈線 318 的電位在寫入組態資料期間彼此互補爲佳。

在此實施例的程式化單元中，例如，可將電容器形成在第一開關元件的閘極（第一層佈線 303b）上方。此外，第一開關元件之閘極的寬度（通道寬度）也可係最小線寬的二或多倍。因此，可形成具有比使用在正常動態隨機存取記憶體記憶體胞元中的電容器更大之電容的電容器。另外，第二開關元件之閘極（第一層佈線 303a）的寬度（通道長度）也可係使用在正常動態隨機存取記憶體記憶體胞元中的電晶體之寬度的二或多倍。

因此，由於經由具有比正常動態隨機存取記憶體中的電容更大之電容的電容器及具有比正常動態隨機存取記憶體中的通道更長之通道的電晶體之組合得到的效果，可將電荷保持在電容器中的時間可比在正常動態隨機存取記憶體中的時間更長。

靜態隨機存取記憶體所需要的面積爲 $50F^2$ 或以上（F 代表最小線寬）且不包括第一開關元件（對應其之部位）的面積。在此實施例的程式化單元中，在第二開關元件之閘極（第一層佈線 303a）的寬度爲 3F 且第一開關元件之閘極（第一層佈線 303b）的寬度爲 9F 的假設下，形成開關元件所需的面積爲 $32F^2$。

亦即，可將程式化單元形成在充份小於靜態隨機存取記憶體所使用之面積的面積中。須注意當以最小線寬形成第一開關元件及第二開關元件各者時，仍可將程式化單元形成在更小的面積中（$14F^2$）。甚至在此情形中，可用於電容器的部位仍比在正常動態隨機存取記憶體中的部位大。

圖 13A 係具有此種程式化單元的半導體裝置之電路結構的方塊圖。此半導體裝置包括記憶體區域 401。雖然對包括在記憶體區域 401 中之記憶體胞元的種類並無特別限制，在可同時形成之上述程式化單元中使用動態隨機存取記憶體爲佳，電力消耗可低於使用靜態隨機存取記憶體，且較不可能發生軟性錯誤。

在記憶體區域 401 中，儲存用於動態重組態之複數個

型樣的組態資料。例如，當需要時，儲存總共八個型樣之第一至第八個型樣的組態資料以待輸出，使得可實現所需之電路組態。

例如，第一型樣對應於 a-b-c-d 電路組態、第二型樣對應於 a-c-b-d 電路組態、且第三型樣對應於 a-d-b-c 電路組態。該資料由個別狀態組成，其中程式化單元需要依據電路組態放置。此外，在第一操作週期中實現第一型樣的電路組態，並在寫入組態資料之週期後的次一操作週期中，實施第二型樣的電路組態。

將記憶體區域 401 之各位元線 402 的一終端連接至選擇電路 403。在來自記憶體區域 401 之資料輸出的基礎上，選擇電路 403 輸出對應於組態資料的訊號及互補訊號。須注意可能將在得到對應於組態資料的訊號時參考位元線的訊號使用爲互補訊號。

在圖 13A 中，一選擇電路 403 對應於八條位元線 402，亦即，在此電路結構中實際地選擇八種型樣之一者。然而，此結構並無限制，一選擇電路 403 可能對應於一位元線 402，該此情形中，實際選擇八種型樣的一者。

將經由其傳輸對應於組態資料的訊號之資料佈線 D 及經由其傳輸互補資料的資料佈線 E 二者連接至邏輯電路區域中之開關 404 中的程式化單元，使得可實現電路組態。此處，通常，因爲以在其間的距離分隔記憶體區域 401 及邏輯電路區域，傳輸資料花費時間。雖然所需時間取決於佈線之電容及電阻的乘積，當距離約爲 1cm，約花費數

百奈秒。

若程式化單元中的第二開關元件的通道甚長且電容器的電容甚大，也花費長時間寫入資料。然而，當寫入資料的時間實質等於或短於上述之傳輸資料的時間或係傳輸資料之時間的十分之一或以下爲佳時，寫入資料的此種時間實際上並不重要。

由在開啓狀態中之正常動態隨機存取記憶體組成的時間約爲一奈秒。當此時間常數爲正常動態隨機存取記憶體的十倍時，因爲程式化單元中之第二開關元件的通道甚長且電容器的電容甚大，寫入資料所花費的時間可係 100 奈秒。

因此，例如，當資料傳輸花費 500 奈秒時，從關閉程式化單元的時間至開啓其之時間所花費的時間爲傳輸資料所花費之時間（500 奈秒）及將電荷完全傳輸至電容器所花費的時間（100 奈秒）之和。後一時間可隨更短之第二開關元件的通道及更小之電容器的電容而減少。然而，前一時間佔據從關閉程式化單元之時間至開啓其的時間所花費之時間的大半。因此，將後一時間更加減少的效率較小。

當開啓狀態中的時間常數如上文所述地較大時，短通道效應受抑制且因此關閉狀態中的時間常數也與開啓狀態中的時間常數一樣大或更大。因此，在此時間常數爲正常動態隨機存取記憶體中之時間常數的十倍大時，因爲程式化單元中之第二開關元件的通道甚長且電容器的電容甚大

，當正常動態隨機存取記憶體每秒需要 60 次的復新時，每秒 6 次或以下的復新即足夠。

依據降低復新頻率的效果，即使用於資料傳輸所需要的時間足夠短，程式化單元中之第二開關元件的通道及電容器之電容可能仍增加。

在圖 13B 中，描繪此實施例之開關的形狀，並可能將該開關非常緊密地形成在邏輯單元 LC1、LC2、LC4、以及 LC5 中間。須注意在圖 13B 中，將三個開關形成在虛線框中。

圖 13C 描繪此實施例之場效可規劃閘極陣列的操作。如圖 13C 描繪的，操作週期（邏輯操作週期）之間有組態週期。此處，一操作週期係藉由相鄰組態週期之間的間隔決定，且係程式化單元的電容器可保持電荷的時間。例如，在上述範例中，每秒 6 次或以下的復新即足夠，且因此一操作週期爲 167 微秒或以上。

然而，可能取決於情形以較短間隔實施組態。此間隔不必然始終相同並可依需要改變。

組態週期取決於場效可規劃閘極陣列中之邏輯單元的數量。例如，因爲可同時將資料寫入屬於各邏輯單元之開關等中的一列程式化單元中，用於寫入一程式化單元所需時間的 1000 倍時間對 1000 列乘 1000 行之邏輯單元的矩陣係足夠的，亦即，共一百萬個邏輯單元（2 千萬或更多個程式化單元）。

例如，當如上文所述的寫入一程式化單元所需的時間

爲 600 奈秒時，完成所有邏輯元件之組態操作並因此形成電路組態會花費 600 微秒，其係寫入一程式化單元所需時間的一千倍。

另外，如上文所述，因爲將八個型樣之電路組態的組態資料預先儲存在記憶體區域 401 中，一百萬個邏輯單元能有與最多八百萬個邏輯單元相同的效能等級。

本申請案基於 2011 年 5 月 18 日向日本特許廳申請的日本專利申請案編號第 2011-111098 號，該專利之教示全文以提及之方式併入本文中。

【圖式簡單說明】

在該等隨附圖式中：

圖 1 係描繪半導體裝置之結構的圖；

圖 2A 至 2D 各者描繪程式化單元的電路圖；

圖 3A 及 3B 各者描繪程式化單元的電路圖；

圖 4A 及 4B 各者描繪電晶體的特徵；

圖 5A 及 5B 各者描繪程式化單元的電路圖；

圖 6A 及 6B 描繪半導體裝置的結構；

圖 7A 至 7C 各者描繪程式化單元的佈置；

圖 8A 至 8C 各者描繪程式化單元的佈置；

圖 9A 至 9D 描繪程式化單元之製程的橫剖面；

圖 10A 至 10E 描繪程式化單元之製程的橫剖面；

圖 11A 至 11C 描繪程式化單元之製程的橫剖面；

圖 12A 至 12D 描繪程式化單元之製程的橫剖面；且

圖 13A 至 13C 描繪使用程式化單元之半導體裝置及該半導體裝置的操作範例。

【主要元件符號說明】

101、201、301：基材

101a、101b：元件形成區域

102、202、302：元件分隔絕緣器

103a、103b、103c、103d、103e、103f、103g、103h、103i、103j、103k、103l、203a、203b、203c、203d、303a、303b：第一層佈線

104、204、304：第一層間絕緣器

105、305：第一接點插頭

106a、106b、106c、106d、106e、106f、206：半導體層

107、207：閘極絕緣器

108a、108b、108c、108d、108e、108f、108g、208a、208b、208c、208d、308a、308b、308c：第二層佈線

109、209、309：第二層間絕緣器

110、310：第二接點接頭

111a、111b、114a、114b：佈線

112、212、312：第三層間絕緣器

113、313：第三接點接頭

115、215、315：第四層間絕緣器

116、316：第四接點插頭

211a、211b、211c、311a、311b：第三層佈線

214a、214b、314：第四層佈線

217a、217b、317：第五層佈線

218、318：第五層間絕緣器

401：記憶體區域

402：位元線

403：選擇電路

404：開關

A、B、C、D、E、F、G、H、I、LC1、LC2、LC3、LC4、LC5、LC6、LC7、LC8、LC9：邏輯單元

Cs：電容器

Cs1：第一電容器

Cs2：第二電容器

D、D1、D2、E、E1、E2、G、G1、G2、G3：終端

Id：汲極電流

N1：第一節點

N2：第二節點

N3：第三節點

N4：第四節點

N5：第五節點

PD1、PD2、PD3、PD4、PD5、PD6、PD_AB、PD_BA、PD_AD、PD_DA、PD_BC、PD_CB、PD_BE、PD_EB、PD_CF、PD_FC、PD_DE、PD_ED、PD_DG、PD_GD、PD_EF、PD_FE、PD_EH、PD_HE、PD_FI、PD_IF、

PD_GH、PD_HG、PD_HI、PD_IH、PD_VA、PD_VB、PD_VC、PD_VD、PD_VE、PD_VF、PD_VG、PD_VH、PD_VI：程式化單元

Tr1：第一電晶體

Tr2：第二電晶體

Tr3：第三電晶體

Tr4：n-通道第四電晶體

Tr5：p-通道第五電晶體

Tr6：第六電晶體

Tr7：第七電晶體

Tr8：第八電晶體

Tr9：第九電晶體

V1、V2（HT）、V2（RT）、Vg：閘極電位

VDD：高電源供應電位

公告本

發明專利說明書

（本申請書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：101116523

※申請日：101 年 05 月 09 日　　※IPC 分類：H03K 19/177 (2006.01)

H01L 21/768 (2006.01)

一、發明名稱：（中文／英文）

半導體裝置與驅動半導體裝置之方法

Semiconductor device and method of driving semiconductor device

二、中文發明摘要：

提供一種使用程式化單元的半導體裝置。提供一種使用該程式化單元的高度可靠的半導體裝置。提供一種使用該程式化單元的高度積體的半導體裝置。在具有改變邏輯單元之間的連接結構之功能的半導體電路中，諸如，可程式邏輯裝置，該等邏輯單元之間或至該等邏輯單元的電源供應之連接及切斷係由使用具有小量的關閉狀態電流或小量的漏電流之絕緣閘場效電晶體的程式化單元控制。在該程式化單元中可配置傳輸閘電路。爲降低驅動電壓，在該程式化單元中可配置電容器，且該電容器的該電位在組態期間及操作期間可改變。

三、英文發明摘要：

A semiconductor device using a programming unit with is provided. A highly reliable semiconductor device using the programming unit is provided. A highly integrated semiconductor device using the programming unit is provided. In a semiconductor circuit having a function of changing a structure of connections between logic cells such as PLDs, connection and disconnection between the logic cells or power supply to the logic cells is controlled by a programming unit using an insulated gate field-effect transistor with a small amount of off-state current or leakage current. A transfer gate circuit may be provided in the programming unit. To lower driving voltage, a capacitor may be provided in the programming unit and the potential of the capacitor may be changed during configuration and during operation.

圖1

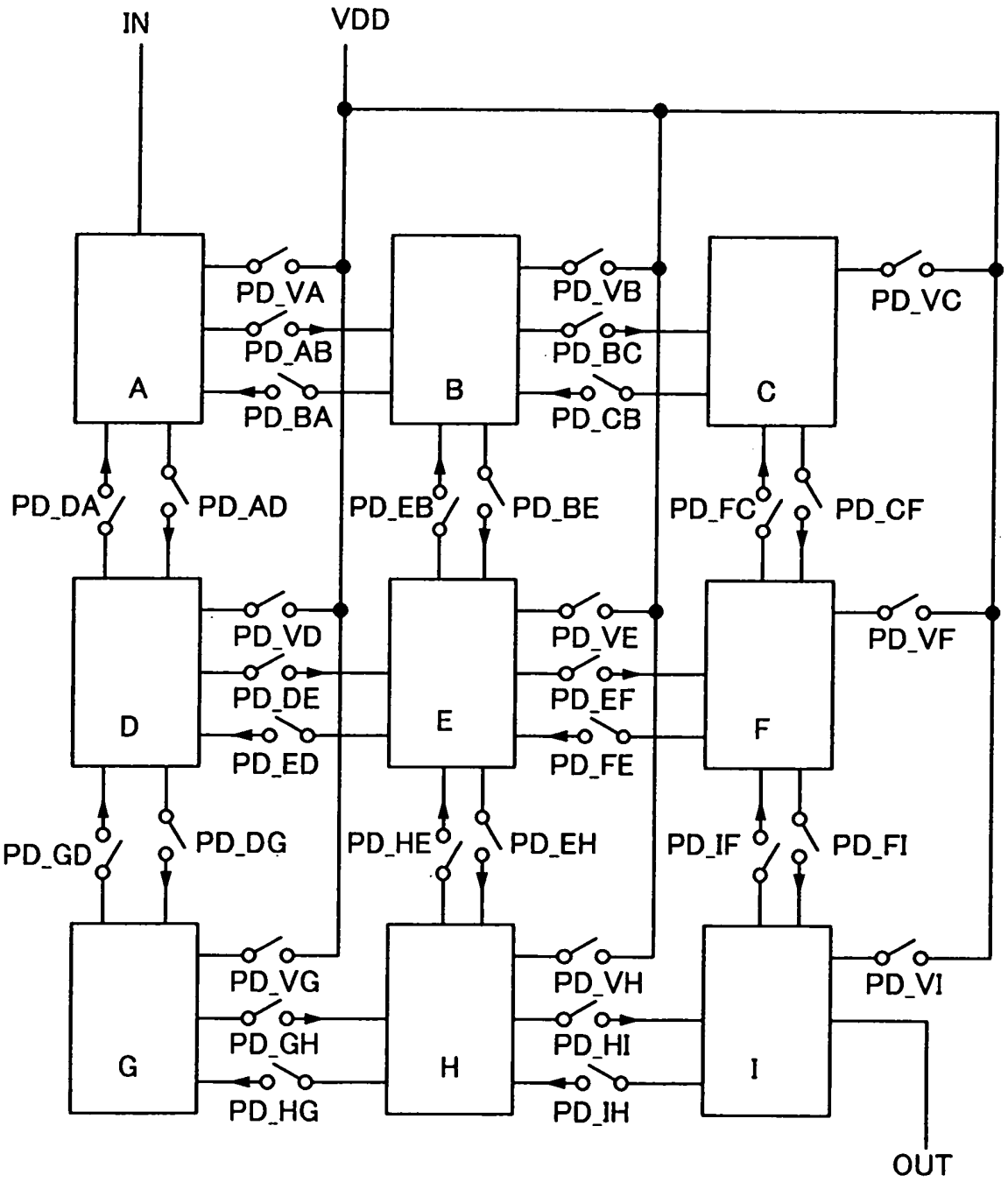

IN
VDD
A
B
C
D
E
F
G
H
I
PD_VA
PD_AB
PD_BA
PD_VB
PD_BC
PD_CB
PD_VC
PD_DA
PD_AD
PD_EB
PD_BE
PD_FC
PD_CF
PD_VD
PD_DE
PD_ED
PD_VE
PD_EF
PD_FE
PD_VF
PD_GD
PD_DG
PD_HE
PD_EH
PD_IF
PD_FI
PD_VG
PD_GH
PD_HG
PD_VH
PD_HI
PD_IH
PD_VI
OUT

圖2A

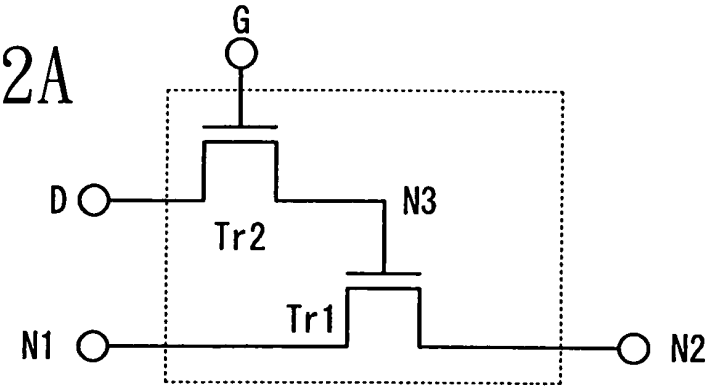


圖2B

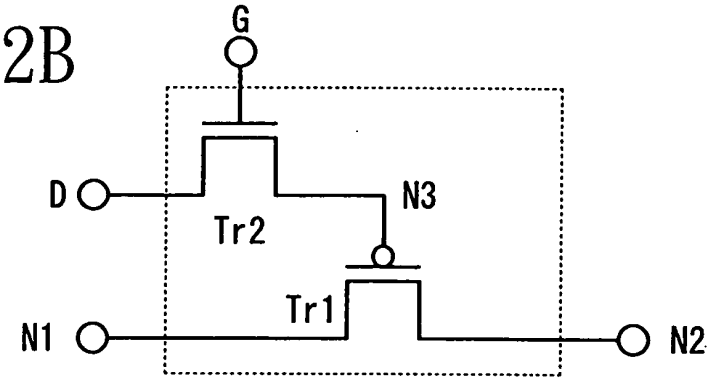


圖2C

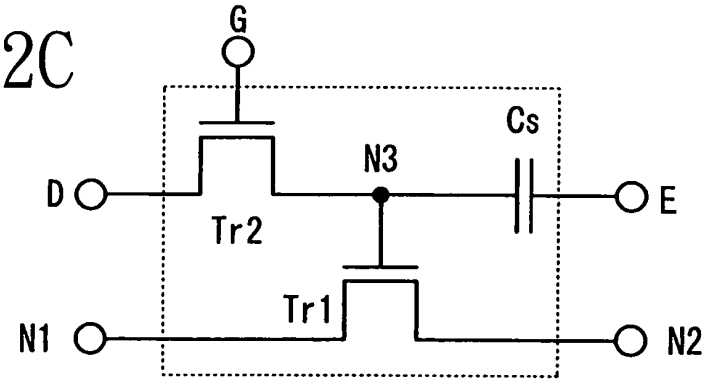


圖2D

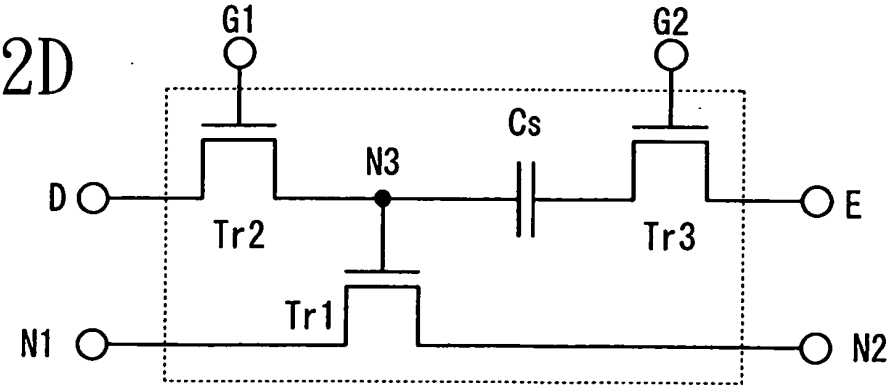


圖3A

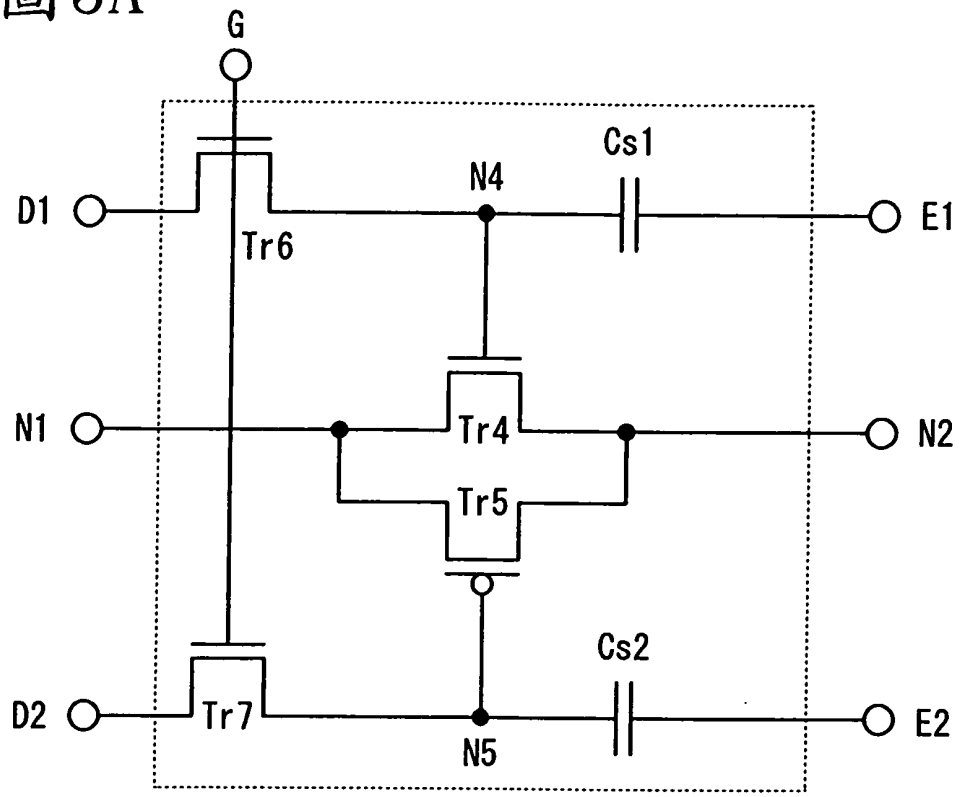

G
Cs1
N4
D1
E1
Tr6
N1
Tr4
N2
Tr5
Cs2
D2
Tr7
E2
N5

圖3B

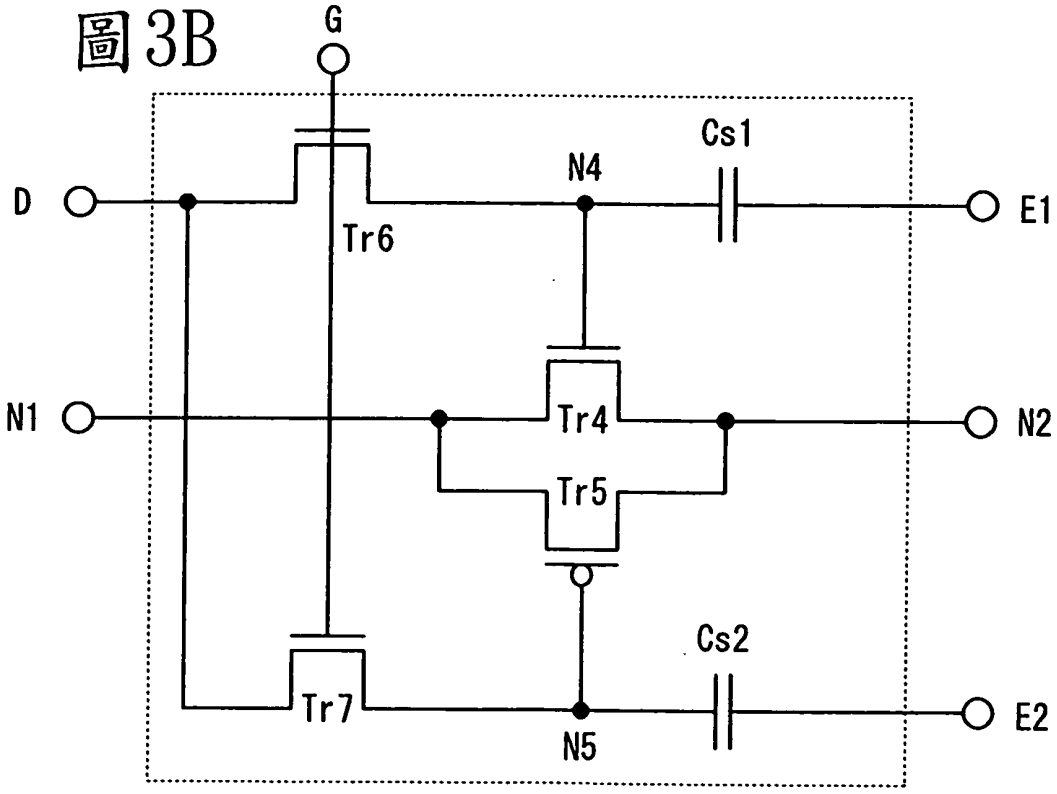

G
Cs1
N4
D
E1
Tr6
N1
Tr4
N2
Tr5
Cs2
Tr7
E2
N5

圖4A

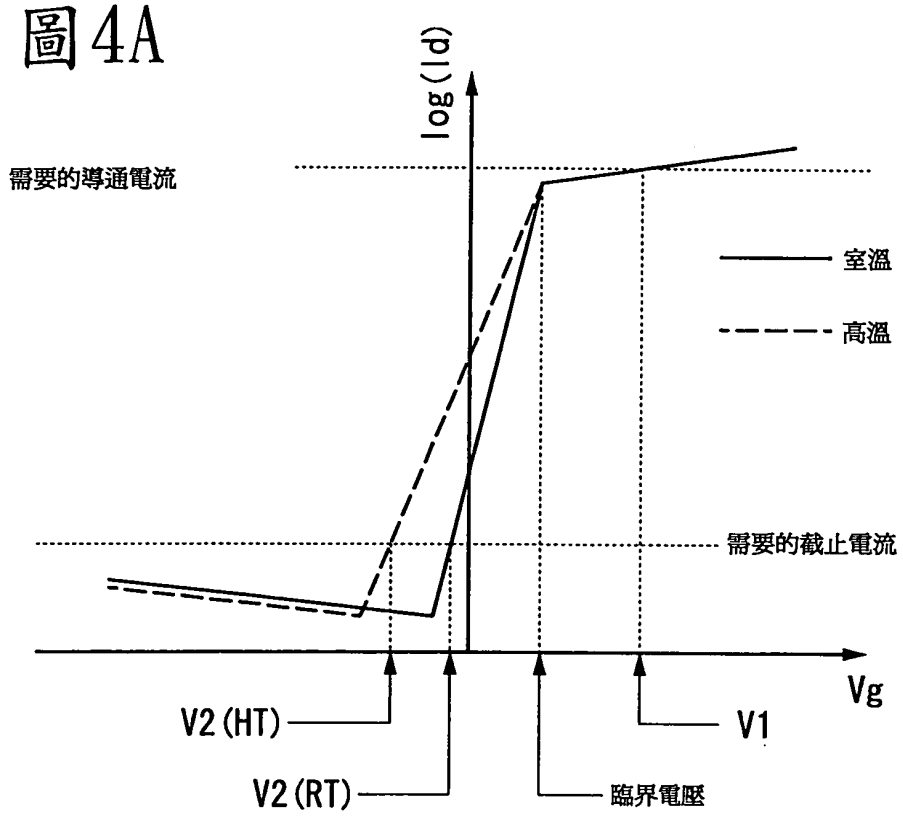

log(Id)
需要的導通電流
室溫
高溫
需要的截止電流
Vg
V2(HT)
V2(RT)
臨界電壓
V1

圖4B

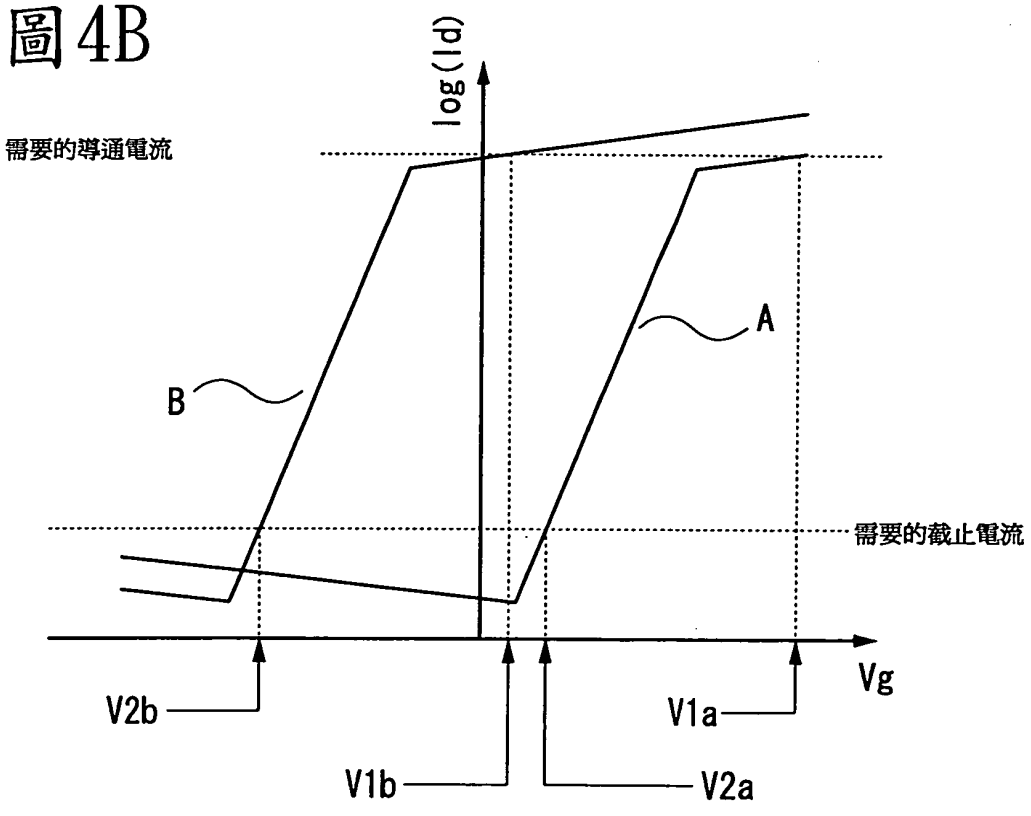

log(Id)
需要的導通電流
A
B
需要的截止電流
Vg
V2b
V1b
V2a
V1a

圖5A

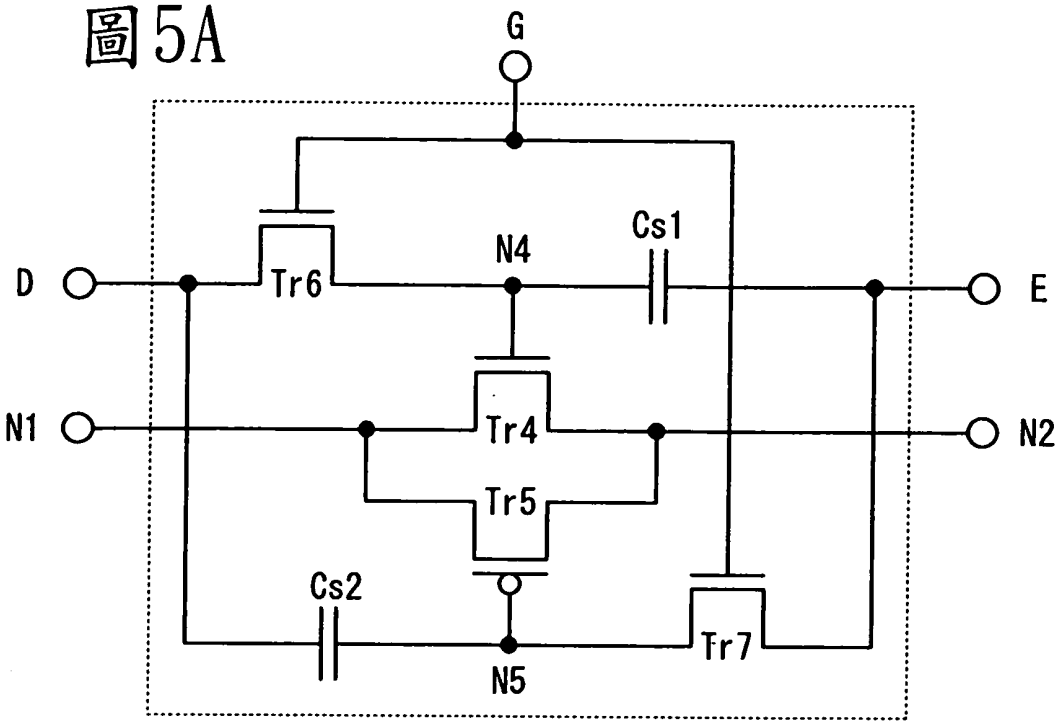

G
D
Tr6
N4
Cs1
E
N1
Tr4
N2
Tr5
Cs2
Tr7
N5

圖5B

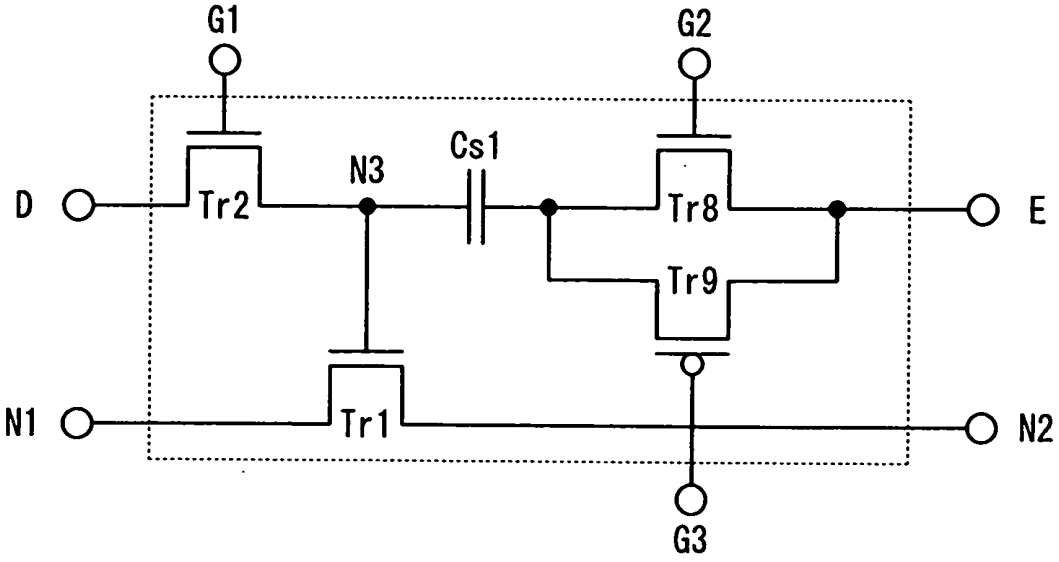
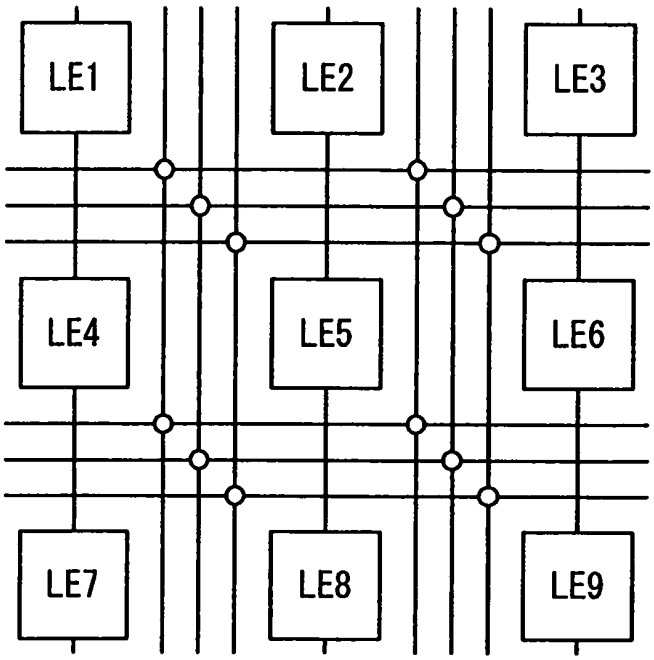

G1
G2
D
Tr2
N3
Cs1
Tr8
E
Tr9
N1
Tr1
N2
G3

圖6A


LE1
LE2
LE3
LE4
LE5
LE6
LE7
LE8
LE9

○ 開關元件

圖6B

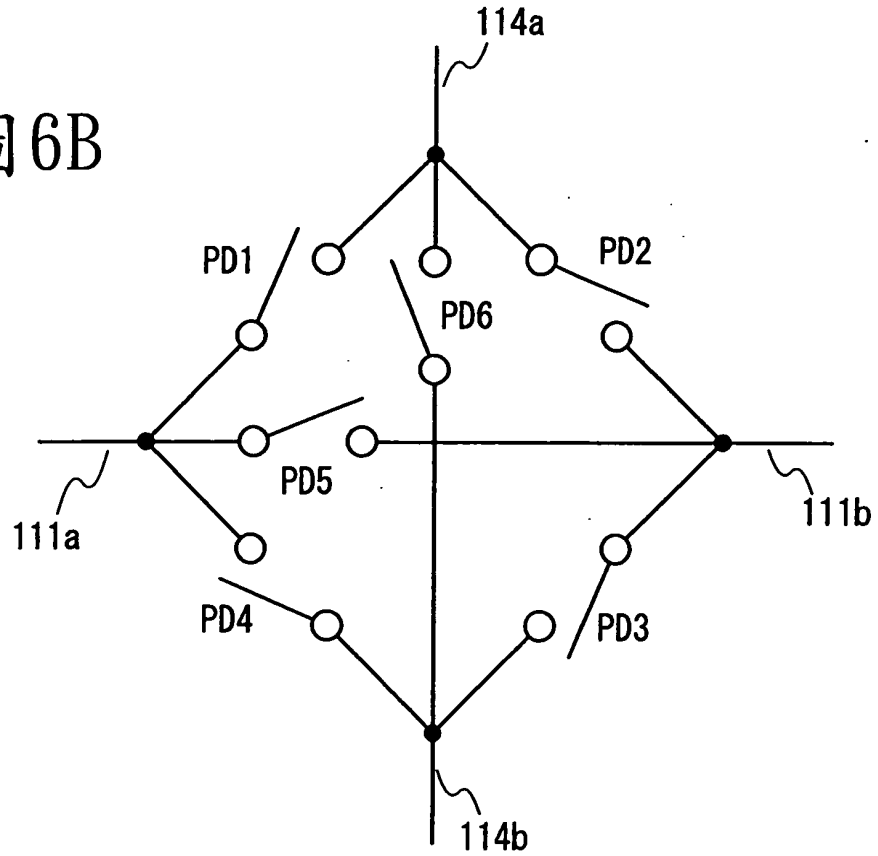

114a
PD1
PD2
PD6
PD5
111a
111b
PD4
PD3
114b

圖7A

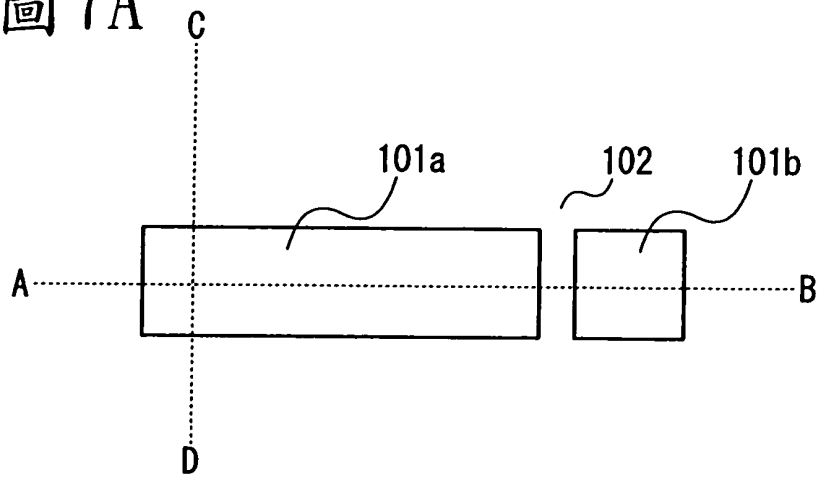

C
101a
102
101b
A
B
D

圖7B

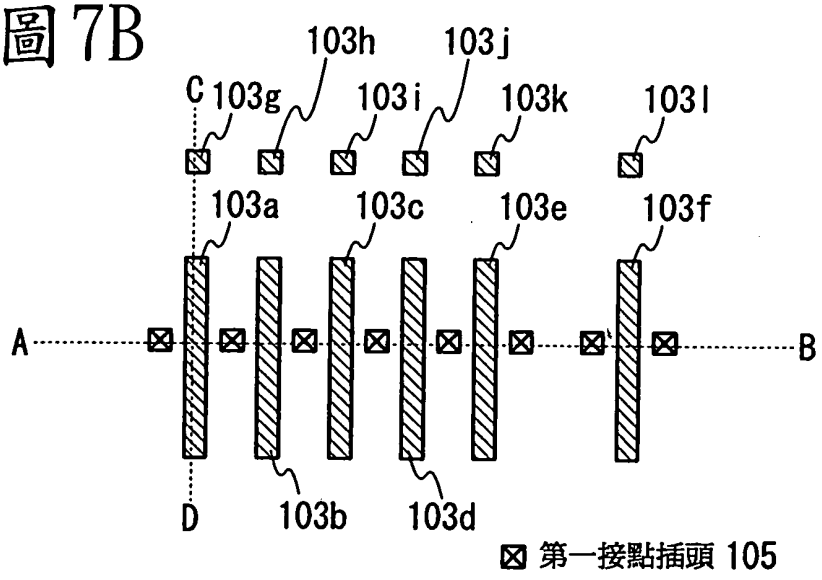

103h
103j
C
103g
103i
103k
103l
103a
103c
103e
103f
A
B
D
103b
103d
第一接點插頭 105

圖7C

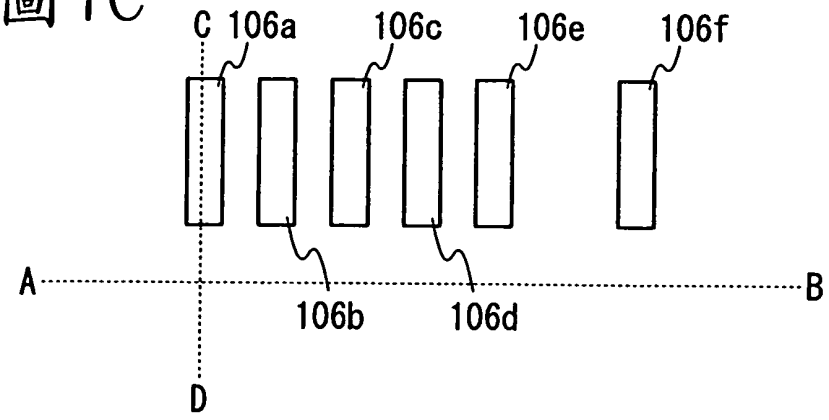

C
106a
106c
106e
106f
A
B
106b
106d
D

圖8A

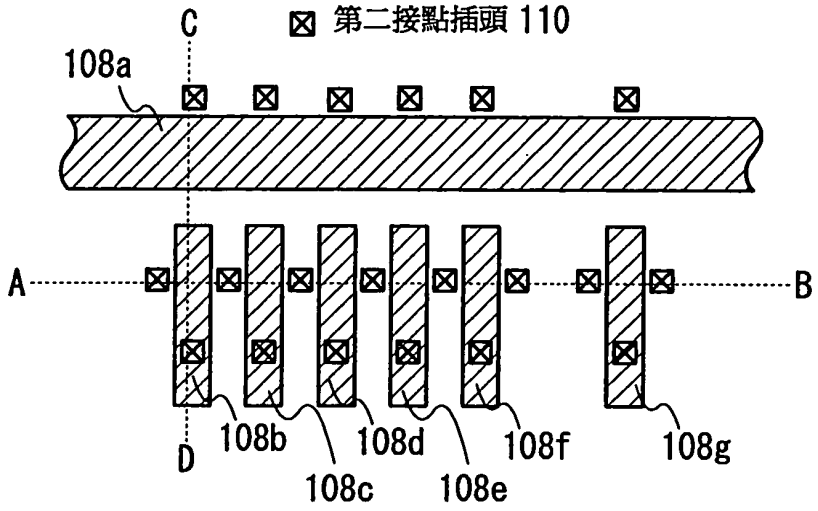


圖8B

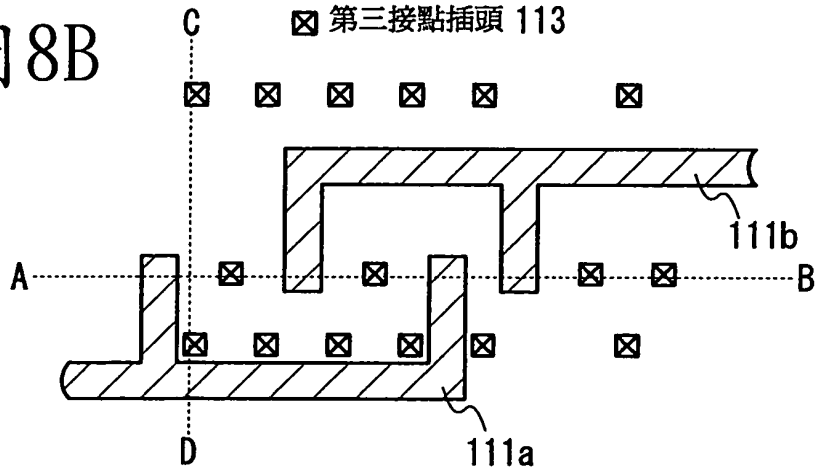
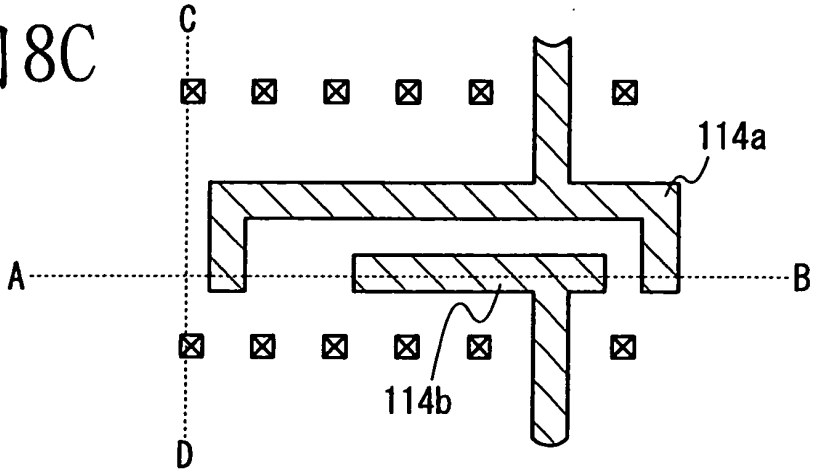


圖8C



⊠ 第四接點插頭 116

圖9A

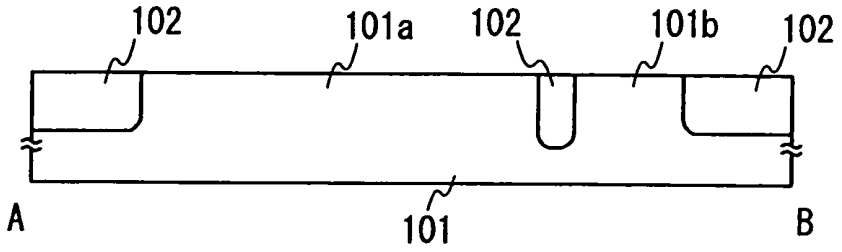


圖9B

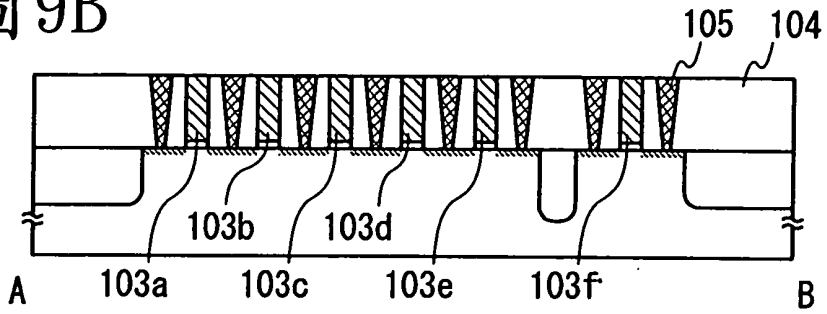


圖9C

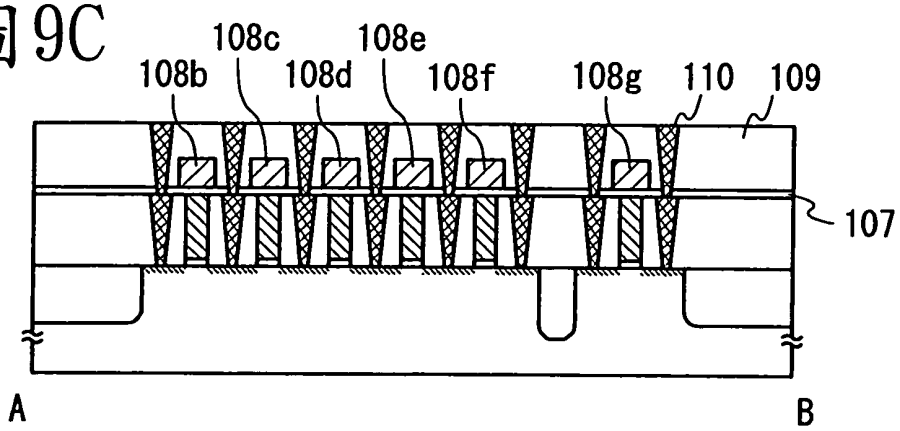


圖9D

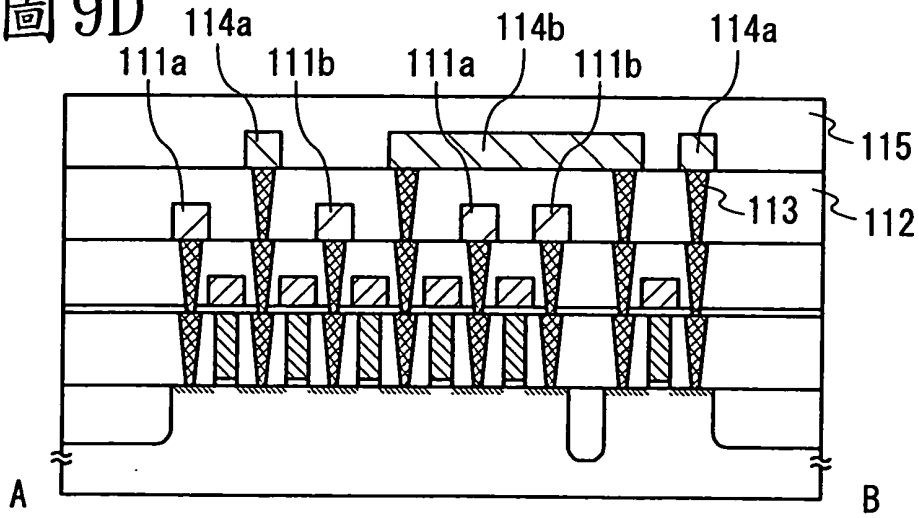


圖10A

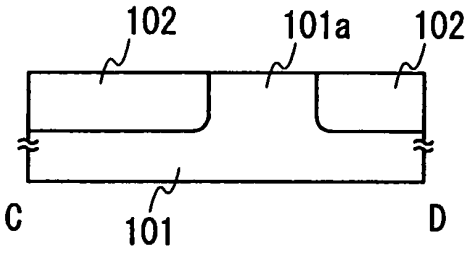


圖10B

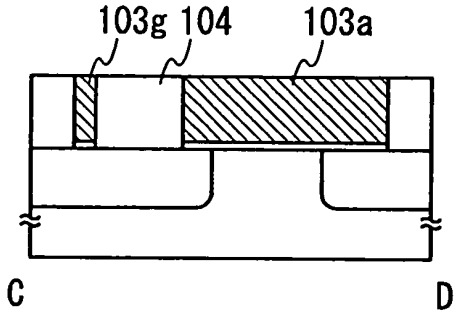


圖10C

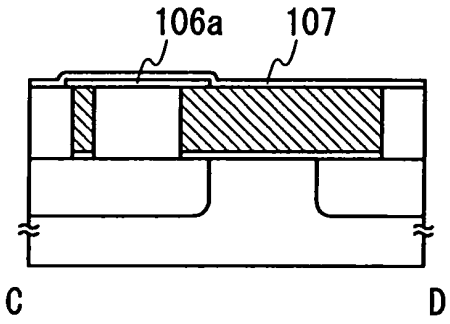


圖10D

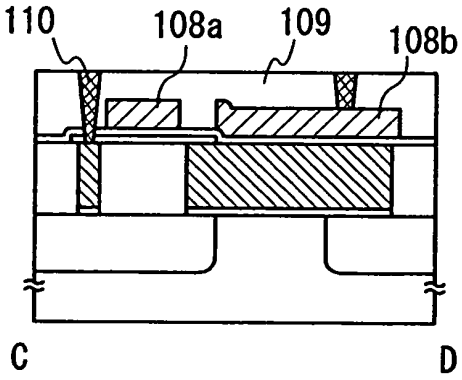


圖10E

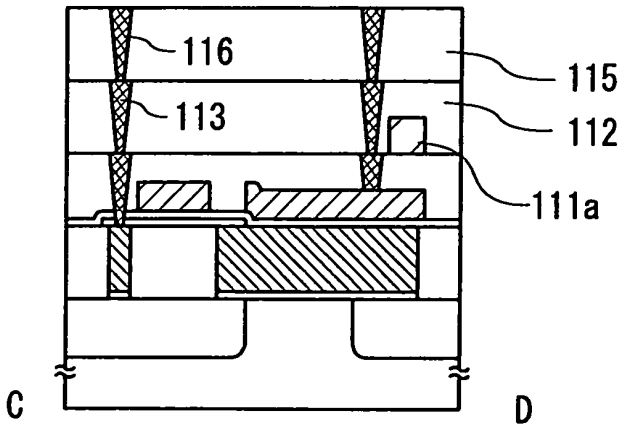


圖11A

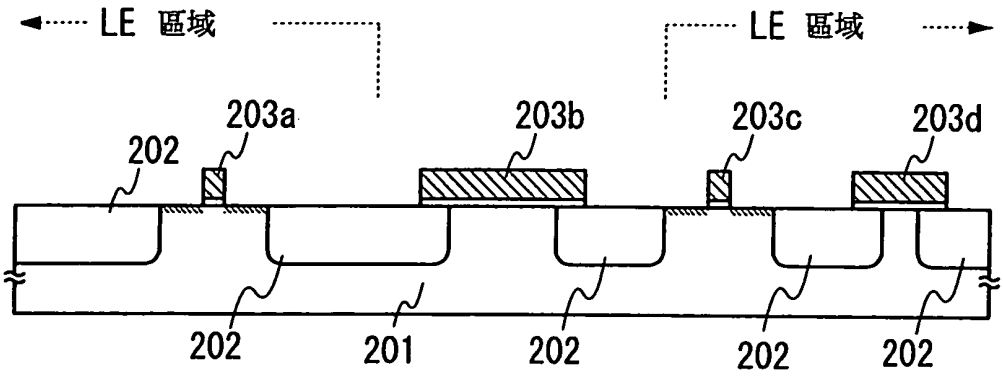


圖11B

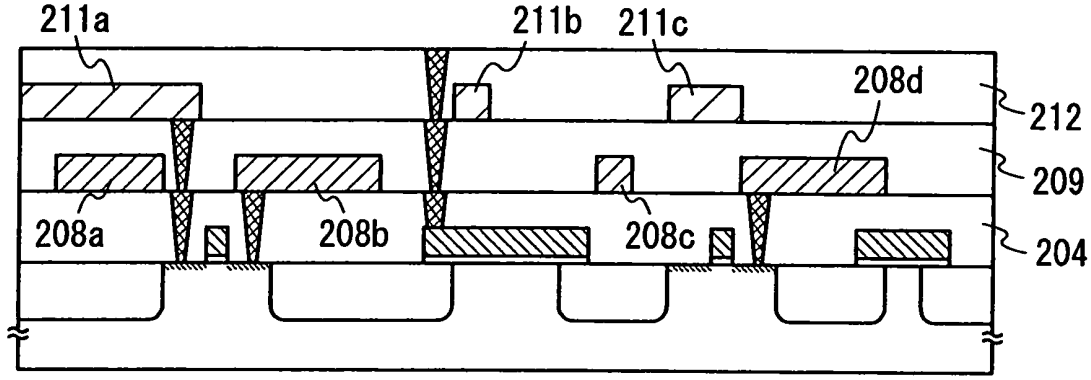


圖11C

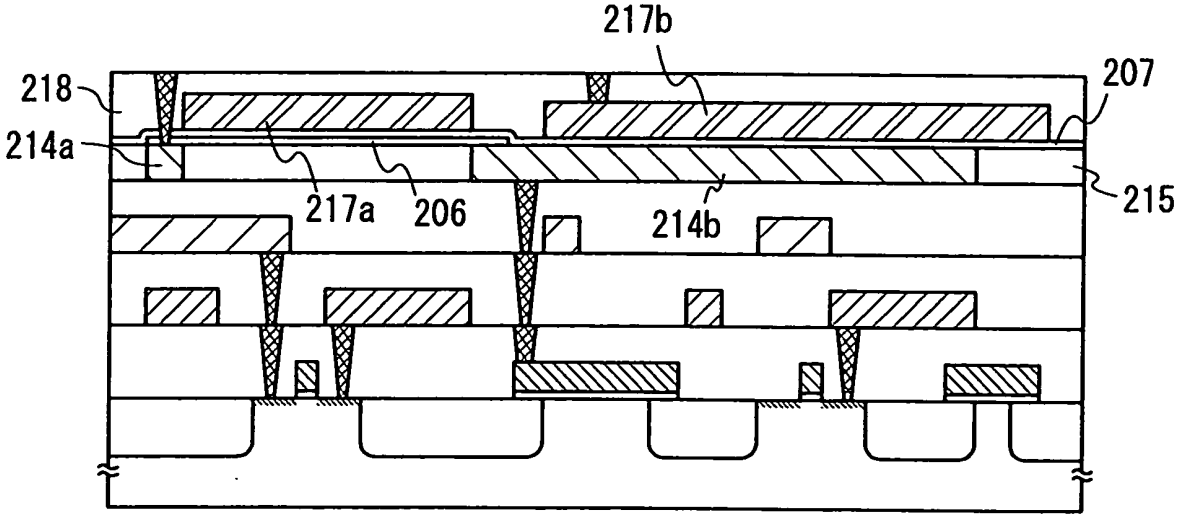


圖12A

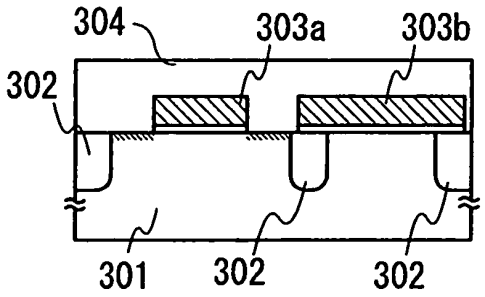


圖12B

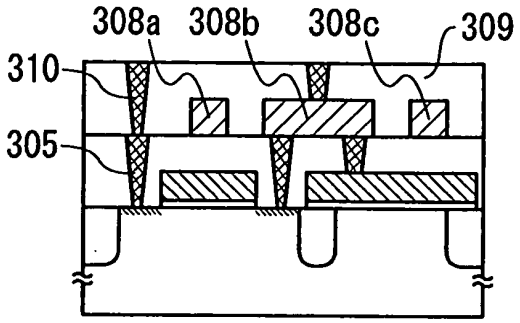


圖12C

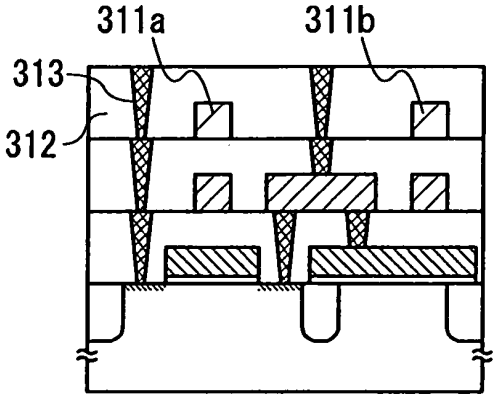


圖12D

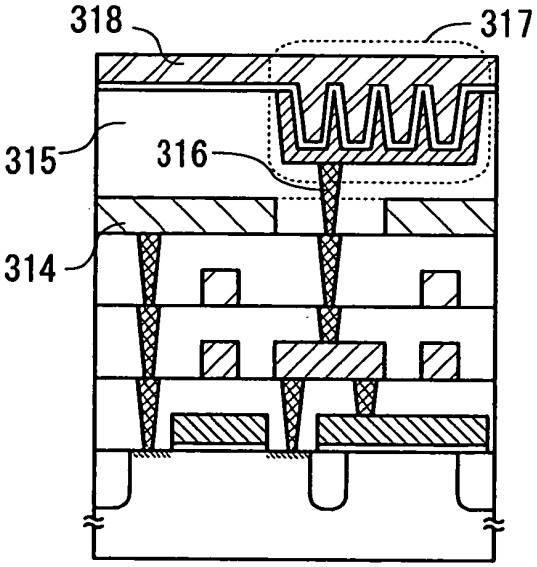


圖13A

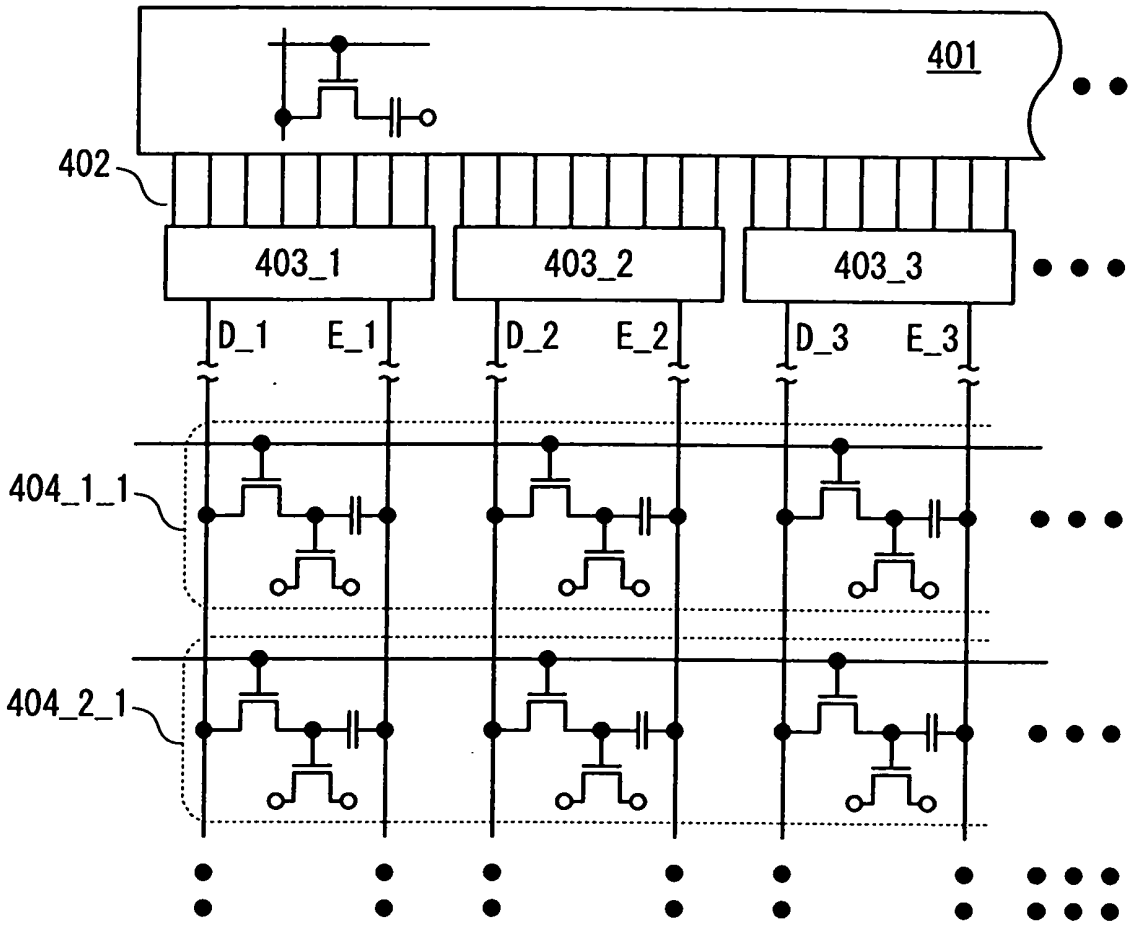


圖13B

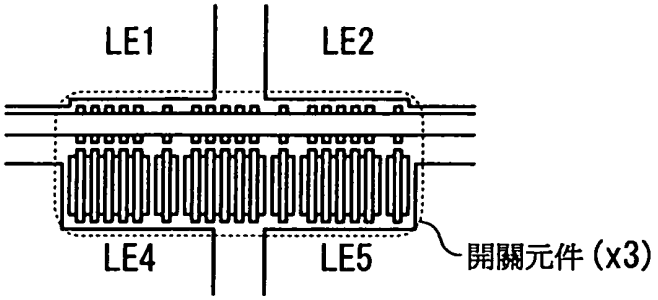
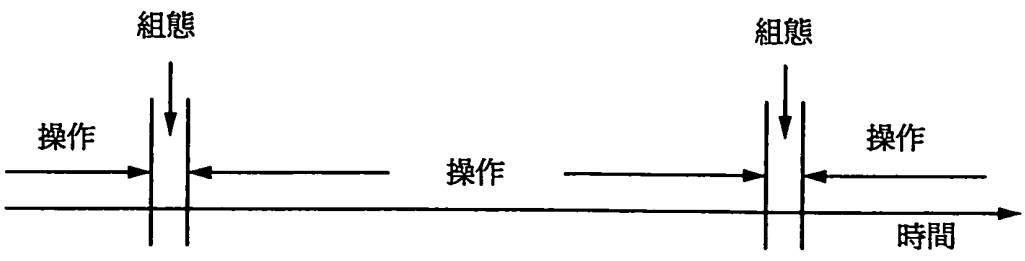


圖13C



四、指定代表圖：

（一）本案指定代表圖為：第（ 2C ）圖。

（二）本代表圖之元件符號簡單說明：

Cs：電容器

D、E、G：終端

N1：第一節點

N2：第二節點

N3：第三節點

Tr1：第一電晶體

Tr2：第二電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

第 101116523 號　　民國 105 年 5 月 25 日修正

105年5月25日修正本

七、申請專利範圍：

1. 一種半導體裝置，包含：

電路；

第一邏輯電路；

第二邏輯電路；及

程式化單元，該程式化單元包含第一電晶體、第二電晶體、以及包括電極的電容器，

其中該第二電晶體係配置來控制電位至該第一電晶體的閘極及該等電極之一的供應，

其中其係配置爲，當該第二電晶體是導通的時，該電路經由該第二電晶體來供應第一電位至該等電極之該一及第二電位至該等電極的另一，

其中該程式化單元係配置來控制該第一邏輯電路及該第二邏輯電路之間的連接，且

其中該第二電位係依據該第一電位來改變。

2. 如申請專利範圍第 1 項的半導體裝置，其中該程式化單元包含傳輸閘電路。

3. 一種半導體裝置，包含：

電路；

第一邏輯單元，包含邏輯電路；

第二邏輯單元，包含邏輯電路；及

程式化單元，包含：

電容器，包括電極；

第一開關元件，包含至少第一電晶體；以及

第二開關元件，包含至少第二電晶體，且該第二開關元件係配置來控制電位至該第一電晶體的閘極及該等電極之一的供應，

其中其係配置爲，當該第二電晶體是導通的時，該電路經由該第二電晶體來供應第一電位至該等電極之該一及第二電位至該等電極的另一，

其中該程式化單元係配置來控制該第一邏輯單元及該第二邏輯單元之間的連接，且

其中該第二電位係依據該第一電位來改變。

4. 一種半導體裝置，包含：

電路；

複數個邏輯單元，每一該等複數個邏輯單元包含使用半導體元件的邏輯電路；及

在該等複數個邏輯單元之間的複數個程式化單元，

每一該等複數個程式化單元包含：

電容器，包括電極；

第一開關元件，包含至少第一電晶體；以及

第二開關元件，包含至少第二電晶體，且該第二開關元件係配置來控制電位至該第一電晶體的閘極及該等電極之一的供應，

其中其係配置爲，當該第二電晶體是導通的時，該電路經由該第二電晶體來供應第一電位至該等電極之該一及第二電位至該等電極的另一，

其中該等複數個程式化單元之至少一係配置來控制該

等複數個邏輯單元之間的連接，且

其中該第二電位係依據該第一電位來改變。

5. 如申請專利範圍第 1、3、和 4 之任一項的半導體裝置，其中該第二電晶體的通道形成區域包含氧化物半導體。

6. 如申請專利範圍第 1、3、和 4 之任一項的半導體裝置，其中該第二電晶體之通道形成區域中的氫濃度小於或等於 $5\times10^{19}/cm^3$。

7. 如申請專利範圍第 3 或 4 項的半導體裝置，其中該第一開關元件包含傳輸閘電路。

8. 如申請專利範圍第 1、3、和 4 之任一項的半導體裝置，其中該第二電晶體的關閉狀態電流密度小於或等於 100zA/μm。

9. 如申請專利範圍第 1、3、和 4 之任一項的半導體裝置，其中該第一電晶體包含矽、鍺化矽、或鍺。

10. 一種驅動如申請專利範圍第 1、3、和 4 之任一項之半導體裝置的方法，

其中該第二電位在組態期間中與在該組態期間以外的期間中不同。