(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 27/092

(45) 공고일자 2004년08월11일
(11) 등록번호 10-0444095
(24) 등록일자 2004년08월02일

(21) 출원번호 10-2001-0061318
(22) 출원일자 2001년10월05일

(65) 공개번호 10-2002-0031286
(43) 공개일자 2002년05월01일

(30) 우선권주장 09/691,353 2000년10월18일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크

(72) 발명자 애드키슨제임스더블유
미국05465버몬트주제리코필즈레인55

아그넬로폴디
미국12590뉴욕주와핑거스폴스브레이팜레인17

볼란티네아르네더블유
미국12151뉴욕주라운드레이크코벨애비뉴25

디바카루니라마
미국10589뉴욕주소머스헤리티지힐스131비

존스에린씨
미국10707뉴욕주투카호미드랜드애비뉴192

노왁에드워드제이
미국05452버몬트주에섹스정션윈드리지로드8

란킨제드에이치`
미국05401버몬트주버링톤아파트먼트#씨8리버사이드애비뉴220

(74) 대리인 김창세
장성구
김원준

심사관 : 황윤구

(54) 전계 효과 트랜지스터 형성 방법 및 2중 게이트 전계 효과 트랜지스터 형성 방법

요약

본 발명은 2중 게이트 SOI MOSFET에 관한 것으로서 에피택셜 성장 채널을 형성한 후 대머신 게이트를 후속하여 형성함으로써 제조된다. 이중 게이트 MOSFET는 레이아웃 폭 당 전류 드라이브를 증가시키고 낮은 외부 컨덕턴스를 제공하는 좁은 채널을 특징으로 한다.

대표도

도 11b

명세서

도면의 간단한 설명

도 1a은 실리콘 라인을 나타내는 디바이스의 평면도,
도 1b는 도 1a에 도시된 절단선 1-1의 단면도,
도 1c는 도 1a에 도시된 절단선 2-2의 단면도,
도 2a는 에칭 정지층 및 채널층의 에피택셜 성장 후, 도 1a의 기판을 나타낸 도면,
도 2b는 도 2a에 도시된 절단선 1-1의 단면도,
도 2c는 도 2a에 도시된 절단선 2-2의 단면도,
도 3a는 실리콘 라인 제거를 위한 마스크 개구를 갖는 도 2a,
도 3b는 도 3a에 도시된 절단선 2-2의 단면도,
도 4a는 실리콘 라인 및 에칭 정지층의 잔여부를 제거한 후의 도 3a,
도 4b는 도 4a에 도시된 절단선 2-2의 단면도,
도 5는 제 2 채널 형성 후의 도 4a의 디바이스,
도 6은 도 5에 도시된 절단선 2-2의 단면도,
도 7은 얕은 트렌치 격리부(shallow trench isolation : STI) 충진 및 연마 후의 도 6의 기판,
도 8a는 폴리실리콘 도전체(PC) 레지스트 마스크를 도포하고 에칭한 후, 도 11b에 도시된 절단선 1-1의 단면도,
도 8b는 PC 레지스트 마스크를 도포한 후, 도 11b에 도시된 절단선 2-2의 단면도,
도 9a는 게이트 유전체 성장 또는 증착, 그리고 게이트 도전체 증착 후의 도 8a의 기판,
도 9b는 PC 레지스트 마스크의 제거 후의 도 8b의 기판,
도 10a는 도 9a의 기판 내의 STI 제거 및 격리부 주입을 도시한 도면,
도 10b는 도 9b의 기판 내의 확장 주입을 도시한 도면,
도 11a는 컨택트 이전의 도 10a의 완성된 디바이스,
도 11b는 완성된 디바이스의 평면도,
도 12는 과도한 패시팅(faceting)으로 인한 결함있는 재료의 제거 기술을 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

100 : SOI 기판 102 : 산화물 패드막
104 : 질화물 패드막 106 : 벌크 기판
108 : 매립 산화물(BOX)층 110 : 액티브층
112 : 에지 113 : 액티브층(110)의 폭
114 : 소스 영역 116 : 드레인 영역
118, 120 : 컨택트 영역 202 : 에칭 정지층
204 : 채널 302 : 스페이서
304 : 마스크 개구부 502 : 제 2 채널
602 : 부가적 채널 702 : STI 충진층
802 : 도전체(PC) 레지스트 마스크 904 : 게이트 유전체
1102 : 실리사이드층 1104 : 스페이서
1106 : 유전체 충진층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 제임스 더블유 애드키슨(James W. Adkisson), 존 에이 브래치타(John A. Bracchitta), 존 제이 엘리스-모나간(John J. Ellis-Monaghan), 제롬 비 라스키(Jerome B. lasky), 커크 디 피터슨(Kirk D. Peterson) 및 제드 에이치 랜킨(Jed H. Rankin) 등이 2000년 3월 16일에 출원하고 공동 양수인에게 양수되어 계류 중인 'Double Planar Gated SOI MOSFET Structure'라는 제목의 미국 특허 출원 제 09/526,857 호(대리인 관리 번호 BUR9-1999-0230US1)의 개시와 관련이 있다. 출원 번호 09/526,857 호의 개시는 본 명세서 전반에 걸쳐 참고로 인용된다.
본 발명은 전반적으로 2중 게이트 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)의 제공에 관한 것으로, 더욱

상세하게는 비교적 얇은 에피택셜 성장 채널을 갖는 2중 게이트 MOSFET의 제공에 관한 것이다.
전계 효과 트랜지스터(FET) 구조물은 하나의 게이트(하나의 채널) 또는 한 쌍의 게이트를 포함할 수 있는데, 2중 게이트 유형은 더 짧은 채널 및 그에 따른 더 빠른 디바이스를 생성할 수 있는 이점을 제공한다. 게이트 길이가 50 nm 이하로 스케일링됨에 따라, FET 스케일링은 게이트 제어부의 한정된 깊이에 의해 제한되게 되었다. 연구에 따르면, 게이트를 FET 채널의 다수의 측면에 배치하면, 단채널 특성 및 오프 전류(off current) 특성에 있어 FET 성능이 개선된다. 실리콘이 완전히 공핍될 만큼 충분히 얇다고 가정했을 때, 게이트를 FET 채널의 다수의 측면 상에 배치하면, 전계와 전하는, 전계가 사실상 무한한 실리콘 기판 내로 자유롭게 깊숙히 침투하는 표준 FET에서 보다는 훨씬 더 엄격하게 제한된다. 완전히 공핍된 이중 게이트 구조물을 이용하여 가능하게 되는 이 제한에 의해, 개선된 단채널 효과(short channel effect)와 20 내지 30 nm의 게이트 길이(gate length)를 갖는 디바이스가 구현가능하다. 역 유도 채널(inversion induced channel)은 실리콘의 양쪽 측면 및 경우에 따라서는 채널 전체에 걸쳐 형성되어 포화 전류를 증가시킬 수 있다. 기타 보고된 이점에는 거의 이상적인 임계값 이하의 기울기, 증가된 포화 전류, 감소된 단채널 효과 및 감소된 부동 바디 효과가 포함된다. 요건은 일반적으로, 5 내지 50 nm 범위의 얇은 확산 영역 및 20 내지 100 nm까지의 게이트 길이이며, 게이트 길이는 확산 길이의 2 내지 4 배인 것이 바람직하다.
수많은 수평 2중 게이트 FET 구조물, 상세하게는 SOI 2중 게이트 FET 구조물 이 제시되었다. 전형적으로, 이들 구조물은 통상의 상부 게이트에 부가하여 얇은 실리콘 바디 아래에 형성되는 하부 게이트를 필요로 한다. 그러한 구조물의 제조는, 현 기술 수준의 리소그래픽 장치 및 방법의 정확도를 넘어서는 허용범위로 상부 및 하부 게이트가 정렬되어야 하기 때문에, 그리고 상부 및 하부 게이트 사이의 층들로 인해 자기 정렬 기술이 방해받기 때문에, 곤란하다.
혼 섬 필립(Hon Sum Philip) 등의 'Self-Aligned(Top and Bottom) Double-Gate MOSFET With a 25 nm Thick Channel'(IEDM 97-427, IEEE 1997)에서는, 2중 게이트 MOSFET가 궁극적 한계인 20 내지 30 nm 게이트 길이로 스케일링된 상보형 금속 산화물 반도체(CMOS)의 가장 유력한 후보로 여겨진다. 정밀한 몬테 카를로 디바이스 시뮬레이션 및 해석적 계산(Monte Carlo device simulation and analytical calculation)에서는 실리콘 채널 두께를 10 내지 25 nm로 줄일 수 있고 게이트 산화물 두께를 2 내지 3 nm까지 줄일 수 있는 경우, 20 내지 30 nm 게이트 길이까지 디바이스 성능을 지속적으로 개선하리라 예견하였다. 그러나 오정렬로 인해 나머지 게이트가 소스/드레인 오버랩 캐패시턴스 뿐만 아니라 전류 드라이브 손실을 야기할 것이기 때문에 상부 및 하부의 정렬은 고성능에 있어서 매우 중요하다.
후속하는 특허는 FET와 관련되어 있으며, 상세하게는 2중 게이트 FET와 관련된다.
츄(Chu) 등의 'Vertical Double-Gate Field Effect Transistor'라는 제목의 미국 특허 제 5,780,327 호는 벌크 또는 SOI 기판 상에 스택으로 정렬된 에피택셜 채널층 및 드레인층을 포함하는 수직 2중 게이트 전계 효과 트랜지스터에 대해 기술하고 있다. 입력 캐패시턴스 문제를 최소화하기 위해 상이한 산화 레이트를 사용하여 게이트 산화물을 스택의 측면 상에 열적 성장시킨다. 게이트는 스택의 일 단부(end)를 감싸는 반면, 제 2 단부 상에는 컨택트가 형성된다. 스택의 제 2 단부 내에 매립된 에칭 정지층은 컨택트를 채널층에 직접 형성하는 것을 가능하게 한다.
솔로몬(Solomon) 등의 'Method for Making Single and Double Gate Field Effect Transistor With Sidewall Source-Drain Contacts'라는 제목의 미국 특허 제 5,773,331 호는 측벽 드레인 컨택트를 갖는 단일 게이트 및 2중 게이트 전계 효과 트랜지스터 제조 방법을 기술하고 있다. FET의 채널은 아래의 지지 구조물에 대해 융기하고 소스 및 드레인 영역이 채널의 일체부를 형성한다.
티와리(Tiwari) 등의 'Self-Aligned Dual Gate MOSFET with an Ultranarrow Channel'이라는 제목의 미국 특허 제 5,757,038 호는 자기 정렬 공정에 의해 실질적으로 균일하게 형성되는 폭의 매우 얇은 채널을 갖는 자기 정렬 2중 게이트 FET를 나타낸다. 선택적 에칭 또는 제어된 산화가 상이한 재료 사이에서 사용되어, 소스 및 드레인 영역 사이에서 확장하고 2.5 내지 100 nm의 범위의 두께를 갖는 수직 채널을 형성한다.
메이어(Mayer) 등의 'Silicon-on-Insulator Gate-All-Around MOSFET Fabrication Methods'라는 제목의 미국 특허 제 5,580,802 호는 상부 게이트에 의해 둘러싸인 소스, 채널 및 드레인을 포함하는 SOI 게이트-올-어라운드(gate-all- around : GAA) MOSFET에 대해 기술하고 있는데, 상부 게이트는 다른 매립 구조물에 대해서 응용되며 SOI 웨이퍼의 소스, 채널 및 드레인 반도체층 상에 형성되는 하부 게이트 유전체 상에 형성된다.
고토우(Gotou) 등의 'MOSFET Having a Time Film SOI Structure'라는 제목의 미국 특허 제 5,308,999 호는 SOI층의 채널 영역의 상면 및 2 개의 측면 상에 게이트 전극을 형성하고 게이트 전극이 완전히 접속되지 않도록 채널 영역의 하부 아래 내부 방향으로 게이트 전극을 부분적으로 확장함으로써, SOI 구조물을 갖는 MIS(Metal Insulator Semiconductor) FET의 항복 전압을 개선한 박막 SOI 구조물을 갖는 MOSFET에 대해 기술하고 있다.
츄(Chu) 등의 'Vertical Double-Gate Field Effect Transistor'라는 제목의 미국 특허 제 5,689,127 호는 벌크 또는 SOI 기판 상에 스택으로 배열되는 소스 층, 에피택셜 채널 층 및 드레인 층을 포함하는 수직 2중 게이트 FET를 기술하고 있다. 게이트 산화물은 입력 캐패시턴스 문제를 최소화하기 위해 차별적인 산화 레이트를 사용하여 스택의 측면 상에서 열적 성장한다. 게이트는 스택의 한 단부(end)를 감싸는 반면, 제 2 단부 상에는 컨택트가 형성된다. 스택의 제 2 단부 내에 매립된 에칭 정지층은 컨택트가 채널 층에 대해 직접적으로 형성되도록 한다.
리소그래픽적으로 규정된 게이트는 아주 단순하지만, 많은 단점이 있다. 먼저, 게이트의 형성이 확산부의 측면 상에 폴리 스페이서를 남기거나 확산부의 측면 상에 필요한 경사를 유도하여 더 나쁜 품질 및/또는 더 나쁘게 제어된 디바이스를 초래할 수 있다. 두 번째로는, 폴리의 경사가 본질적으로 실리사이드 게이트를 형성하는 데 어려움을 초래하여 더 느린 디바이스 성능을 초래한다. 마지막으로, 50 nm 설계 규칙 기술에서 100 내지 200 nm 정도의 스텝을 예상하기 때문에 폴리 스텝 높이는 리소그래픽 형성을 어렵게 하는 문제를 일으킨다.
2중 게이트 FET 제조의 주된 어려움은, 얇은 확산부의 규화(silicidation) 또는 수용가능한 컨택트 저항을 갖는 폴리 실리콘을 달성하는 것과, 두 개의 게이트의 오정렬 없는 랩어라운드 게이트(wraparound gate)의 제조를 가능하게 하

는 것과, 좁은 확산부(이상적으로는 게이트 길이보다 2 내지 4 배 더 작은)의 제조에 있다.
2중 게이트 트랜지스터를 생성하기 위한 부가적인 기술은 게이트를 높은 스텝 높이를 이용하여 리소그래픽적으로 규정하는 단계(쉬라사키(Shirasaki) 등의 'MIS Transistor Structure for Increasing Conductance Between Source and Drain Regions'라는 제목의 미국 특허 제 4,996,574 호 참조)와, '에어 브릿지(air-bridge)' 실리콘 구조물을 제공하는 선택적 에피택셜 성장부를 형성하는 단계(혼-섬 필립 웡(Hon-Sum Philip Wong)의 'International Electronic Device Meeting(IEDM)', 1997, pg.427참조)와, 수직 캐리어 전송부를 갖는 랩어라운드 게이트를 형성하는 단계(에이치 타커토(H. Takato)의 'International Electronic Device Meeting(IEDM)', 1988, pg.222 참조)를 포함한다.
요컨대, 전술한 제조 방법들은 리소그래피로 규정된 실리콘 채널과 길고 한정된 횡방향 에피택셜 성장에 의존해 왔다. 그러나, 전술한 방법으로는 리소그래픽적으로 규정된 채널이 충분히 근접한 허용범위(tolerance)로 형성될 수 없으며, 이용가능한 허용범위조차 거의 최적의 2중 게이트 트랜지스터 성능을 지원하는 데 적절하게 유지되지 못한다. 더욱이, 실리콘의 두께가 엄밀히 제어될 수 있다 하더라도 횡방향으로 규정된 FET 폭을 갖는 횡방향 전류 흐름을 사용하는 기술은 상부 및 하부 게이트를 정렬하는 데 어려움이 있다.
앞서 참고로 인용된 2000년 3월 16일에 출원된 제임스 더블유 애드키슨, 존 에이 브래치타, 존 제이 엘리스 모나간, 제롬 비 라스키, 커크 디 피터슨 및 제드 에이치 랜킨 등의 'Double Planar Gated SOI MOSFET Structure'라는 제목의 미국 특허 출원 제 09/526,857 호는 채널 폭이 충분히 작게 제조될 수 있다는 가정 하에 2중 게이트 트랜지스터 생성 방법을 기술하고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 비교적 얇은 에피택셜 성장 채널을 갖는 2중 게이트 트랜지스터를 제공하는 것이다.
본 발명에 따르면 기판 상에 실리콘층을 형성하는 단계를 포함하는 전계 효과 트랜지스터(FET) 형성 방법이 제공된다. 그런 다음, 에피택셜 채널을 실리콘층의 측면 상에 형성하는데, 따라서, 채널의 한쪽 측벽이 노출된다. 그런 다음, 실리콘층을 제거하여 에피택셜 채널의 제 2 측벽을 노출시킨다. 그 후, 소스 및 드레인 영역을 형성하여 에피택셜 채널의 단부에 접속시킨다. 마지막으로, 게이트를 에피택셜 채널 위에 형성한다.
따라서, 본 발명은 매우 얇은 채널을 형성하기 위해 에피택셜 영역을 성장시키기 위한 공지 기술을 사용하여 매우 얇은 확산 영역을 제공하고자 하는 것으로, 선택적 에칭에 의해 유지될 수 있는 리소그래피로 규정된 채널보다 더 엄밀한 허용범위가 채널 두께에 대해 얻어질 수 있으며, 에피택셜 성장이 얇은 제한층의 존재에 의해 복잡하게 되지 않는다고 하는 이점을 갖는다.

발명의 구성 및 작용

전술한 목적, 측면 및 이점과 다른 목적, 측면 및 이점은 도면을 참조하여 본 발명의 바람직한 실시예에 대한 후속의 상세한 설명으로부터 더 잘 이해할 수 있다.
이제, 도 1a를 참조하면, 최초 SOI 기판(100)의 평면도가 도시되어 있다. 도 1a에 도시된 절단선 1-1 및 2-2에 각각 대응하는 도 1b 및 도 1c에 도시된 바와 같이, 기판(100)은 벌크 기판(106), 매립 산화물(BOX) 층(108) 및 액티브 층(110)으로 이루어진다. 또한, 도 1b 및 도 1c는 액티브 층 상의 산화물 패드막(102) 및 질화물 패드막(104)을 도시한다. 당업자는 산화물 패드막(102)을 질화물 패드막(104) 상부 상에 위치시키는 것이 바람직할 수 있다는 것을 알 것이다. 패드 산화물(102)은 표준 산화 기술을 사용하여 성장되고 전형적으로 3 내지 14 nm의 범위 내이며, 바람직하게는 8 nm일 것이다. 패드 막(104)은 패드 산화물(102) 상에 위치한다. 다른 재료도 사용될 수 있지만, 패드 막(104)으로서 질화물 막을 사용하는 것이 바람직하다. 질화물 (상부) 패드 막(104)은 전형적으로 30 내지 120 nm 범위 내에 있고 바람직하게는 80 nm이며, 얕은 트렌치 격리부(STI) 형성을 위한 에칭 영역을 규정한다.
액티브 디바이스 층(110)을 패터닝하여 실리콘 채널이 형성될 에지(112)를 형성한다. 채널 영역이 될 부분을 형성하기 위해 사용되는 액티브층(110)의 폭(113)은 정해져 있는 것은 아니지만, 마스킹하기에는 충분히 넓고 오버에칭을 한정할 만큼은 충분히 협소하여 적절하고 실질적인 제조의 허용범위를 제공할 수 있어야 한다. 이 단계 동안 당업자에게 알려진 통상의 공정 기술에 따라 스소 영역(114), 드레인 영역(116) 및 컨택트 영역(118, 120)이 될 실리콘 영역을 형성하는 것이 바람직하다.
도 2a 내지 도 2c는 에칭 정지 층(202)의 에피택셜 성장 및 후속하는 채널(204)의 에피택셜 성장 후의 도 1a 내지 도 1c에 각각 대응한다. 에칭 정지 층은 Si(0.3)Ge(0.7)로 이루어지고, 에피택셜 성장 채널은 실리콘 또는 게르마늄 및/또는 탄소가 섞인 실리콘 합금으로 이루어지는 것이 바람직하다. 상이한 4족 원소(특히, 게르마늄 및 탄소)가 섞인 실리콘 합금을 사용하여 채널에 변형을 가하고/거나 채널을 가로질러 전도대 및 가전자대(conduction and valence bands)를 변경하여 디바이스 임계값을 바꾸거나 캐리어 전송을 개선함으로써 FET 성능을 최적화할 수 있다. 에칭 정지층(202) 및 채널(204)을 형성하기에 앞서, 산화물 패드막(104) 아래의 실리콘(110)의 일부를 제거하기 위해 적절한 세정 공정을 사용한다는 것이 당업자들에게 자명할 것이다. 제거된 실리콘의 폭은 에칭 정지층(202) 및 채널(204)의 폭의 합과 대략 같아야 한다.
선택적 증착이 바람직하긴 하지만, 패시팅(faceting)이 과도할 경우에는 에칭 정지 층(202) 및 채널(204)의 비선택적 에피택셜 증착이 필요할 수도 있다. 층(202)의 두께는 대략 5 nm인 것이 바람직하다. 패시팅(faceting)은 에피택셜 성장의 세부사항에 크게 의존한다. 특히 선택적 에피택셜 성장의 경우, 개구(opening)의 에지(edge)에 근접함에 따라 패시팅(faceting)이 에피택셜 영역의 두께를 바꿀 수도 있다. 채널은 성장의 높이에 비해 매우 얇게 돌출하기 때문에 채널이 영향을 받는 영역은 작게 되는 경향이 있다. 전위(dislocation)가 생성되기 전에 허용되는 두께는 Ge 비율(fra

ction)에 영향을 받기 쉬우며 Ge 비율이 증가함에 따라 급격히 감소한다(에이 피스처(A. Fischer) 및 에이치 쿤(H. Kuhne)의 'Critical Dose for Strained Layer Configurations'(Phys. Stat. Sol. (a), 155, 141, 1996) 참조). 그런 다음, 채널(204)은 바람직하게 5 내지 50 nm의 범위 내에서 에피택셜 성장을 한다.

채널(204)의 하부 및 상부는 결함이 있을 수도 있다. 상세하게, 에피택셜 층이 얇은 경우에는 그 영역이 아주 작게 되기 쉽고 디바이스의 형성에 중요하지 않을 수도 있다. 그러나, 이들 영역을 제거할 필요가 있는 경우에는 이를 위해 작지만 그런대로 나쁘지 않은 디바이스 폭 제어의 열화 상태에서 두 가지 공정을 이용할 수 있다. 상세하게는 도 3b의 스페이서(302)와 유사하게 스페이서를 증착하되, 스페이서를 더 낮게 에칭하여 에피택셜 영역의 상부를 노출시킬 수 있다. 이 스페이서를 형성한 후에, 도 12의 좌측에 도시된 바와 같이 매립 산화물을 스페이서 아래로 에칭한다. 이와 달리, 얇은 합성 스페이서를 사용할 수도 있다. 이 경우에는 스페이서의 하부를 등방적으로(isotropically) 에칭하여 상부 및 하부 영역을 노출시킨다. 스페이서의 높이(오버에칭)는 도 12의 우측에 도시된 바와 같이 스페이서 하부에 있는 에피택셜 영역에 도달하는 데 필요한 언더컷(undercut)에 의해 결정된다. 불완전한 영역을 에칭한 후에는 후속하는 공정 단계에 앞서 에피택셜 영역 및 매립 산화물층에 대해 스페이서를 선택적으로 제거한다. 또한, 도 4b에 도시된 스페이서를, 후속하는 공정에 앞서 제거되는 전술한 프로시쥬어의 스페이서와 함께 제거한 후, 전술한 프로시쥬어를 수행할 수 있다는 것을 주의해야 한다.

도 3a 및 도 3b는 후술하는 바와 같이 부가적인 공정 단계 후의 도 2a 및 도 2c에 각각 대응한다. 도 3b에 도시된 것처럼 채널(204)이 침식(attack)되는 것을 막기 위해 당업자에게 널리 알려진 적절한 기술과 재료를 사용하여 스페이서(302)를 형성한다.

그런 다음, 도 3a에 도시된 바와 같이, 마스크 개구부(304)가 마스크 개구부(304) 내의 실리콘층(110) 및 에칭 정지층(202)의 노출된 일부를 제거하도록 마스크를 도포하고 배치한다. 마스크(304)를 채널(204)에 가능한 한 근접하게 정렬하는 것이 바람직하다. 그런 다음, 이방성 에칭을 사용하여 마스크 개구부(304) 내의 노출된 실리콘(110)을 에칭한다.

그런 후에, 마스크 개구부(304) 내의 노출된 실리콘(110)을 에칭한다. 이 에칭 동안 모든 실리콘(110)이 제거되지는 않기 때문에, 실리콘 층(110)을 횡방향으로도 에칭하며, 에칭 정지부(202) 상에서 멈춘다(케이 디 호버트(K.D. Hobart), 에프 제이 커브(F.J. Kub), 엠 이 트위그(M.E. Twigg), 지 지 저니간(G.G. Jernigan), 피 이 톰슨(P.E. Thompson) 등의 'Ultra-Cut : A Simple Technique for the Fabrication of SOI Substrate with Ultra-thin(<5nm) Silicon Films'(Proc. IEEE Internstional Silicon on Insulator(SOI) Conference, p 145-146, Oct. 1988) 참조). Si:Si(0.3)Ge(0.7)에 대해 대략 20:1의 선택도를 갖는 KOH가 에칭제로 사용될 수 있는 반면, NH_4OH는 25%의 Ge 막에 대해 100:1보다 더 우수한 선택도를 갖는 것으로 알려져 있다(지 왕(G. Wang) 등의 'Highly Sensitive Chemical Etching of Si(1-x)G(x) using NH_4OH solution'(J. Electrochem, Soc., Vol. 144(3), Mar 1997, L37) 참조).

따라서, 대략 70 nm의 오버레이(overlay) 및 대략 20 nm의 에지 허용범위를 고려한다면 대략 85 nm의 두께가 필요하리라 예상된다. 20%의 오버에칭을 가정한다면, 100 nm의 에칭이 필요할 것이다. KOH를 에칭제로서 사용할 때에는 SiGe 침식이 최악의 경우 대략 5 nm이고, NH_4OH를 에칭제로서 사용할 때에는 대략 1 nm가 될 것이다.

후속하여, 에징 정지층(202)을 채널(204)에 대해 선택적으로 에칭한다. $HF:H_2O_2:CH_3COOH$에 대한 선택도는 70%의 Ge 막에 대해 대략 1000:1이다. 따라서, 10 nm 에칭을 가정한다면, Si 침식은 무시해도 상관 없다. $HNO_3:H_2O:HF$(40:20:5)에 대한 선택도는 50% Ge 막에 대해 대략 25:1이다. 효과적인 HF 희석 용액은 대략 12:1이다. 산화물 침식은 중요하지만, 당업자에게 널리 알려진 통상의 공정 단계에 따라 제어될 수 있다. $HNO_3:H_2O:HF$에 대한 에칭 레이트는 매우 짧은 노출을 주는 대략 40 nm/min이고, 아마도 또 다른 제어를 위한 희석 용액을 허용할 것이다(디 제이 갓베이(D.J. Godbey) 등의 'Slective Removal of Si(1-x)Ge(x) from <100> Si using HNO_3 and HF'(J. Electrochem. Soc., 139(10), 2943, 1992) 참조). 필요한 경우에는 당업자에게 널리 알려진 통상의 공정 단계에 따라 스페이서(302)를 제거할 수 있다.

도 4a 및 도 4b는 액티브 층(110) 및 에칭 정지층(202)의 에칭 후의 도 3a 및 도 3b에 각각 대응한다. 필요하다면, 원하지 않는 핀(fin)(402)을 제거하기 위해 당업자에게 널리 알려진 통상의 공정에 따라 트림 마스크(trim mask)를 도포할 수 있다. 도 5는 당업자라면 쉽게 알 수 있듯이 제 1 채널(204)에 대해 전술한 것과 동일한 공정 단계를 이용하여 형성할 수 있는 제 2 채널(502)의 형성 후의 도 4a의 디바이스를 도시한다.

제 1채널 영역(204) 및 제 2 채널 영역(502)을 형성한 후, 2중 게이트 트랜지스터를 완성하는 데 필요한 최종 공정 단계의 제 1 시퀀스를 이하 기술한다.

이제 도 6을 참조하면, 도 5의 채널(204, 502)뿐만 아니라 또 다른 게이트 구조물을 형성하기 위해 사용할 수 있는 부가적 채널(602)을 도시한다. 따라서, 당업자는 기판(100)이 도시된 채널(204, 502, 602) 외에도 많은 채널을 포함할 수 있다는 것을 이해해야 한다. 그러므로, 본 명세서에서 기판(100)은 벌크 기판(106), BOX 층(108) 및 채널(204, 502, 602)을 포함한다.

후속하여 도 7에서는 바람직하게 대략 300 내지 500 nm 두께의 실리콘 이산화물 층인 표준 STI 충진층(702)을 제공한다. 그러나, 당업자에게 알려진 다른 적 절한 재료를 희생 막(sacrificial film)으로 사용할 수도 있다. STI 표면은 연마에 의해 평탄화되는 것이 바람직하다.

도 8a는 도 11b의 절단선 1-1의 구체적 단면도이다. 도 8a는 폴리실리콘 도전체(PC) 레지스트(802) 및 STI 충진층(702)이 도 8a의 제조 중에는 존재하기 때문에 이를 나타내고 있지만 도 11b의 대응 영역(114) 내에서는 존재하지 않는다. PC 레지스트 마스크(802)를 STI 충진층(702)의 선택된 영역 상에 배치한 후, STI 충진층(702)을 패드 막(104)에 대해 선택적으로 아래로 BOX 층까지 에칭한다. 필수적인 것은 아니지만, 에칭도 BOX 층(108)에 대해 선택적인 것이 바람직하다. 그런 다음, STI 충진층(702) 및 BOX 층(104)에 대해 패드 막(104)을 선택적으로 제거한다. 도 9a 및 도 10a는 원하는 경우 패드층(104)을 남겨서 채널(204, 502, 602)의 측벽 상에서만 얇은 게이트 유전체(904)를

형성하도록 할 수 있다는 것을 도시한다. 각각의 에칭은 본 기술분야에서 알려진 공정으로 달성할 수 있는 대략 10:1 선택도인 것이 바람직하다. 원하는 경우에는 이 시점에서 웰 주입(well implants)을 도입할 수 있다. 이들 주입은 바람직하게는 범위가 10 내지 45도인 고경사 주입을 이용하여 각각의 주입이 확산부의 측벽을 완전하게 도핑하도록 상호 약 90도를 이루며 회전하면서 수행된다. 확산부의 표면층을 측벽보다 더 강하게 도핑하는 것을 피하기 위해서는 PC 레지스트(802)의 노출된 영역 내의 패드 막(104)을 제거하기 전에 주입할 수도 있다.

도 8b는 도 11b에 도시된 절단선 2-2의 단면도를 나타내고 있다. 도 8b는 PC 레지스트 마스크(802) 및 STI 충진층(702)이 도 8b의 제조 동안 존재하기 때문 에 이를 나타내고 있지만 도 11b의 소스(114), 드레인(116) 및 게이트(902) 사이의 영역 내에는 나타나지 않는다. 따라서, 도 8b는 제조 동안 PC 마스크(802)의 선택적 배치를 도시한다. 이는 바람직하게 포토레지스트 또는 하드마스크 중 하나로 이루어진 PC 마스크를 사용하는 표준 패턴 리소그래피 기술을 사용하여 달성될 수 있다.

도 9a는 게이트 성장(904)(예를 들어, SiO_2) 및 게이트 도전체(902) 증착 후의 도 8a의 기판을 도시한다. 또한, 질화산화물(nitrided oxides), 질화물/산화물 화합물, 금속 산화물(가령, Al_2O_3, $ZrSiO_4$, TiO_2, Ta_2O_5, ZrO_2 등), 페로브스카이트(pervoskite)(가령, (Ba, Sr)TiO_3, La_2O_3) 및 그 조합을 유전체로서 사용할 수 있다는 것을 이해해야 한다. 각각의 채널(204, 502, 602) 상의 게이트 유전체 성장은 통상의 방법에 따른 표준 노(furnace) 또는 단일 웨이퍼 챔버 산화물일 수 있다. 원한다면 산화 전, 산화 중 또는 산화 후에 질화물 종(nitriding species)(가령, N_2O, NO 또는 N_2 주입)을 도입할 수 있다. 각각의 채널(204, 502 및 602) 상에서의 게이트 유전체 증착은 예를 들어, 화학 기상 증착(CVD) 또는 당업자에게 알려진 다른 기술을 통해 달성할 수 있다.

에칭 후, 게이트(902)를 증착한다. 게이트 도전체 증착은 통상의 CVD 또는 방향성 스퍼터링 기술을 사용하여 달성할 수 있다. 또한, 폴리실리콘 외에 게이트 도전체를 사용할 수 있다는 것을 이해해야 한다. 예를 들면, SiGe 혼합물(mixture), 내화성 금속(refractory metals)(가령, W), 금속(예를 들어, Ir, Al, Ru, Pt) 및 TiN을 사용할 수 있다. 전반적으로, 연마할 수 있고 높은 도전성 및 합당한 일함수를 갖는 재료라면 폴리실리콘을 대신하여 사용할 수 있다. 증착 후에는 통상의 기술에 따라 게이트(902)를 연마한다.

도 9b는 PC 레지스트 마스크(802)의 제거 후의 도 8b를 도시한다. 통상의 기술에 따라 STI 표면(904)을 세정한다.

도 10a 및 도 10b는 STI 충진층(702)의 제거 후 도 9a의 MOSFET 디바이스를 형성하기 위한 확장 주입을 도시한다. 주입은 웨이퍼 표면에 수직인 벡터에 대해 바람직하게는 7 내지 45도의 큰 각으로 수행된다. 4 번의 주입이 수행되는데, 각각의 수행은 확산부의 측벽을 균일하게 완전 도핑하기 위해 웨이퍼 표면 수직 벡터 주위에 상호 약 90도로 회전하며 수행된다. 확산부의 상부 상의 패드 산화물층(102)을 사용하여 확산부의 표면을 너무 강하게 도핑하는 것을 피할 수 있다. 이 경우, 주입 후 최종 주입이 수행되기 전에 패드 막(104)을 제거할 수는 있으며, 스페이서(1104) 증착을 후속한다.

도 11a는 통상의 단계에 따라 실리사이드층(1102)의 형성 후의 도 10a의 디바이스를 도시한다. 또한, 통상의 단계에 따라, 게이트(902)를 형성한 후에 스페이서(1104)를 형성하고 확산부를 어닐링하며, 고 부합적 유전체 충진층(1106)을 증착한 뒤, 게이트 도전체 상부까지 연마한다. 유전체 충진층(1106)은 도핑된 글라스가 뒤따르는 질화물층인 것이 바람직하다. 높은 종횡비로 인해, 충진 특성은 고밀도 플라즈마 강화 CVD(plasma-enhanced CVD) 기술을 사용한 급속 열적 CVD(rapid-thermal CVD) 또는 자기 스퍼터링 증착을 제시한다. 전형적으로, 유전 체 글라스는 인 및/또는 붕소를 포함하지만, 도핑되지 않을 수도 있다.

도 11b는 완성된 디바이스의 평면도를 도시한다. 소스(114) 및 드레인(116) 영역은 주입에 의해 형성된다. 컨택트(1106, 1108, 1110)가 부가되고 라인 후단(back of line : BEOL) 처리는 통상의 단계에 의해 수행된다.

도 8a를 참조하면, 제 2 시퀀스는 패드 산화물 막(102) 및 패드 질화물 막(104)을 제거하는 단계를 포함한다. 필요한 경우에는 처분가능한 스페이서를 형성하고, 결함이 있을 경우에는 채널(204, 502, 602)의 상부를 에칭할 수 있다. 그런 다음에는 도 9a에 도시된 바와 같이 게이트 산화물이 성장하고, 게이트(902)를 전술한 동일 재료 중 하나로부터 증착하고 에칭하여 게이트를 형성한다.

본 발명을 바람직한 실시예에 의해 기술하였지만, 당업자는 본 발명이 첨부된 청구항의 기술적 사상 및 범주 내의 변형으로 구현될 수 있다는 것을 알 것이다.

발명의 효과

본 발명에 의하면 에피택셜 영역을 성장시켜 매우 얇은 채널을 형성하는 알려진 기술을 사용하여 매우 얇은 확산 영역을 제공하고, 채널 두께 상에서 선택적 에칭에 의해 유지될 수 있는 리소그래픽적으로 규정된 채널보다 더 조밀한 허용범위를 제공하는 이점과 에피택셜 성장이 얇은 한정층의 존재에 의해 복잡하게 되지 않는다.

(57) 청구의 범위

청구항 1.

전계 효과 트랜지스터(FET) 트랜지스터 형성 방법에 있어서,
기판을 제공하는 단계와,
상기 기판 상에 노출된 측면을 갖는 층을 형성하는 단계와,
상기 층의 각각의 노출된 측면 상에 상기 층과 대향하는 제 1 측벽을 갖는 에피택셜 채널을 형성하는 단계와,
상기 층의 제 1 측면 상의 채널을 제거한 후 상기 층을 제거하여, 상기 층의 제 2 측면 상에 형성된 상기 채널의 제 2 측벽을 노출시키는 단계와,

상기 제거된 채널 대신에 제 2 채널을 형성하는 단계와,
상기 채널 및 제 2 채널의 상기 측벽들 중 적어도 하나에 인접하는 게이트를 형성하는 단계 -각각의 채널과 상기 게이트 사이에는 게이트 유전체가 존재함- 를 포함하는
전계 효과 트랜지스터(FET) 형성 방법.

청구항 2.
삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.
삭제

청구항 6.
삭제

청구항 7.
삭제

청구항 8.
삭제

청구항 9.
삭제

청구항 10.
삭제

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
기판 상에 제 1 및 제 2 에피택셜 성장 채널을 형성하는 단계 -상기 채널은 상기 기판으로부터 위로 연장되는 측면을 가지며, 상기 제 1 채널이 성장된 중앙 반도체 영역이 제거된 후에 상기 제 2 채널이 성장함- 와,
실리콘층 내의 영역을 에칭하여 소스 및 드레인을 형성하는 단계 -상기 소스 및 드레인의 측면은 상기 제 1 및 제 2 에피택셜 성장 채널의 대향하는 단면과 접촉함- 와,
상기 제 1 및 제 2 에피택셜 성장 채널의 상면과 두 측면 및 상기 기판의 상면과 접촉하는 게이트를 형성하는 단계를 포함하는
2 중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 15.
제 14 항에 있어서,
상기 게이트 형성 단계는
각각의 단부가 상기 소스 및 상기 드레인의 단부와 접촉하는 제 1 및 제 2 반도체 라인을 형성하는 단계와,
상기 제 1 및 제 2 반도체 라인 각각의 노출된 측면 상에 에칭 정지층을 형성하는 단계와,
각각의 에칭 정지층 상에 제 1 및 제 2 반도체 층을 에피택셜 성장시키는 단계와,
상기 제 1 및 제 2 반도체 라인 및 에칭 정지층들을 에칭하는 단계와,
상기 제 1 및 제 2 에피택셜 성장 반도체 층 주위와 상기 소스 및 상기 드레인 사이의 영역을 산화물 충진재로 충진하는 단계와,
상기 산화물 충진재의 일부를 에칭하여 게이트를 규정하는 영역 - 상기 게이트를 규정하는 영역은 실질적으로 상기 소스와 상기 드레인 사이의 실질적으로 중앙에 위치하고 상기 소스와 상기 드레인에 실질적으로 평행함 - 을 형성하는 단계를 포함하는
2 중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 16.
제 15 항에 있어서,
상기 게이트 및 상기 소스 사이의 상기 산화물 충진재를 에칭하여 상기 제 1 및 제 2 에피택셜 성장 실리콘 층을 노출시키는 단계와,
상기 게이트 및 상기 드레인 사이의 상기 산화물 충진재를 에칭하여 상기 제 1 및 제 2 에피택셜 성장 실리콘 층을 노출시키는 단계
를 더 포함하는 2 중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 17.

제 16 항에 있어서,
상기 제 1 및 제 2 에피택셜 성장 실리콘 층 상에 산화물을 형성하는 단계를 더 포함하는
2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 18.
제 17 항에 있어서,
상기 산화물은 실리콘 이산화물인
2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 19.
제 14 항에 있어서,
상기 게이트와 상기 소스 사이의 상기 에피택셜 성장 실리콘 층의 일부에 주입하는 단계와,
상기 게이트와 상기 드레인 사이의 상기 에피택셜 성장 실리콘 층의 일부에 주입하는 단계
를 더 포함하는 2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 20.
제 19 항에 있어서,
상기 주입 단계는 상기 에피택셜 성장 실리콘 층의 상면에 수직인 벡터에 대해 10 내지 45도의 범위인
2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 21.
제 20 항에 있어서,
상기 주입은 서로에 대해 대략 90도에서 연속하여 수행되는
2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 22.
제 14 항에 있어서,
상기 게이트, 상기 소스 및 상기 드레인의 각각 상에 컨택트를 형성하는 단계를 더 포함하는
2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 23.
제 14 항에 있어서,
상기 게이트 재료는 폴리실리콘인
2중 게이트 전계 효과 트랜지스터 형성 방법.

청구항 24.
FET 형성 방법에 있어서,
기판 상에, 제 1 및 제 2 단부와 상기 제 1 및 제 2 단부보다 더 얇은 중앙 영역 -상기 중앙 영역은 상기 기판으로부터 위로 연장되는 제 1 및 제 2 측면을 가짐- 을 갖는 제 1 반도체 층을 형성하는 단계와,
상기 제 1 반도체 층의 상기 중앙 영역의 상기 제 1 및 제 2 측면 중 적어도 하나 상에 에피택셜 성장 반도체 채널 -상기 채널의 제 1 측면은 노출됨- 을 형성하는 단계와,
상기 제 1 반도체 층의 상기 중앙 영역을 제거하여, 상기 채널의 제 2 측면을 노출시키는 단계와,
상기 반도체 채널 영역의 노출된 표면 상에 유전체층을 형성하는 단계와,
상기 유전체층 상에 게이트 전극을 형성하는 단계를 포함하는
FET 형성 방법.

청구항 25.
제 24 항에 있어서,
상기 반도체 채널 영역은 IV족 원소들의 조합으로 형성되는
FET 형성 방법.

청구항 26.
제 24 항에 있어서,
상기 반도체 채널 영역은 실리콘과 IV족 원소의 합금으로 형성되는
FET 형성 방법.

청구항 27.
제 24 항에 있어서,
상기 반도체 채널 영역은 실리콘, 실리콘-게르마늄, 및 실리콘 게르마늄-탄소로 이루어진 그룹으로부터 선택된 재료로 형성되는
FET 형성 방법.

청구항 28.
제 27 항에 있어서,
상기 제 1 반도체 층을 제거하는 단계는 상기 반도체 채널 영역을 감지할 수 없을 정도로 제거하는
FET 형성 방법.

청구항 29.
제 28 항에 있어서,
상기 제 1 반도체 층 및 상기 반도체 채널 영역 사이에 에칭 정지층이 에피택셜 성장하는

FET 형성 방법.

청구항 30.

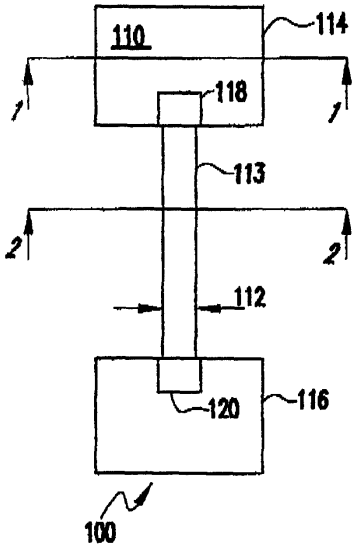
제 24 항에 있어서,

상기 게이트 전극은 폴리실리콘, 실리콘-게르마늄, 내화성 금속(refractory metal), Ir, Al, Ru, Pt 및 티타늄 질화물로 이루어진 그룹으로부터 선택된 재료로 형성되는

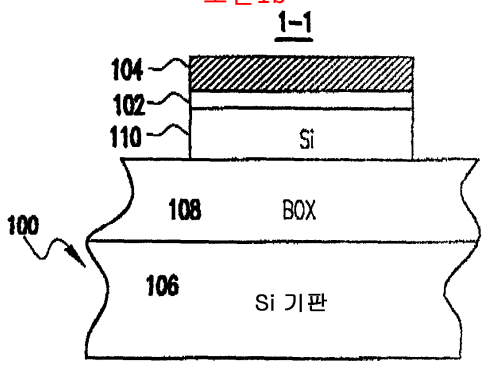
FET 형성 방법.

도면

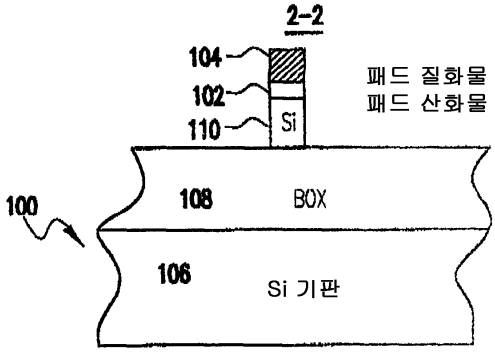
도면1a



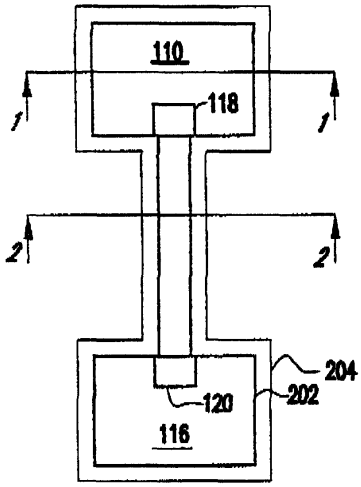
도면1b



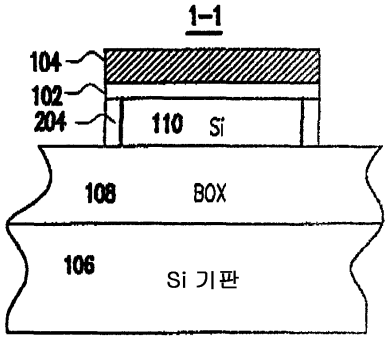
도면1c



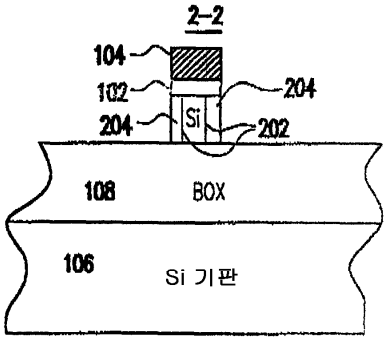
도면2a



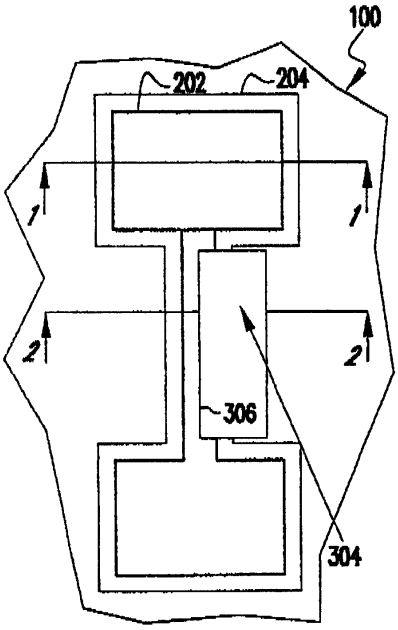
도면2b



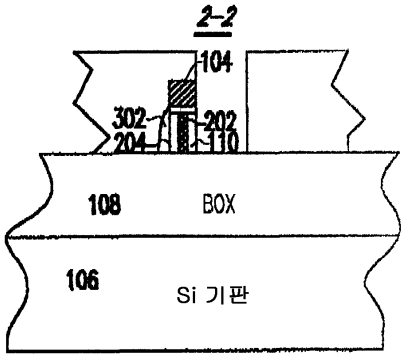
도면2c



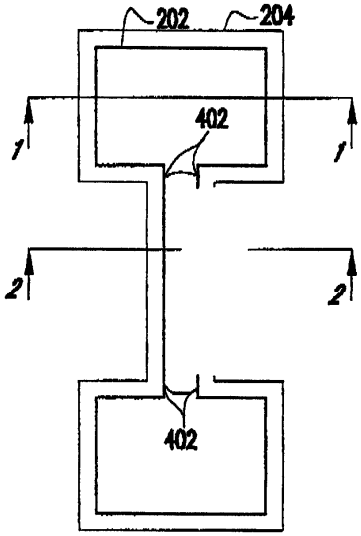
도면3a



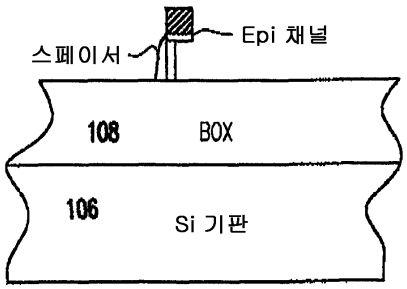
도면3b



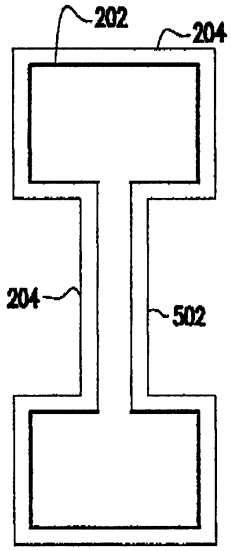
도면4a



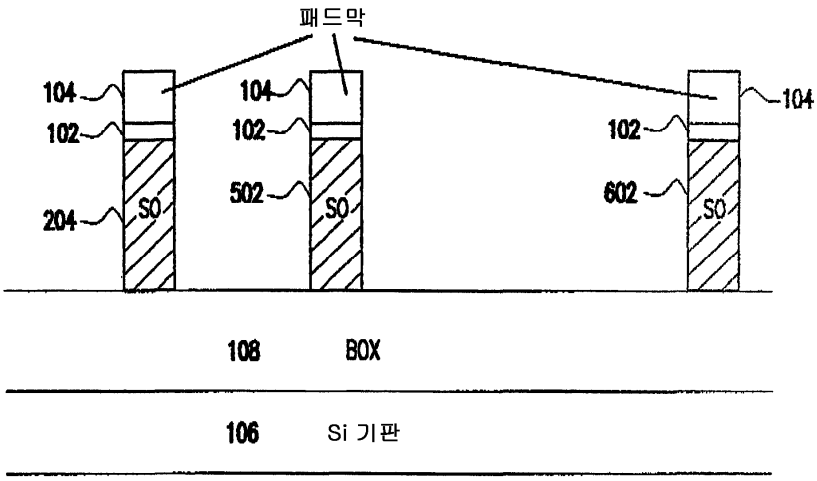
도면4b


2-2
스페이서
Epi 채널
108
BOX
106
Si 기판

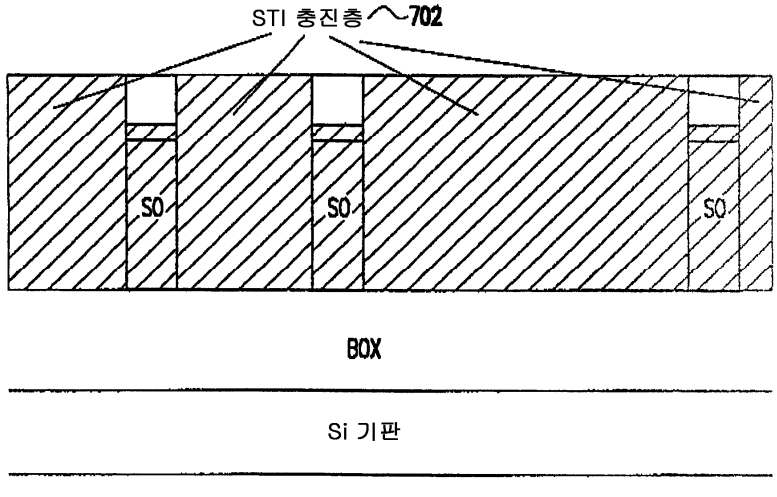
도면5


202
204
204
502

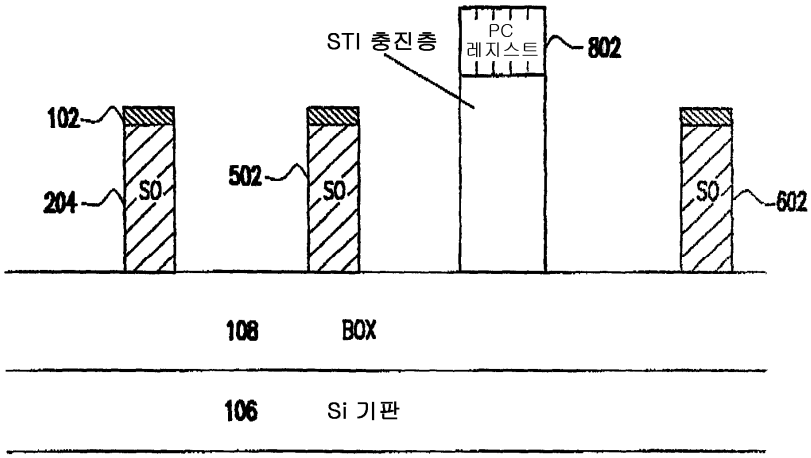
도면6


패드막
104
102
204
SO
104
102
502
SO
102
602
SO
104
108
BOX
106
Si 기판

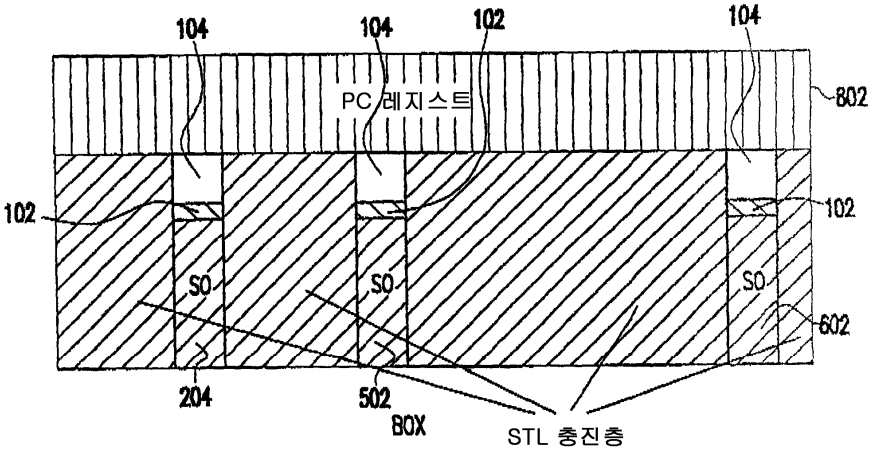
도면7



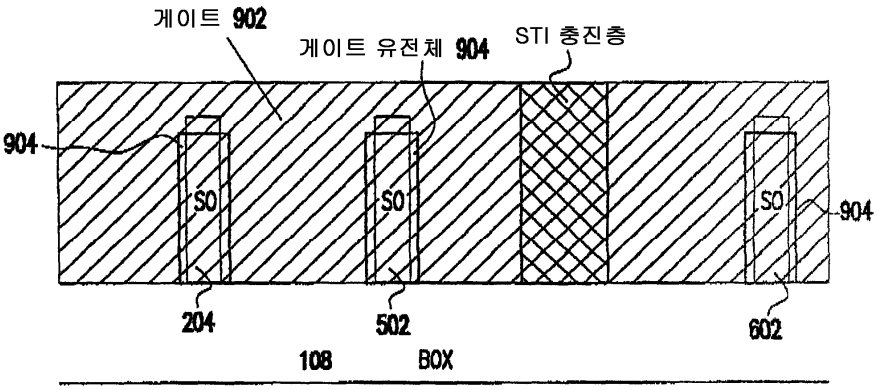
도면8a



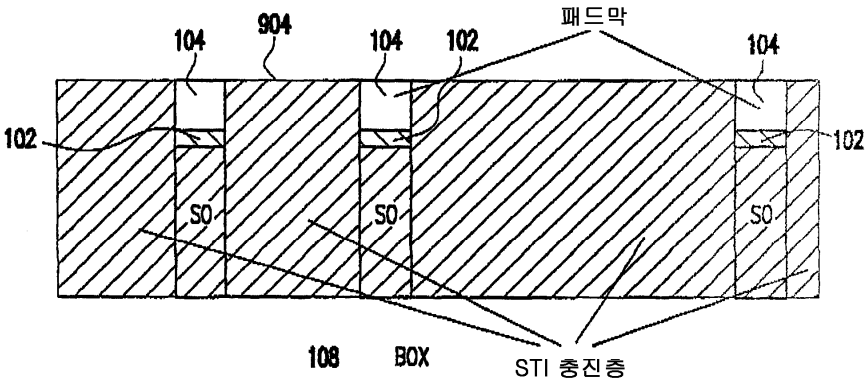
도면8b



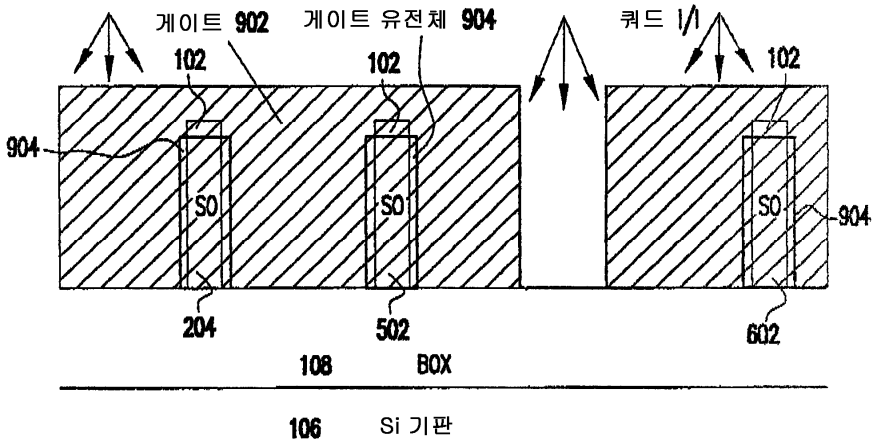
도면9a



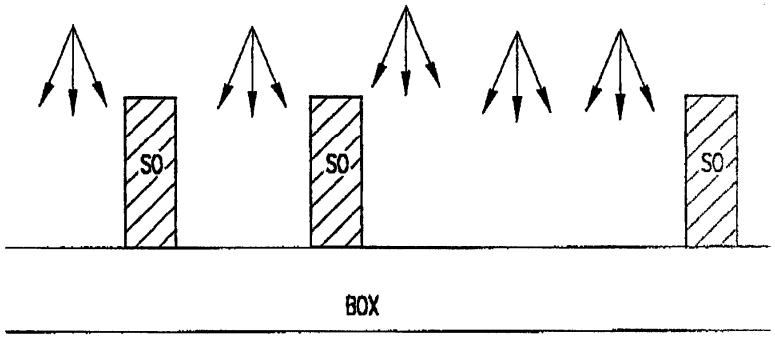
도면9b



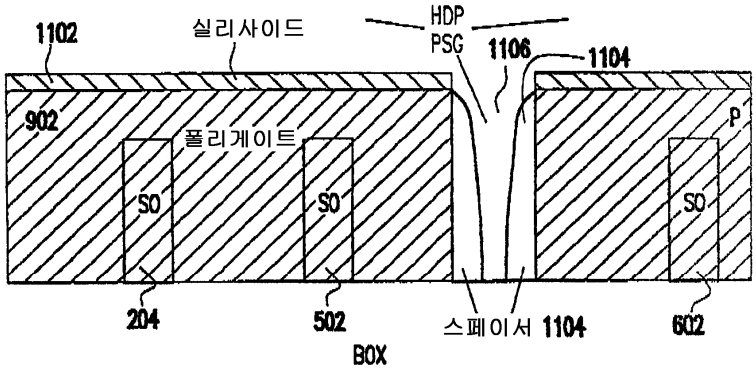
도면10a



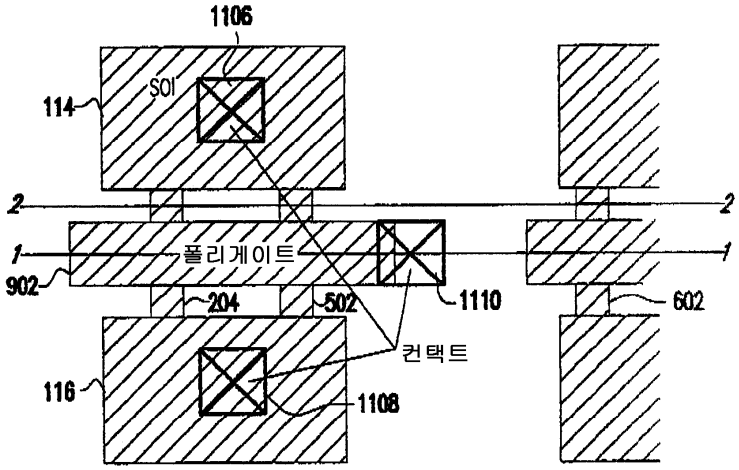
도면10b



도면11a



도면11b



도면12