

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3769925号
(P3769925)

(45) 発行日 平成18年4月26日(2006.4.26)

(24) 登録日 平成18年2月17日(2006.2.17)

(51) Int. Cl. F I
H03K 5/04 (2006.01) H03K 5/04
H03K 3/017 (2006.01) H03K 3/017

請求項の数 1 (全 15 頁)

<p>(21) 出願番号 特願平10-73260 (22) 出願日 平成10年3月6日(1998.3.6) (65) 公開番号 特開平11-261385 (43) 公開日 平成11年9月24日(1999.9.24) 審査請求日 平成15年2月13日(2003.2.13)</p>	<p>(73) 特許権者 000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号 (74) 代理人 100093894 弁理士 五十嵐 清 (72) 発明者 諸見里 英人 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内 (72) 発明者 松本 匡彦 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内 審査官 清水 稔</p>
---	---

最終頁に続く

(54) 【発明の名称】 パルス幅制御回路

(57) 【特許請求の範囲】

【請求項1】

パルス信号を定周期の定パルス幅でもって発振出力する発振回路と；
該発振回路の出力に一端が接続されたコンデンサ素子と；
該コンデンサ素子の他端が接続されたインバータタイプの論理素子と；
前記コンデンサ素子の他端とグランドとの間に接続され、前記発振回路の出力がハイレベルからローレベルに切り替わった時に一時的に導通して前記コンデンサ素子を他端側から放電するトランジスタ素子と；
前記コンデンサ素子が放電された後であって前記発振回路の出力がローレベルの時に、前記コンデンサ素子を他端側から充電する充電回路と；
 外部から加えられる制御信号に応じて前記充放電回路の充電時定数を可変する充電時定数可変制御回路と；
前記コンデンサ素子の他端と外部入力電源との間に前記コンデンサ素子から前記外部入力電源に向かって電流が流れる向きに設けられたダイオードと；
 が設けられていることを特徴とするパルス幅制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部から加えられる制御信号の大きさに応じて出力パルス信号のパルス幅を可変制御することができるパルス幅制御回路に関するものである。

【 0 0 0 2 】

【 従来 の 技 術 】

図 4 にはパルス幅制御回路の一例が示されている。このパルス幅制御回路 1 は、同図に示すように、発振回路 2 と、パルス幅可変回路 3 と、インバータタイプの論理素子であるナンドゲート (N A N D ゲート) N 4 とを有して構成されている。

【 0 0 0 3 】

上記発振回路 2 はインバータタイプの論理素子である 2 個の N A N D ゲート N 1 , N 2 を有して構成されており、 N A N D ゲート N 1 の入力端子はそれぞれ共通の抵抗体 R 1 の一端側に接続され、 N A N D ゲート N 1 の出力端子は N A N D ゲート N 2 の入力端子の各 2 端子に直列状に接続されており、上記抵抗体 R 1 と N A N D ゲート N 1 と N A N D ゲート N 2 の直列接続体にはコンデンサ素子 C 1 が並列接続されている。また、上記 N A N D ゲート N 1 の出力端子にはダイオード D 1 のアノード側が接続され、該ダイオード D 1 のカソード側は抵抗体 R 2 の一端側に直列状に接続され、この抵抗体 R 2 の他端側は前記抵抗体 R 1 とコンデンサ素子 C 1 の接続部に接続されている。さらに、上記ダイオード D 1 と抵抗体 R 2 の直列接続体には抵抗体 R 3 が並列接続されている。

10

【 0 0 0 4 】

上記パルス幅可変回路 3 はインバータタイプの論理素子である N A N D ゲート N 3 を有し、この N A N D ゲート N 3 の入力端子 a は前記発振回路 2 の N A N D ゲート N 2 の入力側に接続され、 N A N D ゲート N 3 の入力端子 b には抵抗体 R 4 の一端側が接続され、この抵抗体 R 4 の他端側にはダイオード D 2 のカソード側が接続され、該ダイオード D 2 のアノード側は前記発振回路 2 の N A N D ゲート N 2 の出力端子に接続されている。

20

【 0 0 0 5 】

また、前記 N A N D ゲート N 3 と抵抗体 R 4 の接続部にはコンデンサ素子 C 2 の一端側 (入力側) が接続され、このコンデンサ素子 C 2 の他端側は接地されている。このコンデンサ素子 C 2 の接地側にはフォトトランジスタ素子 P T 1 のエミッタ側が接続され、該フォトトランジスタ素子 P T 1 のコレクタ側は抵抗体 R 5 の一端側に接続され、この抵抗体 R 5 の他端側は前記コンデンサ素子 C 2 の入力側に接続されている。さらに、前記 N A N D ゲート N 3 の出力端子は N A N D ゲート N 4 の各入力端子に共通に接続されている。この N A N D ゲート N 4 の出力端はパルス幅制御回路 1 の出力端と成しており、この出力端はパルス幅制御回路 1 の所望の接続相手に接続される。

30

【 0 0 0 6 】

図 4 に示すパルス幅制御回路 1 は上記のように構成されており、このパルス幅制御回路 1 の回路動作例を簡単に説明する。発振回路 2 の N A N D ゲート N 1 はコンデンサ素子 C 1 の充放電に基づき図 5 の (b) に示すような定周期 T 1 の定パルス幅 H 1 を持つパルス信号を出力し、 N A N D ゲート N 2 は上記 N A N D ゲート N 1 の出力パルス信号を受け該パルス信号レベルを反転させたパルス信号を出力する。つまり、 N A N D ゲート N 2 は定周期 T 1 のパルス幅 h 1 のパルス信号を発振回路 2 の出力パルス信号として出力する。

【 0 0 0 7 】

パルス幅可変回路 3 は上記発振回路 2 の出力パルス信号を受けて次に示すように動作する。発振回路 2 の出力パルス信号レベル (N A N D ゲート N 2 の出力パルス信号レベル) がローレベル (L) からハイレベル (H) に反転したときに (図 5 に示す時間 t 1)、このハイレベル信号がダイオード D 2 と抵抗体 R 4 を順に通ってコンデンサ素子 C 2 に流れ始め、コンデンサ素子 C 2 の充電が開始され、コンデンサ素子 C 2 の充電電圧は、図 5 の (c) に示すように、時間の経過と共に増加していく。

40

【 0 0 0 8 】

ところで、 N A N D ゲート N 3 の入力端子 a には N A N D ゲート N 2 の入力側の電圧が加えられ、 N A N D ゲート N 3 の入力端子 b には上記コンデンサ素子 C 2 の充電電圧が加えられており、上記 N A N D ゲート N 3 の入力端子 a にハイレベル信号が加えられ、かつ、入力端子 b に N A N D ゲート N 3 のしきい値電圧 (スレッシュホールド電圧) 以上の電圧がコンデンサ素子 C 2 から加えられているときにのみ、 N A N D ゲート N 3 は出力パルス信号

50

のレベルをローレベルにするものである。

【0009】

上記コンデンサ素子C2の充電期間には、NANDゲートN2の入力側のローレベル信号がNANDゲートN3の入力端子aに加えられているので、NANDゲートN3から出力されるパルス信号の出力レベルは図5の(d)に示すようにハイレベルとなっている。

【0010】

上記コンデンサ素子C2の充電動作によってコンデンサ素子C2の充電電圧がNANDゲートN3のスレッシュOLD電圧以上となっている状態で、NANDゲートN1の出力パルス信号レベルの反転に伴ってNANDゲートN2の出力パルス信号レベルがハイレベルからローレベルに反転したときには(時間t2)、上記NANDゲートN2の入力側のハイレベル信号と、スレッシュOLD電圧以上のコンデンサ素子C2の充電電圧とがNANDゲートN3に入力されるので、NANDゲートN3から出力されるパルス信号レベルは、図5の(d)に示すように、ハイレベルからローレベルに反転する。

10

【0011】

一方、上記NANDゲートN2の出力パルス信号レベルの反転によって、コンデンサ素子C2の充電電圧は抵抗体R5とフォトトランジスタ素子PT1を順に通って放電し始め、この放電によってコンデンサ素子C2の充電電圧は図5の(c)の実線に示すように時間の経過と共に減少していき、NANDゲートN2の入力パルス信号レベルがハイレベルの状態にコンデンサ素子C2の充電電圧がNANDゲートN3のスレッシュOLD電圧よりも低下したときに(時間t3)、NANDゲートN3の出力パルス信号レベルは、図5の(d)に示すように、ローレベルからハイレベルに反転する。

20

【0012】

そして、再び、上記の如く、NANDゲートN2の出力パルス信号レベルがハイレベルからローレベルに反転したときに(時間t5)、NANDゲートN3の出力パルス信号レベルはハイレベルからローレベルに反転する。

【0013】

ところで、前記フォトトランジスタ素子PT1は外部から加えられる制御信号(ここでは光)が大きくなるに従って(強くなるに従って)該フォトトランジスタ素子PT1のインピーダンスが減少し、反対に、上記制御信号が小さくなるに従って(弱くなるに従って)インピーダンスが増加する特性を有するものであることから、上記制御信号が大きくなるに従ってフォトトランジスタ素子PT1は電流が流れ易くなる。このことによって、コンデンサ素子C2の放電期間に、コンデンサ素子C2からフォトトランジスタ素子PT1を通して放電する単位時間当たりの電流量が増加し、コンデンサ素子C2の放電速度が速くなる方向にコンデンサ素子C2の放電時定数が可変し、反対に、上記制御信号が小さくなるに従ってフォトトランジスタ素子PT1は電流が流れ難くなってコンデンサ素子C2の放電速度が遅くなる方向にコンデンサ素子C2の放電時定数が可変する。

30

【0014】

上記の如く、制御信号の変動によってコンデンサ素子C2の放電速度が速まると、図5の(c)の破線L1に示すように、コンデンサ素子C2の放電開始時からコンデンサ素子C2の充電電圧がNANDゲートN3のスレッシュOLD電圧よりも低下するまでに要する時間が短くなり、NANDゲートN3の出力パルス信号レベルがローレベルである期間が短くなる。従って、必然的に、NANDゲートN3の出力パルス信号のパルス幅が図5の(d)のパルス幅H3'に示すように広くなる。

40

【0015】

反対に、制御信号の変動によってコンデンサ素子C2の放電速度が遅くなると、図5の(c)の破線L2に示すように、放電開始時からコンデンサ素子C2の充電電圧がNANDゲートN3のスレッシュOLD電圧よりも低下するまでに要する時間が長くなり、NANDゲートN3の出力パルス信号のパルス幅が図5の(d)のパルス幅H3"に示すように狭くなる。

【0016】

50

上記のように、NANDゲートN3の出力パルス信号のパルス幅H3はコンデンサ素子C2の放電速度(放電時定数)に基づき定まり、そのコンデンサ素子C2の放電時定数は外部の制御信号の大きさに応じて可変するものであることから、NANDゲートN3は制御信号の変動に応じたパルス幅を持つパルス信号をパルス幅可変回路3の出力パルス信号として出力することができる。

【0017】

通常、外部制御信号が大きくなるに従ってパルス幅が狭くなり、外部制御信号が小さくなるに従ってパルス幅が広がるようなパルス幅制御が成されることがパルス幅制御回路1に要求されることから、前述したように、上記パルス幅可変回路3の出力側に該回路3の出力パルス信号レベルを反転させるためのNANDゲートN4が設けられており、このNANDゲートN4によって、上記NANDゲートN3の出力パルス信号レベルを反転させた図5の(e)に示すパルス信号が、つまり、上記要求されるパルス幅制御が行われるパルス信号がパルス幅制御回路1から出力される。

10

【0018】

以上のように、図4に示すパルス幅制御回路1は、外部の制御信号が大きくなるに従って出力パルス信号のパルス幅を狭くする方向に制御し、また、外部の制御信号が小さくなるに従って出力パルス信号のパルス幅を広くする方向に可変制御することができ、安価であるNANDゲートを採用することで回路コストを安価にすることが可能である。

【0019】

【発明が解決しようとする課題】

しかしながら、上記NANDゲートを含めたインバータタイプの論理素子は駆動損失が大きく、図4に示すように、4個ものインバータタイプの論理素子を使用した場合には、それら論理素子のトータル駆動損失が大きくなるという問題が生じ、パルス幅制御回路1を構成するインバータタイプの論理素子の使用個数を削減することが望まれている。

20

【0020】

本発明は上記課題を解決するために成されたものであり、その目的は、インバータタイプの論理素子の使用個数を削減することができ、インバータタイプの論理素子のトータル駆動損失の減少を図ることができるパルス幅制御回路を提供することである。

【0021】

【課題を解決するための手段】

上記目的を達成するために、この発明は次のような構成をもって前記課題を解決する手段としている。すなわち、本発明は、パルス信号を定周期の定パルス幅をもって発振出力する発振回路と；該発振回路の出力に一端が接続されたコンデンサ素子と；該コンデンサ素子の他端が接続されたインバータタイプの論理素子と；前記コンデンサ素子の他端とグランドとの間に接続され、前記発振回路の出力がハイレベルからローレベルに切り替わった時に一時的に導通して前記コンデンサ素子を他端側から放電するトランジスタ素子と；前記コンデンサ素子が放電された後であって前記発振回路の出力がローレベルの時に、前記コンデンサ素子を他端側から充電する充電回路と；外部から加えられる制御信号に応じて前記充放電回路の充電時定数を可変する充電時定数可変制御回路と；前記コンデンサ素子の他端と外部入力電源との間に前記コンデンサ素子から前記外部入力電源に向けて電流が流れる向きに設けられたダイオードと；が設けられている構成をもって前記課題を解決する手段としている。

30

40

【0023】

上記構成の発明において、充電時定数可変制御回路は、制御信号が大きくなるに従って充放電回路の充電速度を速める方向に充放電回路の充電時定数を可変する。このように、充放電回路の充電速度が速められることによって、充放電回路の充電動作が開始されてから該充放電回路の充電電圧がインバータタイプの論理素子のオフしきい値電圧に達するまでに要する時間が短くなり、インバータタイプの論理素子から出力されるパルス信号のハイレベルのパルス幅が狭くなる。

【0024】

50

また、充電時定数可変制御回路は、制御信号が小さくなるに従って充放電回路の充電速度を遅くする方向に充放電回路の充電時定数を可変する。このように、充放電回路の充電速度が遅くなることによって、充放電回路の放電動作が開始されてから該充放電回路の充電電圧がインバータタイプの論理素子のオフしきい値電圧に達するまでに要する時間が長くなり、インバータタイプの論理素子の出力パルス信号のパルス幅が広がる。

【0025】

上記のように、制御信号が大きくなるに従ってインバータタイプの論理素子の出力パルス信号のパルス幅を狭くする方向に制御し、制御信号が小さくなるに従ってインバータタイプの論理素子の出力パルス信号のパルス幅を広げる方向に制御できるので、上記インバータタイプの論理素子の出力側に、さらに、インバータタイプの論理素子を設ける必要がない。

10

【0026】

このように、充放電回路に接続するインバータタイプの論理素子の出力側にさらにインバータタイプの論理素子を設ける必要がない分、インバータタイプの論理素子の使用個数を削減することができ、パルス幅制御回路におけるインバータタイプの論理素子のトータル駆動損失を抑制することが可能となり、前記課題が解決される。

【0027】

【発明の実施の形態】

以下に、本発明に係る実施形態例を図面に基づき説明する。

【0028】

図1には本実施形態例のパルス幅制御回路が示されている。同図に示すように、インバータタイプの論理素子であるNORゲート(ノアゲート)NR1の各入力端子a, bには共通の抵抗体4の一端側が直列状に接続され、NORゲートNR1の出力端子にはインバータタイプの論理素子であるNORゲートNR2の各入力端子a, bが直列状に接続されており、上記抵抗体4とNORゲートNR1とNORゲートNR2の直列接続体にはコンデンサ素子5が並列接続されている。また、上記抵抗体4とNORゲートNR1の直列接続体には、抵抗体6と抵抗体7の直列接続体が並列接続され、上記抵抗体6と抵抗体7の接続部にはダイオード8のカソード側が接続され、該ダイオード8のアノード側は抵抗体6と抵抗体4の接続部に接続されている。

20

【0029】

上記コンデンサ素子5と抵抗体4, 6, 7とダイオード8とによって、定周期をもって充放電を行う定周期充放電回路が構成され、該定周期充放電回路と上記NORゲートNR1, NR2とによって、パルス信号を定周期の定パルス幅をもって発振出力する発振回路2が構成されている。

30

【0030】

前記NORゲートNR2の出力端側にはコンデンサ素子10の一端側が接続され、このコンデンサ素子10の他端側はダイオード11のアノード側と抵抗体12の一端側とダイオード13のカソード側とインバータタイプの論理素子であるNORゲートNR3の入力端子aと抵抗体14の一端側とにそれぞれ接続されている。上記ダイオード11のカソード側と抵抗体12の他端側とはそれぞれ外部入力電源V_{cc}に接続されている。

40

【0031】

また、上記ダイオード13のアノード側は抵抗体15の一端側に接続され、この抵抗体15の他端側はフォトトランジスタ素子16のエミッタ側に接続され、該フォトトランジスタ素子16のコレクタ側は前記外部入力電源V_{cc}に接続されている。さらに、上記ダイオード13のアノード側と抵抗体15の接続部には抵抗体17の一端側が接続され、この抵抗体17の他端側は接地されている。

【0032】

さらに、前記抵抗体14はトランジスタ素子18のコレクタ側に接続され、該トランジスタ素子18のエミッタ側は接地されている。このトランジスタ素子18のベース側にはコンデンサ素子20の一端側と抵抗体21の一端側とがそれぞれ接続され、上記抵抗体21

50

の他端側は接地され、コンデンサ素子20の他端側は抵抗体22の一端側に接続され、この抵抗体22の他端側は前記NORゲートNR1とNORゲートNR2の接続部に接続されている。

【0033】

上記NORゲートNR3の一方の入力端子aは前述したようにコンデンサ素子10に接続され、他方の入力端子bは接地されている。NORゲートNR3の出力端子はパルス幅制御回路1の出力端子と成しており、パルス幅制御回路1の所望の接続相手に接続され、このNORゲートNR3の出力信号がパルス幅制御回路1の出力信号として出力される。

【0034】

上記抵抗体12, 15, 17とダイオード13とフォトトランジスタ素子16とによって、外部入力電源Vccの電力を利用してコンデンサ素子10の充電を行う充電回路が構成され、ダイオード11と抵抗体12, 14, 21, 22とトランジスタ素子18とコンデンサ素子20とによって、コンデンサ素子10の充電電圧を放電する放電回路が構成され、上記充電回路と放電回路とコンデンサ素子10とによって、前記発振回路2の出力パルス信号を受けて充放電する充放電回路が構成されている。

10

【0035】

また、ダイオード13と抵抗体15とフォトトランジスタ素子16とによって、コンデンサ素子10の充電速度(つまり、充電時定数)を可変制御する充電時定数可変制御回路が構成されており、該充電時定数可変制御回路と上記充放電回路とNORゲートNR3とによって、外部から加えられる制御信号の変動に応じて可変するパルス幅を持つパルス信号を出力するパルス幅可変回路3が構成されており、前記発振回路2とパルス幅可変回路3とによってパルス幅制御回路1が構成されている。

20

【0036】

本実施形態例に示すパルス幅制御回路は上記のように構成されており、以下に、本実施形態例に示すパルス幅制御回路の動作例を図2に示すタイムチャートに基づき説明する。

【0037】

上記発振回路2のNORゲートNR1の出力パルス信号のレベルが図2の(b)に示すようにローレベルからハイレベルに反転したときに(図2に示す時間t1)、このハイレベル信号が抵抗体7と抵抗体6を順に通ってコンデンサ素子5に印加され始め、図2の(a)に示すように、コンデンサ素子5の充電が開始され、時間の経過と共にコンデンサ素子5の充電電圧は増加していく。このコンデンサ素子5の充電電圧は抵抗体R4を介してNORゲートNR1の入力側に加えられる。

30

【0038】

この実施形態例に採用した上記各NORゲートNR1, NR2, NR3は、オンしきい値とオフしきい値電圧を兼用するしきい値電圧(スレッシュホールド電圧)と、入力電圧(入力レベル)とに基づき、出力パルス信号のレベルが定められるものである。すなわち、各NORゲートNR1, NR2, NR3は入力端子a, bに入力する電圧がスレッシュホールド電圧未満であるときにのみ、出力パルス信号レベルをハイレベルにする特性を有することから、上記コンデンサ素子5の充電期間に、NORゲートNR1に入力する電圧(つまり、コンデンサ素子5の充電電圧)がNORゲートNR1のスレッシュホールド電圧V1に達するまではNORゲートNR1は図2の(b)に示すようにハイレベル信号を継続して出力する。

40

【0039】

そして、コンデンサ素子5の充電電圧が上記NORゲートNR1のスレッシュホールド電圧V1に達すると(時間t2)、NORゲートNR1の出力パルス信号レベルはハイレベルからローレベルに反転し、それと同時に、コンデンサ素子5の充電電圧は、図2の(a)に示すように瞬間的に増加した後、ダイオード8や抵抗体6を通して放電し徐々に減少していく。

【0040】

この放電によって、コンデンサ素子5の充電電圧がNORゲートNR1のスレッシュホールド

50

電圧 V_1 よりも低下したときに (時間 t_3)、NORゲートNR1の出力パルス信号レベルはローレベルからハイレベルに反転し、同時に、コンデンサ素子5の充電電圧は瞬時に大幅に減少し、その後、再び、上記の如く、NORゲートNR1から出力されるハイレベル信号によってコンデンサ素子5は充電が開始される。

【0041】

上記のように、NORゲートNR1の出力パルス信号のハイレベル期間 H_1 は、コンデンサ素子5の充電が開始されてからコンデンサ素子5の充電電圧がNORゲートNR1のスレッシュホールド電圧 V_1 まで上昇するのに要する時間であり、コンデンサ素子5の充電速度に基づき定められ、また、NORゲートNR1の出力パルス信号のローレベル期間 h_1 はコンデンサ素子5の放電が開始されてからコンデンサ素子5の充電電圧がNORゲートNR1のスレッシュホールド電圧 V_1 まで低下するのに要する時間であり、コンデンサ素子5の放電速度に基づき定まり、上記コンデンサ素子5の充電速度と放電速度は抵抗体6,7の各抵抗値とコンデンサ素子5の静電容量とによって定まり、それら抵抗体6,7の各抵抗値とコンデンサ素子5の静電容量は固定されていることから、NORゲートNR1の出力パルス信号のハイレベル期間 H_1 とローレベル期間 h_1 は一定時間となる。つまり、NORゲートNR1から定周期 T_1 の定パルス幅 H_1 のパルス信号が出力される。

10

【0042】

上記NORゲートNR1の出力パルス信号はNORゲートNR2に加えられ、NORゲートNR2はそのNORゲートNR1の出力パルス信号のレベルを反転させ、図2の(c)に示すようなパルス信号を出力する。このNORゲートNR2の出力信号が発振回路2の出力信号として出力されるので、この発振回路2は定周期 T_1 の定パルス幅 h_1 を持つパルス信号を出力する。

20

【0043】

この発振回路2の出力パルス信号はコンデンサ素子10に加えられており、前記NORゲートNR1の出力パルス信号レベルの反転に伴ってNORゲートNR2の出力信号がローレベルに反転したときに (時間 t_3)、コンデンサ素子10は瞬間的に放電しコンデンサ素子10の充電電圧は図2の(d)に示すように大幅に減少する。このコンデンサ素子10の放電経路は主に2経路あり、その1つはダイオード11を通る経路であり、もう1つは、抵抗体14とトランジスタ素子18を順に通って放電する経路である。

【0044】

なお、上記NORゲートNR1の出力パルス信号がローレベルからハイレベルに反転する際にはトリガーが発生し、このトリガーが抵抗体22とコンデンサ素子20から成る微分回路を通してトランジスタ素子18のベースに印加するので、トランジスタ素子18のコレクタ-エミッタ間は瞬間的に導通状態となることから、上記の如く、コンデンサ素子10の充電電圧を抵抗体14とトランジスタ素子18を順に通して放電させることができる。

30

【0045】

上記コンデンサ素子10の充電電圧はNORゲートNR3の入力端子aに加えられており、上記の如くコンデンサ素子10の充電電圧が放電によってNORゲートNR3のスレッシュホールド電圧 V_3 よりも低下したときに (時間 t_3)、NORゲートNR3から出力されるパルス信号のレベルは、図2の(e)に示すように、ローレベルからハイレベルに反転する。

40

【0046】

上記の如くコンデンサ素子10の放電が完了した以降には、外部入力電源 V_{cc} の電力が抵抗体12を通してコンデンサ素子10に至る経路と、フォトトランジスタ素子16と抵抗体15とダイオード13を順に通ってコンデンサ素子10に至る経路とでコンデンサ素子10に加えられてコンデンサ素子10の充電が行われるが、上記フォトトランジスタ素子16は外部から加えられる制御信号(ここでは光)が大きくなるに従って(強くなるに従って)インピーダンスが小さくなり、上記制御信号が小さくなるに従って(弱くなるに従って)インピーダンスが大きくなるので、制御信号が非常に小さかったり、制御信号の入

50

力がないときには、外部入力電源 V_{cc} は上記フォトトランジスタ素子 16 を殆ど通電することができず、このような場合には、外部入力電源 V_{cc} は殆ど抵抗体 12 を通ってコンデンサ素子 10 に印加することになる。

【0047】

上記コンデンサ素子 10 の充電動作によって、図 2 の (d) の実線 A に示すように、コンデンサ素子 10 の充電電圧が NOR ゲート NR 3 のスレッシュールド電圧 V_3 に達したときには (時間 t_4)、NOR ゲート NR 3 の出力パルス信号レベルは、図 2 の (e) に示すように、ハイレベルからローレベルに反転する。

【0048】

ところで、上記の如く、フォトトランジスタ素子 16 に加えられる制御信号が大きくなるに従ってフォトトランジスタ素子 16 のインピーダンスが小さくなり、フォトトランジスタ素子 16 は電流が流れ易くなるので、制御信号が大きくなるに従って外部入力電源 V_{cc} からコンデンサ素子 10 に加えられる単位時間当たりの電流量が増加し、図 2 の (d) の破線 B に示すように、コンデンサ素子 10 の充電速度が速くなる方向に充電時定数が可変して、コンデンサ素子 10 の充電が開始されてからコンデンサ素子 10 の充電電圧が NOR ゲート NR 3 のスレッシュールド電圧 V_3 に達するまでに要する時間が短くなり、NOR ゲート NR 3 の出力パルス信号のパルス幅は、図 2 の (e) のパルス幅 H_3' に示すように、狭くなる。

10

【0049】

また、フォトトランジスタ素子 16 に加えられる制御信号が小さくなるに従ってフォトトランジスタ素子 16 のインピーダンスが大きくなり、フォトトランジスタ素子 16 は電流が流れ難くなるので、制御信号が小さくなるに従って外部入力電源 V_{cc} からコンデンサ素子 10 に加えられる単位時間当たりの電流量が減少し、図 2 の (d) の破線 C に示すように、コンデンサ素子 10 の充電速度は遅くなる方向に充電時定数が可変して、コンデンサ素子 10 の充電が開始されてからコンデンサ素子 10 の充電電圧が NOR ゲート NR 3 のスレッシュールド電圧に達するまでの時間が長くなり、NOR ゲート NR 3 の出力パルス信号のパルス幅は、図 2 の (e) のパルス幅 H_3'' に示すように、広くなる。

20

【0050】

上記の如く、外部入力電源 V_{cc} からコンデンサ素子 10 に至る充電経路上に、外部から加えられる制御信号が大きくなるに従って通電量を増加する方向に可変できる電流可変制御素子、つまり、この実施形態例では、フォトトランジスタ素子 16 を介設することで、制御信号が大きくなるに従ってコンデンサ素子 10 の充電速度を速める方向に充電時定数を可変して NOR ゲート NR 3 の出力パルス信号のパルス幅 H_3 を狭くする方向に制御し、上記制御信号が小さくなるに従ってコンデンサ素子 10 の充電速度を遅くする方向に充電時定数を可変して NOR ゲート NR 3 の出力パルス信号のパルス幅 H_3 を広くする方向に制御できる。

30

【0051】

上記の如く、コンデンサ素子 10 の充電電圧が NOR ゲート NR 3 のスレッシュールド電圧 V_3 に達した以降も、コンデンサ素子 10 の充電は継続され、このコンデンサ素子 10 の充電期間に、発振回路 2 からコンデンサ素子 10 に加えられるパルス信号レベルが図 2 の (c) に示すようにローレベルからハイレベルに反転したときに (時間 t_5)、このハイレベル信号によってコンデンサ素子 10 は、図 2 の (d) に示すように、瞬間的に充電完了し、発振回路 2 の出力パルス信号がハイレベルである期間は、その充電状態は維持され、この状態で、発振回路 2 の出力パルス信号がローレベルに反転したときには (時間 t_6)、前記の如く、コンデンサ素子 10 の充電電圧は放電し、NOR ゲート NR 3 の出力パルス信号はローレベルからハイレベルに反転する。その後、再び、上記の如く、コンデンサ素子 10 の充電が開始されて、コンデンサ素子 10 の充電電圧がスレッシュールド電圧に達したときに (時間 t_7)、NOR ゲート NR 3 の出力パルス信号はハイレベルからローレベルに反転する。

40

【0052】

50

この実施形態例では、コンデンサ素子10に接続されるNORゲートNR3の出力パルス信号のパルス幅を、外部の制御信号が大きくなるに従って狭くする方向に、また、外部の制御信号が小さくなるに従って広くする方向に制御できる回路構成としたので、従来のように、パルス幅可変回路3の出力側に該回路の出力パルス信号レベルを反転させるためのインバータタイプの論理素子を設けなくて済み、つまり、3個のインバータタイプの論理素子のみでパルス幅制御回路1を構成することが可能となり、パルス幅制御回路1を構成するインバータタイプの論理素子の使用個数を削減することができ、その分、パルス幅制御回路1のトータルの論理素子駆動損失を減少させることができる。

【0053】

また、通常、パルス幅制御回路1は、2個又は4個の論理素子が1つのパッケージにまとめられた論理ゲートICを使用して形成されるので、本実施形態例に示すように、パルス幅制御回路1に使用する論理素子が3個で済む場合には、上記論理ゲートICの中の論理素子が1個余り、この余った論理素子を用いて、新たな回路展開を図ることができるという画期的な効果を得ることができる。

10

【0054】

例えば、図3には上記図1に示すパルス幅制御回路1をスイッチング電源回路に組み込んだ場合の一例が示されている。この図3に示すスイッチング電源回路は、直流の入力電源V_{cc}の電圧を、トランジスタ素子TR1（例えば、MOS-FET）のソース-ドレイン間の導通・通電停止動作に基づいて、一旦、トランスTで交流電圧（電流）に変換した後、その交流電圧をダイオードD3とコンデンサ素子C3から成る整流平滑回路で整流平滑して直流電圧に変換し、直流の出力電圧V_{out}として出力するものであり、上記トランジスタ素子TR1のソース-ドレイン間の導通時間を長くするに従って上記出力電圧V_{out}を上昇させることができ、トランジスタ素子TR1のソース-ドレイン間の導通時間を短くするに従って上記直流電圧V_{out}を降下させることができるので、上記トランジスタ素子TR1の導通時間を制御することで安定的に設定の出力電圧V_{out}を出力することが可能である。

20

【0055】

図3の例では、本実施形態例に示したパルス幅制御回路1は、上記トランジスタ素子TR1の導通時間を制御する制御回路として、スイッチング電源回路に組み込まれており、パルス幅制御回路1の出力側が上記トランジスタ素子TR1のゲート側に接続され、NORゲートNR3の出力パルス信号をトランジスタ素子TR1のゲート側に加える構成となっており、そのNORゲートNR3の出力パルス信号レベルがハイレベルであるときにトランジスタ素子TR1のソース-ドレイン間が導通状態に制御され、上記出力パルス信号レベルがローレベルであるときにトランジスタ素子TR1のソース-ドレイン間が通電停止状態に制御される。

30

【0056】

図3に示すスイッチング電源回路には出力電圧V_{out}を検出出力する検出回路25が設けられている。この検出回路25は抵抗体R8, R9, R10とフォトダイオードPDとシャントレギュレータSR1とを有して構成され、上記フォトダイオードPDは出力電圧V_{out}が高くなるに従って発光量が増加し、出力電圧V_{out}が低くなるに従って発光量が減少するように構成されており、このフォトダイオードPDと前記パルス幅制御回路1のフォトトランジスタ素子16とによってフォトカプラが構成され、上記フォトダイオードPDの発光が外部の制御信号としてフォトトランジスタ素子16に加えられる。

40

【0057】

このように、スイッチング電源回路の出力電圧V_{out}に応じた制御信号がフォトトランジスタ素子16に加えられることによって、出力電圧V_{out}が設定の電圧よりも上昇したときには、上記フォトダイオードPDの発光量（制御信号量）が増加し、このことによって、コンデンサ素子10の充電速度が速くなる方向に充電時定数が可変されてパルス幅制御回路1の出力パルス信号のパルス幅が狭くなり、トランジスタ素子TR1の導通時間が短くなって出力電圧V_{out}を下げる方向に制御することができる。

50

【0058】

また、スイッチング電源回路の出力電圧 V_{out} が設定の電圧よりも低下したときには、フォトトランジスタ素子16に加えられるフォトダイオードPDの発光量（制御信号）が減少し、このことによって、コンデンサ素子10の充電速度が遅くなる方向に充電時定数が可変されてパルス幅制御回路1の出力パルス信号のパルス幅が広くなり、トランジスタ素子TR1の導通時間が長くなって出力電圧 V_{out} を上昇させる方向に制御することができる。

【0059】

ところで、パルス幅制御回路1からトランジスタ素子TR1のゲートに流れるハイレベル信号の電流は、トランジスタ素子TR1を瞬間的にオンするために必要な電流よりも低い場合があり、そのような場合には、トランジスタ素子TR1を安定的に制御できない虞がある。

10

【0060】

そこで、本実施形態例では、3個のインバータタイプの論理素子でパルス幅制御回路1を構成することができるので、2個又は4個の論理素子を1パッケージに収容した論理ゲートICを用いる場合には、その論理ゲートICの中のパルス幅制御回路1に使用されない余った論理素子（図3ではNORゲートNR4）を前記パルス幅制御回路1のNORゲートNR3に並列状に設けて、トランジスタ素子TR1のゲートに加えられる電流量を倍増させ、トランジスタ素子TR1を安定駆動させることができる構成にしている。

【0061】

20

また、この図3に示すスイッチング電源回路は、パルス幅制御回路1を利用して次に示すようなリモートオフ機能と過電流保護機能とソフトスタート機能とを行う構成を備えている。すなわち、上記NORゲートNR1, NR2, NR3, NR4の各入力端子に抵抗体R6の一端側がそれぞれ接続され、この抵抗体R6の他端側には外部電圧源（図示せず）が接続され、該外部電圧源から各NORゲートのスレッシュホールド電圧以上の大きな電圧を抵抗体R6を介して各NORゲートの入力側に加えることによって、各NORゲートの出力パルス信号レベルが瞬時にローレベルとなり、前記トランジスタ素子TR1は通電停止状態となり、リモートオフ機能が働いてスイッチング電源回路の回路動作を直ちに停止させることができる。

【0062】

30

また、過電流保護機能とソフトスタート機能とを共に制御することができる保護回路24が設けられており、また、スイッチング電源回路を流れる通電電流を電圧に変換して検出することができる抵抗体R11が設けられ、該抵抗体11は上記保護回路24に接続されている。さらに、上記保護回路24は入力電源 V_{cc} に接続されると共に、ダイオードD4を介してパルス幅制御回路1のコンデンサ素子10に接続されている。

【0063】

上記保護回路24は、スイッチング電源回路を起動させたときに、外部入力電源 V_{cc} の電力をダイオードD4を介しコンデンサ素子10に加え、そのコンデンサ素子10に加える電流を徐々に減少させる回路構成と、スイッチング電源回路に過剰な電流が流れている過電流状態であるときに、上記抵抗体R11により検出される電圧に応じた電流をダイオードD4を介してコンデンサ素子10に加える回路構成とを有している。

40

【0064】

上記保護回路24とダイオードD4と抵抗体11とを設けることによって、スイッチング電源回路の起動期間に、コンデンサ素子10には、抵抗体12を通る電流と、フォトトランジスタ素子16を通る電流とに加えて、保護回路24を通る電流が印加することとなるが、上記保護回路24から加えられる電流を徐々に減少させることで、コンデンサ素子10の充電速度が徐々に遅くなってパルス幅制御回路1からトランジスタ素子TR1に出力されるパルス幅が広がっていくので、スイッチング電源回路をソフトスタートさせることができる。

【0065】

50

また、スイッチング電源回路が過電流状態であるときには、抵抗体 R 1 1 に生じている電圧に応じた電流がダイオード D 4 を介してコンデンサ素子 1 0 に加えられ、コンデンサ素子 1 0 の充電速度が速くなり、パルス幅制御回路 1 からトランジスタ素子 T R 1 に出力されるパルス信号のパルス幅が狭くなって回路に流れる電流を抑制することができ、過電流保護機能が働いてスイッチング電源回路を保護することができる。

【 0 0 6 6 】

本実施形態例では、3個のインバータタイプの論理素子だけでパルス幅制御回路 1 を構成することができるので、上記の如く2個又は4個の論理素子が1パッケージ内に収容された論理ゲート IC を用いてパルス幅制御回路 1 を構成する場合に、パルス幅制御回路 1 に使用されなかった残りの1個の論理素子を用いて、上記の如く、新たな回路展開を図ることが可能である。

10

【 0 0 6 7 】

なお、本発明は上記実施形態例に限定されるものではなく、様々な実施の形態を採り得る。例えば、上記実施形態例では、インバータタイプの論理素子として NOR ゲート N R 1 , N R 2 , N R 3 が使用されていたが、上記 NOR ゲート N R 1 , N R 2 , N R 3 のうちの1個以上に代えて、NOR ゲート以外のインバータタイプの論理素子、例えば、NAND ゲートやインバータ素子等を用いてもよい。このような場合にも、もちろん、発振回路 2 は定周期の定パルス幅を持つパルス信号が発振出力できるように回路が構成され、また、パルス幅可変回路 3 は、外部から加えられる制御信号が大きくなるに従ってコンデンサ素子 1 0 の充電速度が速くなってパルス幅可変回路 3 から出力されるパルス信号のパルス幅が狭くなり、外部から加えられる制御信号が小さくなるに従ってコンデンサ素子 1 0 の充電速度が遅くなってパルス幅可変回路 3 から出力されるパルス信号のパルス幅が広くなるように回路が構成される。

20

【 0 0 6 8 】

例えば、NOR ゲート N R 3 に代えて、インバータタイプの論理素子である NAND ゲートを用いた場合には、該 NAND ゲートの2個の入力端子のうち一方にコンデンサ素子 1 0 の充電電圧が加えられ、他方には常にハイレベルの電圧が加えられるように回路が構成される。

【 0 0 6 9 】

また、上記実施形態例に使用したインバータタイプの論理素子は出力パルス信号レベルをローレベルからハイレベルに反転させるためのスレッシュホールド電圧と、出力パルス信号レベルをハイレベルからローレベルに反転させるためのスレッシュホールド電圧とが等しいものであったが、出力パルス信号レベルをローレベルからハイレベルに反転させるためのオンしきい値電圧と、出力パルス信号レベルをハイレベルからローレベルに反転させるためのオフしきい値電圧とが異なる型（シュミットトリガ型）のインバータタイプの論理素子を用いてもよい。

30

【 0 0 7 0 】

さらに、上記実施形態例では、発振回路 2 はインバータタイプの論理素子を2個用いていたが、この発振回路 2 は定周期の定パルス幅を持つパルス信号を発振出力することができる回路であればよく、例えば、インバータタイプの論理素子を使用せずに構成してもよい。

40

【 0 0 7 1 】

さらに、上記実施形態例では、2個又は4個の論理素子が1パッケージに収容されている論理ゲート IC を用いてパルス幅制御回路 1 を構成した場合に、パルス幅制御回路 1 に使用されない残りの1個の論理素子を用いて、スイッチング電源回路のトランジスタ素子 T R 1 の安定駆動を図る回路構成例を示したが、上記残りの論理素子を上記以外の使用形態で有効利用してもよい。例えば、上記残りの論理素子をスイッチング電源回路の過電圧保護を図るための回路の構成部品として利用してもよい。

【 0 0 7 2 】

さらに、上記実施形態例では、パルス幅制御回路 1 をスイッチング電源回路に組み込む例

50

を示したが、パルス幅制御回路 1 はスイッチング電源回路以外の回路にも組み込むことが可能である。

【 0 0 7 3 】

【 発明の効果 】

この発明によれば、充放電回路に接続し該充放電回路の充電電圧がオンしきい値電圧よりも低下しているときには出力パルス信号レベルがハイレベルとなり、充放電回路の充電電圧がオフしきい値電圧以上であるときには出力パルス信号レベルがローレベルとなるインバータタイプの論理素子を設けると共に、充電時定数可変制御回路を設け、該回路によって、外部から加えられる制御信号が大きくなるに従って上記充放電回路の充電速度を速める方向に充放電回路の充電時定数を可変し上記インバータタイプの論理素子の出力パルス信号のパルス幅を狭くする方向に制御し、上記外部制御信号が小さくなるに従って上記充放電回路の充電速度を遅くする方向に充放電回路の充電時定数を可変し上記インバータタイプの論理素子の出力パルス信号のパルス幅を広くする方向に制御できる構成を備えたので、充放電回路に接続する上記インバータタイプの論理素子の出力側に該インバータタイプの論理素子の出力パルス信号レベルを反転させるための別個のインバータタイプの論理素子を設けなくても、外部の制御信号が大きくなるに従ってパルス幅が狭くなる方向に制御され、かつ、外部の制御信号が小さくなるに従ってパルス幅が広がる方向に制御されるパルス信号を出力することが可能となる。

10

【 0 0 7 4 】

従来では上記充放電回路に接続されるインバータタイプの論理素子の出力側にさらにインバータタイプの論理素子を設けることが必須であったが、上記の如く、この発明では、上記充放電回路に接続されるインバータタイプの論理素子の出力パルス信号をパルス幅制御回路の出力パルス信号として外部に出力させることができるので、上記充放電回路に接続されるインバータタイプの論理素子の出力側にさらにインバータタイプの論理素子を設けなくてもよく、その分、パルス幅制御回路を構成するインバータタイプの論理素子の個数を削減することが可能であり、このように、インバータタイプの論理素子を削減することができる分、パルス幅制御回路におけるインバータタイプの論理素子の駆動損失を減少させることができる。

20

【 図面の簡単な説明 】

【 図 1 】 本発明に係る実施形態例のパルス幅制御回路を示す回路図である。

30

【 図 2 】 図 1 に示したパルス幅制御回路の各主要構成部の動作例を示すタイムチャートである。

【 図 3 】 図 1 に示す回路をスイッチング電源回路に組み込んだ例を示す回路図である。

【 図 4 】 従来のパルス幅制御回路の一例を示す回路図である。

【 図 5 】 図 4 に示すパルス幅制御回路の各主要構成部の動作例を示すタイムチャートである。

【 符号の説明 】

1 パルス幅制御回路

2 発振回路

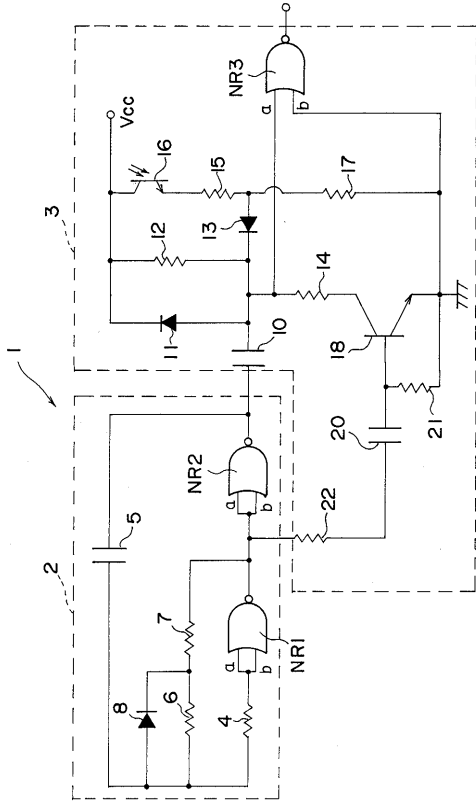
10 コンデンサ素子

16 フォトトランジスタ素子

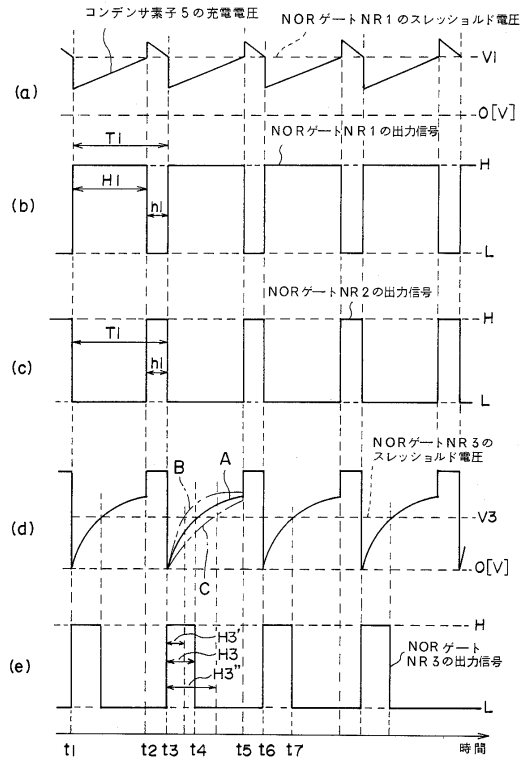
NR 1 , NR 2 , NR 3 NORゲート

40

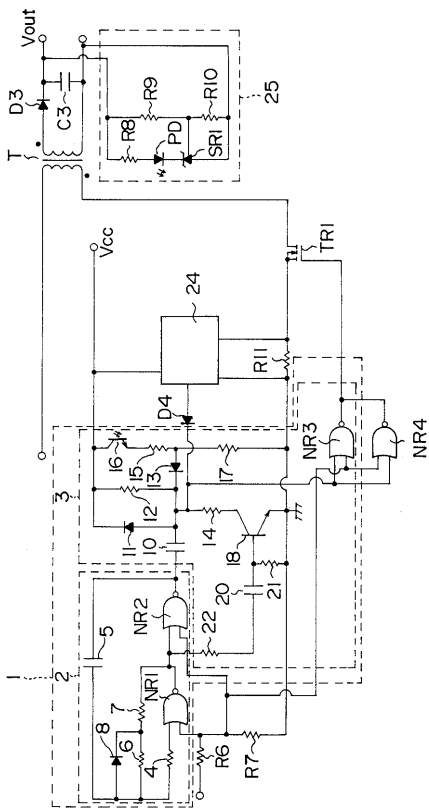
【 図 1 】



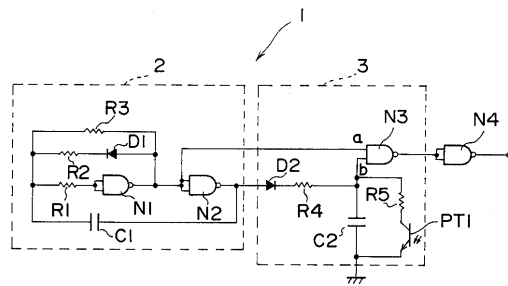
【 図 2 】



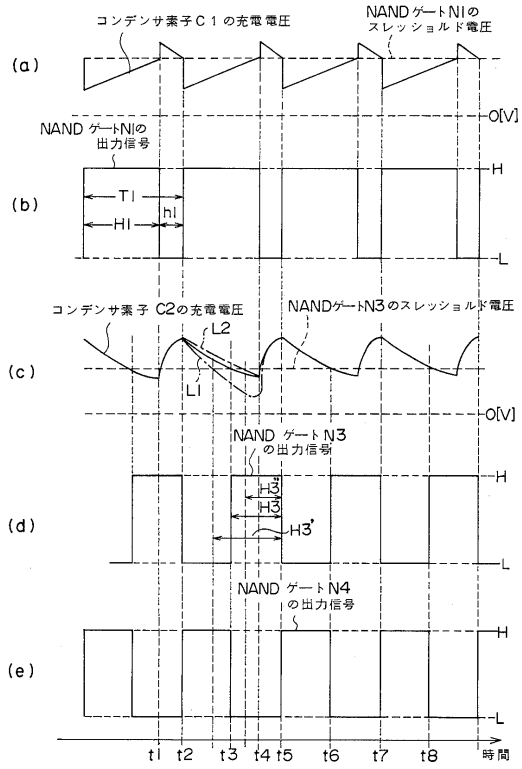
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 特開平04 - 304166 (JP, A)
特開平01 - 124838 (JP, A)
特開昭60 - 254821 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H03K 5/04
H03K 3/017