(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월23일
(11) 등록번호 10-1127494
(24) 등록일자 2012년03월09일

(51) 국제특허분류(Int. Cl.)
G05F 3/26 (2006.01)
(21) 출원번호 10-2006-7013364
(22) 출원일자(국제) 2005년11월09일
심사청구일자 2010년11월02일
(85) 번역문제출일자 2006년07월03일
(65) 공개번호 10-2007-0085046
(43) 공개일자 2007년08월27일
(86) 국제출원번호 PCT/JP2005/020978
(87) 국제공개번호 WO 2006/051992
국제공개일자 2006년05월18일
(30) 우선권주장
JP-P-2004-00326794 2004년11월10일 일본(JP)
(56) 선행기술조사문헌
JP2000081920 A
전체 청구항 수 : 총 5 항

(73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
다나카 요시미츠
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고 소니가부시끼 가이샤내
(74) 대리인
신관호

심사관 : 박기용

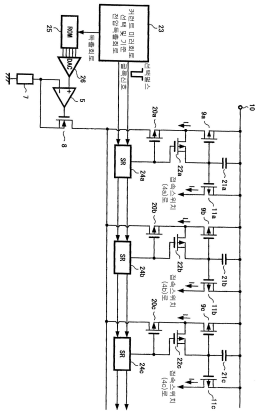
(54) 발명의 명칭 **정전류 구동장치**

(57) 요 약

전계 효과 트랜지스터에 특성의 불균형이 있어도 정전류(Ⅰ)의 값에 불균형이 없게 하는 동시에 소비 전력을 개선하는 것을 목적으로 한다.

기준측 및 미러측으로 이루어지는 복수의 커런트 미러 회로와, 각각의 미러측에 설치한 전류 보관 유지용 커패시터(21a, 21b, 21c)와, 복수의 커런트 미러 회로를 일정한 주기로 순차적으로 선택하는 순차 선택 수단(23, 241, 24b, 24c)과, 각각의 기준측 및 미러측을 접속하는 제 1의 스위치 수단(22a, 22b, 22c)과, 선택의 주기에 맞추어 미러측의 전류가 일정하게 되도록 정전류 발생부(5, 7, 8)의 기준 전압을 전환하는 기준 전압 전환 수단(23, 25, 26)과, 정전류 발생부(5, 7, 8)를 선택의 주기에 맞추어 기준측에 접속하는 제 2의 스위치 수단(20a, 20b, 20c)을 가지는 것이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

기준측 및 미러측으로 이루어지는 복수의 커런트 미러 회로와,

상기 복수의 커런트 미러 회로의 각각의 미러측에 설치한 전류 보관 유지용 커패시터와,

상기 복수의 커런트 미러 회로를 일정한 주기로 순차적으로 선택하는 순차 선택 수단과,

상기 복수의 커런트 미러 회로의 각각의 기준측 및 미러측을 접속하는 제 1의 스위치 수단과,

상기 복수의 커런트 미러 회로의 선택의 주기에 맞추어 미러측의 전류가 일정하게 되도록 연산 증폭 회로를 가지는 정전류 발생부의 기준 전압을 전환하는 기준 전압 전환 수단과,

상기 정전류 발생부를 상기 선택의 주기에 맞추어서, 상기 복수의 커런트 미러 회로의 기준측에 접속하는 제 2 스위치 수단을 가지고,

상기 기준 전압 전환 수단은, 상기 커런트 미러 회로의 각 트랜지스터의 특성의 불균형에 대응한 상기 연산 증폭 회로의 복수의 기준 전압을 기억한 기억 수단과,

상기 기억 수단의 각 기준 전압을 커런트 미러의 선택 주기에 동기하여 독출하는 독출 수단과,

상기 독출 수단의 디지털 기준 전압을 아날로그 기준 전압으로 변환하는 디지털-아날로그 변환 회로로 구성되는 것을 특징으로 하는 정전류 구동장치.

청구항 2

제 1항에 있어서,

상기 커런트 미러 회로의 미러측 트랜지스터의 출력에 직렬로 스위칭 소자와 표시 소자의 직렬 회로가 접속된 것을 특징으로 하는 정전류 구동장치.

청구항 3

제 2항에 있어서,

상기 표시 장치가 유기 EL소자인 것을 특징으로 하는 정전류 구동장치.

청구항 4

제 2항에 있어서,

상기 표시 소자가 발광 다이오드 소자인 것을 특징으로 하는 정전류 구동장치.

청구항 5

제 1항에 있어서,

상기 커런트 미러 회로의 기준측 트랜지스터, 미러측 트랜지스터 및 제 1, 제 2의 스위칭 수단은, 전계 효과 트랜지스터로 각각 구성되어 있는 것을 특징으로 하는 정전류 구동장치.

청구항 6

삭제

청구항 7

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 유기(有機) 일렉트로루미네선스 소자(이하 유기 EL소자라고 칭한다)나 발광 다이오드(이하 LED라고 칭한다) 등의 전류 구동 소자를 매트릭스형으로 배치한 표시장치를 구동하는데 적용하기 적합한 정전류 구동장치에 관한 것이다.

배 경 기 술

[0002] 종래, 유기 EL소자나 LED 등의 전류 구동 소자(1)를 도 4에 나타내는 바와 같이 매트릭스형으로 배치한 표시장치가 제안되고 있다. 도 4 예는 설명을 간단하게 하기 위해 이 전류 구동 소자(1)를 매트릭스형으로 3×3개로 한 것이 기재되어 있지만, 실제로는 매트릭스형으로 예를 들면 500×500개의 화상 표시장치가 실현되고 있다.

[0003] 도 4에 나타내는 바와 같이, 전류 구동 소자(1)를 매트릭스형으로 배치한 표시장치를 구동하기 위해 선 순차 구동이 행해지고 있다. 이 경우, 이 전류 구동 소자(1)의 구동원에는 일반적으로 전류원(2a, 2b, 2c)이 이용되고 있다.

[0004] 이 도 4에 나타내는 바와 같은, 전류 구동 소자(1)를 매트릭스형으로 배치한 표시장치에 있어서, 화상을 표시하기 위해서는, 접속 스위치(3a, 3b, 3c)에서 가로의 라인을 순차적으로 선택하고, 세로의 각 라인에 화상의 휘도에 따른 전류를 흐르게 하면 좋다. 이 경우, 선 순차이므로 세로의 각 라인의 전류는, 가로의 라인과 동기하여 일제히 흐르게 할 필요가 있다.

[0005] 이 화상의 휘도에 따른 전류를 흐르게 하기 위해서는, 전류원(2a, 2b, 2c)을 각각 정전류로 하고, 화상의 휘도에 따른 펄스 폭 변조 신호(PWM(Pulse Width Mod ulation))에 의해 접속 스위치(4a, 4b, 4c)를 온·오프 한다. 즉, 화상의 휘도에 따라 접속 스위치(4a, 4b, 4c)를 가로의 라인이 접속 스위치(3a, 3b, 3c)에 의해 선택되어 있는 시간내에 온-오프 하면 좋다. 밝게 하고 싶을 때에는, 온 시간을 길게, 어둡게 하고 싶을 때에는 온 시간을 짧게 한다.

[0006] 종래, 이 전류원(2a, 2b, 2c)에 사용되는 정전류 회로로서 도 5에 나타내는 바와 같은 것이 제안되고 있다. 이 도 5에 대해 설명하면, 5는 정전류 발생부를 구성하는 연산 증폭 회로를 나타내고, 이 연산 증폭 회로(5)의 비반전 입력 단자(+)를 정전류(I)의 값을 결정하는 기준 전압(Vref)을 얻는 전지(6)를 거쳐서 접지하고, 이 연산 증폭 회로(5)의 반전 입력 단자(-)를 저항기(7)를 거쳐서 접지한다.

[0007] 또, 이 연산 증폭 회로(5)의 출력 단자를 n형의 전계 효과 트랜지스터(8)의 게이트에 접속하고, 이 전계 효과 트랜지스터(8)의 소스를 연산 증폭 회로(5)의 반전 입력 단자(-)에 접속하고, 이 전계 효과 트랜지스터(8)의 드레인을 커런트 미러 회로의 기준측 트랜지스터를 구성하는 다이오드 접속한 p형의 전계 효과 트랜지스터(9)의 드레인과 게이트와의 접속점에 접속하고, 이 전계 효과 트랜지스터(9)의 소스를 양의 직류 전압이 공급되는 전원 단자(10)에 접속한다.

[0008] 이 전계 효과 트랜지스터(9)의 게이트를 커런트 미러 회로의 미러측 트랜지스터를 구성하는 p형의 전계 효과 트랜지스터(11)의 게이트에 접속하고, 이 전계 효과 트랜지스터(11)의 소스를 전원 단자(10)에 접속하고, 이 전계 효과 트랜지스터(11)의 드레인을 예를 들면 접속 스위치(4a)에 접속하도록 한다.

[0009] 이 정전류 발생부의 전계 효과 트랜지스터(8)의 드레인-소스 사이에 흐르는 전류(I)는

[0010] $I = Vref \div R$

[0011] 이 되어 일정한 전류치가 된다. 여기서, Vref는 전지(6)에 의한 기준 전압, R은 저항기(7)의 저항값이다.

[0012] 이 정전류(I)는, 전계 효과 트랜지스터(9)로부터 공급되며, 이 전계 효과 트랜지스터(9)와 커런트 미러 회로를 구성하는 미러측의 전계 효과 트랜지스터(11)에도 이 정전류(I)가 흐르고, 이 정전류(I)가 예를 들면 접속 스위치(4a)를 거쳐서 표시장치를 구성하는 전류 구동 소자(1)에 공급된다.

[0013] 이러한 도 5에 나타내는 바와 같은 정전류 회로를 도 4에 나타내는 바와 같은 표시장치의 전류원(2a, 2b, 2c)으로서 사용했을 때에는, 이 도 5에 나타내는 바와 같은 정전류 회로를 예를 들면 500개나 필요로 하여 회로 규모가 커짐과 동시에 소비 전력이 커지는 부적당이 있다.

[0014] 그래서 정전류 발생부의 연산 증폭 회로(5), 전지(6) 및 저항기(7)를 전체 커런트 미러 회로에 공통으로 하도록 한 도 6에 나타내는 바와 같은 전류 구동 소자(1)를 매트릭스형으로 배치한 정전류 구동장치가 제안되고 있다. 이 도 6에 대해 설명하기 위해서는 이 도 6에 있어서, 도 5에 대응하는 부분에는 동일 부호를 교부하고, 그

상세 설명은 생략한다.

[0015] 이 도 6에 있어서는 정전류 발생부를 구성하는 연산 증폭 회로(5)의 비반전 입력 단자(＋)를 정전류(Ⅰ)의 값을 결정하는 기준 전압(Vref)을 얻는 전지(6)를 거쳐서 접지하고, 이 연산 증폭 회로(5)의 반전 입력 단자(-)를 저항기(7)를 거쳐서 접지한다.

[0016] 또, 이 연산 증폭 회로(5)의 출력 단자를 전체 커런트 미러 회로에 따른 수, 예를 들면 500개, 도 6에서는 3개의 n형의 전계 효과 트랜지스터(8a, 8b 및 8c)의 각각의 게이트에 접속하고, 이 전계 효과 트랜지스터(8a, 8b 및 8c)의 각각의 소스를 연산 증폭 회로(5)의 반전 입력 단자(-)에 접속한다.

[0017] 또, 이 전계 효과 트랜지스터(8a, 8b 및 8c)의 각각의 드레인을 각각 커런트 미러 회로의 기준측을 구성하는 다이오드 접속한 p형의 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 게이트와 드레인과의 접속점에 접속하고, 이 전계효과 트랜지스터(9a, 9b 및 9c)의 각각의 소스를 양의 직류 전압이 공급되는 전원 단자(10)에 접속한다.

[0018] 이 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 게이트를 각각 커런트 미러 회로의 미러측을 구성하는 p형의 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 게이트에 각각 접속하고, 이 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 소스를 전원 단자(10)에 접속하고, 이 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 드레인을 각각 예를 들면 접속 스위치(4a, 4b 및 4c)에 접속하도록 한다.

[0019] 이 정전류 발생부의 전계 효과 트랜지스터(8a, 8b 및 8c)의 각각의 드레인-소스 사이에 흐르는 전류(Ⅰ)는

[0020] Ⅰ=Vref÷nR(n은 병렬로 접속되는 커런트 미러의 수)이 되어 일정한 전류치가 된다.

[0021] 이 정전류(Ⅰ)는, 각각 전계 효과 트랜지스터(9a, 9b 및 9c)로부터 각각 공급되며, 이 전계 효과 트랜지스터(9a, 9b 및 9c)와 각각 커런트 미러 회로를 구성하는 미러측의 각각의 전계 효과 트랜지스터(11a, 11b 및 11c)에도, 이 정전류(Ⅰ)가 흐르고, 이 정전류(Ⅰ)가 예를 들면 접속 스위치(4a, 4b 및 4c)를 거쳐서 표시장치를 구성하는 전류 구동 소자(1)에 공급된다.

[0022] 종래, 전류 구동 소자를 매트릭스형으로 배치한 표시장치의 정전류 구동장치로서 특허 문헌 1에 개시된 것도 제안되고 있다.

[0023] [특허 문헌 1]특개평11-338561호 공보

발명의 상세한 설명

[0024] 그렇지만, 도 6에 나타내는 바와 같은, 전계 효과 트랜지스터(8a, 8b, 8c, 9a, 9b, 9c, 11a, 11b, 11c)에는 특성의 불균형이 있고, 이 전계 효과 트랜지스터의 특성의 불균형에 의해 각각의 정전류(Ⅰ)의 값에 불균형을 일으키는 부적당이 있는 동시에 복수 예를 들면 500개의 커런트 미러 회로에 있어서는, 항상 기준측 트랜지스터와 미러측 트랜지스터에 동일 전류가 흐르므로 소비 전력이 커지는 부적당이 있다.

[0025] 본 발명은, 이러한 점에 감안하여, 전계 효과 트랜지스터에 특성의 불균형이 있어도 정전류(Ⅰ)의 값에 불균형이 없게 하는 동시에 소비 전력을 개선하는 것을 목적으로 한다.

[0026] 본 발명에 의한 정전류 구동장치는, 기준측 트랜지스터 및 미러측 트랜지스터로 이루어지는 복수의 커런트 미러 회로와, 이 복수의 커런트 미러 회로의 각각의 미러측 트랜지스터에 설치한 전류 보관 유지용 커패시터와, 이 복수의 커런트 미러 회로를 일정한 주기로 순차적으로 선택하는 순차 선택 수단과, 이 복수의 커런트 미러 회로의 각각의 기준측 트랜지스터 및 미러측 트랜지스터를 접속하는 제 1의 스위치 수단과, 이 복수의 커런트 미러 회로의 선택의 주기에 맞추어 미러측 트랜지스터의 전류가 일정하게 되도록 정전류 발생부의 기준 전압을 전환하는 기준 전압 전환 수단과, 이 정전류 발생부를 이 선택의 주기에 맞춰서, 이 복수의 커런트 미러 회로의 기준측 트랜지스터에 접속하는 제 2의 스위치 수단을 가진다.

[0027] 상기 본 발명에 의하면, 복수의 커런트 미러 회로의 선택의 주기에 맞추어 미러측의 전류가 일정하게 되도록 정전류 발생부의 기준 전압을 전환하도록 하고 있으므로 예를 들면 사용하는 전계 효과 트랜지스터의 특성에 불균형이 있어도 정전류(Ⅰ)의 값의 불균형을 없앨 수 있다.

[0028] 또 본 발명에 의하면, 복수의 커런트 미러 회로 중 선택된 커런트 미러 회로 이외의 커런트 미러 회로는 전류 보관 유지용 커패시터에 의해 미러측에만 정전류(Ⅰ)를 흐르게 하도록 하고 있으므로, 소비 전력이 대략 반으로 개선된다.

실 시 예

[0042] 이하, 도 1, 도 2 및 도 3을 참조하여 본 발명 정전류 구동장치를 실시하기 위한 최선의 형태의 예에 대해 설명한다. 이 도 1, 도 2에 있어서, 도 6에 대응하는 부분에는 동일 부호를 붙여서 나타낸다.

[0043] 본 예에 있어서는, 도 1에 나타내는 바와 같이, 정전류 발생부를 구성하는 연산 증폭 회로(5)의 반전 입력 단자(-)를 저항기(7)를 거쳐서 접지한다. 이 연산 증폭 회로(5)의 출력 단자를 n형의 전계 효과 트랜지스터(8)의 게이트에 접속하고, 이 전계 효과 트랜지스터(8)의 소스를 연산 증폭 회로(5)의 반전 입력 단자(-)에 접속한다.

[0044] 또, 본 예에 있어서는, 이 정전류 발생부를 구성하는 전계 효과 트랜지스터(8)의 드레인을 각각 접속 스위치를 구성하는 p형의 전계 효과 트랜지스터(20a, 20b 및 20c)의 각각의 드레인에 접속하고, 이 접속 스위치를 구성하는 전계 효과 트랜지스터(20a, 20b 및 20c)의 각각의 소스를 각각 커런트 미러 회로의 기준측을 구성하는 p형의 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 드레인에 접속하고, 이 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 소스를 양의 직류 전압이 공급되는 전원 단자(10)에 접속한다.

[0045] 이 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 게이트를 각각 커런트 미러 회로의 미러측을 구성하는 p형의 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 게이트에 각각 접속하고, 이 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 소스를 전원 단자(10)에 접속하고, 이 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 드레인을 각각 예를 들면 접속 스위치(4a, 4b 및 4c)에 접속하도록 한다.

[0046] 본 예에 있어서는, 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 게이트와 전계 효과 트랜지스터(11a, 11b 및 11c)의 각각의 게이트와의 각각의 접속점을 각각 미러측의 전계 효과 트랜지스터(11a, 11b 및 11c)의 전류를 보관 유지하기 위한 게이트 전압을 보관 유지하는 전류 보관 유지용 커패시터(21a, 21b 및 21c)를 거쳐서 전원 단자(10)에 접속한다.

[0047] 또 본 예에 있어서는, 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 드레인을 각각 접속 스위치를 구성하는 p형의 전계 효과 트랜지스터(22a, 22b 및 22c)의 각각의 드레인에 접속하고, 이 전계 효과 트랜지스터(22a, 22b 및 22c)의 각각의 소스를 전계 효과 트랜지스터(9a, 9b 및 9c)의 각각의 게이트에 각각 접속한다.

[0048] 또, 도 1에 있어서, 23은 마이크로 컴퓨터 등으로 구성된 커런트 미러 회로를 순차적으로 선택하는 동시에 미리 설정된 기준 전압을 순차적으로 독출하는 커런트 미러 회로 선택 및 기준 전압 독출 회로를 나타내고, 이 커런트 미러 회로 선택 및 기준 전압 독출 회로(23)가 발생하는 도 3a에 나타내는 바와 같은 클록 신호를 시프트 레지스터(24a, 24b, 24c)에 공급하는 동시에 이 클록 신호에 동기하여 선택 펄스를 도 3b, 3c 및 3d에 나타내는 바와 같이 순차적으로, 시프트 레지스터(24a, 24b 및 24c)에 공급하고, 이 시프트 레지스터(24a, 24b 및 24c)를 소정 주기마다 선택하도록 한다.

[0049] 이 시프트 레지스터(24a)를 접속 스위치를 구성하는 전계 효과 트랜지스터(20a 및 22a)의 각각의 게이트에 접속하고, 이 시프트 레지스터(24a)에 선택 펄스가 공급되었을 때에, 이 전계 효과 트랜지스터(20a 및 22a)가 온이 되도록 하고, 또 시프트 레지스터(24b)를 접속 스위치를 구성하는 전계 효과 트랜지스터(20b 및 22b)의 각각의 게이트에 접속하고, 이 시프트 레지스터(24b)에 선택 펄스가 공급되었을 때에, 이 전계 효과 트랜지스터(20b 및 22b)가 온이 되도록 하고, 또 시프트 레지스터(24c)를 접속 스위치를 구성하는 전계 효과 트랜지스터(20c 및 22c)의 각각의 게이트에 접속하고, 이 시프트 레지스터(24c)에 선택 펄스가 공급되었을 때에, 이 전계 효과 트랜지스터(20c 및 22c)가 온이 되도록 한다.

[0050] 따라서, 접속 스위치를 구성하는 전계 효과 트랜지스터(20a 및 22a와 20b 및 22b와 20c 및 22c)가 클록 신호에 의해 순차적으로 시프트 하는 선택 펄스에 의해 순차적으로 온 되므로, 동시에 온 하는 경우는 없다.

[0051] 예를 들면, 선택 펄스가 시프트 레지스터(24a)에 공급되었을 때는 도 2에 나타내는 바와 같이, 전계 효과 트랜지스터(20a 및 22a)가 온 하고, 전계 효과 트랜지스터(20b 및 22b와 20c 및 22c)는 오프 하고 있는 상태이다.

[0052] 도 1에 있어서, 25는, 이 복수의 커런트 미러 회로의 각각의 미러측의 전계 효과 트랜지스터(11a, 11b 및 11c)에 흐르는 정전류(Ⅰ)의 값이 도 3g에 나타내는 바와 같이 일정하게 되는 모양으로, 각각의 커런트 미러 회로를 구성하는 전계 효과 트랜지스터의 특성의 불균형에 대응하고, 미리 연산 증폭 회로(5)의 비반전 입력 단자(+)에 공급하는 도 3f에 나타내는 바와 같은 기준 전압(Va, Vb, Vc)을 각각 측정하고, 소정 주소에 기억한 ROM 등으로 이루어지는 기억장치를 나타낸다.

[0053] 이 기억장치(25)는, 커런트 미러 회로 선택 및 기준 전압 독출 회로(23)로부터의 커런트 미러 회로의 미러측의

전계 효과 트랜지스터에 일정한 정전류(Ⅰ)를 흐르게 하는 미리 정한 기준 전압을 도 3e에 나타내는 바와 같은 독출 어드레스에서 독출하도록 한다.

[0054] 이 기억장치(25)로부터 독출된 디지털의 기준 전압을 디지털-아날로그 변환 회로(26)에 공급하고, 이 디지털-아날로그 변환 회로(26)의 출력 측에 얻을 수 있는 도 3f에 나타내는 바와 같은 기준 전압(Va, Vb, Vc)을 커런트 미러 회로의 선택에 동기하여 연산 증폭 회로(5)의 비반전 입력 단자(+)에 공급하도록 한다.

[0055] 본 예는 상기와 같이 구성되어 있으므로, 예를 들면 제 1번째의 시프트 레지스터(24a)가 선택 펄스에 의해 선택되었을 때는, 도 2에 나타내는 바와 같이 접속 스위치를 구성하는 전계 효과 트랜지스터(20a 및 22a)가 온 하고, 접속 스위치를 구성하는 전계 효과 트랜지스터(20b 및 22b와 20c 및 22c)는 오프 상태이다.

[0056] 이 접속 스위치를 구성하는 전계 효과 트랜지스터(20a 및 22a)가 온 하고 있는 커런트 미러 회로는 기준측의 전계 효과 트랜지스터(9a)가 정전류 발생부의 전계 효과 트랜지스터(8)에 접속되며, 미러측의 전계 효과 트랜지스터(11a)에 정전류(Ⅰ)가 흐른다.

[0057] 이 경우, 본 예에 있어서는, 커런트 미러 회로 선택 및 기준 전압 독출 회로로부터의 독출 신호에 의해, 기억장치(25)로부터 제 1번째의 커런트 미러 회로의 기준 전압(Va)이 독출되며, 이 기준 전압(Va)이 연산 증폭 회로(5)의 비반전 입력 단자(+)에 공급되며, 전계 효과 트랜지스터(9a 및 11a)의 특성의 불균형을 고려하여 정전류(Ⅰ)가 흐른다.

[0058] 이때는, 전류 보관 유지용 커패시터(21a)에 전류가 흐르고, 이 전류 보관 유지용 커패시터(21a)에 미러측의 전계 효과 트랜지스터(11a)에 정전류를 계속 흐르게 하기 위한 게이트 전압을 보관 유지하는 전하가 충전된다.

[0059] 제 2번째 및 제 3번째의 시프트 레지스터(24b 및 24c)가 선택 펄스에 의해 선택되었을 때도 상기와 같이 동작한다.

[0060] 이 접속 스위치를 구성하는 전계 효과 트랜지스터(20b 및 22b와 20c 및 22c)가 오프가 되어 있는 커런트 미러 회로는 기준측의 전계 효과 트랜지스터(9b, 9c)의 전류는 「0」이다. 미러측의 전계 효과 트랜지스터(11b, 11c)의 전류는 제일 처음만 「0」이지만, 선택 펄스에 의해 선택된 다음은, 전류 보관 유지용 커패시터(21b, 21c)에 보관 유지된 전하에 의해 정전류(Ⅰ)를 계속 흐르게 할 수 있다.

[0061] 한편, 전류 보관 유지용 커패시터(21a, 21b, 21c)에 축적한 전하는 시간이 경과하면 방전하므로 적당한 주기로 충전할 필요가 있지만, 접속 스위치를 구성하는 전계 효과 트랜지스터(20a 및 22a와 20b 및 22b와 20c 및 22c)가 주기적으로 온 하는 것으로 해결하고 있다.

[0062] 또, 제 2번째 및 제 3번째의 시프트 레지스터(24b 및 24c)가 선택 펄스에 의해 선택되었을 때는, 커런트 미러 회로 선택 및 기준 전압 독출 회로(23)로부터의 독출 신호에 의해 기억장치(25)에 기억한 제 2번째 및 제 3번째의 커런트 미러 회로의 전계 효과 트랜지스터(9b, 11b 및 9c, 11c)의 특성의 불균형을 고려한 일정한 정전류(Ⅰ)를 흐르게 하는 기준 전압(Vb 및 Vc)을 독출하고, 이것을 연산 증폭 회로(5)의 비반전 입력 단자(+)에 공급하고 있으므로, 미러측의 전계 효과 트랜지스터(11b 및 11c)에 일정한 정전류(Ⅰ)를 흐르게 할 수 있다.

산업상 이용 가능성

[0063] 본 예에 의하면, 복수의 커런트 미러 회로의 선택의 주기에 맞추어 미러측 전계 효과 트랜지스터(11a, 11b, 11c)의 전류가 일정하게 되도록 정전류 발생부의 기준 전압(Va, Vb, Vc)을 전환하도록 하고 있으므로 전계 효과 트랜지스터의 특성에 불균형이 있어도 정전류(Ⅰ)의 값의 불균형을 없앨 수 있다.

[0064] 또 본 예에 의하면, 복수의 커런트 미러 회로 중 선택된 커런트 미러 회로 이외의 커런트 미러 회로는 전류 보관 유지용 커패시터(21a, 21b, 21c)에 의해 미러측의 전계 효과 트랜지스터(11a, 11b, 11c)에만 정전류(Ⅰ)를 흐르게 하도록 하고 있으므로, 소비 전력이 대략 반으로 개선된다.

[0065] 또한, 상기 예는, 전계 효과 트랜지스터를 사용하여 커런트 미러 회로를 구성한 예에 대해 기술했지만, 이 전계 효과 트랜지스터 대신에 트랜지스터를 사용해도 좋은 것은 물론이다.

[0066] 또, 본 발명은 상기 예에 한정하지 않고, 본 발명의 요지를 일탈하는 일 없이, 기타 다양한 구성을 채택할 수 있는 것은 물론이다.

도면의 간단한 설명

[0029] 도 1은, 본 발명 정전류 구동장치를 실시하기 위한 최선의 형태의 예를 나타내는 구성도이다.

[0030] 도 2는, 도 1의 설명에 제공하는 구성도이다.

[0031] 도 3은, 도 1의 설명에 제공하는 선도(線圖)이다.

[0032] 도 4는, 전류 구동 소자를 매트릭스형으로 배치한 표시장치의 예를 나타내는 구성도이다.

[0033] 도 5는, 정전류 회로의 예를 나타내는 구성도이다.

[0034] 도 6은, 정전류 구동장치의 예를 나타내는 구성도이다.

[0035] [도면의 주요부분에 대한 부호설명]

[0036] 5 : 연산 증폭 회로 7 : 저항기

[0037] 8, 9a, 9b, 9c, 11a, 11b, 11c, 20a, 20b, 20c, 22a, 22b, 22c : 전계 효과 트랜지스터

[0038] 10 : 전원 단자 21a, 21b, 21c : 전류 보관 유지용 커패시터

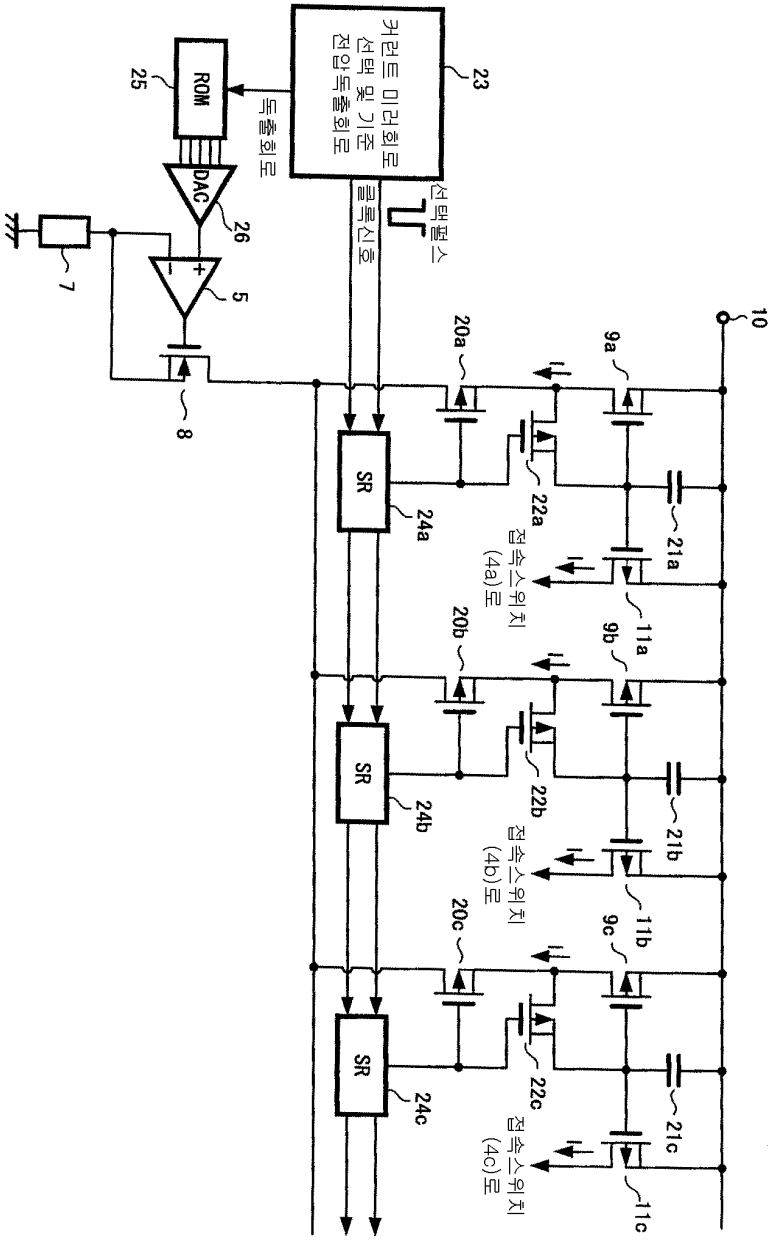
[0039] 23 : 커런트 미러 회로 선택 및 기준 전압 독출 회로

[0040] 24a, 24b, 24c : 시프트 레지스터

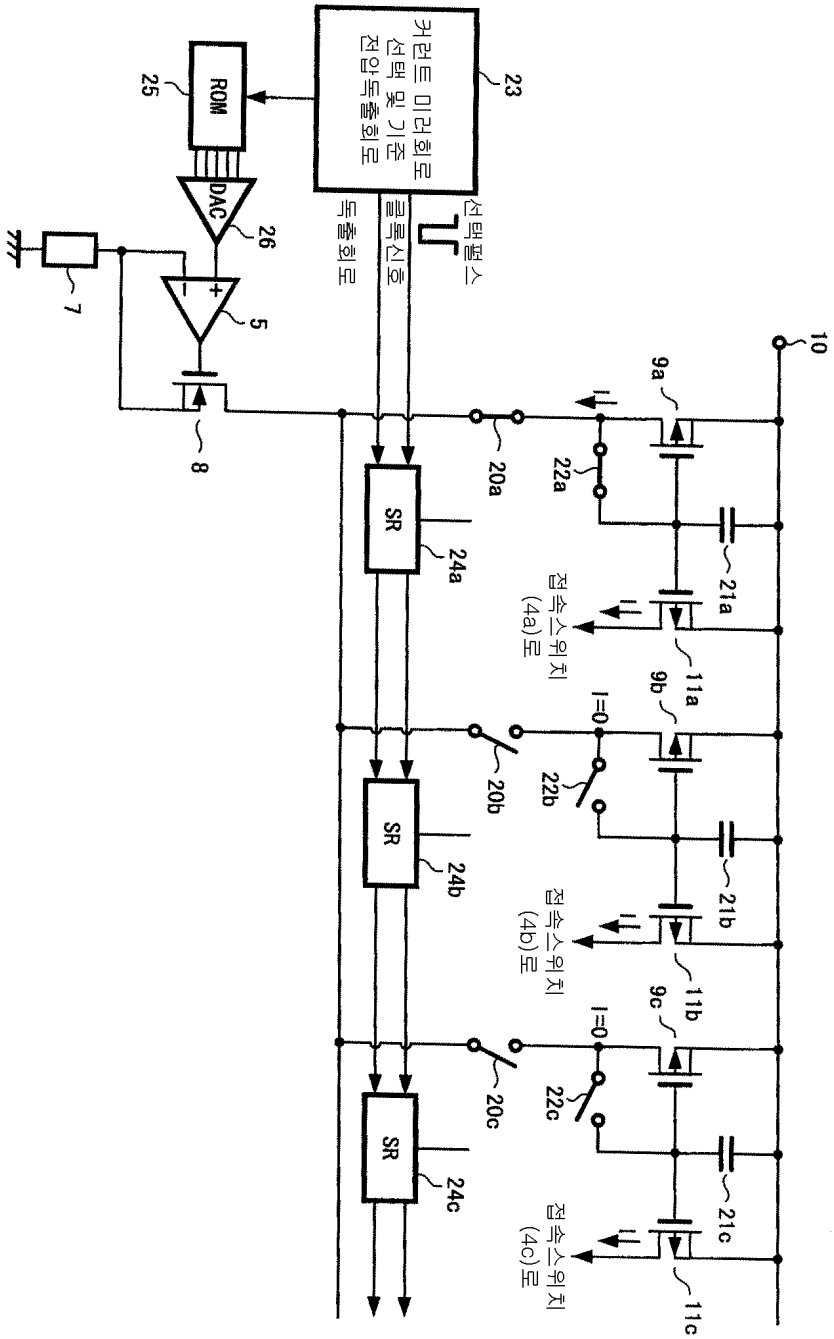
[0041] 25 : 기억장치 26 : 디지털-아날로그 변환 회로

도면

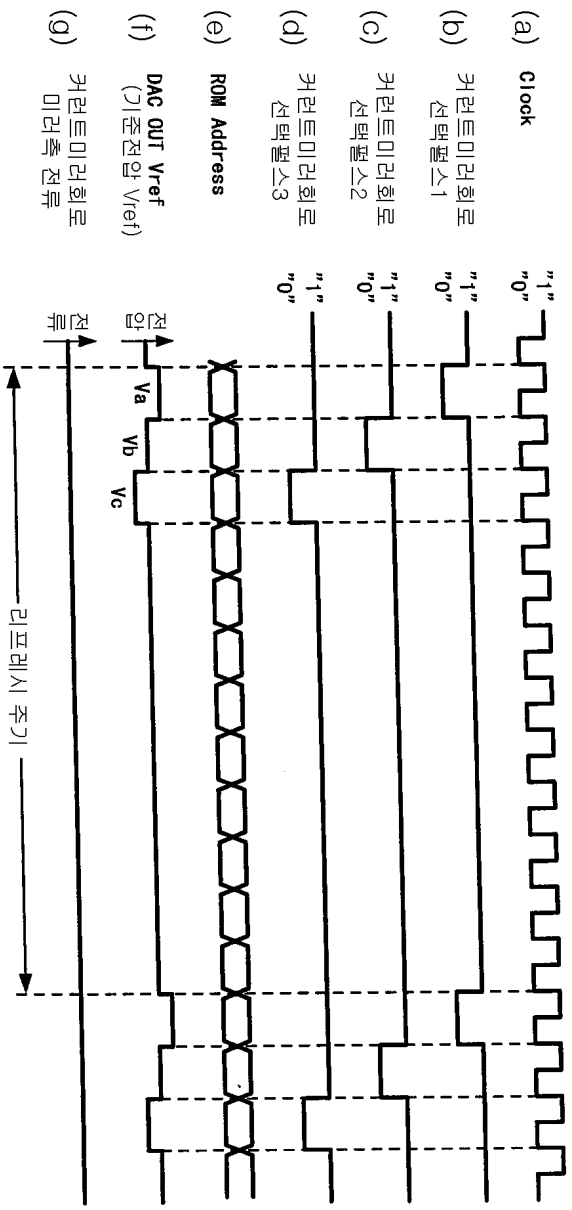
도면1


커런트 미러회로
선택 및 기준
전압독출회로
23
ROM
25
독출회로
DAC
26
선택펄스
클록신호
7
5
8
10
20a
9a
SR
24a
22a
21a
11a
접속스위치
(4a)로
20b
9b
SR
24b
22b
21b
11b
접속스위치
(4b)로
20c
9c
SR
24c
22c
21c
11c
접속스위치
(4c)로

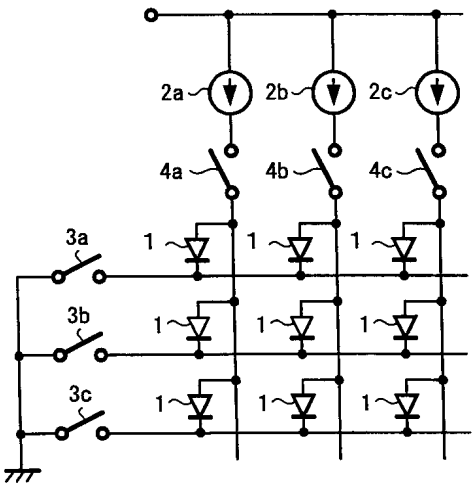
도면2


커런트 미러회로
선택 및 기준
전압독출회로
23
ROM
25
DAC
26
5
7
8
선택펄스
클록신호
독출회로
10
9a
9b
9c
20a
20b
20c
22a
22b
22c
I=0
SR
24a
24b
24c
21a
21b
21c
11a
11b
11c
접속스위치
(4a)로
접속스위치
(4b)로
접속스위치
(4c)로

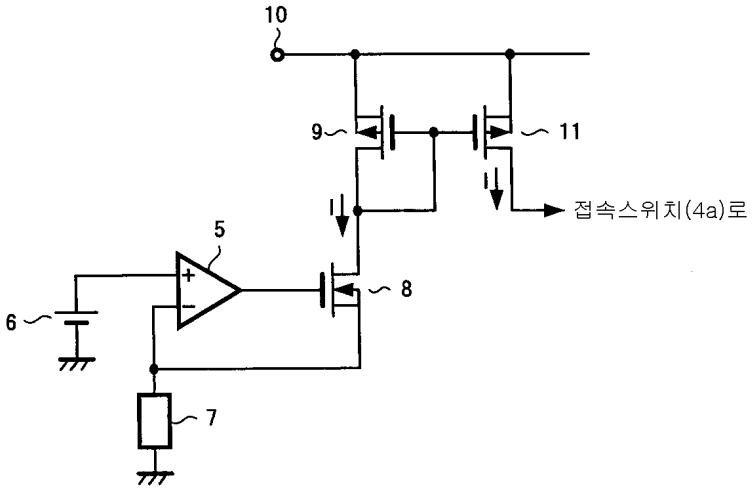
도면3


(a) Clock
(b) 커런트미러회로 선택펄스1
(c) 커런트미러회로 선택펄스2
(d) 커런트미러회로 선택펄스3
(e) ROM Address
(f) DAC OUT Vref (기준전압 Vref)
(g) 커런트미러회로 미러측 전류
"1"
"0"
전압
전류
Va
Vb
Vc
리프레시 주기

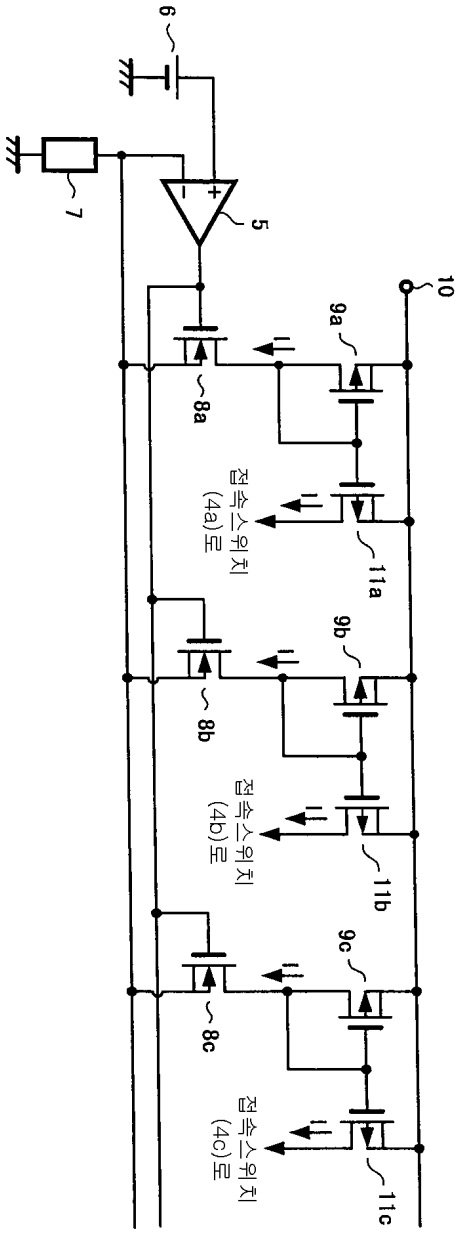
도면4



도면5



도면6


6
7
5
10
9a
8a
절속스위치
(4a)로
11a
9b
8b
절속스위치
(4b)로
11b
9c
8c
절속스위치
(4c)로
11c