

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141286

(P2010-141286A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 B	5 F 0 3 3
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 8 1 F	5 F 0 8 3
H O 1 L 21/768 (2006.01)	H O 1 L 21/90 C	

審査請求 未請求 請求項の数 20 O L (全 13 頁)

(21) 出願番号	特願2009-161439 (P2009-161439)	(71) 出願人	591024111
(22) 出願日	平成21年7月8日 (2009.7.8)		株式会社ハイニックスセミコンダクター
(31) 優先権主張番号	10-2008-0126006		HYNIX SEMICONDUCTOR
(32) 優先日	平成20年12月11日 (2008.12.11)		I N C.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道利川市夫鉢邑牙美里山136-1
			San 136-1, Ami-Ri, Bu
			bal-Eup, Ichon-Shi, K
			youngki-Do, Korea
		(74) 代理人	100090033
			弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男

最終頁に続く

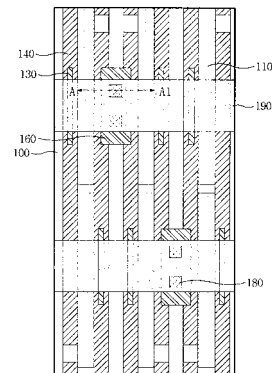
(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】本発明は、半導体素子及びその製造方法を開示する。

【解決手段】本発明は、コア/周辺回路領域でトランジスタの接合領域とメタルラインを、ビットラインを利用して連結せずメタルプラグを利用して連結することにより、コア/周辺回路領域に形成されるビットライン等もセル領域と同様に均一な形態のパターンを有することができるようにする。これを介し、本発明ではコア/周辺回路領域におけるビットラインパターニングの不良を防止し、ビットライン形成時にSPT(Spacer Pattern Technology)を適用することができる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

半導体基板上に形成されたトランジスタと、
前記トランジスタの上部に形成されたビットラインと、
前記トランジスタの第1の接合領域と前記ビットラインとを連結させるビットラインコンタクトと、
前記トランジスタの第2の接合領域をメタルラインまたはメタルラインコンタクトと連結させるメタルプラグと
を含む半導体素子。

【請求項 2】

前記トランジスタは、コア/周辺回路領域に形成されたトランジスタであることを特徴とする請求項1に記載の半導体素子。

【請求項 3】

前記第2の接合領域は、ソース接合領域またはゲート接合領域であることを特徴とする請求項2に記載の半導体素子。

【請求項 4】

前記メタルプラグの上部は、隣接したビットラインの上部の一部または全部と重畳されることを特徴とする請求項2に記載の半導体素子。

【請求項 5】

前記ビットラインは、隣接したビットラインと一定の間隔を有することを特徴とする請求項2に記載の半導体素子。

【請求項 6】

前記ビットラインは、ストライプタイプで形成されることを特徴とする請求項2に記載の半導体素子。

【請求項 7】

前記メタルプラグは、タングステン(W)、アルミニウム(Al)、銅(Cu)及びこれらの合金中いずれか1つで形成されたことを特徴とする請求項1に記載の半導体素子。

【請求項 8】

前記メタルプラグは、前記第2の接合領域に連結されるよう前記第2の接合領域の上部に形成された第1のメタルプラグと、

前記第1のメタルプラグと前記メタルラインまたは前記メタルラインコンタクトを連結させる第2のメタルプラグを含むことを特徴とする請求項1に記載の半導体素子。

【請求項 9】

前記第1のメタルプラグは、前記ビットラインコンタクトと同一の物質で形成されることを特徴とする請求項8に記載の半導体素子。

【請求項 10】

前記第2のメタルプラグは、タングステン(W)、アルミニウム(Al)、銅(Cu)及びこれらの合金中いずれか1つで形成されたことを特徴とする請求項8または9に記載の半導体素子。

【請求項 11】

前記メタルプラグと前記第2の接合領域との接触面に形成されたシリサイド膜をさらに含むことを特徴とする請求項1に記載の半導体素子。

【請求項 12】

前記シリサイド膜は、 $TiSi_2$ 膜、 $TiNSi_2$ 膜及び $CoSi_2$ 膜中いずれか1つであることを特徴とする請求項11に記載の半導体素子。

【請求項 13】

半導体基板上にトランジスタを含む第1の層間絶縁膜を形成するステップと、
前記第1の層間絶縁膜内に前記トランジスタの第1の接合領域と連結されるビットラインコンタクトを形成するステップと、
前記第1の層間絶縁膜の上部にビットラインを含む第2の層間絶縁膜を形成するステップと、

10

20

30

40

50

前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫通し、前記トランジスタの第2の接合領域と連結されるメタルプラグを形成するステップと、

前記メタルプラグと連結されるメタルラインコンタクトを形成するステップとを含む半導体素子の製造方法。

【請求項 14】

前記メタルプラグを形成するステップは、

前記第2の層間絶縁膜及び前記第1の層間絶縁膜を順次食刻し、前記トランジスタの第2の接合領域を露出させるコンタクトホールを形成するステップと、

前記コンタクトホールの下部にシリサイド膜を形成するステップと、

前記コンタクトホールが埋め込まれるよう前記シリサイド膜の上部にプラグ用金属膜を形成するステップと

を含むことを特徴とする請求項13に記載の半導体素子の製造方法。

【請求項 15】

前記コンタクトホールは、前記第2の層間絶縁膜及び前記第1の層間絶縁膜を乾式食刻して形成されることを特徴とする請求項14に記載の半導体素子の製造方法。

【請求項 16】

前記コンタクトホールを形成するステップは、ビットラインハードマスク膜とビットラインスペーサとの食刻選択比を利用したSAC食刻方法を用いることを特徴とする請求項15に記載の半導体素子の製造方法。

【請求項 17】

前記シリサイド膜を形成するステップは、

前記コンタクトホールの表面に非晶質金属膜を形成するステップと、

熱処理工程を行なって前記非晶質金属膜を前記シリサイド膜に変形させるステップとを含む請求項14に記載の半導体素子の製造方法。

【請求項 18】

前記シリサイド膜を形成するステップは、

前記コンタクトホールの表面に非晶質金属膜を形成するステップと、

前記コンタクトホールの下部にのみ非晶質金属膜が残留するよう前記非晶質金属膜を選択食刻するステップと、

熱処理工程を行なって前記残留した非晶質金属膜を前記シリサイド膜に変形させるステップと

を含む請求項14に記載の半導体素子の製造方法。

【請求項 19】

半導体基板上にトランジスタを含む第1の層間絶縁膜を形成するステップと、

前記第1の層間絶縁膜内に前記トランジスタの第1の接合領域と連結されるビットラインコンタクト、及び前記トランジスタの第2の接合領域と連結される第1のメタルプラグコンタクトを形成するステップと、

前記第1の層間絶縁膜の上部にビットラインを含む第2の層間絶縁膜を形成するステップと、

前記第2の層間絶縁膜を食刻して前記第1のメタルプラグと連結される第2のメタルプラグを形成するステップと、

前記第2のメタルプラグと連結されるメタルラインコンタクトを形成するステップとを含む半導体素子の製造方法。

【請求項 20】

前記第2の層間絶縁膜の食刻は、ビットラインハードマスク膜とビットラインスペーサとの食刻選択比を利用したSAC食刻方法を用いることを特徴とする請求項19に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体素子及びその製造方法に関し、より詳しくは、コア/周辺回路領域、特にコア領域におけるビットラインパターニングの不良を最少化することができる、半導体素子及びその製造方法に関する。

【背景技術】

【0002】

一般に、DRAMのような半導体装置は、メモリセルアレイ領域(memory cell array area)及びコア/周辺回路領域(core and peripheral area)に区分される。

メモリセルアレイ領域は、複数のワードライン、複数のビットライン、及びワードラインとビットラインが交差する領域に配列される複数のメモリセルが形成される領域である。このようなメモリセルアレイは、ワードラインとビットラインを選択することにより駆動させることができる。

コア/周辺回路領域は、メモリセルアレイ領域の周辺に形成され、メモリセルを駆動及び制御するための回路等が形成される領域である。このとき、コア領域はビットラインと連結されるビットラインセンスアンプ(BLSA)領域、及びワードラインと連結されるサブワードラインドライブ(SWD)領域を含む。

最近、このような半導体素子のデザインルールが漸次小さくなるにつれ、セルアレイ領域だけでなく、コア/周辺回路領域でもビットラインのライン(line)/スペース(space)の間隔が漸次小さくなっている。

特に、コア領域に形成されるビットラインパターンは、セル領域に形成されるビットラインパターンと異なり不定形のパターン形態を有するので、ビットラインパターニング不良が多く発生している実情である。

【0003】

図1は、従来のコア領域に形成されるパターン等の形態を示す図である。

素子分離領域及び活性領域が形成された半導体基板10の上部にゲート絶縁膜(図示省略)が形成され、ゲート絶縁膜の上部にはゲート12が形成される。

ゲート12間の半導体基板10には不純物が注入されソース/ドレーン領域(図示省略)が形成されることにより、ゲート12及びソース/ドレーン領域を含むトランジスタが形成される。このようなトランジスタは、センスアンプを構成するトランジスタになり得る。

トランジスタの上部にはビットライン16が形成され、ビットライン16はビットラインコンタクト14を介しトランジスタのソース/ドレーン領域と連結される。

ビットライン16の上部にはビットラインと交差する方向にメタルライン20が形成され、メタルライン30はメタルラインコンタクト18を介しビットライン16と連結される。

ところが、このようなコア領域に形成されるビットライン16は、セルアレイ領域に形成されるビットライン(図示省略)と異なり、ビットラインの位置に従いパターンの形態と幅が変化する。即ち、コア領域に形成されるビットラインパターンは、中間に折り曲げられた斜線パターン及びアイランドパターンを有する。これに伴い、隣接するビットライン等の幅が互いに異なり、ビットライン等の間のスペースがばらついて形成される。

これは、図1のように、メタルライン20がビットライン16を介しソース/ドレーン領域と連結される場合、当該ビットライン領域をアイランド形態に形成しなければならないためである。

このように、コア領域ではビットラインパターンがストライプ(stripe)形態に形成されず不定形の形態に形成されるので、ビットラインの形成時にパターニングの不良が多く発生している。

さらに、40nm以下級の技術ではSPT(Spacer Patterning Technology)工程方法を用いるのが必須であるが、図1のようにラインが不定形に形成される場合、SPTで配線を具現するのが不可能である。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、半導体素子の製造工程を改良し、コア領域に形成されるビットライン等もセ

10

20

30

40

50

ル領域と同様に均一の形態のパターンを有することができるようにすることにより、コア領域におけるビットラインパターンニングの不良を防止しようとする。

【課題を解決するための手段】

【0005】

本発明に係る半導体素子は、半導体基板上に形成されたトランジスタと、前記トランジスタの上部に形成されたビットラインと、前記トランジスタの第1の接合領域と前記ビットラインとを連結させるビットラインコンタクトと、前記トランジスタの第2の接合領域をメタルラインまたはメタルラインコンタクトと連結させるメタルプラグとを含む。

本発明に係る半導体素子において、前記トランジスタは、コア/周辺回路領域に形成されたトランジスタであり得る。このとき、前記第2の接合領域はソース接合領域またはゲート接合領域であり、前記メタルプラグの上部は隣接したビットラインの上部の一部または全部と重畳され得る。

本発明において前記ビットラインは、隣接したビットラインと一定の間隔を有し、ストライプタイプで形成され得る。

本発明において前記メタルプラグは、タングステン(W)、アルミニウム(Al)、銅(Cu)及びこれらの合金中いずれか1つで形成され得る。

このようなメタルプラグは、前記第2の接合領域に連結されるよう前記第2の接合領域の上部に形成された第1のメタルプラグと、前記第1のメタルプラグと前記メタルラインまたは前記メタルラインコンタクトを連結させる第2のメタルプラグを含むように形成され得る。このとき、前記第1のメタルプラグは前記ビットラインコンタクトと同一の物質で形成され、前記第2のメタルプラグはタングステン(W)、アルミニウム(Al)、銅(Cu)及びこれらの合金中いずれか1つで形成され得る。

本発明に係る半導体素子は、前記メタルプラグと前記第2の接合領域との接触面に形成されたシリサイド膜をさらに含むことができ、前記シリサイド膜はTiSi₂膜、TiNSi₂膜及びCoSi₂膜中いずれか1つであり得る。

【0006】

本発明の第1の実施形態に係る半導体素子の製造方法は、半導体基板上にトランジスタを含む第1の層間絶縁膜を形成するステップと、前記第1の層間絶縁膜内に前記トランジスタの第1の接合領域と連結されるビットラインコンタクトを形成するステップと、前記第1の層間絶縁膜の上部にビットラインを含む第2の層間絶縁膜を形成するステップと、前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫通し、前記トランジスタの第2の接合領域と連結されるメタルプラグを形成するステップと、前記メタルプラグと連結されるメタルラインコンタクトを形成するステップとを含む。

本発明において前記メタルプラグを形成するステップは、前記第2の層間絶縁膜及び前記第1の層間絶縁膜を順次食刻し、前記トランジスタの第2の接合領域を露出させるコンタクトホールを形成するステップと、前記コンタクトホールの下部にシリサイド膜を形成するステップと、前記コンタクトホールが埋め込まれるよう前記シリサイド膜の上部にプラグ用金属膜を形成するステップとを含むことができる。

本発明において前記コンタクトホールは、前記第2の層間絶縁膜及び前記第1の層間絶縁膜を乾式食刻して形成され得る。

本発明において前記コンタクトホールを形成するステップは、ビットラインハードマスク膜とビットラインスペーサとの食刻選択比を利用したSAC(Self Align Contact)食刻方法で形成され得る。

本発明において前記シリサイド膜を形成する方法は、前記コンタクトホールの表面に非晶質金属膜を形成するステップと、熱処理工程を行なって前記非晶質金属膜を前記シリサイド膜に変形させるステップとを含むことができる。

本発明において前記シリサイド膜を形成する他の方法は、前記コンタクトホールの表面に非晶質金属膜を形成するステップと、前記コンタクトホールの下部にのみ非晶質金属膜が残留するよう前記非晶質金属膜を選択食刻するステップと、熱処理工程を行なって前記残留した非晶質金属膜を前記シリサイド膜に変形させるステップとを含むことができる。

【 0 0 0 7 】

本発明の第2の実施形態に係る半導体素子の製造方法は、半導体基板上にトランジスタを含む第1の層間絶縁膜を形成するステップと、前記第1の層間絶縁膜内に前記トランジスタの第1の接合領域と連結されるビットラインコンタクト、及び前記トランジスタの第2の接合領域と連結される第1のメタルプラグコンタクトを形成するステップと、前記第1の層間絶縁膜の上部にビットラインを含む第2の層間絶縁膜を形成するステップと、前記第2の層間絶縁膜を食刻して前記第1のメタルプラグと連結される第2のメタルプラグを形成するステップと、前記第2のメタルプラグと連結されるメタルラインコンタクトを形成するステップとを含むことができる。

本発明において前記第2の層間絶縁膜の食刻は、ビットラインハードマスク膜とビットラインスペーサとの食刻選択比を利用したSAC(Self Align Contact)食刻方法を用いることができる。

【発明の効果】

【 0 0 0 8 】

本発明は、コア/周辺回路領域のビットラインもセル領域のようにストライプ形態に形成可能であり、これをもってビットラインに対するパターニングの不良を防止することができる。

さらに、ビットラインがストライプ形態に形成されることにより、コア/周辺回路領域のビットライン形成時にもSPT工程を適用するのが可能になる。

【図面の簡単な説明】

【 0 0 0 9 】

【図1】従来のコア領域に形成されるパターン等の形態を示す図である。

【図2】本発明に係る半導体素子のコア領域に形成されるパターン等の形態を示す平面図である。

【図3】図2でA-A1に沿って切断した断面の形状を示す断面図である。

【図4a】前述した図3の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図4b】前述した図3の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図4c】前述した図3の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図4d】前述した図3の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図5】本発明の第2の実施形態に係る半導体素子の構成を示す断面図である。

【図6a】図5の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図6b】図5の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図6c】図5の構造を有する半導体素子の製造方法を説明するための工程断面図である。

【図7】本発明の変形例に係る半導体素子の製造方法を説明するための工程断面図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下、図等を参照しながら本発明の好ましい実施形態をより詳しく説明する。以下の説明で、明細書全体に亘って同じ参照番号で表示されている部分等は、同じ構成要素等を意味する。

図2は、本発明に係る半導体素子のコア領域に形成されるパターン等の形態を示す平面図である。図3は、図2でA-A1に沿って切断した断面の形態を示す断面図であって、本発明の第1の実施形態に係る構成を示す。

素子分離領域及び活性領域が形成された半導体基板100の上部にゲート絶縁膜(図示省略)が形成され、ゲート絶縁膜の上部にはゲート110が形成される。ゲートは、ゲート絶縁膜の上部に形成されたゲート電極112、ゲート電極112の上部に形成されたゲートハードマスク膜114、及びゲート電極112とゲートハードマスク膜114の側壁に形成されたゲートスペーサ116を含む。

【0011】

ゲート110の間の半導体基板100には、不純物が注入されソース/ドレーン領域(図示省略)が形成されることにより、ゲート110及びソース/ドレーン領域を含むトランジスタが形成される。このようなトランジスタは、センスアンプを構成するトランジスタになり得る。

ゲート110の上部には層間絶縁膜120が形成され、層間絶縁膜120の上部にはビットライン140が形成される。このとき、層間絶縁膜116は酸化膜で形成され、酸化膜はHDP(High Density Plasma)酸化膜、PSG(Phosphosilicate Glass)酸化膜、PE-TEOS(Plasma Enhanced Tetra-Ethoxy Silicate)及びこれらの積層構造中いずれか1つでなり得る。

【0012】

層間絶縁膜120の上部にはビットライン140が形成され、層間絶縁膜120及びビットライン140の上部には層間絶縁膜150が形成される。ビットライン140はビットライン電極142、ビットライン電極142の上部に形成されたビットラインハードマスク膜144、及びビットラインハードマスク膜144とビットライン電極142の側壁に形成されたビットラインスペーサ146を含む。特に、本発明でコア領域に形成されたビットライン140は、図3のようにラインの幅とスペースが一定のストライプ(stripe)形態に形成される。

このようにビットライン140をストライプ形態に形成するため、本発明ではメタルラインコンタクト180の下部にアイランドタイプのビットラインを形成せずにメタルプラグ160を形成する。即ち、トランジスタのソース/ドレーン接合領域中ドレーン接合領域は、従来のようにビットラインコンタクト130を介しビットライン電極142と連結されるようにする反面、ソース接合領域はメタルプラグ160を介しメタルラインコンタクト180と直接連結されるようにする。このとき、メタルプラグ160はタングステン(W)、アルミニウム(Al)、銅(Cu)及びこれらの合金中いずれか1つで形成され得る。

【0013】

このようなメタルプラグ160の上部は、図3に示されているように、隣接した2つのビットラインの上部と一部または全部が重畳されるように十分広く形成されることにより、メタルラインコンタクト180とのオーバーラップ(overlap)マージンを十分確保することができるようにする。そして、メタルプラグ160の下部面に接する接合領域には、コンタクト抵抗を低減させるためにシリサイド膜(図示省略)が形成され得る。このようなシリサイド膜には、 TiSi_2 膜、 TiNSi_2 膜、 CoSi_2 膜中いずれか1つが形成され得る。

層間絶縁膜150及びメタルプラグ160の上部にはメタルラインコンタクト180を含む層間絶縁膜170が形成され、層間絶縁膜170の上部にはメタルラインコンタクト180と連結されるメタルライン190が形成される。

このように、本発明では、コア領域でビットラインを用いずメタルプラグ160を用いて接合領域とメタルライン190を連結させることにより、コア領域のビットライン140もストライプ形態に均一に形成することができるようになる。

【0014】

図4a～図4dは、前述した図3の構造を有する半導体素子の製造方法を説明するための工程断面図である。

図4aに示されているように、例えば、素子分離領域及び活性領域が形成されたセンスアンプ(SA)領域の半導体基板100の上部にゲート絶縁膜(図示省略)を形成する。次に、ゲート絶縁膜の上部にはゲート電極用金属層及びハードマスク膜を順次形成する。このとき、ゲート電極用金属にはタングステンシリサイドが用いられ、ハードマスク膜には窒化膜が用いられ得る。

次に、ゲートマスクを利用して金属層及びハードマスク膜を選択食刻してゲート電極11

10

20

30

40

50

2及びゲートハードマスク膜114が積層された積層構造を形成する。次に、ゲート電極112の両側の半導体基板100に不純物を注入してソース/ドレーン領域を形成することによりセンスアンプ用トランジスタを形成する。

次に、ゲート電極112及びゲートハードマスク膜114の積層構造及び半導体基板100の上部にスペーサ用窒化膜(図示省略)を形成したあと、これをエッチバック(Etch-back)してゲート電極112及びゲートハードマスク膜114の側壁にスペーサ116を形成する。

次に、ゲート110及び半導体基板100の上部に絶縁膜を形成したあと、これを平坦化することにより層間絶縁膜120を形成する。このとき、層間絶縁膜120はHDP酸化膜、PSG酸化膜、PE-TEOS及びこれらの積層構造中いずれか1つで形成され得る。

【0015】

次に、図4bに示されているように、層間絶縁膜120を選択食刻してドレーン接合領域の半導体基板100を露出させるビットラインコンタクトホール(図示省略)を形成する。次に、ビットラインコンタクトホール(図示省略)が埋め込まれるようポリシリコン層を形成したあと、層間絶縁膜120が露出するまで平坦化食刻することによりビットラインコンタクト130を形成する。即ち、従来にはトランジスタの両側に形成された2つのソース/ドレーン接合領域の上部にビットラインコンタクトを形成したが、本発明では2つのソース/ドレーン接合領域のうちドレーン接合領域にのみビットラインコンタクトを形成する。

次に、層間絶縁膜120及びビットラインコンタクト130の上部にビットライン電極用金属層及びハードマスク膜を順次形成したあと、ビットラインマスクを利用して金属層及びハードマスク膜を選択食刻し、ビットライン電極142及びビットラインハードマスク膜144が積層された積層構造を形成する。そして、ビットライン電極142及びビットラインハードマスク膜144の積層構造を含む全面にスペーサ用窒化膜(図示省略)を形成したあと、これをエッチバック(Etch-back)してビットライン電極142及びビットラインハードマスク膜144の側壁にスペーサ146を形成する。このとき、ビットライン140はビットラインコンタクト130とは連結されるように形成されるが、後続する工程でメタルプラグ160が形成される領域には形成されない。

次に、ビットライン140及び層間絶縁膜120の上部に層間絶縁膜150を形成する。

【0016】

次に、図4cに示されているように、センスアンプトランジスタのソース接合領域が露出するまで層間絶縁膜150、120を選択的に乾式食刻してメタルプラグコンタクトホール(図示省略)を形成する。このとき、ビットライン電極142の絶縁のため、ビットラインハードマスク膜144に用いられた窒化膜と、スペーサ146に用いられた窒化膜との食刻選択比を利用したSAC(Self Align Contact)食刻方法が用いられる。

次に、メタルプラグコンタクトホールの内部面に非晶質金属膜(図示省略)を形成する。このとき、非晶質金属膜にはチタニウム(Ti)、チタニウム窒化膜(TiN)、コバルト(Co)またはこれらの合金が用いられ得る。

次に、非晶質金属膜に対し熱処理工程を行ってメタルプラグコンタクトホール下部に形成された金属膜をシリサイド膜に変形させる。あるいは、例えば、高周波食刻工程を行ってメタルプラグコンタクトホール下部に形成された金属膜を除く残りの金属膜を除去したあと熱処理工程を行なうことにより、残留した金属膜をシリサイド膜に変形させることができる。このとき、熱処理は窒素(N₂)雰囲気中850 ~ 900 の温度で行なうことができる。

このように、ソース接合領域にシリサイド膜を形成することにより、後続する工程で形成されるメタルプラグとの接触抵抗を低下させることができるようになる。

【0017】

次に、メタルプラグコンタクトホールが完全に埋め込まれるようプラグ層(図示省略)を形成する。このとき、プラグ層はタングステン(W)、アルミニウム(Al)、銅(Cu)またはこれらの合金中いずれか1つで形成され得る。このようなプラグ層を、CMPまたは乾式食刻エッチバック方法で層間絶縁膜150が露出するまで平坦化させることによりメタルプラグ160を形成する。本実施形態では、前述のようにSAC食刻方法を用いてメタルプラグコンタク

10

20

30

40

50

トホールを形成するので、メタルプラグ160の上部を隣接したビットライン上部の一部または全部と重畳されるように十分広く形成することにより、後続する工程でメタルラインコンタクトとのオーバーラップマージンを十分確保することができるようになる。

【0018】

次に、図4dに示されているように、層間絶縁膜150及びメタルプラグ160の上部に層間絶縁膜170を形成したあと、メタルラインコンタクトマスクを利用してメタルプラグ160が露出するまで層間絶縁膜170を選択食刻し、メタルラインコンタクトホール(図示省略)を形成する。

次に、メタルラインコンタクトホールが埋め込まれるように導電物を形成したあと、これを平坦化食刻してメタルラインコンタクト180を形成する。次に、メタルラインコンタクト180が形成された層間絶縁膜170の上部に金属層を形成したあと、これをパターニングしてメタルライン190を形成する。

【0019】

図5は、本発明の第2の実施形態に係る半導体素子の構成を示す断面図である。

図5の半導体素子は、図3の半導体素子と比べてメタルプラグの構成が異なる。

半導体素子が高集積化されるほどビットライン間の間隔が狭くなるので、前述した第1の実施形態でのように、2つの層の層間絶縁膜120、150を一度に食刻してメタルプラグ160を形成するのは漸次難しくなり得る。よって、本実施形態では、メタルプラグを一度の食刻及び埋込み工程で形成せず、二段階に分けて形成する。

即ち、図3におけるメタルプラグ160はプラグ物質を一度に埋め込んで形成された一体型プラグであるが、図5に示したメタルプラグ162は第1のメタルプラグ164及び第2のメタルプラグ166が積層された複層構造を有する。このとき、第1のメタルプラグ164はビットラインコンタクト130が形成されるとき共に形成でき、第2のプラグ166は図3に示したメタルプラグ160と同じ物質で形成され得る。

【0020】

図6a～図6cは、図5に示した構造を有する半導体素子の製造方法を説明するための工程断面図である。

図6aにおいて、層間絶縁膜120を形成する工程までは前述した図4aに対する説明と同一なので、これに対する説明は省略する。

層間絶縁膜120が形成されれば、ドレーン接合領域だけでなく、メタルプラグ162が形成されるソース接合領域の半導体基板100が露出するまで層間絶縁膜120を選択食刻してビットラインコンタクトホール(図示省略)を形成する。即ち、前述した第1の実施形態ではドレーン接合領域にのみビットラインコンタクトホールを形成したが、本実施形態ではメタルプラグ162が形成されるソース接合領域にもビットラインコンタクトホールを形成する。

次に、ビットラインコンタクトホールが埋め込まれるようポリシリコン層を形成したあと、層間絶縁膜120が露出するまで平坦化食刻することにより、ビットラインコンタクト130及び第1のメタルプラグ164を形成する。

次に、前述した第1の実施形態でのように、ビットライン140及び層間絶縁膜150を形成する。

【0021】

次に、図6bに示されているように、第1のメタルプラグ164が露出するまで層間絶縁膜150を選択食刻してメタルプラグコンタクトホール(図示省略)を形成する。このとき、ビットライン電極142の絶縁のためビットラインハードマスク膜144に用いられた窒化膜と、スペーサ146に用いられた窒化膜との食刻選択比を利用したSAC食刻方法が用いられる。

次に、メタルプラグコンタクトホールが完全に埋め込まれるようプラグ層(図示省略)を形成する。このとき、プラグ層はタングステン(W)、アルミニウム(Al)、銅(Cu)またはこれらの合金中いずれか1つで形成され得る。このようなプラグ層を、CMPまたは乾式食刻エッチバック方法で層間絶縁膜150が露出するまで平坦化させることにより第2のメタルプラグ166を形成する。本実施形態では、前述したように、SAC食刻方法を用いてメタルプラグ

10

20

30

40

50

コンタクトホールを形成するので、第2のメタルプラグ160の上部を隣接したビットライン上部の一部または全部と重畳されるように十分広く形成することにより、後続する工程でメタルラインコンタクトとのオーバーラップマージンを十分確保することができるようになる。

【 0 0 2 2 】

次に、図6cに示されているように、層間絶縁膜150及び第2のメタルプラグ166の上部に層間絶縁膜170を形成したあと、メタルラインコンタクトマスクを利用して第2のメタルプラグ160が露出するまで層間絶縁膜170を選択食刻し、メタルラインコンタクトホール(図示省略)を形成する。

次に、メタルラインコンタクトホールが埋め込まれるように導電物を形成したあと、これを平坦化食刻してメタルラインコンタクト180を形成する。次に、メタルラインコンタクト180が形成された層間絶縁膜170の上部に金属層を形成したあと、これをパターニングしてメタルライン190を形成する。

【 0 0 2 3 】

前述した実施形態は本発明の好ましい実施形態であって、本発明がこれに限定されるのではない。

例えば、前述した実施形態では、メタルプラグ160及び第1のメタルプラグ164がトランジスタのソース領域に接合される場合を説明したが、図7でのようにトランジスタのゲート電極112と接合されるように形成することもできる。即ち、トランジスタのゲート110の上部にゲート電極112を露出させるメタルプラグコンタクトホールを形成したあとこれを導電物に埋め込むことにより、メタルプラグ160または第1のメタルプラグ164を形成することができる。

さらに、前述した実施形態ではビットラインパターンの不定形の問題がコア領域で主に発生するので、実施形態をコア領域に限定して説明したが、これに限定されず周辺回路の領域にも適用可能である。

【 0 0 2 4 】

なお、本発明について、好ましい実施の形態を基に説明したが、これらの実施の形態は、例を示すことを目的として開示したものであり、当業者であれば、本発明に係る技術思想の範囲内で、多様な改良、変更、付加等が可能である。このような改良、変更なども、特許請求の範囲に記載した本発明の技術的範囲に属することは言うまでもない。

【 符号の説明 】

【 0 0 2 5 】

- 100 半導体基板
- 110 ゲート
- 112 ゲート電極
- 114 ゲートハードマスク膜
- 116 ゲートスペーサ
- 120、150、170 層間絶縁膜
- 130 ビットラインコンタクト
- 140 ビットライン
- 142 ビットライン電極
- 144 ビットラインハードマスク膜
- 146 ビットラインスペーサ
- 160、162 メタルプラグ
- 164 第1のメタルプラグ
- 166 第2のメタルプラグ
- 180 メタルラインコンタクト
- 190 メタルライン

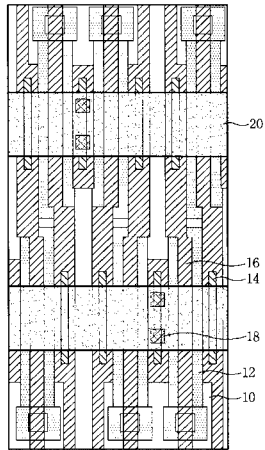
10

20

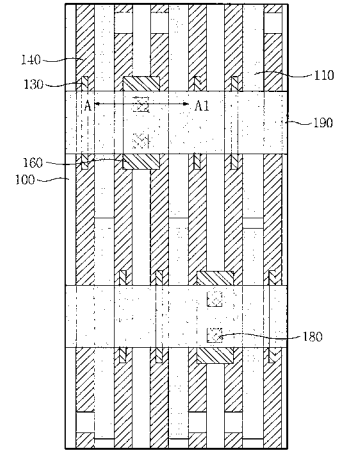
30

40

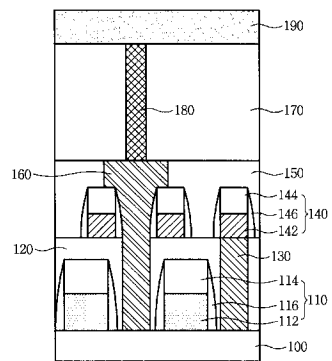
【図 1】



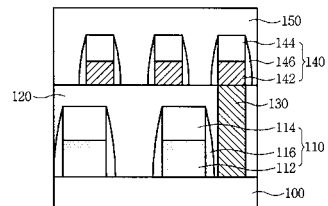
【図 2】



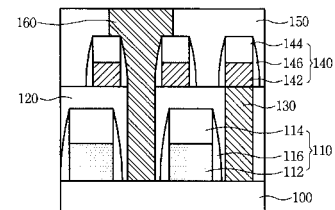
【図 3】



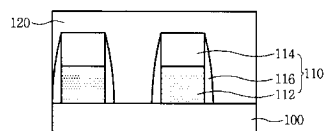
【図 4 b】



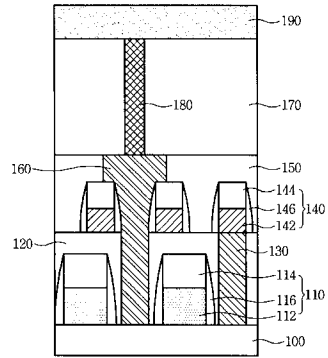
【図 4 c】



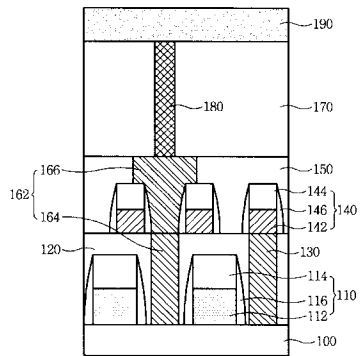
【図 4 a】



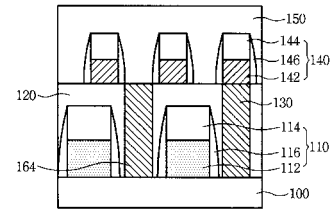
【図 4 d】



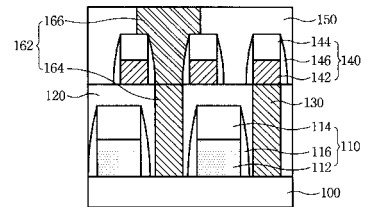
【図 5】



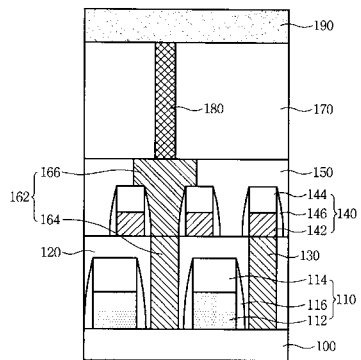
【図 6 a】



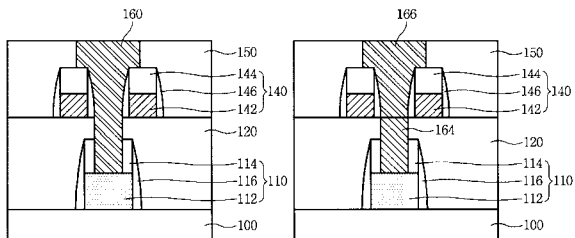
【図 6 b】



【図 6 c】



【図 7】



フロントページの続き

(72)発明者 ▲チョ▼ 永萬

大韓民国京畿道利川市曾日洞 8 2 - 7 現代ホームタウン 1 1 0 - 5 0 4

(72)発明者 徐 源善

大韓民国江原道寧越郡寧越邑蓮下里 1 - 1 8 3 5

F ターム(参考) 5F033 HH28 JJ04 JJ07 JJ08 JJ11 JJ18 JJ19 JJ25 JJ27 JJ33
KK01 NN03 NN07 NN40 QQ08 QQ28 QQ35 QQ37 QQ48 QQ70
QQ73 RR04 RR06 RR14 SS04 SS15 TT02 TT08 VV06 VV16
XX03
5F083 JA35 JA36 JA37 JA39 KA01 KA05 LA12 MA03 MA06 MA16
MA20 PR29 PR33 PR39