

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-157151
(P2012-157151A)

(43) 公開日 平成24年8月16日 (2012.8.16)

(51) Int.Cl.		F 1			テーマコード (参考)	
HO2J	1/00	(2006.01)	HO2J	1/00	310J	5G065
HO2M	3/155	(2006.01)	HO2M	3/155	B	5H730

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2011-13675 (P2011-13675)
(22) 出願日 平成23年1月26日 (2011.1.26)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100134555
 弁理士 林田 英樹
 (72) 発明者 岩田 悠貴
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内
 Fターム(参考) 5G065 EA01 FA02 GA04 JA02 KA09
 LA01 MA07 NA05
 5H730 AA04 BB13 BB14 BB57 DD04
 DD16 EE59 FD01 XC06

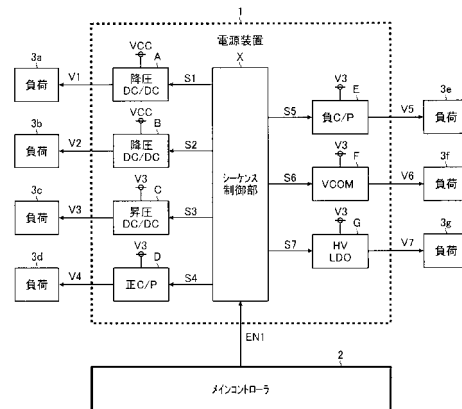
(54) 【発明の名称】 電源装置及びこれを用いた電子機器

(57) 【要約】 (修正有)

【課題】 システムの負荷を低減することが可能な電源装置、及び、これを用いた電子機器の提供。

【解決手段】 各々別系統の出力電圧V1～V7を生成する複数の電源部A～Gと、イネーブル信号EN1の入力を受けて所定の順序で複数の電源部A～Gのオン/オフ制御を行うシーケンス制御部Xと、を有する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

各々別系統の出力電圧を生成する複数の電源部と、
イネーブル信号の入力を受けて所定の順序で前記複数の電源部のオン/オフ制御を行うシーケンス制御部と、
を有することを特徴とする電源装置。

【請求項 2】

前記シーケンス制御部は、前記電源装置の起動時には出力電圧の目標値がより低い電源部から順にオンしていくことを特徴とする請求項 1 に記載の電源装置。

【請求項 3】

前記シーケンス制御部は、前記電源装置の停止時には出力電圧の目標値がより高い電源部から順にオフしていくことを特徴とする請求項 2 に記載の電源装置。

【請求項 4】

前記シーケンス制御部は、前記電源装置の起動時には先にオンした電源部の出力電圧が立ち上がったことを検出して次にオンすべき電源部をオンし、前記電源装置の停止時には先にオフした電源部の出力電圧が立ち下がったことを検出して次にオフすべき電源部をオフすることを特徴とする請求項 3 に記載の電源装置。

【請求項 5】

前記シーケンス制御部は、
前記複数の出力電圧と各々に設定された閾値電圧とを各々比較して複数の出力検出信号を生成する出力検出信号生成部と、
前記イネーブル信号と前記複数の出力検出信号から複数のオン/オフ制御信号を生成して前記複数の電源部に各々供給するオン/オフ制御信号生成部と、
を含むことを特徴とする請求項 4 に記載の電源装置。

【請求項 6】

前記閾値電圧には、ヒステリシスが与えられていることを特徴とする請求項 5 に記載の電源装置。

【請求項 7】

前記複数の出力検出信号を前記電源装置の外部に出力するための外部端子を有することを特徴とする請求項 6 に記載の電源装置。

【請求項 8】

請求項 1 ~ 請求項 7 のいずれか一項に記載の電源装置と、
前記電源装置に前記イネーブル信号を供給するメインコントローラと、
前記複数の出力電圧が供給される複数の負荷と、
を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の出力電圧を生成する多出力型の電源装置、及び、これを用いた電子機器に関するものである。

【背景技術】

【0002】

図 5 は、電源装置の一従来例を示す図である。本従来例の電源装置 100 は、出力電圧 V_1 を生成する第 1 電源部 101 と、出力電圧 V_2 を生成する第 2 電源部 102 と、出力電圧 V_3 を生成する第 3 電源部 103 と、出力電圧 V_4 を生成する第 4 電源部 104 と、を有する多出力型の電源装置である。

【0003】

本従来例の電源装置 100 には、メインコントローラ 200 からイネーブル信号 EN_1 ~ EN_4 がパラレル入力されており、電源部 101 ~ 104 は、それぞれ、イネーブル信号 EN_1 ~ EN_4 に応じてオン/オフ制御されていた。

10

20

30

40

50

【 0 0 0 4 】

なお、上記に関連する従来技術の一例としては、特許文献 1 を挙げるができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 7 - 2 5 9 6 3 4 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

ところで、多出力型の電源装置 1 0 0 では、システムの安全性などを鑑み、電源装置 1 0 0 の起動時には出力電圧の目標値がより低い電源部から順にオンしていき、逆に、電源装置 1 0 0 の停止時には出力電圧の目標値がより高い電源部から順にオフしていくように要求される場合があった。このような場合、メインコントローラ 2 0 0 では、所望のオン / オフシーケンス (電源部 1 0 1 ~ 1 0 4 のオン / オフ順序) を実現するために、イネーブル信号 E N 1 ~ E N 4 の生成タイミングを制御しなければならず、メインコントローラ 2 0 0 の負荷 (電源装置 1 0 0 が搭載されるシステム側の負荷) が増大していた。

10

【 0 0 0 7 】

本発明は、本願の発明者により見出された上記の問題点に鑑み、システムの負荷を低減することが可能な電源装置、及び、これを用いた電子機器を提供することを目的とする。

【 課題を解決するための手段 】

20

【 0 0 0 8 】

上記目的を達成するために、本発明に係る電源装置は、各々別系統の出力電圧を生成する複数の電源部と、イネーブル信号の入力を受けて所定の順序で前記複数の電源部のオン / オフ制御を行うシーケンス制御部と、を有する構成 (第 1 の構成) とされている。

【 0 0 0 9 】

なお、上記第 1 の構成から成る電源装置において、前記シーケンス制御部は、前記電源装置の起動時には出力電圧の目標値がより低い電源部から順にオンしていく構成 (第 2 の構成) にするとよい。

【 0 0 1 0 】

また、上記第 2 の構成から成る電源装置において、前記シーケンス制御部は、前記電源装置の停止時には出力電圧の目標値がより高い電源部から順にオフしていく構成 (第 3 の構成) にするとよい。

30

【 0 0 1 1 】

また、上記第 3 の構成から成る電源装置にて、前記シーケンス制御部は、前記電源装置の起動時には先にオンした電源部の出力電圧が立ち上がったことを検出して次にオンすべき電源部をオンし、前記電源装置の停止時には先にオフした電源部の出力電圧が立ち下がったことを検出して次にオフすべき電源部をオフする構成 (第 4 の構成) にするとよい。

【 0 0 1 2 】

また、上記第 4 の構成から成る電源装置において、前記シーケンス制御部は、前記複数の出力電圧と各々に設定された閾値電圧とを各々比較して複数の出力検出信号を生成する出力検出信号生成部と、前記イネーブル信号と前記複数の出力検出信号から複数のオン / オフ制御信号を生成して前記複数の電源部に各々供給するオン / オフ制御信号生成部と、を含む構成 (第 5 の構成) にするとよい。

40

【 0 0 1 3 】

また、上記第 5 の構成から成る電源装置において、前記閾値電圧には、ヒステリシスが与えられている構成 (第 6 の構成) にするとよい。

【 0 0 1 4 】

また、上記第 6 の構成から成る電源装置は、前記複数の出力検出信号を前記電源装置の外部に出力するための外部端子を有する構成 (第 7 の構成) にするとよい。

【 0 0 1 5 】

50

また、本発明に係る電子機器は、上記第 1 ~ 第 7 いずれかの構成から成る電源装置と、前記電源装置に前記イネーブル信号を供給するメインコントローラと、前記複数の出力電圧が供給される複数の負荷と、を有する構成（第 8 の構成）とされている。

【発明の効果】

【0016】

本発明によれば、システム側の負荷を低減することが可能な電源装置、及び、これを用いた電子機器を提供することが可能となる。

【図面の簡単な説明】

【0017】

【図 1】本発明に係る電源装置の一実施形態を示す図

10

【図 2】シーケンス制御部 X の一構成例を示す図

【図 3】シーケンス制御部 X の一動作例を示すタイムチャート

【図 4】本発明に係る電源装置の一変形例を示す図

【図 5】電源装置の一従来例を示す図

【発明を実施するための形態】

【0018】

<全体構成>

図 1 は、本発明に係る電源装置の一実施形態を示す図である。本実施形態の電源装置 1 は、回路ブロック的に見ると、第 1 降圧 DC / DC コンバータ A と、第 2 降圧 DC / DC コンバータ B と、昇圧 DC / DC コンバータ C と、正チャージポンプ D と、シーケンス制御部 X と、を有する。

20

【0019】

なお、本明細書中では、第 1 降圧 DC / DC コンバータ A、第 2 降圧 DC / DC コンバータ B、昇圧 DC / DC コンバータ C、及び、正チャージポンプ D のことを適宜、電源部 A ~ D と略称することがある。

【0020】

第 1 降圧 DC / DC コンバータ A は、電源電圧 VCC を降圧して出力電圧 V1 を生成する降圧型のスイッチングレギュレータである。第 1 降圧 DC / DC コンバータ A は、P チャンネル型 MOS [Metal Oxide Semiconductor] 電界効果トランジスタ A1 と、N チャンネル型 MOS 電界効果トランジスタ A2 と、インダクタ A3 と、抵抗 A4 ~ A8 と、キャパシタ A9 ~ A11 と、スイッチ制御部 A12 と、を含む。

30

【0021】

トランジスタ A1 のソース及びバックゲートは、いずれも電源電圧 VCC の印加端に接続されている。トランジスタ A1 のドレインは、インダクタ A3 の第 1 端に接続されている。トランジスタ A1 のゲートは、スイッチ制御部 A12 に接続されている。トランジスタ A2 のソース及びバックゲートは、いずれも接地端に接続されている。トランジスタ A2 のドレインは、インダクタ A3 の第 1 端に接続されている。トランジスタ A2 のゲートは、スイッチ制御部 A12 に接続されている。インダクタ A3 の第 2 端は、出力電圧 V1 の印加端に接続されている。抵抗 A4 は、トランジスタ A1 のゲートと電源電圧 VCC の印加端との間に接続されている。抵抗 A5 は、トランジスタ A2 のゲートと接地端との間に接続されている。抵抗 A6 と抵抗 A7 から成る直列回路は、出力電圧 V1 の印加端と接地端との間に接続されている。抵抗 A6 と抵抗 A7 との接続ノードは、帰還電圧 FB1 の印加端としてスイッチ制御部 A12 及びシーケンス制御部 X に接続されている。抵抗 A8 とキャパシタ A9 から成る直列回路は、抵抗 A6 の両端間に接続されている。キャパシタ A10 は、電源電圧 VCC の印加端と接地端との間に接続されている。キャパシタ A11 は、出力電圧 V1 の印加端と接地端との間に接続されている。

40

【0022】

スイッチ制御部 A12 は、電源電圧 VCC の入力を受けて動作し、帰還電圧 FB1 が目標値と一致するようにトランジスタ A1 及び A2 のスイッチング制御を行う。また、スイッチ制御部 A12 は、シーケンス制御部 X から入力されるオン/オフ制御信号 S1 に応じ

50

てオン/オフ制御される。

【0023】

なお、上記した構成要素のうち、スイッチ制御部A12は半導体装置Yに集積化されており、その他の回路素子A1~A11はいずれも半導体装置Yに外付けされている。

【0024】

第2降圧DC/DCコンバータBは、電源電圧VCCを降圧して出力電圧V2を生成する降圧型のスイッチングレギュレータである。第2降圧DC/DCコンバータBは、Pチャンネル型MOS電界効果トランジスタB1と、Nチャンネル型MOS電界効果トランジスタB2と、インダクタB3と、抵抗B4~B6と、キャパシタB7~B9と、スイッチ制御部B10と、を含む。

【0025】

トランジスタB1のソース及びバックゲートは、いずれも電源電圧VCCの印加端に接続されている。トランジスタB1のドレインは、インダクタB3の第1端に接続されている。トランジスタB1のゲートは、スイッチ制御部B10に接続されている。トランジスタB2のソース及びバックゲートは、いずれも接地端に接続されている。トランジスタB2のドレインは、インダクタB3の第1端に接続されている。トランジスタB2のゲートは、スイッチ制御部B10に接続されている。インダクタB3の第2端は、出力電圧V2の印加端に接続されている。抵抗B4と抵抗B5から成る直列回路は、出力電圧V2の印加端と接地端との間に接続されている。抵抗B4と抵抗B5との接続ノードは、帰還電圧FB2の印加端としてスイッチ制御部B10及びシーケンス制御部Xに接続されている。抵抗B6とキャパシタB7から成る直列回路は、抵抗B4の両端間に接続されている。キャパシタB8は、電源電圧VCCの印加端と接地端との間に接続されている。キャパシタB9は、出力電圧V2の印加端と接地端との間に接続されている。

【0026】

スイッチ制御部B10は、帰還電圧FB2が目標値と一致するようにトランジスタB1及びB2のスイッチング制御を行う。また、スイッチ制御部B10は、シーケンス制御部Xから入力されるオン/オフ制御信号S2に応じてオン/オフ制御される。

【0027】

なお、上記した構成要素のうち、トランジスタB1、トランジスタB2、及び、スイッチ制御部B10はいずれも半導体装置Yに集積化されており、その他の回路素子B3~B9はいずれも半導体装置Yに外付けされている。

【0028】

昇圧DC/DCコンバータCは、電源電圧VCCを昇圧して出力電圧V3を生成する昇圧型のスイッチングレギュレータである。昇圧DC/DCコンバータCは、Pチャンネル型MOS電界効果トランジスタC0及びC1と、Nチャンネル型MOS電界効果トランジスタC2と、インダクタC3と、抵抗C4~C8と、キャパシタC9~C12と、スイッチ制御部C13と、を含む。

【0029】

トランジスタC0のソース及びバックゲートは、いずれも抵抗C7を介して電源電圧VCCの印加端に接続される一方、スイッチ制御部C13にも接続されている。トランジスタC0のドレインは、インダクタC3の第1端に接続されている。トランジスタC0のゲートは、スイッチ制御部C13に接続されている。トランジスタC1のソース及びバックゲートは、いずれも出力電圧V3の印加端に接続されている。トランジスタC1のドレインは、インダクタC3の第2端に接続されている。トランジスタC1のゲートは、スイッチ制御部C13に接続されている。トランジスタC2のソース及びバックゲートは、いずれも接地端に接続されている。トランジスタC2のドレインは、インダクタC3の第2端に接続されている。トランジスタC2のゲートは、スイッチ制御部C13に接続されている。抵抗C4と抵抗C5から成る直列回路は、出力電圧V3の印加端と接地端との間に接続されている。抵抗C4と抵抗C5との接続ノードは、帰還電圧FB3の印加端としてスイッチ制御部C13及びシーケンス制御部Xに接続されている。抵抗C6とキャパシタC

10

20

30

40

50

11から成る直列回路は、抵抗C4の両端間に接続されている。キャパシタC9は、電源電圧VCCの印加端と接地端との間に接続されている。キャパシタC10は、出力電圧V3の印加端と接地端との間に接続されている。抵抗C8とキャパシタC12から成る直列回路は、位相補償回路としてスイッチ制御部C13に接続されている。

【0030】

スイッチ制御部C13は、帰還電圧FB3が目標値と一致するようにトランジスタC1及びC2のスイッチング制御を行う。また、スイッチ制御部C13は、シーケンス制御部Xから入力されるオン/オフ制御信号S3に応じてオン/オフ制御される。また、スイッチ制御部C13は、外部入力される動作モード選択信号SELに応じて、トランジスタC1及びC2のスイッチング制御に代えて、外付けトランジスタのスイッチング制御を行う機能を備えている（図中の括弧付き部分を参照）。また、スイッチ制御部C13は、インダクタ電流が過大となったときにトランジスタC0をオフして昇圧動作をシャットダウンする機能も備えている。

10

【0031】

なお、上記した構成要素のうち、トランジスタC1、トランジスタC2、及び、スイッチ制御部C13はいずれも半導体装置Yに集積化されており、その他の回路素子C3～C12はいずれも半導体装置Yに外付けされている。

【0032】

正チャージポンプDは、キャパシタとスイッチを組み合わせることにより、電源電圧VCCを昇圧して出力電圧V4を生成する正昇圧型のチャージポンプである。正チャージポンプDは、Pチャネル型MOS電界効果トランジスタD1及びD2と、Nチャネル型MOS電界効果トランジスタD3と、ダイオード（スイッチ）D4～D7と、抵抗D8及びD9と、キャパシタD10～D14と、スイッチ制御部D15と、を含む。

20

【0033】

トランジスタD1のソース及びバックゲートは、いずれも出力電圧V3の印加端に接続されている。トランジスタD1のドレインは、ダイオードD4のアノードに接続されている。トランジスタD1のゲートは、スイッチ制御部D15に接続されている。トランジスタD2のソース及びバックゲートは、いずれもダイオードD4のアノードに接続されている。トランジスタD2及びD3のドレインは、いずれもキャパシタD11及びD12の第1端に接続されている。トランジスタD2及びD3のゲートは、いずれもスイッチ制御部D15に接続されている。トランジスタD3のソース及びバックゲートは、いずれも接地端に接続されている。ダイオードD4のカソードとダイオードD5のアノードは、いずれもキャパシタD11の第2端に接続されている。ダイオードD5のカソードとダイオードD6のアノードは、いずれもキャパシタD13の第1端に接続されている。キャパシタD13の第2端は、接地端に接続されている。ダイオードD6のカソードとダイオードD7のアノードは、いずれもキャパシタD12の第2端に接続されている。ダイオードD7のカソードは、出力電圧V4の印加端に接続されている。抵抗D8と抵抗D9から成る直列回路は、出力電圧V4の印加端と接地端との間に接続されている。抵抗D8と抵抗D9との接続ノードは、帰還電圧FB4の印加端としてスイッチ制御部D15及びシーケンス制御部Xに接続されている。キャパシタD10は、出力電圧V3の印加端と接地端との間に接続されている。キャパシタD14は、出力電圧V4の印加端と接地端との間に接続されている。

30

40

【0034】

スイッチ制御部D15は、出力電圧V3の入力を受けて動作し、帰還電圧FB4が目標値と一致するようにトランジスタD1～D3のスイッチング制御を行う。また、スイッチ制御部D15は、シーケンス制御部Xから入力されるオン/オフ制御信号S4に応じてオン/オフ制御される。

【0035】

なお、上記した構成要素のうち、トランジスタD1～D3、及び、スイッチ制御部D15はいずれも半導体装置Yに集積化されており、その他の回路素子D4～D14はいずれ

50

も半導体装置 Y に外付けされている。

【 0 0 3 6 】

シーケンス制御部 X は、半導体装置 Y に集積化されており、電源装置 1 の外部に設けられたメインコントローラ（不図示）からイネーブル信号 E 1 の入力を受けて先述のオン/オフ制御信号 S 1 ~ S 4 を生成し、所定の順序で電源部 A ~ D のオン/オフ制御を行う。

【 0 0 3 7 】

具体的に述べると、シーケンス制御部 X は、電源装置 1 の起動時には出力電圧の目標値がより低い電源部から順にオンしていくようにオン/オフ制御信号 S 1 ~ S 4 を生成し、逆に、電源装置 1 の停止時には出力電圧の目標値がより高い電源部から順にオフしていくようにオン/オフ制御信号 S 1 ~ S 4 を生成する。すなわち、 $V 1$ （目標値） $< V 2$ （目標値） $< V 3$ （目標値） $< V 4$ （目標値）である場合、シーケンス制御部 X は、電源装置 1 の起動時には、第 1 降圧 DC / DC コンバータ A、第 2 降圧 DC / DC コンバータ B、昇圧 DC / DC コンバータ C、正チャージポンプ D の順にオンしていくようにオン/オフ制御信号 S 1 ~ S 4 を生成し、逆に、電源装置 1 の停止時には、正チャージポンプ D、昇圧 DC / DC コンバータ C、第 2 降圧 DC / DC コンバータ B、第 1 降圧 DC / DC コンバータ A の順にオフしていくようにオン/オフ制御信号 S 1 ~ S 4 を生成する。

10

【 0 0 3 8 】

また、シーケンス制御部 X は、出力電圧 $V 1$ ~ $V 4$ と各々に設定された閾値電圧とを各々比較して出力検出信号 P G 1 ~ P G 4 を生成し、外部端子を介して電源装置 1 の外部に出力する。なお、出力検出信号 P G 1 ~ P G 4 が伝達される信号線は、それぞれ、外付けの抵抗 R 1 ~ R 4 を介して定電圧 R E G の印加端にプルアップされている。上記の出力検出信号 P G 1 ~ P G 4 は、電源装置 1 の外部において出力電圧 $V 1$ ~ $V 4$ の立ち上がり/立ち下がりが正しく完了したことを確認する際に用いられる一方、シーケンス制御部 X の内部において先述のオン/オフ制御信号 S 1 ~ S 4 を生成する際にも用いられる。

20

【 0 0 3 9 】

なお、図 1 では、半導体装置 Y の外部に出力された出力検出信号 P G 1 ~ P G 3 をイネーブル信号 E N 2 ~ E N 4 として半導体装置 Y の内部に再入力する構成が描写されているが、本発明の構成はこれに限定されるものではなく、シーケンス制御部 X の内部で出力検出信号 P G 1 ~ P G 3 をイネーブル信号 E N 2 ~ E N 4 として読み替える構成としても構わない。後者の構成を採用した場合、イネーブル信号 E N 2 ~ E N 4 を入力するための外部端子は不要となるので、半導体装置 Y のサイズを小型化することが可能となる。また、いずれの構成を採用した場合でも、電源装置 1 の外部（メインコントローラ）から供給する必要があるのは、一系統のイネーブル信号 E N 1 のみである。

30

【 0 0 4 0 】

< シーケンス制御部 >

図 2 は、シーケンス制御部 X の一構成例を示す図である。本構成例のシーケンス制御部 X は、出力検出信号生成部 X 1 0 と、オン/オフ制御信号生成部 X 2 0 と、を含む。

【 0 0 4 1 】

出力検出信号生成部 X 1 0 は、帰還電圧 F B 1 ~ F B 4（出力電圧 $V 1$ ~ $V 4$ の分圧電圧）と各々に設定された閾値電圧とを各々比較して出力検出信号 P G 1 ~ P G 4 を生成する回路ブロックであり、4 系統のシュミットトリガ X 1 1 ~ X 1 4 を含む。なお、シュミットトリガ X 1 1 ~ X 1 4 の各閾値電圧には、所定のヒステリシスが与えられている。このような構成とすることにより、ノイズに対する耐性を高めることが可能となる。

40

【 0 0 4 2 】

オン/オフ制御信号生成部 X 2 0 は、イネーブル信号 E N 1 と出力検出信号 P G 1 ~ P G 4 からオン/オフ制御信号 S 1 ~ S 4 を生成する回路ブロックであり、OR ゲート X 2 1 ~ X 2 3 と、AND ゲート X 2 4 ~ X 2 6 とを含む。OR ゲート X 2 1 は、イネーブル信号 E N 1 と出力検出信号 P G 2（= イネーブル信号 E N 3）との論理和演算を行う。OR ゲート X 2 1 の出力信号は、オン/オフ制御信号 S 1 として出力される。OR ゲート X 2 2 は、イネーブル信号 E N 1 と出力検出信号 P G 3（= イネーブル信号 E N 4）との論

50

理和演算を行う。ORゲートX23は、イネーブル信号EN1と出力検出信号PG4との論理和演算を行う。ANDゲートX24は、イネーブル信号EN1と出力検出信号PG3(=イネーブル信号EN4)との論理積演算を行う。ANDゲートX24の出力信号はオン/オフ制御信号S4として出力される。ANDゲートX25は、ORゲートX22の出力信号と出力検出信号PG1(=イネーブル信号EN2)との論理積演算を行う。ANDゲートX25の出力信号は、オン/オフ制御信号S2として出力される。ANDゲートX26は、ORゲートX23の出力信号と出力検出信号PG2(=イネーブル信号EN3)との論理積演算を行う。ANDゲートX26の出力信号は、オン/オフ制御信号S3として出力される。

【0043】

<タイムチャート>

図3は、シーケンス制御部Xの一動作例を示すタイムチャートであり、上から順に、イネーブル信号EN1、オン/オフ制御信号S1、出力電圧V1、出力検出信号PG1(=イネーブル信号EN2)、オン/オフ制御信号S2、出力電圧V2、出力検出信号PG2(=イネーブル信号EN3)、オン/オフ制御信号S3、出力電圧V3、出力検出信号PG3(=イネーブル信号EN4)、オン/オフ制御信号S4、出力電圧V4、及び、出力検出信号PG4が描写されている。

【0044】

時刻t1において、イネーブル信号EN1がローレベルからハイレベルに立ち上げられると、オン/オフ制御信号S1がローレベルからハイレベルに立ち上げられる。その結果第1降圧DC/DCコンバータAが起動されて出力電圧V1が上昇し始める。

【0045】

時刻t2において、出力電圧V1が所定の閾値電圧を上回り、出力検出信号PG1がローレベルからハイレベルに立ち上げられると、オン/オフ制御信号S2がローレベルからハイレベルに立ち上げられる。その結果、第2降圧DC/DCコンバータBが起動されて出力電圧V2が上昇し始める。

【0046】

時刻t3において、出力電圧V2が所定の閾値電圧を上回り、出力検出信号PG2がローレベルからハイレベルに立ち上げられると、オン/オフ制御信号S3がローレベルからハイレベルに立ち上げられる。その結果、昇圧DC/DCコンバータCが起動されて出力電圧V3が上昇し始める。

【0047】

時刻t4において、出力電圧V3が所定の閾値電圧を上回り、出力検出信号PG3がローレベルからハイレベルに立ち上げられると、オン/オフ制御信号S4がローレベルからハイレベルに立ち上げられる。その結果、正チャージポンプDが起動されて出力電圧V4が上昇し始める。

【0048】

時刻t5において、出力電圧V4が所定の閾値電圧を上回り、出力検出信号PG4がローレベルからハイレベルに立ち上げられる。この時点で、電源部A~Dの起動が全て完了されたことになる。

【0049】

時刻t6において、イネーブル信号EN1がハイレベルからローレベルに立ち下げられると、オン/オフ制御信号S4がハイレベルからローレベルに立ち下げられる。その結果正チャージポンプDが停止されて出力電圧V4が低下し始める。

【0050】

時刻t7において、出力電圧V4が所定の閾値電圧を下回り、出力検出信号PG4がハイレベルからローレベルに立ち下げられると、オン/オフ制御信号S3がハイレベルからローレベルに立ち下げられる。その結果、昇圧DC/DCコンバータCが停止されて出力電圧V3が低下し始める。

【0051】

10

20

30

40

50

時刻 t 8 において、出力電圧 V 3 が所定の閾値電圧を下回り、出力検出信号 P G 3 がハイレベルからローレベルに立ち下げられると、オン/オフ制御信号 S 2 がハイレベルからローレベルに立ち下げられる。その結果、第 2 降圧 D C / D C コンバータ B が停止されて出力電圧 V 2 が低下し始める。

【 0 0 5 2 】

時刻 t 9 において、出力電圧 V 2 が所定の閾値電圧を下回り、出力検出信号 P G 2 がハイレベルからローレベルに立ち下げられると、オン/オフ制御信号 S 1 がハイレベルからローレベルに立ち下げられる。その結果、第 1 降圧 D C / D C コンバータ A が停止されて出力電圧 V 1 が低下し始める。

【 0 0 5 3 】

時刻 t 1 0 において、出力電圧 V 1 が所定の閾値電圧を下回り、出力検出信号 P G 1 がハイレベルからローレベルに立ち下げられる。この時点で、電源部 A ~ D の停止が全て完了されたことになる。

【 0 0 5 4 】

上記したように、シーケンス制御部 X は、電源装置 1 の起動時には出力電圧の目標値がより低い電源部から順にオンしていくようにオン/オフ制御信号 S 1 ~ S 4 を生成し、逆に、電源装置 1 の停止時には出力電圧の目標値がより高い電源部から順にオフしていくようにオン/オフ制御信号 S 1 ~ S 4 を生成する。このような構成とすることにより、システムの安全性を高めることが可能となる。

【 0 0 5 5 】

また、電源装置 1 が搭載されるシステム全体を見た場合、上記のオン/オフシーケンスを実現するに際して、電源装置 1 の外部（メインコントローラ）から供給する必要があるのは、一系統のイネーブル信号 E N 1 のみである。従って、メインコントローラの負荷軽減やシステムの省スペース化に貢献することが可能となる。

【 0 0 5 6 】

また、シーケンス制御部 X は、電源装置 1 の起動時には先にオンした電源部の出力電圧が立ち上がったことを検出して次にオンすべき電源部をオンし、電源装置 1 の停止時には先にオフした電源部の出力電圧が立ち下がったことを検出して次にオフすべき電源部をオフする構成とされている。このような構成とすることにより、オン/オフシーケンスの確実性を高めることが可能となる。

【 0 0 5 7 】

< その他の変形例 >

なお、上記の実施形態では、4 チャンネルの電源部を備えた電源装置に本発明を適用した構成を例に挙げて説明を行ったが、出力チャンネル数は上記の実施形態に限定されるものではなく、複数の出力電圧を生成する多出力型の電源装置全般に広く適用することが可能である。

【 0 0 5 8 】

例えば、図 4 では、負荷 3 a ~ 3 g にそれぞれ別系統の出力電圧 V 1 ~ V 7 を供給する 7 チャンネルの電源部 A ~ G（第 1 降圧 D C / D C コンバータ A、第 2 降圧 D C / D C コンバータ B、昇圧 D C / D C コンバータ C、正チャージポンプ D、負チャージポンプ E、コモン電圧生成部 F、及び、高電圧 L D O [Low Drop-Out] レギュレータ G）を備えた電源装置 1（液晶パネル向けのシステム電源 I C）が描写されている。このような多チャンネルの電源装置 1 において、メインコントローラ 2 からイネーブル信号 E N 1 のみの入力を受けて所定の順序で電源部 A ~ G のオン/オフ制御を行うシーケンス制御部 X を設ければ、メインコントローラ 2 の負荷（電源装置 1 が搭載されるシステム側の負荷）を大幅に低減することが可能となる。

【 0 0 5 9 】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説

10

20

30

40

50

明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【0060】

例えば、上記実施形態では、全ての電源部毎にオン/オフタイミングが異なる場合を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、複数の電源部のうち、オン/オフタイミングが一致しているものがあったとしても構わない。

【0061】

また、上記実施形態では、電源装置の起動時には出力電圧の目標値がより低い電源部から順にオンしていき、電源装置の停止時には出力電圧の目標値がより高い電源部から順にオフしていく構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、上記以外のオン/オフシーケンスとしても構わない。

10

【産業上の利用可能性】

【0062】

本発明に係る多出力型の電源装置は、例えば、液晶パネル向けのシステム電源ICとして利用することが可能である。

【符号の説明】

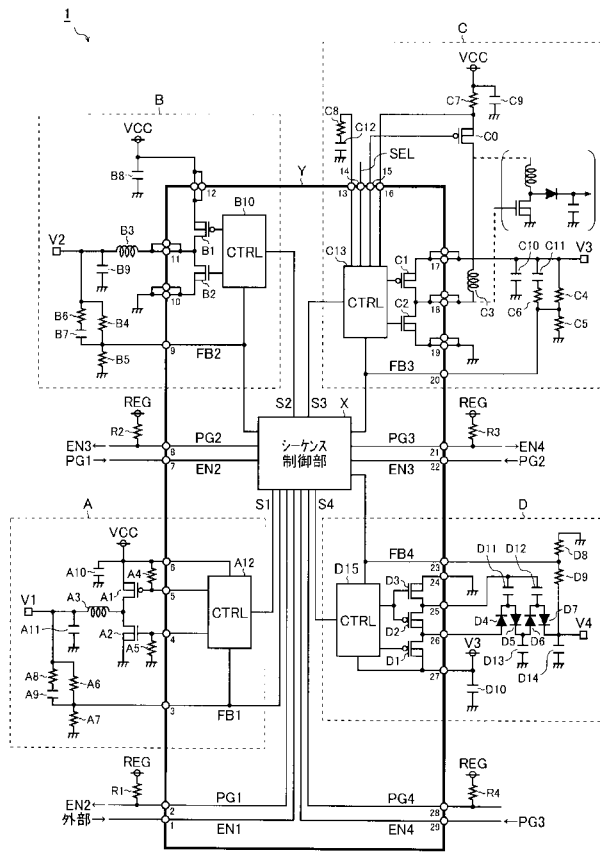
【0063】

- 1 電源装置
- 2 メインコントローラ
- 3 a~ 3 g 負荷
- A 第1降圧DC/DCコンバータ
- B 第2降圧DC/DCコンバータ
- C 昇圧DC/DCコンバータ
- D 正チャージポンプ
- E 負チャージポンプ
- F コモン電圧生成部
- G 高電圧LDOレギュレータ
- X シーケンス制御部
- X 1 0 出力検出信号生成部
- X 2 0 オン/オフ制御信号生成部

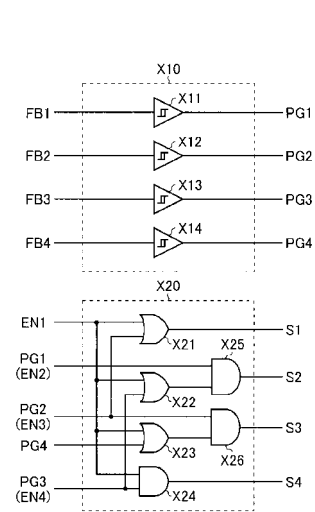
20

30

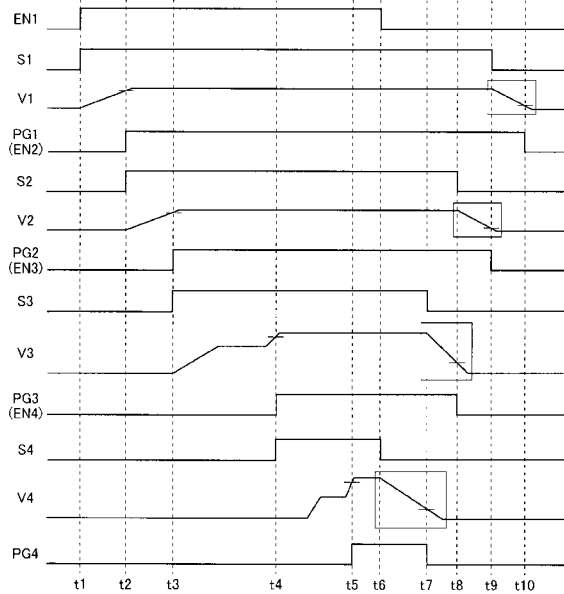
【図1】



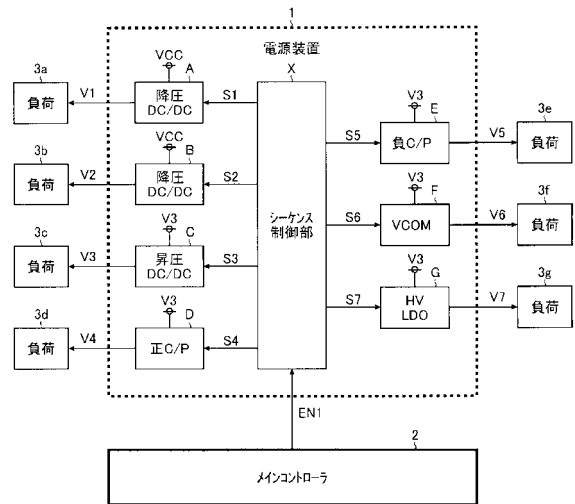
【図2】



【図3】



【図4】



【 図 5 】

