

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



(10) 国際公開番号

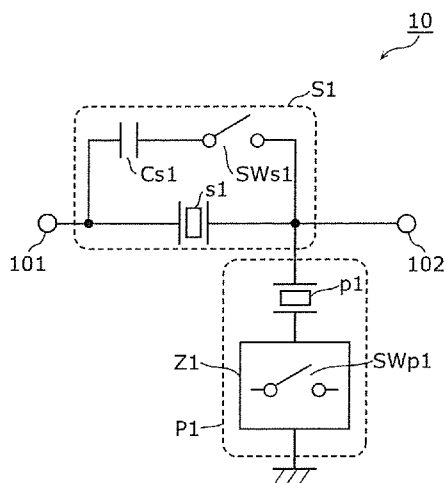
WO 2019/013015 A1

- (51) 国際特許分類:
H03H 9/54 (2006.01) *H03H 9/64* (2006.01)
H03H 9/17 (2006.01)
- (21) 国際出願番号: PCT/JP2018/024735
- (22) 国際出願日: 2018年6月28日(28.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-134989 2017年7月10日(10.07.2017) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 野阪 浩司(NOSAKA, Koji); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et
al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁
目 3 番 10 号 タナカ・イトーピア新大阪ビル
6 階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: HIGH-FREQUENCY FILTER, MULTIPLEXER, HIGH-FREQUENCY FRONT END CIRCUIT, AND COMMUNICATION DEVICE

(54) 発明の名称: 高周波フィルタ、マルチプレクサ、高周波フロントエンド回路および通信装置

[図1A]



(57) Abstract: This filter (10) is provided with a serial arm circuit (S1) and a parallel arm circuit (P1). The serial arm circuit (S1) comprises a capacitor (Cs1), a switch (SWs1) connected in series with the capacitor (Cs1), and a serial arm resonator (s1) connected in parallel with the capacitor (Cs1) and the switch (SWs1). The parallel arm circuit (P1) comprises a parallel arm resonator (p1) and a switch circuit (Z1) connected in series to the parallel arm resonator (p1). The switch circuit (Z1) comprises a switch (SWp1). Each of the switches (SWs1 and SWp1) is formed from one or more transistors. The gate width of each of the one or more transistors constituting the switch (SWp1) is larger than the gate width of at least one of the one or more transistors constituting the switch (SWs1).



WO 2019/013015 A1



QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: フィルタ (10) は、直列腕回路 (S 1) と並列腕回路 (P 1) とを備え、直列腕回路 (S 1) は、キャパシタ (C s 1) と、キャパシタ (C s 1) と直列接続されたスイッチ (S W s 1) と、キャパシタ (C s 1) およびスイッチ (S W s 1) と並列接続された直列腕共振子 (s 1) と、を有し、並列腕回路 (P 1) は、並列腕共振子 (p 1) と、並列腕共振子 (p 1) に直列接続されたスイッチ回路 (Z 1) と、を有し、スイッチ回路 (Z 1) は、スイッチ (S W p 1) を有し、スイッチ (S W s 1 および S W p 1) のそれぞれは、1 以上のトランジスタで構成され、スイッチ (S W p 1) を構成する 1 以上のトランジスタの各々のゲート幅は、スイッチ (S W s 1) を構成する 1 以上のトランジスタの少なくとも 1 つのゲート幅より大きい。

明 細 書

発明の名称：

高周波フィルタ、マルチプレクサ、高周波フロントエンド回路および通信装置

技術分野

[0001] 本発明は、共振子を有する高周波フィルタ、マルチプレクサ、高周波フロントエンド回路および通信装置に関する。

背景技術

[0002] 従来、マルチバンド化に対応する高周波フィルタとして、周波数可変機能を有する高周波フィルタ（チューナブルフィルタ）が提案されている。

[0003] このような周波数可変機能を有する高周波フィルタは、複数の直列腕回路と複数の並列腕回路によるラダー型の回路で構成される。そして、上記並列腕回路としては、キャパシタおよびスイッチ素子が並列接続された回路と並列腕共振子とが直列接続された構成が知られている（例えば、特許文献 1 参照）。

[0004] 上記従来の構成によれば、スイッチの導通（オン）および非導通（オフ）の切り替えにより、並列腕回路のインピーダンスが極小となる特異点である共振周波数が切り替わるため、当該共振周波数によって構成される減衰極の周波数を切り替えることができる。

先行技術文献

特許文献

[0005] 特許文献1：米国特許出願公開第 2 0 0 9 / 0 2 5 1 2 3 5 号明細書

発明の概要

発明が解決しようとする課題

[0006] 特許文献 1 に開示されたような高周波フィルタを、例えば、送信用フィルタとして適用する場合、当該高周波フィルタの耐電力性が要求される。高周

波フィルタの耐電力性を向上させるには、直列腕回路と同様に並列腕回路の耐電力性について向上させる必要がある。並列腕回路の耐電力性を向上させるにあたり、並列腕共振子の耐電力性のみならず、並列腕回路を構成するスイッチについての耐電力性を向上させることが重要である。

[0007] しかしながら、従来では、上記高周波フィルタをマルチバンドのシステムに適用する場合に、上記スイッチ素子の小型化および当該スイッチ素子の導通時における低損失性を優先課題としており、上記スイッチ素子の小型化および低損失性とトレードオフの関係にある耐電力性を向上させる構成については検討がなされていない。

[0008] そこで、本発明は、周波数可変機能を有する高周波フィルタ、ならびに、これを備えるマルチプレクサ、高周波フロントエンド回路および通信装置について、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明の一態様に係る高周波フィルタは、第1入出力端子と第2入出力端子とを結ぶ経路上に設けられた直列腕回路と、前記経路上のノードおよびグラウンドに接続された並列腕回路と、を備え、前記直列腕回路は、インダクタまたはキャパシタである第1インピーダンス素子と、前記第1インピーダンス素子と直列接続された第1スイッチ素子と、前記第1インピーダンス素子および前記第1スイッチ素子と並列接続された、直列腕共振子と、を有し、前記並列腕回路は、第1並列腕共振子と、当該第1並列腕共振子に直列接続された第1スイッチ回路と、を有し、前記第1スイッチ回路は、第2スイッチ素子を有し、前記第1スイッチ素子および前記第2スイッチ素子のそれぞれは、1以上のトランジスタで構成され、前記第2スイッチ素子を構成する前記1以上のトランジスタの各々のゲート幅は、前記第1スイッチ素子を構成する前記1以上のトランジスタの少なくとも1つのゲート幅より大きい。

[0010] このように構成された高周波フィルタでは、第1スイッチ素子の導通およ

び非導通が切り替えられることにより、直列腕回路の反共振周波数が切り替えられ、第2スイッチ素子の導通および非導通が切り替えられることにより、並列腕回路の共振周波数が切り替えられる。直列腕回路の反共振周波数及び並列腕回路の共振周波数のそれぞれは、高周波フィルタの減衰極を形成する。このため、当該高周波フィルタは、第1スイッチ素子及び第2スイッチ素子それぞれの導通および非導通が切り替えられることにより、通過帯域及び減衰帯域の少なくとも一方の周波数を切り替える周波数可変機能を有する。

[0011] このような高周波フィルタの周波数可変機能を果たすスイッチ素子に流れる電流の大きさは、当該高周波フィルタに印加される高周波電力の大きさに比例する。このため、高周波フィルタに要求される耐電力性を満たすためには、スイッチ素子の耐電流性を確保することが必要である。ここで、導通時に第1スイッチ素子に流れる電流は、直列腕回路のインピーダンスが極大となる反共振周波数において最大となる。一方、導通時に第2スイッチ素子に流れる電流は、並列腕回路のインピーダンスが極小となる共振周波数において最大となる。このため、第2スイッチ素子の導通時に流れる電流は、第1スイッチ素子の導通時に流れる電流よりも大きい。そこで、第2スイッチ素子を構成する1以上のトランジスタの各々のゲート幅が第1スイッチ素子を構成する1以上のトランジスタの少なくとも1つのゲート幅より大きいことにより、第1スイッチ素子および第2スイッチ素子について、合計サイズを小さくしつつ、高周波フィルタに要求される耐電力性を満たす耐電流性を確保することができる。また、第2スイッチ素子のゲート幅が相対的に大きいことにより、第2スイッチ素子の導通時の抵抗（オン抵抗）を小さくできる。よって、第2スイッチ素子の導通時に、高周波フィルタの通過帯域内の挿入損失を低減することができる。つまり、周波数可変機能を有する高周波フィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0012] また、スイッチ素子におけるトランジスタの個数をスタック数とした場合

に、前記第1スイッチ素子のスタック数と前記第2スイッチ素子のスタック数とは、互いに異なることにしてもよい。

[0013] これにより、第1スイッチ素子および第2スイッチ素子について、非導通時に印加される電圧に応じてスタック数を適宜設計することにより、個々の耐電圧性を確保しつつ合計サイズを小さくすることが可能となる。また、第1スイッチ素子および第2スイッチ素子の一方のスタック数が他方のスタック数に比べて相対的に少ないことにより、当該一方のスイッチ素子について、導通時の抵抗を小さくできる。よって、当該一方のスイッチ素子の導通時に、通過帯域内の挿入損失を低減することができる。つまり、周波数可変機能を有する高周波フィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0014] また、前記第1スイッチ素子のスタック数は、前記第2スイッチ素子のスタック数より少ないことにしてもよい。

[0015] これに関し、第1スイッチ素子に印加される電圧は、当該第1スイッチ素子が非導通の場合における直列腕回路の反共振周波数において最大となる。一方、第2スイッチ素子に印加される電圧は、当該第2スイッチ素子が非導通の場合における並列腕回路の共振周波数において最大となる。このとき、第1スイッチ素子に印加される最大電圧は、第2スイッチ素子に印加される最大電圧よりも小さい。このため、第1スイッチ素子について、スタック数を少なくすることにより、高周波フィルタに要求される耐電力性を満たす耐電圧性を確保しつつ小型化することができる。また、第1スイッチ素子について、スタック数が少なくなることにより、導通時の抵抗を抑制することができる。このため、第1スイッチ素子の導通時に、高周波フィルタの通過帯域内の挿入損失を低減することができる。つまり、周波数可変機能を有する高周波フィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0016] また、前記第1入出力端子は、高周波電力が印加される端子であり、前記ノードは、前記直列腕回路と前記第2入出力端子との間の前記経路上に位置

することにしてもよい。

[0017] すなわち、高周波電力が印加される端子から、直列腕回路を経由して、並列腕回路が接続されている。これにより、第1スイッチ素子および第2スイッチ素子について、双方が非導通の場合に印加される電圧を合計した総電圧を低減することができるため、スタック数を合計した総スタック数を少なくすることができる。よって、第1スイッチ素子および第2スイッチ素子について、個々の耐電圧性を確保しつつ合計サイズを小さくすることができる。つまり、周波数可変機能を有する高周波フィルタについて、さらなる小型化を図りつつ、耐電力性を確保することができる。

[0018] また、前記第1スイッチ回路は、さらに、インダクタおよびキャパシタの一方であり、前記第2スイッチ素子に接続された第2インピーダンス素子を有することにしてもよい。

[0019] これにより、第2スイッチ素子の導通および非導通の切り替えにより、並列腕回路の共振周波数が切り替えられる。並列腕回路の共振周波数は高周波フィルタの減衰極を構成するため、高周波フィルタは、第2スイッチ素子の導通および非導通の切り替えにより、減衰極の周波数を切り替えることができる。

[0020] また、前記第1スイッチ回路は、前記第2インピーダンス素子と前記第2スイッチ素子とが並列接続された回路であることにしてもよい。

[0021] これにより、第2スイッチ素子の導通および非導通の切り替えによって、通過帯域低域側の減衰極の周波数を切り替える（可変する）ことができる。

[0022] また、前記第1スイッチ回路は、さらに、インダクタおよびキャパシタの他方であって前記第2スイッチ素子に直列接続された第3インピーダンス素子を有し、前記第3インピーダンス素子と前記第2スイッチ素子とが直列接続された回路は、前記第2インピーダンス素子に並列接続されていることにしてもよい。

[0023] これにより、通過帯域低域側の減衰極の周波数を広範囲に切り替えることができる。

- [0024] また、前記第1スイッチ回路は、前記第3インピーダンス素子と前記第2スイッチ素子とが直列接続された回路を複数組有し、前記複数組の回路は、互いに並列接続され、かつ、前記第2インピーダンス素子に並列接続されていることにしてもよい。
- [0025] これにより、通過帯域低域側の減衰極の周波数を細かく切り替えることができる。
- [0026] また、前記並列腕回路は、さらに、前記第1並列腕共振子と前記第1スイッチ回路とが直列接続された回路に並列接続された第2並列腕共振子を有し、前記第1並列腕共振子の共振周波数は、前記第2並列腕共振子の共振周波数より低く、前記第1並列腕共振子の反共振周波数は、前記第2並列腕共振子の反共振周波数より低いことにしてもよい。
- [0027] これにより、通過帯域内の挿入損失を悪化させることなく（すなわち、挿入損失の増大を抑制しつつ）、通過帯域低域側の減衰極の周波数を切り替えることができる。
- [0028] また、前記並列腕回路は、さらに、前記第1並列腕共振子と前記第1スイッチ回路とが直列接続された回路に並列接続された第2並列腕共振子を有し、前記第1並列腕共振子の共振周波数は、前記第2並列腕共振子の共振周波数より高く、前記第1並列腕共振子の反共振周波数は、前記第2並列腕共振子の反共振周波数より高いことにしてもよい。
- [0029] これにより、通過帯域内の挿入損失を悪化させることなく、通過帯域高域側の減衰極の周波数を切り替えることができる。
- [0030] また、前記第2インピーダンス素子は、キャパシタであり、前記第1並列腕共振子の静電容量は、前記第2並列腕共振子の静電容量より大きいことにしてもよい。
- [0031] これに関し、第2スイッチ素子は、第1並列腕共振子と直列接続された第1スイッチ回路に含まれる。このため、第2スイッチ素子の非導通時において、当該第2スイッチ素子の容量成分であるオフ容量に印加される電圧は、第1並列腕共振子の静電容量に依存し、具体的には第1並列腕共振子の静電

容量が大きいほど小さくなる。そこで、第1並列腕共振子の静電容量を第2並列腕共振子の静電容量より大きくすることにより、第2スイッチ素子に印加される電圧を下げることができるので、第2スイッチ素子のスタック数を少なくすることが可能となる。したがって、第2スイッチ素子について耐電圧性を確保しつつ小型化することができる。

[0032] また、前記並列腕回路は、さらに、第2並列腕共振子と、当該第2並列腕共振子に直列接続された第2スイッチ回路と、を有し、前記第2スイッチ回路は、インダクタおよびキャパシタの一方である第4インピーダンス素子と、前記第4インピーダンス素子と並列接続され、かつ、1以上のトランジスタで構成された第3スイッチ素子と、を有し、前記第1並列腕共振子の共振周波数と前記第2並列腕共振子の共振周波数とは、互いに異なり、前記第1並列腕共振子の反共振周波数と前記第2並列腕共振子の反共振周波数とは、互いに異なり、前記第1並列腕共振子と前記第1スイッチ回路とが直列接続された回路と、前記第2並列腕共振子と前記第2スイッチ回路とが直列接続された回路とは、並列接続されていることにしてもよい。

[0033] これにより、通過帯域内の挿入損失を悪化させること無く、通過帯域低域側および通過帯域高域側の減衰極の周波数を切り替えることができる。

[0034] また、前記第3スイッチ素子を構成する前記1以上のトランジスタの各々のゲート幅は、前記第1スイッチ素子を構成する前記1以上のトランジスタの少なくとも1つのゲート幅より大きいことにしてもよい。

[0035] これにより、第1スイッチ素子、第2スイッチ素子および第3スイッチ素子について、合計サイズを小さくしつつ、高周波フィルタに要求される耐電力性を満たす個々の耐電流性を確保することができる。また、第2スイッチ素子および第3スイッチ素子のゲート幅が相対的に大きいことにより、第2スイッチ素子および第3スイッチ素子の導通時の抵抗（オン抵抗）を小さくできる。よって、第2スイッチ素子および第3スイッチ素子の導通時に、高周波フィルタの通過帯域内の挿入損失を低減することができる。つまり、通過帯域内の挿入損失を悪化させること無く減衰極の周波数を切り替えられる

高周波フィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0036] また、前記第2並列腕共振子の共振周波数は、前記第1並列腕共振子の共振周波数より低く、前記第2並列腕共振子の反共振周波数は、前記第1並列腕共振子の反共振周波数より低く、スイッチ素子におけるトランジスタの個数をスタック数とした場合に、前記第1スイッチ素子のスタック数は、前記第2スイッチ素子のスタック数より少なく、前記第3スイッチ素子のスタック数は、前記第1スイッチ素子のスタック数より少ないことにしてもよい。

[0037] これに関し、第1スイッチ素子に印加される電圧は、当該第1スイッチ素子が非導通の場合における直列腕回路の反共振周波数において最大となる。一方、第2スイッチ素子に印加される電圧は、当該第2スイッチ素子が非導通の場合における並列腕回路の2つの共振周波数のうち高周波数側の共振周波数（すなわち第1並列腕共振子の共振周波数）において最大となる。また、第3スイッチ素子に印加される電圧は、当該第3スイッチ素子が非導通の場合における並列腕回路の2つの共振周波数のうち低周波数側の共振周波数（すなわち第2並列腕共振子の共振周波数）において最大となる。このとき、第1スイッチ素子に印加される最大電圧は第2スイッチ素子に印加される最大電圧よりも小さく、第3スイッチ素子に印加される最大電圧は第1スイッチ素子に印加される最大電圧よりも小さい。このため、第1スイッチ素子のスタック数を少なくし、第3スイッチ素子のスタック数をさらに少なくすることにより、第1スイッチ素子および第3スイッチ素子について、高周波フィルタに要求される耐電力性を満たす個々の耐電圧性を確保しつつ合計サイズを小さくすることができる。また、第1スイッチ素子および第3スイッチ素子について、スタック数が少なくなることにより、導通時の抵抗を抑制することができる。このため、第1スイッチ素子および第3スイッチ素子の導通時に、高周波フィルタの通過帯域内の挿入損失を低減することができる。つまり、通過帯域内の挿入損失を悪化させること無く減衰極の周波数を切り替えられる高周波フィルタについて、通過帯域内の挿入損失のさらなる低

減およびさらなる小型化を図りつつ、耐電力性を確保することができる。

[0038] また、本発明の一態様に係るマルチプレクサは、上記いずれかの高周波フィルタを含む複数のフィルタを備え、前記複数のフィルタそれぞれの一方の入出力端子は、共通端子に直接的または間接的に接続されている。

[0039] このようなマルチプレクサによれば、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0040] また、本発明の一態様に係る高周波フロントエンド回路は、上記いずれかの高周波フィルタまたは上記のマルチプレクサと、前記高周波フィルタまたは前記マルチプレクサに直接的または間接的に接続された増幅回路と、を備える。

[0041] このような高周波フロントエンド回路によれば、通過帯域内の利得の向上および小型化を図りつつ、耐電力性を確保することができる。

[0042] また、前記増幅回路は、高周波送信信号を増幅するパワーアンプであり、前記高周波フィルタの前記第1入出力端子または前記第2入出力端子には、前記パワーアンプで増幅された前記高周波送信信号が入力されることにしてもよい。

[0043] これにより、通過帯域内の利得の向上および小型化を図りつつ、耐電力性を確保することができる送信系の高周波フロントエンド回路を提供できる。

[0044] また、前記増幅回路は、高周波受信信号を増幅するローノイズアンプであり、前記高周波フィルタの前記第1入出力端子または前記第2入出力端子からは、前記ローノイズアンプで増幅される前記高周波受信信号が出力されることにしてもよい。

[0045] これにより、通過帯域内の利得の向上および小型化を図りつつ、耐電力性を確保することができる受信系の高周波フロントエンド回路を提供できる。

[0046] また、本発明の一態様に係る通信装置は、アンテナ素子で送受信される高周波信号を処理するRF信号処理回路と、前記アンテナ素子と前記RF信号処理回路との間で前記高周波信号を伝達する上記いずれかの高周波フロントエンド回路と、を備える。

[0047] このような通信装置によれば、通信品質の向上および小型化を図りつつ、耐電力性を確保することができる。

発明の効果

[0048] 本発明によれば、周波数可変機能を有する高周波フィルタ、ならびに、これを備えるマルチプレクサ、高周波フロントエンド回路および通信装置について、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

図面の簡単な説明

[0049] [図1A]図1 Aは、実施の形態1に係るフィルタの回路ブロック図である。

[図1B]図1 Bは、実施の形態1に係るフィルタの回路構成図である。

[図1C]図1 Cは、実施の形態1に係るフィルタの他の回路構成図である。

[図2A]図2 Aは、実施の形態1に係るスイッチ1 Cの構成を示す模式図である。

[図2B]図2 Bは、実施の形態1に係るスイッチ1 Cを構成するトランジスタの回路構成図である。

[図3A]図3 Aは、実施の形態1に係るスイッチのゲート幅とスイッチ特性との関係を表すグラフである。

[図3B]図3 Bは、実施の形態1に係るスイッチのスタック数とスイッチ特性との関係を表すグラフである。

[図4]図4 は、並列腕回路のスイッチが非導通時の等価回路図である。

[図5]図5 は、並列腕回路のインピーダンス特性、電流特性、および電圧特性を表すグラフである。

[図6A]図6 Aは、並列腕回路の回路構成図である。

[図6B]図6 Bは、スイッチが非導通の場合における並列腕回路の等価回路図である。

[図6C]図6 Cは、スイッチが非導通の場合における並列腕回路の共振周波数における等価回路図である。

[図6D]図6 Dは、スイッチが非導通の場合における並列腕回路の共振周波数

における等価回路図である。

[図6E]図 6 E は、並列腕回路の回路構成図である。

[図6F]図 6 F は、スイッチが非導通の場合における並列腕回路の共振周波数における等価回路図である。

[図7]図 7 は、比較例 1 に係るフィルタに関する各種特性を示すグラフである。

[図8]図 8 は、比較例 2 に係るフィルタに関する各種特性を示すグラフである。

[図9]図 9 は、実施例 1 に係るフィルタに関する各種特性を示すグラフである。

[図10]図 1 0 は、実施例 2 に係るフィルタに関する各種特性を示すグラフである。

[図11]図 1 1 は、実施の形態 1 の変形例 1 に係るフィルタの回路構成図である。

[図12]図 1 2 は、実施の形態 1 の変形例 1 に係るフィルタに関する各種特性を示すグラフである。

[図13]図 1 3 は、実施の形態 1 の変形例 2 に係るフィルタの回路構成図である。

[図14]図 1 4 は、実施の形態 1 の変形例 3 に係るフィルタの回路構成図である。

[図15]図 1 5 は、比較例 3 に係るフィルタに関する各種特性を示すグラフである。

[図16]図 1 6 は、実施例 3 に係るフィルタに関する各種特性を示すグラフである。

[図17]図 1 7 は、実施の形態 1 の変形例 4 に係るフィルタの回路構成図である。

[図18]図 1 8 は、実施の形態 1 の変形例 4 に係るフィルタの構造を説明する平面図である。

[図19]図 1 9 は、実施の形態 2 に係る通信装置の構成図である。

発明を実施するための形態

[0050] 以下、本発明の実施の形態について、実施例および図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさ、または大きさの比は、必ずしも厳密ではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する場合がある。

[0051] また、共振子または回路における共振周波数とは、特に断りの無い限り、当該共振子または当該回路を含むフィルタの通過帯域または通過帯域近傍の減衰極を形成するための共振周波数であり、当該共振子または当該回路のインピーダンスが極小となる特異点（理想的にはインピーダンスが 0 となる点）である「共振点」の周波数である。

[0052] また、共振子または回路における反共振周波数とは、特に断りの無い限り、当該共振子または当該回路を含むフィルタの通過帯域または通過帯域近傍の減衰極を形成するための反共振周波数であり、当該共振子または当該回路のインピーダンスが極大となる特異点（理想的にはインピーダンスが無限大となる点）である「反共振点」の周波数である。

[0053] なお、以下の実施の形態において、直列腕回路および並列腕回路は、以下のように定義される。

[0054] 並列腕回路は、第 1 入出力端子および第 2 入出力端子を結ぶ経路上の一のノードと、グラウンドと、の間に配置された回路である。

[0055] 直列腕回路は、第 1 入出力端子または第 2 入出力端子と、並列腕回路が接続される上記経路上のノードと、の間に配置された回路、または、一の並列腕回路が接続される上記経路上の一のノードと、他の並列腕回路が接続され

る上記経路上の他のノードと、の間に配置された回路である。

[0056] また、以下において、「通過帯域低域端」は、「通過帯域内の最も低い周波数」を意味する。また、「通過帯域高域端」は、「通過帯域内の最も高い周波数」を意味する。また、以下において、「通過帯域低域側」は、「通過帯域外かつ通過帯域より低周波数側」を意味する。また「通過帯域高域側」は、「通過帯域外かつ通過帯域より高周波数側」を意味する。また、以下では、「低周波数側」を「低域側」と称し、「高周波数側」を「高域側」と称する場合がある。

[0057] (実施の形態1)

[1. 高周波フィルタの基本構成]

図1Aは、実施の形態1に係るフィルタ10の回路ブロック図である。同図に示されたフィルタ10は、直列腕回路S1と、並列腕回路P1と、入出力端子101および入出力端子102と、を備える。

[0058] このフィルタ10は、入出力端子101および102の一方の入出力端子に入力された高周波信号のうち所望の周波数の高周波信号を通過させて入出力端子101および102の他方の入出力端子から出力する高周波フィルタである。言い換えると、当該一方の入出力端子は高周波電力が印加される端子である。

[0059] なお、フィルタ10が例えばマルチプレクサの送信フィルタまたはTDD (Time Division Duplex) フィルタとして用いられる場合には、一方の入出力端子には高周波送信電力が印加され、他方の入出力端子には高周波受信電力が印加される。ただし、この場合、高周波電力が印加され得る入出力端子101および102のうち、より大きな高周波電力が印加される端子が、フィルタ10の高周波電力が印加される端子として定義される。

[0060] 直列腕回路S1は、入出力端子101と入出力端子102とを結ぶ経路上に設けられている。具体的には、直列腕回路S1は、直列腕共振子s1と、第1インピーダンス素子の一例であるキャパシタCs1と、キャパシタCs

1 と直列接続された第 1 スイッチ素子であるスイッチ $SWs1$ と、を有する。直列腕共振子 $s1$ は、キャパシタ $Cs1$ およびスイッチ $SWs1$ と並列接続されている。つまり、キャパシタ $Cs1$ とスイッチ $SWs1$ とが直列接続された回路は、直列腕共振子 $s1$ と並列接続されている。

[0061] なお、直列腕回路 $S1$ は、キャパシタ $Cs1$ に代わり、第 1 インピーダンス素子の他の一例であるインダクタを有してもかまわない。

[0062] 並列腕回路 $P1$ は、入出力端子 101 と入出力端子 102 とを結ぶ経路上のノード、および、グラウンドに接続されており、本実施の形態では、直列腕回路 $S1$ と入出力端子 102 との間の上記経路上のノード、および、グラウンドに接続されている。具体的には、並列腕回路 $P1$ は、第 1 並列腕共振子である並列腕共振子 $p1$ と、当該並列腕共振子 $p1$ に直列接続された第 1 スイッチ回路であるスイッチ回路 $Z1$ と、を有する。スイッチ回路 $Z1$ は、第 2 スイッチ素子であるスイッチ $SWp1$ を有する。

[0063] なお、並列腕回路 $P1$ は、入出力端子 101 と直列腕回路 $S1$ との間の上記経路上のノード、および、グラウンドに接続されていてもかまわない。

[0064] 直列腕共振子 $s1$ および並列腕共振子 $p1$ のそれぞれは、弾性波を用いた弾性波共振子であり、例えば、SAW (Surface Acoustic Wave) を利用した共振子、BAW (Bulk Acoustic Wave) を利用した共振子、もしくは、FBAR (Film Bulk Acoustic Resonator) 等である。なお、SAW には、表面波だけでなく境界波も含まれる。また、直列腕共振子 $s1$ および並列腕共振子 $p1$ のそれぞれは、共振子の等価回路（インダクタとキャパシタとが直列接続された回路と、キャパシタとが並列接続された回路）を LC 素子で構成した回路のように、インピーダンスが極小（理想的には 0）となる共振周波数およびインピーダンスが極大（理想的には無限大）となる反共振周波数を有する共振子または回路であってもよい。なお、以降、共振子に限らず直列腕回路および並列腕回路についても、インピーダンスが極小となる周波数を「共振周波数」と称し、インピーダンスが極大となる周波数を「反共振周波数」と称する。

数」と称する。

[0065] キャパシタCs1は、例えば、共振子と同一のチップに形成される。なお、キャパシタCs1は、バリキャップおよびDTC (Digitally Tunable Capacitor) 等の可変キャパシタであってもかまわない。

[0066] スイッチSWs1およびSWp1のそれぞれは、1以上のトランジスタで構成されたSPST (Single Pole Single Throw) 型のスイッチ素子である。本実施の形態では、スイッチSWs1およびSWp1のそれぞれは、複数のトランジスタで構成されている。具体的には、スイッチSWs1およびSWp1のそれぞれは、FET (Field Effect Transistor: 電界効果トランジスタ) で構成されており、例えば、GaAsもしくはCMOS (Complementary Metal Oxide Semiconductor) からなる。このような半導体を用いたスイッチは小型であるため、フィルタ10を小型化することができる。また、FETは、平面的な構造であり、かつ、他の素子の干渉が少ないため、集積化しやすい。よって、フィルタ10の小型化および通過帯域内の挿入損失の低減を図ることができる。

[0067] これらスイッチSWs1およびSWp1は、それぞれ、RFIC (Radio Frequency Integrated Circuit) 等の制御部 (図示せず) からの制御信号にしたがって、導通および非導通が切り替えられる。なお、これらの構成の詳細については、後述する。

[0068] 以上のように構成されたフィルタ10において、直列腕回路S1の共振周波数および並列腕回路P1の反共振周波数はフィルタ10の通過帯域を形成し、直列腕回路S1の反共振周波数および並列腕回路P1の共振周波数はフィルタ10の減衰極を形成する。

[0069] ここで、直列腕回路S1では、直列腕共振子s1に対して、キャパシタCs1およびスイッチSWs1を直列接続した回路が並列接続されている。よって、スイッチSWs1の導通および非導通が切り替えられることにより、

直列腕回路 S 1 の反共振周波数が切り替えられるため、フィルタ 10 の減衰極の周波数が切り替えられることになる。具体的には、スイッチ SW s 1 が非導通の場合には、キャパシタ C s 1 およびスイッチ SW s 1 を直列接続した回路が機能しないため、直列腕回路 S 1 の反共振周波数は直列腕共振子 s 1 の反共振周波数と概ね一致する。一方で、スイッチ SW s 1 が導通の場合には、スイッチ SW s 1 によって直列腕共振子 s 1 に対してキャパシタ C s 1 が並列接続されるため、直列腕回路 S 1 の反共振周波数は直列腕共振子 s 1 の反共振周波数よりも低くなる。

[0070] したがって、フィルタ 10 は、スイッチ SW s 1 の導通および非導通の切り替えにしたがって減衰極の周波数が可変する周波数可変機能を有する。ここで、当該減衰極の周波数可変幅は、キャパシタ C s 1 の素子値に依存し、例えばキャパシタ C s 1 の素子値が大きいほど周波数可変幅が広がる。このため、キャパシタ C s 1 の素子値は、フィルタ 10 に要求される周波数仕様に応じて適宜決定され得る。

[0071] また、さらに、フィルタ 10 は、並列腕回路 P 1 のスイッチ SW p 1 の導通および非導通の切り替えによっても減衰極の周波数等が切り替えられる周波数可変機能を有する。このことについて、フィルタ 10 の具体的な回路構成例と併せて説明する。

[0072] 図 1 B は、実施の形態 1 に係るフィルタ 10 X の回路構成図である。同図に示されたフィルタ 10 X は、フィルタ 10 の具体的な回路構成の一例である。

[0073] 図 1 A および図 1 B から明らかなように、スイッチ回路 Z 1 は、具体的には、上述したスイッチ SW p 1（第 2 スイッチ素子）と、インダクタおよびキャパシタの一方であり、スイッチ SW p 1 に接続された第 2 インピーダンス素子の一例であるキャパシタ C p 1 と、を有する。

[0074] 図 1 B に示すように、スイッチ回路 Z 1 は、キャパシタ C p 1 とスイッチ SW p 1 とが並列接続された回路である。このため、スイッチ SW p 1 の導通および非導通が切り替えられることにより、スイッチ回路 Z 1 のインピー

ダンスが切り替えられる。その結果、並列腕回路 P 1 の共振周波数が切り替えられるため、フィルタ 10X の減衰極の周波数が切り替えられることになる。具体的には、スイッチ SW p 1 が非導通の場合には、並列腕共振子 p 1 にキャパシタ C p 1 が直列接続されるため、並列腕回路 P 1 の共振周波数は並列腕共振子 p 1 の共振周波数よりも高くなる。一方で、スイッチ SW p 1 が導通の場合には、キャパシタ C p 1 がスイッチ SW p 1 によって短絡されるため、並列腕回路 P 1 の共振周波数は並列腕共振子 p 1 の共振周波数と概ね一致する。

[0075] したがって、フィルタ 10X は、スイッチ SW p 1 の導通および非導通の切り替えにしたがって減衰極の周波数が可変する周波数可変機能を有する。ここで、当該減衰極の周波数可変幅は、キャパシタ C p 1 の素子値に依存し、例えばキャパシタ C p 1 の素子値が小さいほど周波数可変幅が広くなる。このため、キャパシタ C p 1 の素子値は、フィルタ 10X に要求される周波数仕様に応じて適宜決定され得る。

[0076] なお、フィルタ 10X は、キャパシタ C p 1 に代わり、第 2 インピーダンス素子の他の一例であるインダクタを有してもかまわない。

[0077] また、本実施の形態に係るフィルタ 10 は、フィルタ 10X のようにスイッチ回路が第 2 インピーダンス素子を有する構成でなくてもよい。

[0078] 図 1C は、実施の形態 1 に係るフィルタ 10 の他の回路構成図である。同図に示されたフィルタ 10Y は、フィルタ 10 の具体的な回路構成の他の一例である。

[0079] 並列腕回路 P 1 y は、フィルタ 10X が有する並列腕回路 P 1 の他の一例であり、フィルタ 10X が有するスイッチ回路 Z 1 の他の一例であるスイッチ回路 Z 1 y を有する。スイッチ回路 Z 1 y は、フィルタ 10X が有するスイッチ回路 Z 1 に比べて、キャパシタ C 1 を有さない点が異なる。

[0080] 上記回路構成により、スイッチ SW p 1 の導通および非導通が切り替えられることにより、スイッチ回路 Z 1 y のインピーダンスが切り替えられる。具体的には、スイッチ SW p 1 が非導通の場合、フィルタ 10Y の通過特性

は、直列腕回路 S 1 のみが寄与する特性（例えば、直列腕回路 S 1 で構成されるトラップ特性）となる。一方、スイッチ SW p 1 が導通の場合、フィルタ 1 0 Y の通過特性は、直列腕回路 S 1 と並列腕共振子 p 1 とで構成されるラダー型フィルタの特性となる。つまり、フィルタ 1 0 Y は、スイッチ SW p 1 の導通および非導通の切り替えにしたがって通過帯域および減衰帯域の周波数が可変する周波数可変機能を有する。

[0081] [2. スイッチ素子の構造および特性]

次に、フィルタ 1 0 が有するスイッチ SW s 1 および SW p 1 の構造について、スイッチ 1 C 5 0 を用いて詳細に説明する。

[0082] 図 2 A は、実施の形態 1 に係るスイッチ 1 C 5 0 の構成を示す模式図である。また、図 2 B は、スイッチ 1 C 5 0 を構成するトランジスタ 1 1 1 の回路構成図である。図 2 A の（a）では、4 つのスイッチ SW 1 ～SW 4 を備えるスイッチ 1 C の実装形態が示されている。

[0083] 図 2 A の（a）に示すように、スイッチ SW 1 ～SW 4 は、基板 5 1 に形成されている。基板 5 1 の裏面には、電源端子 P_{VCC}、制御端子 P_{CTRL}、グランド端子 P_{GND}、スイッチ端子 P_{SW1}、P_{SW2}、P_{SW3}、P_{SW4}、P_{SW5} および P_{SW6} が設けられている。スイッチ端子 P_{SW1} および P_{SW6} の間にスイッチ SW 1 が接続され、スイッチ端子 P_{SW2} および P_{SW6} の間にスイッチ SW 2 が接続され、スイッチ端子 P_{SW3} および P_{SW5} の間にスイッチ SW 3 が接続され、スイッチ端子 P_{SW4} および P_{SW5} の間にスイッチ SW 4 が接続されている。

[0084] 実施の形態 1 に係るフィルタ 1 0 を図 2 A に示されるスイッチ 1 C 5 0 により実現する場合、フィルタ 1 0 が有するスイッチ SW s 1 はスイッチ SW 1 に相当し、スイッチ SW p 1 はスイッチ SW 3 に相当し、スイッチ SW 2 およびスイッチ SW 4 は未使用となる。なお、スイッチ 1 C 5 0 は、図 2 A に示された構成に限らず、図 2 A に示されたスイッチ SW 1 ～SW 4 のうち、スイッチ SW 1 および SW 3 のみを有する構成であってもかまわない。

[0085] また、基板 5 1 には、例えば、パワーマネジメント IC 等の電源回路から供給された電源電圧 VCC によって動作し、例えば、RF IC から入力され

た制御信号に応じて、スイッチSW1～SW4の導通および非導通を個別に切り替える複数のスイッチ駆動電圧を生成する制御回路CTRLが設けられている。

[0086] スイッチSW1～SW4の各々は、1以上のトランジスタ111で構成され、ここでは、複数のトランジスタ111が直列接続された構成を有する。

[0087] 図2Aの(b)に示すように、スイッチSW1を構成するトランジスタ111__1は、例えば、複数のソース電極指111__1sからなるソース電極、複数のドレイン電極指111__1dからなるドレイン電極、および複数のゲート電極指111__1gからなるゲート電極で構成されるFETである。また、図2Aの(c)に示すように、スイッチSW3を構成するトランジスタ111__3は、例えば、複数のソース電極指111__3sからなるソース電極、複数のドレイン電極指111__3dからなるドレイン電極、および複数のゲート電極指111__3gからなるゲート電極で構成されるFETである。言い換えると、トランジスタ111(111__1および111__3)は、ソース電極指、ドレイン電極指、およびゲート電極指が互いに向き合って構成される1組の単位FETが、複数並列(櫛歯状)に配置されている。

[0088] このように構成されたスイッチSW1～SW4において、1つのトランジスタ111を構成する電極指の重複する長さをフィンガー長 L_F と呼び、フィンガー長 L_F とフィンガー数 N_F とを乗算したものをゲート幅 W と呼ぶ。さらに、1つのスイッチを構成するトランジスタ111の個数を、スタック数 N_s と呼ぶ。

[0089] ここで、スイッチSW3を構成する1以上(ここでは複数)を構成するトランジスタ111__2の各々のゲート幅 W_2 は、スイッチSW1を構成する1以上(ここでは複数)のトランジスタ111__1の少なくとも1つのゲート幅 W_1 より大きい。すなわち、第2スイッチ素子であるスイッチSWp1を構成するトランジスタの各々のゲート幅は、第1スイッチ素子であるスイッチSWs1を構成するトランジスタの少なくとも1つのゲート幅より大きい。以下では、簡明のため、スイッチSW3が同一の構成を有する複数のト

ランジスタ 1 1 1 __ 3 で構成され、スイッチ SW 1 が同一の構成を有する複数のトランジスタ 1 1 1 __ 1 で構成されているとして説明する。このとき、スイッチ SW 3 を構成する複数のトランジスタ 1 1 1 __ 3 の各々のゲート幅 W_2 は、スイッチ SW 1 を構成する複数のトランジスタ 1 1 1 __ 1 のいずれのゲート幅 W_1 より大きい。なお、以下では、スイッチを構成するトランジスタのゲート幅を、単に「スイッチのゲート幅」と称することがある。

[0090] 例えば、図 2 A の (b) および (c) に示すように、スイッチ SW 1 のフィンガー数 N_{F1} とスイッチ SW 3 のフィンガー数 N_{F3} とが同じである場合、スイッチ SW 3 のフィンガー長 L_{F3} はスイッチ SW 1 のフィンガー長 L_{F1} より長い。なお、これに限らず、スイッチ SW 3 のフィンガー長 L_{F3} はスイッチ SW 1 のフィンガー長 L_{F1} とが同じであってもよく、この場合、スイッチ SW 3 のフィンガー数 N_{F3} がスイッチ SW 1 のフィンガー数 N_{F1} より多い。また、スイッチ SW 1 とスイッチ SW 3 では、ゲート幅が上記関係になっていればよく、フィンガー長およびフィンガー数のそれぞれが互いに異なってもかまわない。

[0091] また、図 2 A の (a) に示すように、本実施の形態では、スイッチ SW 1 のスタック数（ここでは 6 個）とスイッチ SW 3 のスタック数（ここでは 9 個）とは、互いに異なる。すなわち、第 1 スイッチ素子であるスイッチ SW s 1 のスタック数と第 2 スイッチ素子であるスイッチ SW 3 のスタック数とは、互いに異なる。具体的には、スイッチ SW 1 のスタック数はスイッチ SW 3 のスタック数より少ない。なお、以下では、スイッチを構成するトランジスタのスタック数を、単に「スイッチのスタック数」と称することがある。

[0092] つまり、直列腕回路 S 1 のスイッチ SW s 1（第 1 スイッチ素子）および並列腕回路 P 1 のスイッチ SW p 1（第 2 スイッチ素子）により周波数可変機能が果たされるフィルタ 1 0 において、スイッチ SW s 1 および SW p 1 は、次のように設計されている。すなわち、並列腕回路 P 1 のスイッチ SW p 1 のゲート幅は、直列腕回路 S 1 のスイッチ SW s 1 のゲート幅より大き

く設計されている。また、スイッチSWs 1のスタック数は、スイッチSWp 1のスタック数より少なく設計されている。

[0093] これにより、フィルタ10は、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。これについて、ゲート幅Wとスイッチ特性との関係、および、スタック数Nsとスイッチ特性との関係、を用いて説明する。

[0094] なお、直列腕回路S 1のスイッチSWs 1のスタック数と並列腕回路P 1のスイッチSWp 1のスタック数との関係は上記関係に限らず、例えば、同数であってもかまわない。ただし、上記関係によれば、スイッチSWs 1およびSWp 1について、フィルタ10に要求される耐電力性を満たす個々の耐電圧性を確保しつつ、合計サイズを小さくすることができる。その結果、フィルタ10について、通過帯域内の挿入損失のさらなる低減およびさらなる小型化を図りつつ、耐電力性を確保することができる。このため、スイッチSWs 1のスタック数は、スイッチSWp 1のスタック数より少なく設計されていることが好ましい。

[0095] 図3Aは、トランジスタ111で構成されるスイッチについて、スタック数Nsが固定の場合におけるゲート幅Wとスイッチ特性との関係を表すグラフである。また、図3Bは、トランジスタ111で構成されるスイッチについて、ゲート幅Wが固定の場合におけるスタック数Nsとスイッチ特性との関係を表すグラフである。

[0096] 図3Aの左列に示すように、スタック数Nsが固定の場合、スイッチは、ゲート幅Wが大きいほど、オン抵抗Ronが小さくなる。ここで、オン抵抗とは、スイッチの導通時の抵抗である。また、図3Aの中央列に示すように、この場合、ゲート幅Wに依存せず、耐電圧（非導通時の最大許容電圧）は一定となる。また、図3Aの右列に示すように、この場合、スイッチは、ゲート幅Wが大きいほど、耐電流（導通時の最大許容電流）が大きくなる。さらに、図3Aの左列、中央列、および右列に示すように、この場合、スイッチは、ゲート幅Wが大きいほど、サイズが大きくなる。

[0097] なお、スタック数 N_s が固定の場合、トランジスタ111の耐電圧および耐電流は、ソース電極指111sおよびドレイン電極指111dの幅、ならびに、電極指間のギャップに依存するため、トランジスタ111の加工限界および材料によって制約される。1つのトランジスタ111について、耐電圧は例えば2.5V程度であり、ゲート幅に対する耐電流は318mA/mm程度である。

[0098] また、図3Bの左列および中央列に示すように、ゲート幅 W が固定の場合、スイッチは、スタック数 N_s が多いほど、オン抵抗 R_{on} および耐電圧が大きくなる。また、図3Bの右列に示すように、この場合、スタック数 N_s に依存せず、耐電流は一定となる。さらに、図3Bの左列、中央列、および右列に示すように、この場合、スタック数 N_s が多いほど、サイズが大きくなる。

[0099] すなわち、トランジスタ111で構成されるスイッチには、ゲート幅 W が大きくなるほどオン抵抗は小さくなるが、一方でサイズが大きくなるというトレードオフの関係がある。また、当該スイッチには、スタック数 N_s が大きくなるほど耐電圧が向上するが、一方でオン抵抗が大きくなるとともにサイズが大きくなるというトレードオフの関係がある。

[0100] なお、ゲート幅 W が同じであっても、フィンガー長 L_f が短いほど、かつ、フィンガー数 N_f が多いほど、オン抵抗は小さくなる。これは、フィンガー長 L_f が短いほど電極指の長手方向の抵抗成分が小さくなることに起因するものである。したがって、ゲート幅 W が固定の場合、フィンガー長 L_f を短くしてフィンガー数を多くした構成は、フィンガー長 L_f を長くしてフィンガー数を減らした構成に比べて、オン抵抗を小さくできるとともに、耐電流性を向上することができる。

[0101] これらの関係から、本願発明者は、直列腕回路S1のスイッチ SW_s1 および並列腕回路P1のスイッチ SW_p1 によって周波数可変機能を有する高周波フィルタについて、次のような知見を得た。

[0102] すなわち、並列腕回路P1のスイッチ SW_p1 には、直列腕回路S1のス

スイッチSWs 1に比べ、導通時により多くの電流が流れる。つまり、スイッチSWp 1には高い耐電流性が要求されるが、一方で、スイッチSWs 1に要求される耐電流性は高くない。したがって、スイッチSWp 1のゲート幅をスイッチSWs 1のゲート幅より大きくすることにより、フィルタ10について、耐電流性を確保しつつ小型化することができる。さらに、スイッチSWs 1のオン抵抗を低減できるため、スイッチSWs 1が導通の場合において低損失化が可能となる。

[0103] また、並列腕回路P 1のスイッチSWp 1には、並列腕回路P 1のスイッチSWs 1に比べ、非導通時により大きい電圧が印加される。つまり、スイッチSWp 1には高い耐電圧性が要求されるが、一方で、スイッチSWs 1に要求される耐電圧性は高くない。したがって、スイッチSWs 1のスタック数をスイッチSWp 1のスタック数より少なくすることにより、フィルタ10について、耐電圧性を確保しつつ小型化することができる。また、スイッチSWs 1は、スイッチSWp 1に比べて、ゲート幅が小さいことによりトランジスタ111の1つ当たりのオン抵抗は大きい、一方で、スタック数は少ない。これにより、トランジスタ111の1つ当たりのオン抵抗とスタック数との乗算値で表されるスイッチSWs 1全体のオン抵抗を低減することができる。このため、スイッチSWs 1が導通の場合において、フィルタ10における通過帯域内の挿入損失を低減することができる。

[0104] [3. スイッチ素子の両端電圧とスイッチ素子構造との関係]

ここで、並列腕回路P 1のスイッチSWp 1が非導通の場合に、当該スイッチSWp 1に印加される電圧について説明する。なお、以降、スイッチに印加される電圧を、「スイッチの両端電圧」または「スイッチ素子の両端電圧」と称することがある。

[0105] スイッチSWp 1の両端電圧の大きさは、フィルタ10に印加される高周波電力の大きさに比例する。特に、スイッチSWp 1が非導通の場合、スイッチSWp 1のインピーダンスが高くなるため、両端電圧は大きくなる。

[0106] 一般的なスイッチ素子では、複数のトランジスタのスタック数を増やして

各トランジスタにかかる電圧を分割する。しかし、スタック数を増やすとサイズが大型化するとともに、スイッチ素子のオン抵抗が大きくなる。

[0107] つまり、トランジスタのスタック数を増やすと、スイッチ素子のサイズが大型化するため、フィルタのサイズが大型化するとともに、スイッチ素子の耐電圧性が向上することでフィルタの耐電力性が向上する。一方で、トランジスタのスタック数を増やすと、スイッチ素子のオン抵抗が大きくなるため、スイッチ素子の導通時におけるフィルタの通過帯域内挿入損失が悪化する。すなわち、スイッチ素子を構成するトランジスタのスタック数を調整することは、フィルタの耐電力性と、フィルタのサイズおよび通過帯域内挿入損失との間でトレードオフの関係を有することとなる。

[0108] 上記観点から、周波数可変機能を有する高周波フィルタに必要とされる耐電力性を満たすために、直列腕回路と並列腕回路のスイッチ素子のスタック数を同じにすると、サイズおよび通過帯域内挿入損失が悪化するという問題がある。

[0109] ここで、並列腕回路 P 1 のスイッチ SW p 1 の両端電圧の大きさに着目すると、次のことが言える。第 1 に、スイッチ SW p 1 の両端電圧 V_{p1} の大きさは、入出力端子 102 に高周波電力が印加された場合よりも入出力端子 101 に高周波電力が印加された場合に大きい。言い換えると、並列腕回路 P 1 により近い入出力端子 102 から高周波電力が印加された場合に、スイッチ SW p 1 の両端電圧 V_{p1} が大きくなる。また、第 2 に、並列腕回路 P 1 に印加された高周波電圧は並列腕共振子 p 1 とスイッチ回路 Z 1 とで分圧されるため、スイッチ SW p 1 の両端電圧の大きさは、並列腕共振子 p 1 およびスイッチ回路 Z 1 のインピーダンス比に依存する分圧比率によって定まる。ここで、並列腕共振子 p 1 のインピーダンスは、共振周波数および反共振周波数により大きく変化するため、スイッチ回路 Z 1 に印加される高周波電圧は、並列腕共振子 p 1 のインピーダンス特性（すなわち共振特性）により変化する。

[0110] つまり、スイッチ SW p 1 の両端電圧 V_{p1} の大きさは、高周波電力が入

出力端子 101 および 102 のいずれから印加されるか（高周波電力印加方向）、ならびに、並列腕共振子 $p1$ （並列腕回路 $P1$ ）の共振周波数に依存する。

[0111] [4. 並列腕回路においてスイッチにかかる電圧の解析]

ここで、上記並列腕回路 $P1$ を構成するスイッチ $SWp1$ の両端電圧が、どのような回路パラメータに影響するかを解析した結果について、説明する。

[0112] 図4は、フィルタ10Xの並列腕回路 $P1$ またはフィルタ10Yの並列腕回路 $P1y$ のスイッチ $SWp1$ が非導通時の等価回路図である。図4において、並列腕回路 Px は、共振子 $reso$ とキャパシタ Cx とが直列接続された構成となっている。共振子 $reso$ は、フィルタ10Xの並列腕回路 $P1$ における並列腕共振子 $p1$ 、または、フィルタ10Yの並列腕回路 $P1y$ における並列腕共振子 $p1$ に相当する。キャパシタ Cx は、フィルタ10Xの並列腕回路 $P1$ におけるスイッチ $SWp1$ のオフ容量および当該スイッチ $SWp1$ に並列接続されたキャパシタ $Cp1$ の合成容量、または、フィルタ10Yの並列腕回路 $P1y$ におけるスイッチ $SWp1$ のオフ容量に相当する。ここで、「スイッチのオフ容量」とは、当該スイッチが非導通（オフ）の場合の容量成分である。

[0113] 図5は、並列腕回路 Px のインピーダンス特性、電流特性、および電圧特性を表すグラフである。なお、同図には、並列腕回路 Px の上記特性に限らず、並列腕回路 Px を構成する共振子 $reso$ およびキャパシタ Cx の上記特性についても表されていることがある。

[0114] 図5の上段に示すように、並列腕回路 Px の共振周波数は、共振子 $reso$ の共振周波数より高くなっている。また、図5の中段に示すように、並列腕回路 Px に流れる電流 I は、並列腕回路 Px の共振周波数において最大となっている。これは、並列腕回路 Px の共振周波数において並列腕回路 Px のインピーダンスが極小となっていることに起因するものである。また、図5の下段に示すように、並列腕回路 Px にかかる電圧 V_0 は、並列腕回路 Px

の共振周波数において極小となっているが、キャパシタ C_x にかかる電圧 V_c (の絶対値)、および、共振子 $reso$ にかかる電圧 V_r (の絶対値) は、極大となっている。このように、並列腕回路 P_x の共振周波数において、キャパシタ C_x の電圧 V_c および電流 I が最大となる。言い換えると、共振子 $reso$ と直列接続されるキャパシタ C_x に相当するとして説明した上記オフ容量および上記合成容量の電圧および電流は、並列腕回路 P_x の共振周波数において、最大となり得る。

[0115] 図 6 A は、並列腕回路 P_y の回路構成図である。また、図 6 B は、スイッチが非導通の場合における並列腕回路 P_y の等価回路図である。また、図 6 C は、スイッチが非導通の場合における並列腕回路 P_y の共振周波数における等価回路図である。

[0116] 図 6 A に示すように、並列腕回路 P_y は、共振子 $reso$ とスイッチ SW とが直列接続された回路である。図 6 B に示すように、共振子 $reso$ は、インダクタ L_1 、容量 C_1 および R_1 の直列回路と、共振子 $reso$ の静電容量 C_0 とが並列接続された回路で表される。また、スイッチ SW は、抵抗 R_{off} とオフ容量 C_{off} とが直列接続された回路で表される。ここで、「抵抗 R_{off} 」は、スイッチ SW が非導通（オフ）の場合の抵抗成分である。また、並列腕回路 P_y の共振周波数における等価回路は、図 6 C のように、インダクタ L_1 と抵抗 R_z と容量 C_z とが直列接続された回路で表される。ここで、抵抗 R_z および容量 C_z は、それぞれ、式 1 および式 2 で表される。

[0117] [数1]

$$R_z = R_1 + R_{off} \quad (\text{式 1})$$

[数2]

$$C_z = \frac{C_1 \cdot C_{off}}{C_1 + C_{off}} \quad (\text{式 2})$$

[0118] また、並列腕回路 P_y の共振周波数におけるインピーダンス Z_p は、図 6 C の等価回路より、式 3 となり、並列腕回路 P_y に基準電圧 V_p をかけたと

きの並列腕回路 P y に流れる電流 I_p は、式 4 となる。

[0119] [数3]

$$Z_p = R_z + j\omega_r L_1 + \frac{1}{j\omega_r C_z} \quad (\text{式 3})$$

[数4]

$$I_p = \frac{V_p}{R_z + j\omega_r L_1 + \frac{1}{j\omega_r C_z}} \quad (\text{式 4})$$

[0120] ここで、並列腕回路 P y の共振周波数では、式 5 が成立する。

[0121] [数5]

$$j\omega_r L_1 = \frac{1}{j\omega_r C_z} \quad (\text{式 5})$$

[0122] これより、並列腕回路 P y の共振周波数において流れる電流 I_{pr} は、式 6 となる。

[0123] [数6]

$$I_{pr} = \frac{V_p}{R_z} \quad (\text{式 6})$$

[0124] また、並列腕回路 P y の共振周波数におけるキャパシタ C_z にかかる電圧 V_c は、式 7 となる。

[0125] [数7]

$$|V_c| = \left| I_p \frac{1}{j\omega_r C_z} \right| = I_p \frac{1}{\omega_r C_z} = \frac{V_p}{\omega_r C_z R_z} \quad (\text{式 7})$$

[0126] 並列腕回路 P y の共振周波数において、 $\omega_r = 1/\sqrt{L_1 C_z}$ であるため、これを式 7 に代入すると、電圧 V_c は、式 8 となる。

[0127]

[数8]

$$V_C = I_p \frac{V_p}{\frac{1}{\sqrt{L_1 C_Z}} C_Z R_Z} = \frac{V_p \sqrt{L_1 C_Z}}{C_Z R_Z} = \frac{V_p}{R_Z} \sqrt{\frac{L_1}{C_Z}} \quad (\text{式 8})$$

[0128] なお、共振の鋭さ（Q値）は、式9で表される。

[0129] [数9]

$$Q = \frac{1}{R_Z} \sqrt{\frac{L_1}{C_Z}} \quad (\text{式 9})$$

[0130] 式8および式9より、電圧V_cは、式10となる。

[0131] [数10]

$$V_C = Q \cdot V_p \quad (\text{式 10})$$

[0132] よって、式10より、キャパシタC_zにかかる電圧V_cは、並列腕回路P_yの基準電圧V_pのQ倍となり、スイッチSWがオフ時の並列腕回路P_yにおいて、スイッチSWに基準電圧V_pを超える電圧がかかる。

[0133] 図6Dは、スイッチSWが非導通の場合における並列腕回路P_yの共振周波数における等価回路図である。図6Dに示された等価回路は、キャパシタC_zを、スイッチSWのオフ容量C_{off}に分解したものである。この場合、オフ容量C_{off}にかかる電圧V_{C_{off}}は、式11で表され、スイッチSWのオフ容量C_{off}が小さいほど、スイッチSWのオフ容量C_{off}にかかる電圧は低くなる。また、共振周波数におけるQ値が低いほど、スイッチSWのオフ容量C_{off}にかかる電圧は低くなる。

[0134] [数11]

$$V_{C_{off}} = \frac{C_{off}}{C_Z} V_C = \frac{C_{off}}{C_1 + C_{off}} V_C = \frac{C_{off}}{C_1 + C_{off}} Q \cdot V_p \quad (\text{式 11})$$

[0135] ここで、並列腕回路P_yに対して、スイッチSWにキャパシタC_{p1}を並列接続した回路を考える。

[0136] 図 6 E は、並列腕回路 P z の回路構成図である。また、図 6 F は、スイッチ S W が非導通の場合における並列腕回路 P z の共振周波数における等価回路図である。

[0137] 共振子の等価回路モデルから、共振子 r e s o の共振周波数 f_r および反共振周波数 f_a は、それぞれ、式 1 2 および式 1 3 のように表される。

[0138] [数12]

$$f_a = f_r \sqrt{1 + \frac{C_1}{C_0}} \quad (\text{式 1 2})$$

[数13]

$$f_r = \frac{1}{2\pi\sqrt{L_1 C_1}} \quad (\text{式 1 3})$$

[0139] 式 1 1 の C_{off} を $(C_{off} + C_{p1})$ に変更したもの、および式 1 2、式 1 3 から、並列腕回路 P z におけるオフ容量 C_{off} にかかる電圧 $V_{C_{off}}$ は、式 1 4 で表される。

[0140] [数14]

$$V_{C_{off}} = \frac{C_{off} + C_{p1}}{C_0 \left(\left(\frac{f_a}{f_r} \right)^2 - 1 \right) + C_{off} + C_{p1}} Q \cdot V_p \quad (\text{式 1 4})$$

[0141] 式 1 4 より、オフ容量 C_{off} の電圧 $V_{C_{off}}$ について、以下のことがわかる。

- (1) 共振子 r e s o の静電容量 C_0 が大きいほど、スイッチ S W のオフ容量 C_{off} の電圧 $V_{C_{off}}$ が低くなる。
- (2) キャパシタ C_{p1} が大きいほど、スイッチ S W のオフ容量 C_{off} の電圧 $V_{C_{off}}$ が低くなる。
- (3) 並列腕回路 P z の周波数可変幅が小さいほど、スイッチ S W のオフ容量 C_{off} の電圧 $V_{C_{off}}$ が低くなる。
- (4) 共振子 r e s o の比帯域幅 $(f_a - f_r) / f_r$ が大きいほど、ス

ッチSWのオフ容量 C_{off} の電圧 V_{Coff} が低くなる。

[0142] 上記説明では、スイッチSWの両端電圧 V_s の大きさは、高周波電力印加方向、および、並列腕共振子の共振周波数に依存するとして説明した。しかし、上記解析結果のように、スイッチSWの両端電圧 V_s の大きさは、これに限らず、並列腕共振子の静電容量、スイッチSWの等価容量 C_{p1} 、並列腕回路の周波数可変幅、および、並列腕共振子の比帯域幅にも依存する。

[0143] [5. 実施例および比較例]

以上説明した本実施の形態によれば、スイッチSW_{p1}のゲート幅がスイッチSW_{s1}のゲート幅より大きく、スイッチSW_{p1}のスタック数がスイッチSW_{s1}のスタック数より多い。これにより、周波数可変機能を有するフィルタ10について、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。以下、この効果について、比較例1および2と比較しながら、実施例1および2を用いて説明する。ここで、比較例1、比較例2、実施例1および実施例2は、いずれもフィルタ10Xの回路構成を有し、高周波電力印加方向ならびにスイッチSW_{p1}およびSW_{s1}の設計パラメータが異なる点を除き、同様に構成されている。

[0144] 表1に、比較例1、比較例2、実施例1および実施例2の相違点を示す。具体的には、比較例1および実施例1では、入出力端子101から+36dBmの高周波電力を印加した場合にスイッチSW_{s1}およびSW_{p1}に必要な耐電流性および耐電圧性を確保するように、スイッチSW_{s1}およびSW_{p1}が設計されている。また、比較例2および実施例2では、入出力端子102から+36dBmの高周波電力を印加した場合にスイッチSW_{s1}およびSW_{p1}に必要な耐電流性および耐電圧性を確保するように、スイッチSW_{s1}およびSW_{p1}が設計されている。このとき、比較例1および比較例2では、スイッチSW_{s1}およびSW_{p1}は、最も大きい耐電流性が必要となるスイッチに合わせてゲート幅が同一に設定され、最も高い耐電圧性が必要となるスイッチに合わせてスタック数が同一に設定されている。これに対し、実施例1および実施例2では、スイッチSW_{s1}およびSW_{p1}は、必

要な耐電流性を確保するようにゲート幅が個別に設定され、必要な耐電圧性を確保するようにスタック数が個別に設定されている。

[0145] [表1]

	電力印加端子	ゲート幅、スタック数の関係
比較例 1	入出力端子 101	スイッチSW _s 1のゲート幅＝スイッチSW _p 1のゲート幅 スイッチSW _s 1のスタック数＝スイッチSW _p 1のスタック数
比較例 2	入出力端子 102	スイッチSW _s 1のゲート幅＝スイッチSW _p 1のゲート幅 スイッチSW _s 1のスタック数＝スイッチSW _p 1のスタック数
実施例 1	入出力端子 101	スイッチSW _s 1のゲート幅<スイッチSW _p 1のゲート幅 スイッチSW _s 1のスタック数<スイッチSW _p 1のスタック数
実施例 2	入出力端子 102	スイッチSW _s 1のゲート幅<スイッチSW _p 1のゲート幅 スイッチSW _s 1のスタック数<スイッチSW _p 1のスタック数

[0146] また、比較例 1、比較例 2、実施例 1 および実施例 2 に係るフィルタは、スイッチSW_s 1 およびSW_p 1 の導通（オン）および非導通（オフ）が切り替えられることにより、次のように通過帯域の周波数が切り替えられる、周波数可変機能を有する高周波フィルタ（チューナブルフィルタ）である。

[0147] <Case 1>

スイッチSW_s 1 がオン、スイッチSW_p 1 がオン

: 第 1 通過帯域（700－730MHz）

<Case 2>

スイッチSW_s 1 がオフ、スイッチSW_p 1 がオフ

: 第 2 通過帯域（710－740MHz）

<Case 3>

スイッチSW_s 1 がオン、スイッチSW_p 1 がオフ

: 第 3 通過帯域（710－730MHz）

<Case 4>

スイッチSW_s 1 がオフ、スイッチSW_p 1 がオン

: 第 4 通過帯域（700－740MHz）

[0148] 表 2 に、比較例 1、比較例 2、実施例 1 および実施例 2 に係るフィルタに共通する各種設計パラメータを示す。具体的には、この表には、設計パラメータとして、直列腕共振子 s 1 および並列腕共振子 p 1 の共振周波数 f_r 、

反共振周波数 f_a および静電容量と、キャパシタ C_{s1} およびキャパシタ C_{p1} の静電容量と、が示されている。

[0149] [表2]

		fr (MHz)	fa (MHz)	静電容量 (pF)
直列腕回路 S1	直列腕共振子 s1	725.0	779.4	3.000
	キャパシタ Cs1	-	-	2.200
並列腕回路 P1	並列腕共振子 p1	670.0	720.3	3.000
	キャパシタ Cp1	-	-	2.500

[0150] 以下、比較例 1、比較例 2、実施例 1 および実施例 2 に係るフィルタについて、個別に説明する。

[0151] [5. 1. 比較例 1]

表 3 に、比較例 1 に係るフィルタの各種特性と、各スイッチに流れる最大電流 I_{s_max} および印加される最大電圧 V_{s_max} と、を示す。具体的には、この表には、フィルタの各種特性として、通過帯域ごとに、挿入損失 I_L 、直列腕回路 S1 および並列腕回路 P1 の共振周波数 F_r および反共振周波数 F_a が示されている。このことは、以降、同様の表においても同様である。

[0152]

[表3]

比較例 1 (電力印加端子：入出力端子 101)		IL (dB)	Fr (MHz)	Fa (MHz)	Is_max (mA)	Vs_max (V)
Case1 (SWs1 On) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.65 @700-730MHz	725.0	756.7	386	1.91
	並列腕回路 P1 (スイッチ SWp1)		669.0	720.3	593	2.89
Case2 (SWs1 Off) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.30 @710-740MHz	725.0	779.4	0	39.30
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	55.55
Case3 (SWs1 On) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.66 @710-730MHz	725.0	779.4	385	1.90
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	57.20
Case4 (SWs1 Off) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.31 @700-740MHz	725.0	779.4	0	39.63
	並列腕回路 P1 (スイッチ SWp1)		669.0	720.3	558	2.72
スイッチ SWs1 Max.					386	39.63
スイッチ SWp1 Max.					593	57.20

[0153] 表 4 に、比較例 1 に係るフィルタの各スイッチについて、設計パラメータ、特性およびサイズを示す。具体的には、この表には、設計パラメータとしてゲート幅 WF およびスタック数 Ns が示されており、特性として導通時の抵抗 Ron (オン抵抗)、許容入力電流および許容入力電圧が示されている。このことは、以降、同様の表においても同様である。

[0154] [表4]

比較例 1 (電力印加端子： 入出力端子 101)	ゲート幅 WF (mm)	スタック数 Ns (個)	Ron (Ω)	許容入力電流 (mA)	許容入力電圧 (V)	サイズ (μm^2)
スイッチ SWs1	2.10	23	4.58	668	57.5	48300
スイッチ SWp1	2.10	23	4.58	668	57.5	48300
Total	4.20	46	9.17	1335	115.0	96600

[0155] 図 7 は、比較例 1 に係るフィルタに関する各種特性を示すグラフである。具体的には、同図において、上から一段目（以降、「第一段」と称する）には、フィルタの通過特性が示されている。また、上から二段目（以降、「第

二段」と称する)には、直列腕回路S 1およびP 1のインピーダンス特性が示されている。また、上から三段目(以降、「第三段」と称する)には、スイッチに流れる電流の特性(スイッチ電流特性)が示されている。また、上から四段目(以降、「第四段」と称する)には、スイッチに印加される電圧の特性(スイッチ電圧特性)が示されている。また、左から一列目(以降、「第一列」と称する)には、スイッチSW s 1がオンかつスイッチSW p 1がオンの場合(C a s e 1)における上記の特性が示されている。また、左から二列目(以降、「第二列」と称する)には、スイッチSW s 1がオフかつスイッチSW p 1がオフの場合(C a s e 2)における上記の特性が示されている。また、左から三列目(以降、「第三列」と称する)には、スイッチSW s 1がオンかつスイッチSW p 1がオフの場合(C a s e 3)における上記の特性が示されている。また、左から四列目(以降、「第四列」と称する)には、スイッチSW s 1がオフかつスイッチSW p 1がオンの場合(C a s e 4)における上記の特性が示されている。これらについては、以降のフィルタに関する各種特性を示すグラフについても同様である。

[0156] [5. 2. 比較例 2]

表 5 に、比較例 2 に係るフィルタの各種特性と、各スイッチに流れる最大電流 I_{s_max} および印加される最大電圧 V_{s_max} と、を示す。

[0157]

[表5]

比較例 2 (電力印加端子：入出力端子 102)		IL (dB)	Fr (MHz)	Fa (MHz)	Is_max (mA)	Vs_max (V)
Case1 (SWs1 On) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.65 @700-730MHz	725.0	756.7	364	1.74
	並列腕回路 P1 (スイッチ SWp1)		699.0	720.3	688	3.24
Case2 (SWs1 Off) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.30 @710-740MHz	725.0	779.4	0	38.07
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	62.53
Case3 (SWs1 On) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.65 @710-730MHz	725.0	779.4	376	1.80
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	62.21
Case4 (SWs1 Off) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.30 @700-740MHz	725.0	779.3	0	36.21
	並列腕回路 P1 (スイッチ SWp1)		699.0	720.3	701	3.30
スイッチ SWs1 Max.					376	38.07
スイッチ SWp1 Max.					701	62.53

[0158] 表 6 に、比較例 2 に係るフィルタの各スイッチについて、設計パラメータ、特性およびサイズを示す。

[0159] [表6]

比較例 2 (電力印加端子： 入出力端子 102)	ゲート幅 WF (mm)	スタック数 Ns (個)	Ron (Ω)	許容入力電流 (mA)	許容入力電圧 (V)	サイズ (μm ²)
スイッチ SWs1	2.45	26	4.44	779	65.0	63700
スイッチ SWp1	2.45	26	4.44	779	65.0	63700
Total	4.90	52	8.88	1558	130.0	127400

[0160] 図 8 は、比較例 2 に係るフィルタに関する各種特性を示すグラフである。

[0161] [5. 3. 実施例 1]

表 7 に、実施例 1 に係るフィルタの各種特性と、各スイッチに流れる最大電流 I_{s_max} および印加される最大電圧 V_{s_max} と、を示す。

[0162]

[表7]

実施例 1 (電力印加端子：入出力端子 101)		IL (dB)	Fr (MHz)	Fa (MHz)	Is_max (mA)	Vs_max (V)
Case1 (SWs1 On) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.62 @700-730MHz	725.0	756.8	393	0.92
	並列腕回路 P1 (スイッチ SWp1)		669.0	720.3	594	2.89
Case2 (SWs1 Off) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.30 @710-740MHz	725.0	779.2	2	39.16
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	55.56
Case3 (SWs1 On) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.63 @710-730MHz	725.0	779.2	391	0.91
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	57.28
Case4 (SWs1 Off) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.31 @700-740MHz	725.0	779.4	2	39.49
	並列腕回路 P1 (スイッチ SWp1)		669.0	720.3	558	2.72
スイッチ SWs1 Max.					393	39.49
スイッチ SWp1 Max.					594	57.28

[0163] 表 8 に、実施例 1 に係るフィルタの各スイッチについて、設計パラメータ、特性およびサイズを示す。

[0164] [表8]

実施例 1 (電力印加端子： 入出力端子 101)	ゲート幅 WF (mm)	スタック数 Ns (個)	Ron (Ω)	許容入力電流 (mA)	許容入力電圧 (V)	サイズ (μm^2)
スイッチ SWs1	1.35	7	2.17	429	17.5	9450
スイッチ SWp1	2.10	23	4.58	668	57.5	48300
Total	3.45	30	6.76	1097	75.0	57750

[0165] 図 9 は、実施例 1 に係るフィルタに関する各種特性を示すグラフである。

[0166] [5. 4. 実施例 2]

表 9 に、実施例 2 に係るフィルタの各種特性と、各スイッチに流れる最大電流 I_{s_max} および印加される最大電圧 V_{s_max} と、を示す。

[0167]

[表9]

実施例 2 (電力印加端子：入出力端子 102)		IL (dB)	Fr (MHz)	Fa (MHz)	Is_max (mA)	Vs_max (V)
Case1 (SWs1 On) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.64 @700-730MHz	725.0	756.7	365	1.65
	並列腕回路 P1 (スイッチ SWp1)		669.0	720.3	688	3.24
Case2 (SWs1 Off) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.30 @710-740MHz	725.0	779.4	0	38.06
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	62.53
Case3 (SWs1 On) (SWp1 Off)	直列腕回路 S1 (スイッチ SWs1)	0.65 @710-730MHz	725.0	779.3	377	1.70
	並列腕回路 P1 (スイッチ SWp1)		697.8	720.3	0	62.21
Case4 (SWs1 Off) (SWp1 On)	直列腕回路 S1 (スイッチ SWs1)	0.30 @700-740MHz	725.0	779.3	0	36.19
	並列腕回路 P1 (スイッチ SWp1)		669.0	720.3	701	3.30
スイッチ SWs1 Max.					377	38.06
スイッチ SWp1 Max.					701	62.53

[0168] 表 10 に、実施例 2 に係るフィルタの各スイッチについて、設計パラメータ、特性およびサイズを示す。

[0169] [表10]

実施例 2 (電力印加端子： 入出力端子 102)	ゲート幅 WF (mm)	スタック数 Ns (個)	Ron (Ω)	許容入力電流 (mA)	許容入力電圧 (V)	サイズ (μm ²)
スイッチ SWs1	1.60	16	4.19	509	40.0	25600
スイッチ SWp1	2.45	26	4.44	779	65.0	63700
Total	4.05	42	8.63	1287	105.0	89300

[0170] 図 10 は、実施例 2 に係るフィルタに関する各種特性を示すグラフである。

[0171] [5. 5. 比較例 1, 2 と実施例 1, 2 の比較]

図 7 ～図 10 および表 3、表 5、表 7、表 9 に示すように、比較例 1, 2 および実施例 1, 2 に係るフィルタにおいて、直列腕回路 S 1 および並列腕回路 P 1 の共振特性（共振周波数および反共振周波数）はほぼ同じである。

[0172] 表 1 1 に、比較例 1, 2 および実施例 1, 2 に係るフィルタについて、各通過帯域内の挿入損失および 2 つのスイッチの合計サイズを示す。

[0173] [表11]

	IL (dB)				スイッチ Total サイズ (μm^2)
	Case1 (SWs1 On) (SWp1 On) @700-730MHz	Case2 (SWs1 Off) (SWp1 Off) @710-740MHz	Case3 (SWs1 On) (SWp1 Off) @710-730MHz	Case4 (SWs1 Off) (SWp1 On) @700-740MHz	
比較例 1	0.65	0.30	0.66	0.31	96600
比較例 2	0.65	0.30	0.65	0.30	127400
実施例 1	0.62	0.30	0.63	0.31	57750
実施例 2	0.64	0.30	0.65	0.30	89300

[0174] この表に示すように、比較例 1 と実施例 1 とを比べると、実施例 1 では、通過帯域内のロスが低減するとともに、スイッチの合計サイズを小さくすることができる。比較例 2 と実施例 2 とを比べても同様に、実施例 2 では、通過帯域内のロスが低減するとともに、スイッチの合計サイズを小さくすることができる。

[0175] すなわち、直列腕回路 S 1 では、スイッチ SW s 1 がオンの場合、スイッチ SW s 1 のインピーダンスは非常に低く（理想的にはゼロ）、図 7 ～図 10 の第一列第三段および第三列第三段に示すように、直列腕回路 S 1 の反共振周波数においてスイッチ SW s 1 に流れる電流が最大になる。一方、スイッチ SW s 1 がオフの場合、スイッチ SW s 1 のインピーダンスは非常に高く（理想的には無限大）、図 7 ～図 10 の第二列第四段および第四列第四段に示すように、直列腕回路 S 1 の反共振周波数においてスイッチ SW s 1 にかかる電圧が最大になる。

[0176] 並列腕回路 P 1 では、スイッチ SW p 1 がオンの場合、スイッチ SW p 1 のインピーダンスは非常に低く（理想的にはゼロ）、図 7 ～図 10 の第一列第三段および第三列第三段に示すように、並列腕回路 P 1 の共振周波数において、スイッチ SW p 1 に流れる電流が最大になる。一方、スイッチ SW p

1 がオフの場合、スイッチ SW p 1 のインピーダンスは非常に高く（理想的には無限大）、図 7 ～図 10 の第二列第四段および第四列第四段に示すように、並列腕回路 P 1 の共振周波数においてスイッチ SW p 1 にかかる電圧が最大になる。

[0177] ここで、スイッチに流れる電流について比べると、スイッチ SW p 1 の当該電流の最大値はスイッチ SW s 1 の当該電流の最大値より大きい。また、スイッチにかかる電圧について比べると、スイッチ SW p 1 の当該電圧の最大値はスイッチ SW s 1 の当該電圧の最大値より大きい。

[0178] よって、スイッチ SW s 1 は、スイッチ SW p 1 に比べてゲート幅を小さくしても、必要な耐電流性を確保することができる。また、スイッチ SW s 1 は、スイッチ SW p 1 に比べてスタック数を減らしても、必要な耐電圧性を確保することができる。これに関し、スイッチ素子は、ゲート幅を小さくすると導通時の抵抗成分であるオン抵抗が大きくなる。しかし、スイッチ SW s 1 では、スタック数を減らすことができるため、オン抵抗の抑制が図られるとともに小型化することができる。

[0179] このように、直列腕回路 S 1 のスイッチ SW s 1 にかかる電圧は、並列腕回路 P 1 のスイッチ SW p 1 にかかる電圧より小さく、直列腕回路 S 1 のスイッチ SW s 1 に流れる電流は、並列腕回路 P 1 のスイッチ SW p 1 に流れる電流より小さい。このため、実施例 1 および 2 に係るフィルタは、それぞれ、比較例 1 および 2 に係るフィルタに比べて、直列腕回路 S 1 のスイッチ SW s 1 のスタック数を減らし、かつ、ゲート幅を小さくしても、耐電力性を落とすことがない。つまり、実施例 1 に係るフィルタによれば、入出力端子 101 から +36 dBm の高周波電力が印加された場合に必要な耐電流性および耐電圧性を確保しつつ、小型化および低損失化が図られる。また、実施例 2 に係るフィルタによれば、入出力端子 102 から +36 dBm の高周波電力が印加された場合に必要な耐電流性および耐電圧性を確保しつつ、小型化および低損失化が図られる。

[0180] また、直列腕回路 S 1 側である入出力端子 101 から高周波電力が印加さ

れた実施例 1 と直列腕回路 S 1 と並列腕回路 P 1 とが接続されるノード側である入出力端子 102 から高周波電力が印加された実施例 2 とを比較すると、実施例 1 では、実施例 2 に比べて、スイッチ SWp 1 にかかる電圧を抑制することができる。

[0181] すなわち、入出力端子 101 から高周波電力が印加された実施例 1 では、入出力端子 102 から同電力の高周波電力が印加された実施例 2 に比べて、並列腕回路 P 1 にかかる電圧が小さくなるので、これに伴いスイッチ SWp 1 にかかる電圧も小さくなる。よって、この場合、実施例 1 では、実施例 2 に比べて、スイッチ SWp 1 のスタック数を減らしても必要な耐電圧性を確保することができる。したがって、実施例 1 にかかるフィルタによれば、実施例 2 に比べ、スイッチ SWp 1 のサイズおよびオン抵抗を小さくすることができるので、さらなる小型化、および、スイッチ SWp 1 が導通の場合のさらなる低損失化が図られる。

[0182] [6. まとめ]

以上、実施例 1 および 2 を例に説明した実施の形態 1 に係るフィルタ 10 によれば、次の (1) ~ (4) の効果が奏される。つまり、周波数可変機能を有するフィルタ 10 について、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0183] (1) 直列腕回路 S 1 のスイッチ SWp 1 (第 2 スイッチ素子) のゲート幅を並列腕回路 P 1 のスイッチ SWs 1 (第 1 スイッチ素子) のゲート幅より大きくすることで、フィルタ 10 に求められる耐電力性を確保するとともに、小型化、および、スイッチ導通時の通過帯域内挿入損失を低減することができる。

[0184] 具体的には、スイッチ SWp 1 の導通時に流れる電流は、スイッチ SWs 1 の導通時に流れる電流よりも大きい。そこで、スイッチ SWp 1 を構成する 1 以上のトランジスタの各々のゲート幅がスイッチ SWs 1 を構成する 1 以上のトランジスタの少なくとも 1 つのゲート幅より大きいことにより、スイッチ SWs 1 およびスイッチ SWp 1 について、合計サイズを小さくしつ

つ、高周波フィルタに要求される耐電力性を満たす耐電流性を確保することができる。また、スイッチSW_{p1}のゲート幅が相対的に大きいことにより、スイッチSW_{p1}の導通時の抵抗（オン抵抗）を小さくできる。よって、スイッチSW_{p1}の導通時に、高周波フィルタの通過帯域内の挿入損失を低減することができる。また、スイッチSW_{s1}のゲート幅が相対的に小さいことによりスイッチSW_{s1}のサイズを小さくすることができるので、フィルタ10を小型化することができる。つまり、周波数可変機能を有する高周波フィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0185] (2) 直列腕回路S1のスイッチSW_{s1}のスタック数を並列腕回路P1のスイッチSW_{p1}のスタック数より少なくすることで、フィルタ10に求められる耐電力性を確保するとともに、さらなる小型化、および、スイッチ導通時の通過帯域内挿入損失のさらなる低減が図られる。

[0186] 具体的には、スイッチSW_{s1}に印加される最大電圧は、スイッチSW_{p1}に印加される最大電圧よりも小さい。このため、スイッチSW_{s1}について、スタック数を少なくすることにより、高周波フィルタに要求される耐電力性を満たす耐電圧性を確保しつつ小型化することができる。また、スイッチSW_{s1}について、スタック数が少なくなることにより、導通時の抵抗を抑制することができる。このため、スイッチSW_{s1}の導通時に、高周波フィルタの通過帯域内の挿入損失を低減することができる。つまり、周波数可変機能を有する高周波フィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0187] (3) 直列腕回路S1側の入出力端子101（第1入出力端子）から電力を印加することで、並列腕回路P1のスイッチSW_{p1}のスタック数を減らすことができるため、さらなる小型化、および、スイッチ導通時の通過帯域内挿入損失のさらなる低減が図られる。

[0188] また、入出力端子101から電力を印加することにより、スイッチSW_{s1}およびスイッチSW_{p1}について、双方が非導通の場合に印加される電圧

を合計した総電圧を低減することができる。このため、スタック数を合計した総スタック数を少なくすることができるので、スイッチSWs 1およびスイッチSWp 1について、要求される個々の耐電圧性を確保しつつ合計サイズを小さくすることができる。

[0189] (4) スwitchの導通および非導通の切り替えにより、通過帯域低域側の減衰極の周波数を切り替える(可変する)ことができる。

[0190] なお、上記説明では、スイッチSWs 1のスタック数は、スイッチSWp 1のスタック数より少ないとしたが、スイッチSWp 1のスタック数と異なっていればよく、これに限らない。例えば、スイッチSWs 1のスタック数は、スイッチSWp 1のスタック数より多くてもかまわない。

[0191] このように構成されたフィルタであっても、スイッチSWs 1(第1スイッチ素子)およびスイッチSWp 1(第2スイッチ素子)について、非導通時に印加される電圧に応じてスタック数を適宜設計することにより、個々の耐電圧性を確保しつつ合計サイズを小さくすることができる。また、スイッチSWs 1およびスイッチSWp 1(の一方のスタック数が他方のスタック数に比べて相対的に少ないことにより、当該一方のスイッチについて、導通時の抵抗を小さくできる。よって、当該一方のスイッチ素子の導通時に、通過帯域内の挿入損失を低減することができる。つまり、周波数可変機能を有するフィルタについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0192] また、並列腕回路P 1の構成は、本実施の形態で説明した構成に限らない。そこで、以下、実施の形態1の変形例として、実施の形態1と並列腕回路P 1の構成が異なるフィルタについて説明する。

[0193] [7. 実施の形態1の変形例1]

上記説明したフィルタ10の一例であるフィルタ10Xでは、スイッチ回路Z 1(第1スイッチ回路)は、キャパシタCp 1(インダクタおよびキャパシタの一方である第2インピーダンス素子)とスイッチSWp 1(第2スイッチ素子)とが並列接続された回路であった。これに対し、本変形例では

、スイッチ回路Z1は、さらに、スイッチSWp1に直列接続されたインダクタ（インダクタおよびキャパシタの他方である第3インピーダンス素子）を有する。また、当該インダクタとスイッチSWp1とが直列接続された回路は、キャパシタCp1に並列接続されている。

[0194] 以下、実施の形態1の変形例1に係るフィルタについて、説明する。

[0195] 図11は、実施の形態1の変形例1に係るフィルタ10Aの回路構成図である。同図に示されたフィルタ10Aは、上記説明したフィルタ10Xと比較して、スイッチ回路Z1の構成が異なる。以下、実施の形態1の変形例1に係るフィルタ10Aについて、フィルタ10Xと同じ点については説明を省略し、異なる点を中心に説明する。

[0196] 図11に示すように、フィルタ10Aは、直列腕回路S1、およびS5と、並列腕回路P1と、入出力端子101および102と、を備える。

[0197] スwitch回路Z1は、キャパシタCp1（第2インピーダンス素子）と、スイッチSWp1（第2スイッチ素子）と、インダクタLp1（第3インピーダンス素子）と、を有する。インダクタLp1はスイッチSWp1に直列接続され、インダクタLp1とスイッチSWp1とが直列接続された回路は、キャパシタCp1に並列接続されている。

[0198] このように構成されたフィルタ10Aでは、スイッチSWp1が導通から非導通へと切り替わることにより、並列腕回路P1の共振周波数が高域側へと切り替えられる。また、スイッチSWp1が導通の場合には、スイッチSWp1に直列接続されたインダクタLp1により、並列腕回路の共振周波数を並列腕共振子p1の共振周波数より低周波数側に位置させることができる。このため、スイッチSWp1の導通と非導通とを切り替えることにより、上記説明したフィルタ10Xと比較して、通過帯域低域側の減衰極の周波数の可変幅を大きくすることができる。

[0199] 本変形例に係るフィルタ10Aにおいて、インダクタLp1以外の各素子の設計パラメータは、表2に示したとおりである。また、スイッチSWs1およびSWp1について、ゲート幅の大小関係およびスタック数の大小関係

は、実施の形態 1 と同様である。

[0200] 図 12 は、実施の形態 1 の変形例 1 に係るフィルタ 10A に関する各種特性を示すグラフである。具体的には、同図には、インダクタ L_{p1} がない場合（インダクタ L_{p1} が短絡された場合）、ならびに、インダクタ L_{p1} の素子値を 2.0 nH、4.0 nH および 8.0 nH とした場合における各種特性が示されている。第一段は、直列腕回路 S1 および並列腕回路 P1 のインピーダンス特性を示すグラフであり、第二段は、第一段に示されたインピーダンス特性の一部の周波数範囲を拡大して示すグラフである。第三段は、フィルタ特性を示すグラフである。

[0201] 本変形例では、並列腕回路 P1 においてスイッチ SWp1 が導通の場合には、スイッチ回路 Z1 は、キャパシタ C_{p1} とインダクタ L_{p1} とが並列接続された回路となる。よって、この場合、並列腕回路 P1 は、並列腕共振子 $p1$ と、キャパシタ C_{p1} およびインダクタ L_{p1} が並列接続された回路とが直列接続された回路となる。さらに、キャパシタ C_{p1} とインダクタ L_{p1} とが並列接続された回路におけるインピーダンスが極大になる周波数は、並列腕共振子 $p1$ の共振周波数より高く設定しているため、並列腕共振子 $p1$ の共振周波数において、スイッチ回路 Z1 は誘導性のインピーダンスとなる。そのため、並列腕回路 P1 の共振周波数は、並列腕共振子 $p1$ の共振周波数より低周波数側に位置する。具体的には、図 12 の第二段および第三段に示すように、インダクタ L_{p1} の素子値が大きいほど、並列腕回路 P1 の共振周波数は低周波数側に位置する。

[0202] 一方、スイッチ SWp1 が非導通の場合には、スイッチ SWp1 のインピーダンスは非常に高く（理想的には無限大）、インダクタ L_{p1} は機能しない。そのため、並列腕回路 P1 は、並列腕共振子 $p1$ とキャパシタ C_{p1} とを直列に接続した回路と等価となる。よって、並列腕回路 P1 の共振周波数、並列腕共振子 $p1$ の共振周波数より高周波数側へ切り替えられる。

[0203] つまり、実施の形態 1 の変形例 1 に係るフィルタ 10A は、フィルタ 10X と比較して、スイッチ SWp1 と直列接続されたインダクタ L_{p1} により

、通過帯域低域側の減衰極の周波数の可変幅を大きくすることができる。このため、実施の形態1の変形例1に係るフィルタ10Aは、通過帯域の可変幅を大きく確保できる。

[0204] なお、スイッチ回路Z1（第1スイッチ回路）は、上記構成に限らず、インダクタ L_{p1} （第3インピーダンス素子）とスイッチ SW_{p1} （第2スイッチ素子）とが直列接続された回路を複数組有してもかまわない。このとき、これら複数組の回路は、互いに並列接続され、かつ、キャパシタ C_{p1} （第2インピーダンス素子）に並列接続されている。このような構成によれば、各組のスイッチ SW_{p1} の導通および非導通が適宜切り替えられることにより、通過帯域低域側の減衰極の周波数を細かく切り替えることができる。また、このような構成において、複数のインダクタ L_{p1} のインダクタンス値は互いに異なってもかまわないし、複数のインダクタ L_{p1} のうち2以上のインダクタ L_{p1} のインダクタンス値が等しくてもかまわない。いずれの構成であっても、導通とされるスイッチ SW_{p1} に応じてキャパシタ C_{p1} に並列接続される合成インダクタのインダクタンス値を変えることができる。また、2以上のスイッチ SW_{p1} を導通した場合に、当該合成インダクタのQ値を向上するとともに、スイッチ SW_{p1} が並列に複数個あるため、並列腕回路P1の共振周波数のQ値を上げることができ、フィルタ10Aの高選択度化が可能になる。

[0205] [8. 実施の形態1の変形例2]

ここまで、1つの並列腕回路が1つの並列腕共振子を有する構成について説明したが、1つの並列腕回路が2つの並列腕共振子を有してもかまわない。そこで、以下、このように構成された実施の形態1の変形例2に係るフィルタについて、説明する。

[0206] 図13は、実施の形態1の変形例2に係るフィルタ10Bの回路構成図である。同図に示されたフィルタ10Bは、上記説明したフィルタ10Xと比較して、スイッチ回路Z1の構成が異なる。以下、実施の形態1の変形例2に係るフィルタ10Bについて、フィルタ10Xと同じ点については説明を

省略し、異なる点を中心に説明する。

[0207] 並列腕回路 P 1 は、並列腕共振子 p 1 a および p 1 b と、並列腕共振子 p 1 a に直列接続されたスイッチ回路 Z 1 a と、を有している。並列腕共振子 p 1 a およびスイッチ回路 Z 1 a が直列接続された回路と、並列腕共振子 p 1 b とは、ノードとグラウンドとの間に並列接続されている。並列腕共振子 p 1 b の共振周波数は、並列腕共振子 p 1 a の共振周波数と異なり、並列腕共振子 p 1 b の反共振周波数は、並列腕共振子 p 1 a の反共振周波数と異なる。

[0208] ここで、並列腕共振子 p 1 a、キャパシタ C p 1 a、スイッチ S W p 1 a およびスイッチ回路 Z 1 a は、それぞれ、フィルタ 1 0 X における、並列腕共振子 p 1、キャパシタ C p 1、スイッチ S W p 1 およびスイッチ回路 Z 1 に相当する。つまり、フィルタ 1 0 B の並列腕回路 P 1 は、フィルタ 1 0 X の並列腕回路 P 1 に比べて、さらに、並列腕共振子 p 1 a（第 1 並列腕共振子）とスイッチ回路 Z 1 a（第 1 スイッチ回路）とが直列接続された回路に並列接続された並列腕共振子 p 1 b（第 2 並列腕共振子）を有する。

[0209] 並列腕共振子 p 1 a の共振周波数が並列腕共振子 p 1 b の共振周波数よりも低い場合、スイッチ S W p 1 a が導通から非導通に切り替わることにより、フィルタ 1 0 B の通過特性は、通過帯域低域側の減衰スロープが急峻度を維持しつつ高域側に切り替わることになる。言い換えると、当該フィルタは通過帯域低域端の挿入損失の増大を抑制しつつ、通過帯域低域端の周波数および減衰帯域の周波数を高域側に切り替えることができる。つまり、通過帯域内の挿入損失を悪化させることなく、通過帯域低域側の減衰極の周波数を切り替えることができる。

[0210] また、並列腕共振子 p 1 a の共振周波数が並列腕共振子 p 1 b の共振周波数よりも高い場合、スイッチ S W p 1 a が導通から非導通に切り替わることにより、フィルタ 1 0 B の通過特性は、通過帯域高域側の減衰スロープが急峻度を維持しつつ高域側に切り替わることになる。言い換えると、当該フィルタは通過帯域高域端の挿入損失の増大を抑制しつつ、通過帯域高域端の周

波数および減衰帯域の周波数を高域側に切り替えることができる。つまり、通過帯域内の挿入損失を悪化させることなく、通過帯域高域側の減衰極の周波数を切り替えることができる。

[0211] また、本変形例では、並列腕共振子 $p1a$ および並列腕共振子 $p1b$ のうち、スイッチ回路 $Z1a$ と直列接続された並列腕共振子 $p1a$ の静電容量が、並列腕共振子 $p1b$ の静電容量より大きいことが好ましい。

[0212] つまり、スイッチ $SWp1a$ （第2スイッチ素子）は、並列腕共振子 $p1a$ と直列接続されたスイッチ回路 $Z1a$ （第1スイッチ回路）に含まれる。このため、スイッチ $SWp1a$ の非導通時において、当該スイッチ $SWp1a$ の容量成分であるオフ容量に印加される電圧は、並列腕共振子 $p1a$ の静電容量に依存し、具体的には並列腕共振子 $p1a$ の静電容量が大きいほど小さくなる（[4. 並列腕回路においてスイッチにかかる電圧の解析] 欄を参照）。そこで、並列腕共振子 $p1a$ の静電容量を並列腕共振子 $p1b$ の静電容量より大きくすることにより、スイッチ $SWp1a$ に印加される電圧を下げるできるので、スイッチ $SWp1a$ のスタック数を少なくすることが可能となる。したがって、スイッチ $SWp1a$ について耐電圧性を確保しつつ小型化することができる。

[0213] [9. 実施の形態1の変形例3（実施例3）]

図14は、実施の形態1の変形例3に係るフィルタ10Cの回路構成図である。同図に示されたフィルタ10Cは、フィルタ10Bと比較して、並列腕回路P1が並列腕共振子とスイッチ回路とが直列接続された回路を2組有し、これら2組の回路が並列接続されている点異なる。以下、実施の形態1の変形例3に係るフィルタ10Cについて、フィルタ10Bと同じ点については説明を省略し、異なる点を中心に説明する。

[0214] 並列腕回路21は、並列腕共振子 $p1a$ および $p1b$ と、並列腕共振子 $p1a$ に直列接続されたスイッチ回路 $Z1a$ と、並列腕共振子 $p1b$ に直列接続されたスイッチ回路 $Z1b$ と、を有している。並列腕共振子 $p1a$ およびスイッチ回路 $Z1a$ が直列接続された回路と、並列腕共振子 $p1b$ およびス

スイッチ回路Z1bが直列接続された回路とは、並列接続されている。スイッチ回路Z1bは、キャパシタCp1bと、スイッチSWp1bとを有する回路である。スイッチSWp1bは、キャパシタCp1bと並列接続されている。なお、スイッチ回路Z1bは、キャパシタCp1に代わり、インダクタを有してもかまわない。並列腕共振子p1bの共振周波数は、並列腕共振子p1aの共振周波数と異なり、並列腕共振子p1bの反共振周波数は、並列腕共振子p1aの反共振周波数と異なる。具体的には、並列腕共振子p1bの共振周波数は、並列腕共振子p1aの共振周波数より低く、並列腕共振子p1bの反共振周波数は、並列腕共振子p1aの反共振周波数より低い。

[0215] このように構成されたフィルタ10Cによれば、スイッチSWp1aが導通から非導通に切り替えられ、かつ、スイッチSWp1bが導通から非導通に切り替えられることにより、フィルタ10Cの通過特性は、通過帯域低域側の減衰スロープが急峻度を維持し、通過帯域高域側の減衰スロープが急峻度を維持しつつ、通過帯域を高域側に切り替えられることになる。言い換えると、フィルタ10Cにおいて、各スイッチが導通から非導通に切り替えられることにより、通過帯域低域側の減衰極を高域側に切り替え、かつ、通過帯域高域側の減衰極を高域側に切り替えながら、通過帯域低域端の挿入損失の増大を抑制しつつ、通過帯域を高域側に切り替えることができる。一方、各スイッチが非導通から導通に切り替えられることにより、通過帯域低域側の減衰極を低域側に切り替え、かつ、通過帯域高域側の減衰極を低域側に切り替えながら、通過帯域高域端の挿入損失の増大を抑制しつつ、通過帯域を低域側に切り替えることができる。つまり、通過帯域内の挿入損失を悪化させることなく、通過帯域低域側および通過帯域高域側の減衰極の周波数を切り替えることができる。

[0216] ここで、スイッチSWp1bは、スイッチSWs1およびSWp1aと同様に、1以上のトランジスタで構成されている。このようにフィルタ10Cの周波数可変機能を果たすスイッチSWs1、SWp1aおよびSWp1bは、次のように設計されている。ここでは、簡明のため、スイッチSWs1

、SWp1aおよびSWp1bのそれぞれは、同一の構成を有する1以上のトランジスタで構成されているとして説明する。

[0217] スイッチSWs1のゲート幅 < スイッチSWp1aのゲート幅
 スイッチSWs1のゲート幅 < スイッチSWp1bのゲート幅
 スイッチSWp1bのスタック数 > スイッチSWs1のスタック数
 > スイッチSWp1aのスタック数

[0218] これにより、フィルタ10Cについても、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。以下、この効果について、比較例3と比較しながら、実施例3を用いて説明する。ここで、比較例3および実施例3は、いずれもフィルタ10Cの回路構成を有し、スイッチSWp1a、SWp1bおよびSWs1の設計パラメータが異なる点を除き、同様に構成されている。

[0219] 具体的には、比較例3および実施例3では、入出力端子102から+36dBmの高周波電力を印加した場合にスイッチSWs1、SWp1aおよびSWp1bに必要な耐電流性および耐電圧性を確保するように、スイッチSWs1、SWp1aおよびSWp1bが設計されている。このとき、比較例3では、スイッチSWs1、SWp1aおよびSWp1bは、最も大きい耐電流性が必要となるスイッチに合わせてゲート幅が同一に設定され、最も高い耐電圧性が必要となるスイッチに合わせてスタック数が同一に設定されている。これに対し、実施例4では、スイッチSWs1、SWp1aおよびSWp1bは、必要な耐電流性を確保するようにゲート幅が個別に設定され、必要な耐電圧性を確保するようにスタック数が個別に設定されている。

[0220] なお、実施の形態1の変形例2に係るフィルタ10Bでは、スイッチ回路Z1a（第1スイッチ回路）と直列接続された並列腕共振子p1aを第1並列腕共振子として説明し、スイッチ回路と直列接続されていない並列腕共振子p1bを第2並列腕共振子として説明した。しかし、本変形例に係るフィルタ10Cでは、並列腕共振子p1aおよび並列腕共振子p1bのうち、共振周波数および反共振周波数の高い並列腕共振子（ここでは並列腕共振子p

1 b) が第 1 並列腕共振子となり、共振周波数および反共振周波数の低い並列腕共振子（ここでは並列腕共振子 p 1 a）が第 2 並列腕共振子となる。これに伴い、本変形例では、スイッチ回路 Z 1 a および Z 1 b のうち、共振周波数および反共振周波数の高い並列腕共振子に直列接続されたスイッチ回路（ここではスイッチ回路 Z 1 b）が第 1 スwitch回路となり、共振周波数および反共振周波数の低い並列腕共振子に直列接続されたスイッチ回路（ここではスイッチ回路 Z 1 a）が第 2 スwitch回路となる。つまり、共振周波数および反共振周波数の高い並列腕共振子に直列接続されたスイッチ回路が有するスイッチ素子（ここではスイッチ SW p 1 b）およびインピーダンス素子（ここではキャパシタ C p 1 b）は、それぞれ、第 2 スwitch素子および第 3 インピーダンス素子となる。また、共振周波数および反共振周波数の低い並列腕共振子に直列接続されたスイッチ回路が有するスイッチ素子（ここではスイッチ SW p 1 a）およびインピーダンス素子（ここではキャパシタ C p 1 a）は、それぞれ、第 3 スwitch素子および第 4 インピーダンス素子となる。

[0221] 比較例 3 および実施例 3 に係るフィルタは、スイッチ SW s 1、SW p 1 a および SW p 1 b の導通（オン）および非導通（オフ）が切り替えられることにより、次のように通過帯域の周波数が切り替えられる、周波数可変機能を有する高周波フィルタ（チューナブルフィルタ）である。

[0222] <Case 1>

スイッチ SW s 1 がオン、スイッチ SW p 1 a がオン、スイッチ SW p 1 b がオン

: 第 1 通過帯域 (705 – 725 MHz)

<Case 2>

スイッチ SW s 1 がオフ、スイッチ SW p 1 a がオフ、スイッチ SW p 1 b がオフ

: 第 2 通過帯域 (710 – 735 MHz)

<Case 3>

スイッチSW_{s1}がオン、スイッチSW_{p1a}がオフ、スイッチSW_{p1b}がオン

: 第3通過帯域 (710 – 725 MHz)

<Case 4>

スイッチSW_{s1}がオフ、スイッチSW_{p1a}がオン、スイッチSW_{p1b}がオフ

: 第4通過帯域 (705 – 735 MHz)

[0223] 表12に、比較例3および実施例3に係るフィルタに共通する各種設計パラメータを示す。具体的には、この表には、設計パラメータとして、直列腕共振子s1および並列腕共振子p1a, p1bの共振周波数 f_r 、反共振周波数 f_a および静電容量と、キャパシタC_{s1}およびキャパシタC_{p1a}, C_{p1b}の静電容量と、が示されている。

[0224] [表12]

		f_r (MHz)	f_a (MHz)	静電容量 (pF)
直列腕回路 S1	直列腕共振子 s1	725.0	757.6	3.000
	キャパシタ Cs1	-	-	2.000
並列腕回路 P1	並列腕共振子 p1a	680.0	731.0	3.000
	キャパシタ Cp1a	-	-	7.000
	並列腕共振子 p1b	740.0	795.5	0.500
	キャパシタ Cp1b	-	-	3.000

[0225] 以下、比較例3および実施例3に係るフィルタについて、個別に説明する。

[0226] [9. 1. 比較例3]

表13に、比較例3に係るフィルタの各種特性と、各スイッチに流れる最大電流 I_{s_max} および印加される最大電圧 V_{s_max} と、を示す。具体的には、この表には、フィルタの各種特性として、通過帯域ごとに、挿入損失 I_L 、直列腕回路S1の共振周波数 F_{r1} および反共振周波数 F_{a1} 、

並列腕回路 P 1 の 2 つの共振周波数 F_{r1} , F_{r2} および反共振周波数 F_{a1} , F_{a2} が示されている。このことは、以降、同様の表においても同様である。

[0227] [表13]

比較例 3 (電力印加端子：入出力端子 102)		IL (dB)	Fr1 (MHz)	Fa1 (MHz)	Fr2 (MHz)	Fa2 (MHz)	Is_max (mA)	Vs_max (V)
Case1 (SWs1 On) (SWp1a On) (SWp1b On)	直列腕回路 S1 (スイッチ SWs1)	0.55 @705-725MHz	725.0	744.7	-	-	307	1.08
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		679.3	713.5	739.8	758.0	745 708	2.58 2.48
Case2 (SWs1 Off) (SWp1a Off) (SWp1b Off)	直列腕回路 S1 (スイッチ SWs1)	0.45 @710-735MHz	725.0	757.6	-	-	0	37.90
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		695.7	718.7	748.2	762.6	0 0	25.59 51.02
Case3 (SWs1 On) (SWp1a Off) (SWp1b On)	直列腕回路 S1 (スイッチ SWs1)	0.54 @710-725MHz	725.0	744.7	-	-	308	1.08
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		695.7	715.4	739.8	759.4	0 709	25.45 2.48
Case4 (SWs1 Off) (SWp1a On) (SWp1b Off)	直列腕回路 S1 (スイッチ SWs1)	0.49 @705-735MHz	725.0	757.6	-	-	0	37.67
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		679.3	717.4	748.2	761.3	758 0	2.63 50.98
スイッチ SWs1 Max.							308	37.90
スイッチ SWp1a Max.							758	25.59
スイッチ SWp1b Max.							709	51.02

[0228] 表 1 4 に、比較例 3 に係るフィルタの各スイッチについて、設計パラメー

タ、特性およびサイズを示す。

[0229] [表14]

比較例 3 (電力印加端子 : 入出力端子 102)	ゲート幅 WF (mm)	スタック数 Ns (個)	Ron (Ω)	許容入力電流 (mA)	許容入力電圧 (V)	サイズ (μm^2)
スイッチ SWs1	2.70	21	3.26	858	52.5	56700
スイッチ SWp1a	2.70	21	3.26	858	52.5	56700
スイッチ SWp1b	2.70	21	3.26	858	52.5	56700
Total	8.10	63	9.77	2575	157.5	170100

[0230] 図 15 は、比較例 3 に係るフィルタに関する各種特性を示すグラフである。具体的には、同図において、第一段には、フィルタの通過特性が示されている。また、第二段には、直列腕回路 S 1 および P 1 のインピーダンス特性が示されている。また、第三段には、スイッチに流れる電流の特性（スイッチ電流特性）が示されている。また、第四段には、スイッチに印加される電圧の特性（スイッチ電圧特性）が示されている。また、同図において、第一列には、スイッチ SW s 1 がオンかつスイッチ SW p 1 a がオンかつスイッチ SW 1 b がオンの場合（C a s e 1）における上記の特性が示されている。また、第二列には、スイッチ SW s 1 がオフかつスイッチ SW p 1 a がオフかつスイッチ SW p 1 b がオフの場合（C a s e 2）における上記の特性が示されている。また、第三列には、スイッチ SW s 1 がオンかつスイッチ SW p 1 a がオフかつスイッチ SW p 1 b がオフの場合（C a s e 3）における上記の特性が示されている。また、第四列には、スイッチ SW s 1 がオフかつスイッチ SW p 1 a がオンかつスイッチ SW p 1 b がオフの場合（C a s e 4）における上記の特性が示されている。これらについては、以降のフィルタに関する各種特性を示すグラフについても同様である。

[0231] [9. 2. 実施例 3]

表 15 に、実施例 3 に係るフィルタの各種特性と、各スイッチに流れる最大電流 I_{s_max} および印加される最大電圧 V_{s_max} と、を示す。

[0232] [表15]

実施例 3 (電力印加端子：入出力端子 102)		IL (dB)	Fr1 (MHz)	Fa1 (MHz)	Fr2 (MHz)	Fa2 (MHz)	Is_max (mA)	Vs_max (V)
Case1 (SWs1 On) (SWp1a On) (SWp1b On)	直列腕回路 S1 (スイッチ SWs1)	0.54 @705-725MHz	725.0	744.7	-	-	307	1.06
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		679.6	713.5	739.8	758.0	780	1.41
							707	2.52
Case2 (SWs1 Off) (SWp1a Off) (SWp1b Off)	直列腕回路 S1 (スイッチ SWs1)	0.46 @710-735MHz	725.0	757.6	-	-	0	37.88
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		695.7	718.7	748.2	762.6	1	25.57
							0	51.03
Case3 (SWs1 On) (SWp1a Off) (SWp1b On)	直列腕回路 S1 (スイッチ SWs1)	0.54 @710-725MHz	725.0	744.7	-	-	308	1.06
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		695.7	715.4	739.8	759.4	1	25.43
							708	2.52
Case4 (SWs1 Off) (SWp1a On) (SWp1b Off)	直列腕回路 S1 (スイッチ SWs1)	0.46 @705-735MHz	725.0	757.6	-	-	0	37.74
	並列腕回路 P1 (上段：スイッチ SWp1a) (下段：スイッチ SWp1b)		679.3	717.4	748.2	761.3	791	1.43
							0	50.99
スイッチ SWs1 Max.							308	37.88
スイッチ SWp1a Max.							791	25.57
スイッチ SWp1b Max.							708	51.03

[0233] 表 16 に、実施例 3 に係るフィルタの各スイッチについて、設計パラメータ、特性およびサイズを示す。

[0234]

[表16]

実施例 3 (電力印加端子 : 入出力端子 102)	ゲート幅 WF (mm)	スタック数 Ns (個)	Ron (Ω)	許容入力電流 (mA)	許容入力電圧 (V)	サイズ (μm^2)
スイッチ SWs1	2.10	16	3.19	668	40.0	33600
スイッチ SWp1a	2.70	11	1.71	858	27.5	29700
スイッチ SWp1b	2.65	21	3.32	842	52.5	55650
Total	7.45	48	8.21	2368	120.0	118950

[0235] 図 1 6 は、実施例 3 に係るフィルタに関する各種特性を示すグラフである。

[0236] [9. 3. 比較例 3 と実施例 3 の比較]

図 1 5, 図 1 6 および表 1 3, 表 1 5 に示すように、比較例 3 および実施例 4 に係るフィルタにおいて、直列腕回路 S 1 および並列腕回路 P 1 の共振特性（共振周波数および反共振周波数）はほぼ同じである。

[0237] 表 1 7 に、比較例 3 および実施例 3 に係るフィルタについて、各通過帯域内の挿入損失および 3 つのスイッチの合計サイズを示す。

[0238] [表17]

	IL (dB)				スイッチ Total サイズ (μm^2)
	Case1 (SWs1 On) (SWp1a On) (SWp1b On) @705-725MHz	Case2 (SWs1 Off) (SWp1a Off) (SWp1b Off) @710-735MHz	Case3 (SWs1 On) (SWp1a Off) (SWp1b On) @710-725MHz	Case4 (SWs1 Off) (SWp1a On) (SWp1b Off) @705-735MHz	
比較例 3	0.55	0.46	0.54	0.49	170100
実施例 3	0.54	0.46	0.54	0.46	118950

[0239] この表に示すように、比較例 3 と実施例 3 とを比べると、実施例 3 では、通過帯域内のロスが低減するとともに、スイッチの合計サイズを小さくすることができる。

[0240] すなわち、直列腕回路 S 1 では、スイッチ SWs 1 が導通の場合、スイッチ SWs 1 のインピーダンスは非常に低く（理想的にはゼロ）、図 1 5 およ

び図 1 6 の第一列第三段および第三列第三段に示すように、直列腕回路 S 1 の反共振周波数においてスイッチ S W s 1 に流れる電流が最大になる。一方、スイッチ S W s 1 がオフの場合、スイッチ S W s 1 のインピーダンスは非常に高く（理想的には無限大）、図 1 5 および図 1 6 の第二列第四段および第四列第四段に示すように、直列腕回路 S 1 の反共振周波数においてスイッチ S W s 1 にかかる電圧が最大になる。

[0241] 並列腕回路 P 1 では、スイッチ S W p 1 a がオンの場合、スイッチ S W p 1 a のインピーダンスは非常に低く（理想的にはゼロ）、図 1 5 および図 1 6 の第一列第三段および第四列第三段に示すように、並列腕回路 P 1 の低周波数側の共振周波数（すなわち並列腕共振子 p 1 a の共振周波数）において、スイッチ S W p 1 a に流れる電流が最大になる。一方、スイッチ S W p 1 a がオフの場合、スイッチ S W p 1 a のインピーダンスは非常に高く（理想的には無限大）、図 1 5 および図 1 6 の第二列第四段および第三列第四段に示すように、並列腕回路 P 1 の低周波数側の共振周波数においてスイッチ S W p 1 a にかかる電圧が最大になる。

[0242] また、並列腕回路 P 1 では、スイッチ S W p 1 b がオンの場合、スイッチ S W p 1 b のインピーダンスは非常に低く（理想的にはゼロ）、図 1 5 および図 1 6 の第一列第三段および第三列第三段に示すように、並列腕回路 P 1 の高周波数側の共振周波数（すなわち並列腕共振子 p 1 b の共振周波数）において、スイッチ S W p 1 b に流れる電流が最大になる。一方、スイッチ S W p 1 b がオフの場合、スイッチ S W p 1 b のインピーダンスは非常に高く（理想的には無限大）、図 1 5 および図 1 6 の第二列第四段および第四列第四段に示すように、並列腕回路 P 1 の高周波数側の共振周波数においてスイッチ S W p 1 b にかかる電圧が最大になる。

[0243] ここで、スイッチに流れる電流について比べると、スイッチ S W s 1 の当該電流の最大値はスイッチ S W p 1 a の当該電流の最大値およびスイッチ S W p 1 b の当該電流の最大値のいずれよりも小さい。また、スイッチにかかる電圧について比べると、スイッチ S W p 1 a の当該電圧の最大値はスイ

ちSWs 1の当該電圧の最大値より小さく、スイッチSWp 1 bの当該電圧の最大値はスイッチSWs 1の当該電圧の最大値より大きい。

[0244] よって、スイッチSWs 1は、スイッチSWp 1 aおよびSWp 1 bに比べてゲート幅を小さくしても、必要な耐電流性を確保することができる。また、スイッチSWp 1 aは、スイッチSWs 1に比べてスタック数を減らし、必要な耐電圧性を確保することができる。

[0245] このように、実施例3を用いて説明した実施の形態1の変形例3によれば、スイッチSWs 1（第1スイッチ素子）のゲート幅がスイッチSWp 1 a（第3スイッチ素子）およびスイッチSWp 1 b（第2スイッチ素子）のいずれのゲート幅より小さい。これにより、スイッチSWs 1、スイッチSWp 1 aおよびスイッチSWp 1 bについて、合計サイズを小さくしつつ、フィルタ10Cに要求される耐電力性を満たす耐電流性を確保することができる。また、スイッチSWp 1 aおよびSWp 1 bのゲート幅が相対的に大きいことにより、スイッチSWp 1 aおよびSWp 1 bの導通時の抵抗（オン抵抗）を小さくできる。よって、スイッチSWp 1 aおよびSWp 1 bの導通時に、フィルタ10Cの通過帯域内の挿入損失を低減することができる。つまり、通過帯域端の挿入損失を悪化させることなく減衰極の周波数を切り替えられるフィルタ10Cについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0246] また、実施の形態1の変形例3によれば、スイッチSWs 1に印加される最大電圧はスイッチSWp 1 bに印加される最大電圧よりも小さく、スイッチSWp 1 aに印加される最大電圧はスイッチSWs 1に印加される最大電圧よりも小さい。このため、スイッチSWs 1のスタック数をスイッチSWp 1 bのスタック数より少なくし、スイッチSWp 1 aのスタック数をスイッチSWs 1のスタック数より少なくする。これにより、スイッチSWs 1およびスイッチSWp 1 aについて、フィルタ10Cに要求される耐電力性を満たす個々の耐電圧性を確保しつつ合計サイズを小さくすることができる。また、スイッチSWs 1およびスイッチSWp 1 aについて、スタック数

が少なくなることにより、導通時の抵抗を抑制することができる。このため、スイッチSWs 1およびスイッチSWp 1 aの導通時に、フィルタ10Cの通過帯域内の挿入損失を低減することができる。つまり、通過帯域端の挿入損失を悪化させること無く減衰極の周波数を切り替えられるフィルタ10Cについて、通過帯域内の挿入損失のさらなる低減およびさらなる小型化を図りつつ、耐電力性を確保することができる。

[0247] なお、スイッチSWs 1、スイッチSWp 1 aおよびスイッチSWp 1 bは、上記のスタック数の関係を満たすことが好ましいが、これに限らない。例えば、スイッチSWs 1のスタック数、スイッチSWp 1 aのスタック数およびスイッチSWp 1 bのスタック数は、同数であってもかまわない。このような構成であっても、スイッチSWs 1、スイッチSWp 1 aおよびスイッチSWp 1 bが上記のゲート幅の関係を満たすことにより、次のような効果が奏される。すなわち、スイッチSWs 1、スイッチSWp 1 aおよびスイッチSWp 1 bについて、フィルタ10Cに要求される耐電力性を満たす個々の耐電圧性を確保しつつ、合計サイズを小さくすることが可能となる。その結果、フィルタ10Cについて、通過帯域内の挿入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0248] [10. 実施の形態1の変形例4]

ここまで説明した直列腕回路および並列腕回路の構成は、より多くの直列腕回路および並列腕回路を備えるフィルタに適用されてもかまわない。そこで、本変形例では、上記構成を適用した5つの直列腕回路および4つの並列腕回路を備えるフィルタについて説明する。なお、直列腕回路の個数および並列腕回路の個数は、これに限らない。

[0249] [10. 1. 回路構成]

図17は、実施の形態1の変形例4に係るフィルタ10Dの回路構成図である。

[0250] 図17に示すように、フィルタ10Dは、直列腕回路S1、S2、S3、S4、およびS5と、並列腕回路P1、P2、P3、およびP4と、入出力

端子 101 および 102 と、を備える。

[0251] 直列腕回路 S1 は、入出力端子 101 と入出力端子 102 とを結ぶ経路上に設けられた直列腕回路である。直列腕回路 S2 は、当該経路状の直列腕回路 S1 よりも入出力端子 102 側に設けられた直列腕回路である。直列腕回路 S3 は、当該経路状の直列腕回路 S2 よりも入出力端子 102 側に設けられた直列腕回路である。直列腕回路 S4 は、当該経路状の直列腕回路 S3 よりも入出力端子 102 側に設けられた直列腕回路である。直列腕回路 S5 は、当該経路状の直列腕回路 S4 よりも入出力端子 102 側に設けられた直列腕回路である。

[0252] 直列腕回路 S1 は、直列腕共振子 s1 と、キャパシタ Cs1 と、スイッチ SWs1 と、を有している。スイッチ SWs1 は、キャパシタ Cs1 と直列接続され、かつ、1 以上のトランジスタで構成されたスイッチ素子である。キャパシタ Cs1 とスイッチ SWs1 とが直列接続された回路は、直列腕共振子 s1 と並列接続されている。

[0253] 直列腕回路 S2 は、直列腕共振子 s2 と、キャパシタ Cs2 と、スイッチ SWs2 と、を有している。スイッチ SWs2 は、キャパシタ Cs2 と直列接続され、かつ、1 以上のトランジスタで構成されたスイッチ素子である。キャパシタ Cs2 とスイッチ SWs2 とが直列接続された回路は、直列腕共振子 s2 と並列接続されている。

[0254] 直列腕回路 S3 は、直列腕共振子 s3 と、キャパシタ Cs3 と、スイッチ SWs3 と、を有している。スイッチ SWs3 は、キャパシタ Cs3 と直列接続され、かつ、1 以上のトランジスタで構成されたスイッチ素子である。キャパシタ Cs3 とスイッチ SWs3 とが直列接続された回路は、直列腕共振子 s3 と並列接続されている。

[0255] 直列腕回路 S4 は、直列腕共振子 s4 と、キャパシタ Cs4 と、スイッチ SWs4 と、を有している。スイッチ SWs4 は、キャパシタ Cs4 と直列接続され、かつ、1 以上のトランジスタで構成されたスイッチ素子である。キャパシタ Cs4 とスイッチ SWs4 とが直列接続された回路は、直列腕共

振子 s 4 と並列接続されている。

[0256] 直列腕回路 S 5 は、直列腕共振子 s 5 と、キャパシタ C s 5 と、スイッチ SW s 5 と、を有している。スイッチ SW s 5 は、キャパシタ C s 5 と直列接続され、かつ、1 以上のトランジスタで構成されたスイッチ素子である。キャパシタ C s 5 とスイッチ SW s 5 とが直列接続された回路は、直列腕共振子 s 5 と並列接続されている。

[0257] 並列腕回路 P 1 は、直列腕回路 S 1 および S 2 の間の経路上のノード、および、グラウンドに接続されている。並列腕回路 P 2 は、直列腕回路 S 2 および S 3 の間の経路上のノード、および、グラウンドに接続されている。並列腕回路 P 3 は、直列腕回路 S 3 および S 4 の間の経路上のノード、および、グラウンドに接続されている。並列腕回路 P 4 は、直列腕回路 S 4 および S 5 の間の経路上のノード、および、グラウンドに接続されている。

[0258] 並列腕回路 P 1 は、並列腕共振子 p 1 と、並列腕共振子 p 1 に直列接続されたスイッチ回路 Z 1 と、を有している。並列腕回路 P 2 は、並列腕共振子 p 2 と、並列腕共振子 p 2 に直列接続されたスイッチ回路 Z 2 と、を有している。並列腕回路 P 3 は、並列腕共振子 p 3 と、並列腕共振子 p 3 に直列接続されたスイッチ回路 Z 3 と、を有している。並列腕回路 P 4 は、並列腕共振子 p 4 と、並列腕共振子 p 4 に直列接続されたスイッチ回路 Z 4 と、を有している。

[0259] スイッチ回路 Z 1 は、キャパシタ C p 1 と、スイッチ SW p 1 とを有する。スイッチ SW p 1 は、キャパシタ C p 1 と並列接続され、かつ、1 以上のトランジスタで構成されている。スイッチ回路 Z 2 は、キャパシタ C p 2 と、スイッチ SW p 2 とを有する。スイッチ SW p 2 は、キャパシタ C p 2 と並列接続され、かつ、1 以上のトランジスタで構成されている。スイッチ回路 Z 3 は、キャパシタ C p 3 と、スイッチ SW p 3 とを有する。スイッチ SW p 3 は、キャパシタ C p 3 と並列接続され、かつ、1 以上のトランジスタで構成されている。スイッチ回路 Z 4 は、キャパシタ C p 4 と、スイッチ SW p 4 とを有する。スイッチ SW p 4 は、キャパシタ C p 4 と並列接続され

、かつ、1以上のトランジスタで構成されている。

[0260] このように構成されたフィルタ10Dでは、直列腕回路S1～S5の共振周波数および並列腕回路P1～P5の反共振周波数によって通過帯域が構成される。また、直列腕回路S1～S5の反共振周波数によって通過帯域高域側の減衰極が構成され、並列腕回路P1～P5の共振周波数によって通過帯域低域側の減衰極が構成される。ここで、スイッチSWs1～SWs5の導通および非導通がそれぞれ切り替えられることにより、直列腕回路S1～S5の反共振周波数がそれぞれ切り替えられる。また、スイッチSWp1～SWp4の導通および非導通がそれぞれ切り替えられることにより、並列腕回路P1～P5の共振周波数がそれぞれ切り替えられる。したがって、フィルタ10Dは、スイッチSWs1～SWs5およびSWp1～SWp4の導通および非導通が適宜切り替えられることにより、通過帯域の周波数および減衰帯域の周波数を細かく調整することができる。

[0261] このようなスイッチSWs1～SWs5およびSWp1～SWp4により周波数可変機能が果たされるフィルタ10Dにおいて、スイッチSWs1～SWs5およびSWp1～SWp4は、ゲート幅およびスタック数が個別に設定されている。ここでは、簡明のため、スイッチSWs1～SWs5およびSWp1～SWp4のそれぞれは、同一の構成を有する1以上のトランジスタで構成されているとして説明する。

[0262] 具体的には、スイッチSWp1～SWp4のうち少なくとも1つのゲート幅は、スイッチSWs1～SWs5のうち少なくとも1つのゲート幅より大きく設計されている。つまり、スイッチSWs1～SWs5およびSWp1～SWp4は、必要な耐電流性を確保するようにゲート幅が個別に設定されている。また、スイッチSWp1～SWp4のうち少なくとも1つのスタック数は、スイッチSWs1～SWs5のうち少なくとも1つのスタック数と異なる数で設計されている。

[0263] これにより、本変形例によれば、通過帯域の周波数および減衰帯域の周波数を細かく調整することができるフィルタ10Dについて、通過帯域内の挿

入損失の低減および小型化を図りつつ、耐電力性を確保することができる。

[0264] なお、スイッチSWs 1～SWs 5およびSWp 1～SWp 4のスタック数は同一であってもかまわない。

[0265] [10. 2. 構造例]

図18は、図17に示すフィルタ10Dの構造を説明する平面図である。直列腕共振子s 1～s 5および並列腕共振子p 1～p 4は、圧電性を有する基板41上に形成されたIDT (InterDigital Transducer) 電極を有する弾性表面波共振子、または、基板41上に形成されたバルク弾性波共振子であり、1つのパッケージ内に構成されている。また、スイッチSWs 1～SWs 5およびキャパシタCs 1～Cs 5は、直列腕共振子s 1～s 5および並列腕共振子p 1～p 4とは別のパッケージ43内に構成されている。また、スイッチSWp 1～SWp 4およびキャパシタCp 1～Cp 4は、直列腕共振子s 1～s 5および並列腕共振子p 1～p 4とは別のパッケージ42内に構成されている。これら3つのパッケージは、配線基板44上に実装され、配線基板44に形成された配線により接続される。

[0266] 本構成では、キャパシタCs 1～Cs 5およびキャパシタCp 1～Cp 4は、スイッチ側のパッケージ内に形成されているが、楕円容量電極やMIM容量電極を用いて形成される場合には、各共振子を構成する基板41上に構成してもよい。ただし、小型化の観点から、各キャパシタは、スイッチ側のパッケージ内に形成されることが望ましい。なぜなら、各キャパシタを、各共振子を含むパッケージに形成された場合、当該パッケージの端子数を増やす必要があり、サイズが大きくなってしまふからである。

[0267] また、本構成例では、キャパシタとスイッチとで構成されるスイッチ回路は、入出力端子101および102を結ぶ経路上のノード側およびグランド側のうちグランド側に配置されている。これに対して、スイッチ回路を上記ノード側に配置すると、共振子を含むパッケージおよびスイッチを含むパッケージの双方において、端子数を増やす必要があり、サイズが大きくなって

しまう。この観点から、スイッチ回路が、並列腕共振子に対して、ノード側およびグランド側のうちグランド側に配置されることで、フィルタ１０Ｄの小型化が可能となる。

[0268] (実施の形態２)

実施の形態１およびその実施例で説明したフィルタは、使用バンド数が多いシステムに対応するマルチプレクサおよび高周波フロントエンド回路に適用することもできる。そこで、実施の形態２では、このようなマルチプレクサおよび高周波フロントエンド回路および通信装置について説明する。

[0269] 図１９は、実施の形態２に係る通信装置５の構成図である。

[0270] 同図に示すように、通信装置５は、複数のスイッチにより構成されるスイッチ群３１０と、複数のフィルタにより構成されるフィルタ群３２０と、送信側スイッチ３３１、３３２ならびに受信側スイッチ３５１、３５２および３５３と、送信増幅回路３４１、３４２ならびに受信増幅回路３６１、３６２と、ＲＦ信号処理回路（ＲＦＩＣ）３と、ベースバンド信号処理回路（ＢＢＩＣ）４と、アンテナ素子２と、を備える。

[0271] スwitch群３１０は、制御部（図示せず）からの制御信号にしたがって、アンテナ素子２と所定のバンドに対応する信号経路とを接続し、例えば、複数のＳＰＳＴ型のスイッチによって構成される。なお、アンテナ素子２と接続される信号経路は１つに限らず、複数であってもかまわない。つまり、通信装置５は、キャリアアグリゲーションに対応してもかまわない。

[0272] フィルタ群３２０は、例えば次の帯域を通過帯域に有する複数のフィルタ（デュプレクサを含む）によって構成される。具体的には、当該帯域は、（*i*）Band 12の送信帯域、（*ii*）Band 13の送信帯域、（*iii*）Band 14の送信帯域、（*iv*）Band 27の送信帯域、（*v*）Band 26の送信帯域、（*vi*）Band 29およびBand 14またはBand 12、Band 67およびBand 13の受信帯域、（*vii-Tx*）Band 68またはBand 28aまたはBand 28bの送信帯域、（*vii-Rx*）Band 68またはBand 28aまたはBand 28bの受

信帯域、 $(v_{iii} - T_x)$ Band 20の送信帯域、 $(v_{iii} - R_x)$ Band 20の受信帯域、 $(i_x - T_x)$ Band 27またはBand 26の送信帯域、 $(x - T_x)$ Band 8の送信帯域、ならびに、 $(x - R_x)$ Band 8の受信帯域、である。

[0273] 送信側スイッチ331は、フィルタ群320におけるバンドのうち中心周波数が低いローバンド側の複数の送信側信号経路に接続された複数の選択端子と送信増幅回路341に接続された共通端子とを有するスイッチ回路である。送信側スイッチ332は、フィルタ群320におけるバンドのうち中心周波数が高いハイバンド側の複数の送信側信号経路に接続された複数の選択端子と送信増幅回路342に接続された共通端子とを有するスイッチ回路である。これら送信側スイッチ331、332は、フィルタ群320の前段（ここでは送信側信号経路における前段）に設けられ、制御部（図示せず）からの制御信号にしたがって接続状態が切り替えられるスイッチ回路である。これにより、送信増幅回路341、342で増幅された高周波信号（ここでは高周波送信信号）は、フィルタ群320の所定のフィルタを介してアンテナ素子2に出力される。

[0274] 受信側スイッチ351は、フィルタ群320におけるバンドのうち中心周波数が低いローバンド側の複数の受信側信号経路に接続された複数の選択端子と受信増幅回路361に接続された共通端子とを有するスイッチ回路である。受信側スイッチ352は、所定のバンド（ここではBand 20）の受信側信号経路に接続された共通端子と、受信側スイッチ351の共通端子および受信側スイッチ352の共通端子に接続された2つの選択端子とを有するスイッチ回路である。受信側スイッチ353は、フィルタ群320におけるバンドのうち中心周波数が高いハイバンド側の複数の受信側信号経路に接続された複数の選択端子と受信増幅回路362に接続された共通端子とを有するスイッチ回路である。これら受信側スイッチ351～353は、フィルタ群320の後段（ここでは受信側信号経路における後段）に設けられ、制御部（図示せず）からの制御信号にしたがって接続状態が切り替えられる。

これにより、アンテナ素子2に入力された高周波信号（ここでは高周波受信信号）は、フィルタ群320の所定のフィルタを介して、受信増幅回路361、362で増幅されて、RF信号処理回路（RFIC）に出力される。なお、ローバンドに対応するRF信号処理回路（RFIC）とハイバンドに対応するRF信号処理回路（RFIC）とが個別に設けられていてもかまわない。

[0275] 送信増幅回路341は、ローバンドの高周波送信信号を電力増幅するパワーアンプであり、送信増幅回路342は、ハイバンドの高周波送信信号を電力増幅するパワーアンプである。

[0276] 受信増幅回路361は、ローバンドの高周波受信信号を電力増幅するローノイズアンプであり、受信増幅回路362は、ハイバンドの高周波受信信号を電力増幅するローノイズアンプである。

[0277] RF信号処理回路（RFIC）3は、アンテナ素子2で送受信される高周波信号を処理する回路である。具体的には、RF信号処理回路（RFIC）3は、アンテナ素子2から受信側信号経路を介して入力された高周波信号（ここでは高周波受信信号）を、ダウンコンバートなどにより信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路（BBIC）4へ出力する。また、RF信号処理回路（RFIC）3は、ベースバンド信号処理回路（BBIC）4から入力された送信信号をアップコンバートなどにより信号処理し、当該信号処理して生成された高周波信号（ここでは高周波送信信号）を送信側信号経路に出力する。

[0278] このように構成された通信装置5は、（vi）Band29およびBand14またはBand12、Band67およびBand13の受信帯域を通過帯域に有するフィルタ、（vii-Tx）Band68またはBand28aまたはBand28bの送信帯域を通過帯域に有するフィルタ、（viii-Rx）Band68またはBand28aまたはBand28bの受信帯域を通過帯域に有するフィルタ、（ix-Tx）Band27またはBand26の送信帯域を通過帯域に有するフィルタの少なくとも1つとして

、実施の形態１およびその実施例のいずれかに係るフィルタを備える。つまり、当該フィルタは、制御信号にしたがって、通過帯域の周波数と減衰帯域の周波数とを切り替える。

[0279] なお、通信装置５のうち、スイッチ群３１０と、フィルタ群３２０と、送信側スイッチ３３１、３３２ならびに受信側スイッチ３５１、３５２、３５３と、送信増幅回路３４１、３４２ならびに受信増幅回路３６１、３６２と、上記制御部とは、高周波フロントエンド回路１を構成する。また、スイッチ群３１０とフィルタ群３２０とは、マルチプレクサを構成する。なお、本発明に係るマルチプレクサは、実施の形態２のように、フィルタ群３２０が、スイッチ群３１０を介して共通端子に接続されていてもよいし、実施の形態１に係る複数のフィルタが、共通端子に直接接続されている構成であってもよい。

[0280] ここで、上記制御部は、図１９には図示していないが、ＲＦ信号処理回路（ＲＦＩＣ）が有していてもよいし、制御部が制御する各スイッチとともにスイッチＩＣを構成していてもよい。

[0281] 以上のように構成された高周波フロントエンド回路１および通信装置５によれば、上記実施の形態１およびその実施例に係るフィルタを備えることにより、要求される耐電力性を確保するとともに、小型化、および、各スイッチの導通時の通過帯域内挿入損失を低減することができる高性能な高周波フロントエンド回路１および通信装置５を実現できる。つまり、高周波フロントエンド回路１によれば、通過帯域内の利得の向上および小型化を図りつつ、耐電力性を確保することができる。また、通信装置５によれば、通信品質の向上および小型化を図りつつ、耐電力性を確保することができる。

[0282] また、バンドごとにフィルタを設ける場合に比べてフィルタの個数を削減できるため、小型化することができる。

[0283] また、実施の形態２に係る高周波フロントエンド回路１によれば、フィルタ群３２０（複数の高周波フィルタ）の前段または後段に設けられた送信側スイッチ３３１、３３２ならびに受信側スイッチ３５１～３５３（スイッチ

回路)を備える。これにより、高周波信号が伝達される信号経路の一部を共通化することができる。よって、例えば、複数の高周波フィルタに対応する送信増幅回路341、242あるいは受信増幅回路361、362(増幅回路)を共通化することができる。したがって、高周波フロントエンド回路の小型化および低コスト化が可能となる。

[0284] なお、送信側スイッチ331、332ならびに受信側スイッチ351～353は、少なくとも1つが設けられていればよい。また、送信側スイッチ331、332の個数、ならびに、受信側スイッチ351～353の個数は、上記説明した個数に限らず、例えば、1つの送信側スイッチと1つの受信側スイッチとが設けられていてもかまわない。また、送信側スイッチおよび受信側スイッチの選択端子等の個数も、実施の形態2に限らず、それぞれ2つであってもかまわない。

[0285] (その他の実施の形態)

以上、本発明に係る高周波フィルタ、マルチプレクサ、高周波フロントエンド回路および通信装置について、実施の形態1および2を挙げて説明したが、本発明は、上記実施の形態に限定されるものではない。上記実施の形態における任意の構成要素を組み合わせることで実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る高周波フィルタ、マルチプレクサ、高周波フロントエンド回路および通信装置を内蔵した各種機器も本発明に含まれる。

[0286] 例えば、直列腕回路の個数は2以上あればよく、5以上であってもかまわない。

[0287] また、上記説明した直列腕共振子および並列腕共振子の各々は、1つの共振子に限らず、1つの共振子が分割された複数の分割共振子によって構成されていてもかまわない。

[0288] また、上記説明では、簡明のために、各スイッチ素子が同一の構成からなる複数のトランジスタ(具体的にはFET)で構成されるとして、一のスイ

ッチ素子と他のスイッチ素子とでゲート幅の大小を比較した。しかし、各スイッチ素子の構成は、上記に限らず、少なくとも1つのトランジスタの構成が他のトランジスタの構成と異なってもかまわない。すなわち、各スイッチ素子において、複数のトランジスタのゲート幅は、同一に限らず、異なってもかまわない。

[0289] このようなスイッチ素子を有する構成であっても、ゲート幅について上記説明した関係が成り立つことにより、上記説明と同様の効果が奏される。

[0290] 具体的には、複数のトランジスタが直列接続されることで構成されたスイッチ素子の耐電流性は、当該複数のトランジスタのうちゲート幅が最小のトランジスタの耐電流性によって律速される（すなわち、制約される）。そこで、複数のトランジスタで構成されたスイッチ素子に要求される耐電流性を満たすためには、当該複数のトランジスタの各々について当該耐電流性を満たすことが必要である。

[0291] したがって、例えば、第1スイッチ素子よりも高い耐電流性が要求される第2スイッチ素子については、第2スイッチ素子を構成する複数のトランジスタの各々のゲート幅を、第1スイッチ素子を構成する複数のトランジスタの少なくとも1つのゲート幅より大きくする。これにより、第2スイッチ素子および第1スイッチ素子について、合計サイズを小さくしつつ、高周波フィルタ等に要求される耐電力性を満たす耐電流性を確保することができる。

[0292] また、複数のトランジスタが直列接続されることで構成されたスイッチ素子では、ゲート幅が最小のトランジスタと異なる他のトランジスタのゲート幅を大きくしても、スイッチ素子全体の耐電流性の向上に寄与しないばかりか、小型化の妨げとなる。そこで、スイッチ素子の小型化のためには、他のトランジスタについて、ゲート幅を大きくしすぎないことが必要である。

[0293] したがって、例えば、第2スイッチ素子ほどの高い耐電流性が要求されない第1スイッチ素子については、第1スイッチ素子を構成する複数のトランジスタの各々のゲート幅を、第2スイッチ素子を構成する複数のトランジスタのいずれのゲート幅より小さくしてもかまわない。これにより、第1スイ

ッチ素子について、高周波フィルタ等に要求される耐電力性を満たす耐電流性を確保しつつ、さらに小型化することができる。つまり、第1スイッチ素子を備える高周波フィルタ等について、通過帯域内の挿入損失の低減および耐電力性の確保を図りつつ、さらに小型化することができる。

[0294] また、各スイッチ素子について、上記説明では、複数のトランジスタで構成された場合を例に説明したが、1つのトランジスタで構成されていてもかまわない。

[0295] また、例えば、制御部は、RF信号処理回路(RFIC)3の外部に設けられていてもよく、例えば、高周波フロントエンド回路1に設けられていてもかまわない。つまり、高周波フロントエンド回路1は、上記説明した構成に限らず、周波数可変回路を有する高周波フィルタと、当該周波数可変回路のスイッチ素子の導通および非導通を制御する制御部と、を備えてもかまわない。このように構成された高周波フロントエンド回路1によれば、通過帯域端の挿入損失の増大を抑制しつつ、要求される周波数仕様に応じて通過帯域を切り替えることができる。

[0296] また、例えば、高周波フロントエンド回路1または通信装置5において、各構成要素の間に、インダクタやキャパシタが接続されていてもかまわない。なお、インダクタには、各構成要素間を繋ぐ配線による配線インダクタが含まれてもよい。

産業上の利用可能性

[0297] 本発明は、マルチバンドシステムに適用できる小型のフィルタ、マルチプレкса、フロントエンド回路および通信装置として、携帯電話などの通信機器に広く利用できる。

符号の説明

- [0298]
- 1 高周波フロントエンド回路
 - 2 アンテナ素子
 - 3 RF信号処理回路(RFIC)
 - 4 ベースバンド信号処理回路(BBIC)

5 通信装置

10、10A、10B、10C、10D、10X、10Y フィルタ

41、51 基板

42、43 パッケージ

44 配線基板

50 スイッチIC

101、102 入出力端子

111、111__1、111__3 トランジスタ

111__1d、111__3d ドレイン電極指

111__1g、111__3g ゲート電極指

111__1s、111__3s ソース電極指

310 スイッチ群

320 フィルタ群

331、332 送信側スイッチ

341、342 送信増幅回路

351、352、353 受信側スイッチ

361、362 受信増幅回路

Cs1、Cs2、Cs3、Cs4、Cs5、Cp1、Cp1a、Cp1b
、Cp2、Cp3、Cp4 キャパシタ

Lp1 インダクタ

P1、P2、P3、P4 並列腕回路

p1、p1a、p1b、p2、p3、p4 並列腕共振子

S1、S2、S3、S4、S5 直列腕回路

s1、s2、s3、s4、s5 直列腕共振子

SWs1、SWs2、SWs3、SWs4、SWs5、SWp1、SWp
1a、SWp1b、SWp2、SWp3、SWp4 スイッチ

Z1、Z1a、Z1b、Z2、Z3、Z4 スイッチ回路

請求の範囲

- [請求項1] 第1入出力端子と第2入出力端子とを結ぶ経路上に設けられた直列腕回路と、
- 前記経路上のノードおよびグラウンドに接続された並列腕回路と、
- を備え、
- 前記直列腕回路は、
- インダクタまたはキャパシタである第1インピーダンス素子と、
- 前記第1インピーダンス素子と直列接続された第1スイッチ素子と、
- と、
- 前記第1インピーダンス素子および前記第1スイッチ素子と並列接続された、直列腕共振子と、
- を有し、
- 前記並列腕回路は、
- 第1並列腕共振子と、
- 当該第1並列腕共振子に直列接続された第1スイッチ回路と、
- を有し、
- 前記第1スイッチ回路は、第2スイッチ素子を有し、
- 前記第1スイッチ素子および前記第2スイッチ素子のそれぞれは、
- 1以上のトランジスタで構成され、
- 前記第2スイッチ素子を構成する前記1以上のトランジスタの各々のゲート幅は、前記第1スイッチ素子を構成する前記1以上のトランジスタの少なくとも1つのゲート幅より大きい、
- 高周波フィルタ。
- [請求項2] スイッチ素子におけるトランジスタの個数をスタック数とした場合に、
- 前記第1スイッチ素子のスタック数と前記第2スイッチ素子のスタック数とは、互いに異なる、
- 請求項1に記載の高周波フィルタ。

- [請求項3] 前記第1スイッチ素子のスタック数は、前記第2スイッチ素子のスタック数より少ない、
請求項2に記載の高周波フィルタ。
- [請求項4] 前記第1入出力端子は、高周波電力が印加される端子であり、
前記ノードは、前記直列腕回路と前記第2入出力端子との間の前記経路上に位置する、
請求項1～3のいずれか1項に記載の高周波フィルタ。
- [請求項5] 前記第1スイッチ回路は、さらに、インダクタおよびキャパシタの一方であり、前記第2スイッチ素子に接続された第2インピーダンス素子を有する、
請求項1～4のいずれか1項に記載の高周波フィルタ。
- [請求項6] 前記第1スイッチ回路は、前記第2インピーダンス素子と前記第2スイッチ素子とが並列接続された回路である、
請求項5に記載の高周波フィルタ。
- [請求項7] 前記第1スイッチ回路は、さらに、インダクタおよびキャパシタの他方であって前記第2スイッチ素子に直列接続された第3インピーダンス素子を有し、
前記第3インピーダンス素子と前記第2スイッチ素子とが直列接続された回路は、前記第2インピーダンス素子に並列接続されている、
請求項5に記載の高周波フィルタ。
- [請求項8] 前記第1スイッチ回路は、前記第3インピーダンス素子と前記第2スイッチ素子とが直列接続された回路を複数組有し、
前記複数組の回路は、互いに並列接続され、かつ、前記第2インピーダンス素子に並列接続されている、
請求項7に記載の高周波フィルタ。
- [請求項9] 前記並列腕回路は、さらに、前記第1並列腕共振子と前記第1スイッチ回路とが直列接続された回路に並列接続された第2並列腕共振子を有し、

前記第 1 並列腕共振子の共振周波数は、前記第 2 並列腕共振子の共振周波数より低く、

前記第 1 並列腕共振子の反共振周波数は、前記第 2 並列腕共振子の反共振周波数より低い、

請求項 5 ～ 8 のいずれか 1 項に記載の高周波フィルタ。

[請求項10] 前記並列腕回路は、さらに、前記第 1 並列腕共振子と前記第 1 スイッチ回路とが直列接続された回路に並列接続された第 2 並列腕共振子を有し、

前記第 1 並列腕共振子の共振周波数は、前記第 2 並列腕共振子の共振周波数より高く、

前記第 1 並列腕共振子の反共振周波数は、前記第 2 並列腕共振子の反共振周波数より高い、

請求項 5 ～ 8 のいずれか 1 項に記載の高周波フィルタ。

[請求項11] 前記第 2 インピーダンス素子は、キャパシタであり、

前記第 1 並列腕共振子の静電容量は、前記第 2 並列腕共振子の静電容量より大きい、

請求項 9 または 10 に記載の高周波フィルタ。

[請求項12] 前記並列腕回路は、さらに、第 2 並列腕共振子と、当該第 2 並列腕共振子に直列接続された第 2 スイッチ回路と、を有し、

前記第 2 スイッチ回路は、

インダクタおよびキャパシタの一方である第 4 インピーダンス素子と、

前記第 4 インピーダンス素子と並列接続され、かつ、1 以上のトランジスタで構成された第 3 スイッチ素子と、を有し、

前記第 1 並列腕共振子の共振周波数と前記第 2 並列腕共振子の共振周波数とは、互いに異なり、

前記第 1 並列腕共振子の反共振周波数と前記第 2 並列腕共振子の反共振周波数とは、互いに異なり、

前記第 1 並列腕共振子と前記第 1 スイッチ回路とが直列接続された回路と、前記第 2 並列腕共振子と前記第 2 スイッチ回路とが直列接続された回路とは、並列接続されている、

請求項 5 ～ 8 のいずれか 1 項に記載の高周波フィルタ。

[請求項 13] 前記第 3 スイッチ素子を構成する前記 1 以上のトランジスタの各々のゲート幅は、前記第 1 スイッチ素子を構成する前記 1 以上のトランジスタの少なくとも 1 つのゲート幅より大きい、

請求項 1 2 に記載の高周波フィルタ。

[請求項 14] 前記第 2 並列腕共振子の共振周波数は、前記第 1 並列腕共振子の共振周波数より低く、

前記第 2 並列腕共振子の反共振周波数は、前記第 1 並列腕共振子の反共振周波数より低く、

スイッチ素子におけるトランジスタの個数をスタック数とした場合に、

前記第 1 スイッチ素子のスタック数は、前記第 2 スイッチ素子のスタック数より少なく、

前記第 3 スイッチ素子のスタック数は、前記第 1 スイッチ素子のスタック数より少ない、

請求項 1 2 または 1 3 に記載の高周波フィルタ。

[請求項 15] 請求項 1 ～ 1 4 のいずれか 1 項に記載の高周波フィルタを含む複数のフィルタを備え、

前記複数のフィルタそれぞれの一方の入出力端子は、共通端子に直接的または間接的に接続されている、

マルチプレクサ。

[請求項 16] 請求項 1 ～ 1 4 のいずれか 1 項に記載の高周波フィルタまたは請求項 1 5 に記載のマルチプレクサと、

前記高周波フィルタまたは前記マルチプレクサに直接的または間接的に接続された増幅回路と、を備える、

高周波フロントエンド回路。

[請求項17]

前記増幅回路は、高周波送信信号を増幅するパワーアンプであり、
前記高周波フィルタの前記第1入出力端子または前記第2入出力端子には、前記パワーアンプで増幅された前記高周波送信信号が入力される、

請求項16に記載の高周波フロントエンド回路。

[請求項18]

前記増幅回路は、高周波受信信号を増幅するローノイズアンプであり、

前記高周波フィルタの前記第1入出力端子または前記第2入出力端子からは、前記ローノイズアンプで増幅される前記高周波受信信号が出力される、

請求項16に記載の高周波フロントエンド回路。

[請求項19]

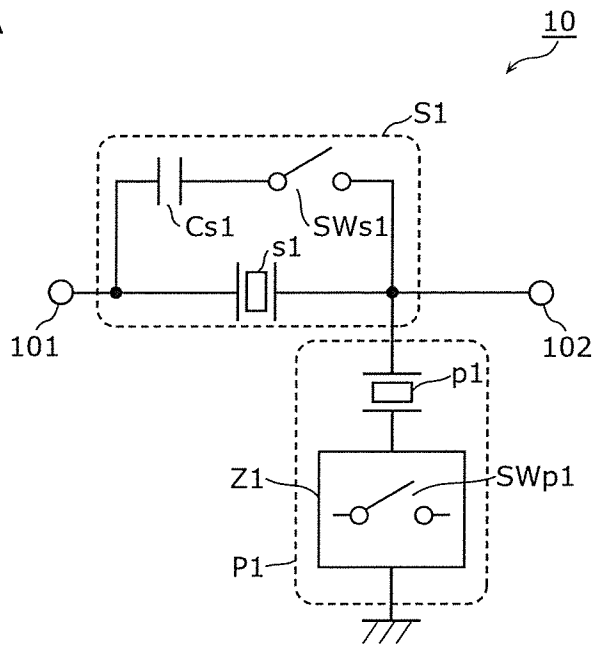
アンテナ素子で送受信される高周波信号を処理するRF信号処理回路と、

前記アンテナ素子と前記RF信号処理回路との間で前記高周波信号を伝達する請求項16～18のいずれか1項に記載の高周波フロントエンド回路と、を備える、

通信装置。

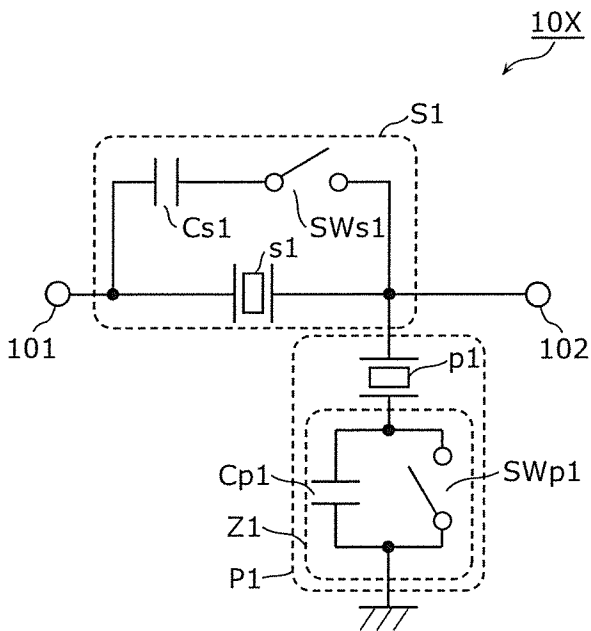
[図1A]

図1A



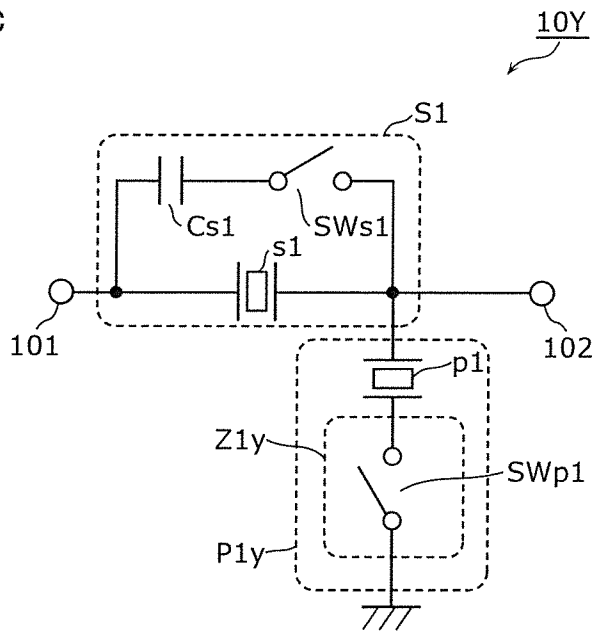
[図1B]

図1B



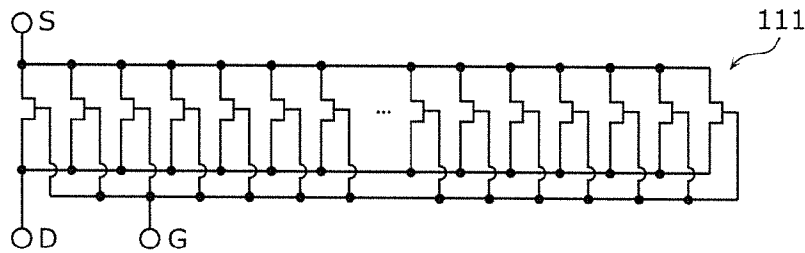
[図1C]

図1C



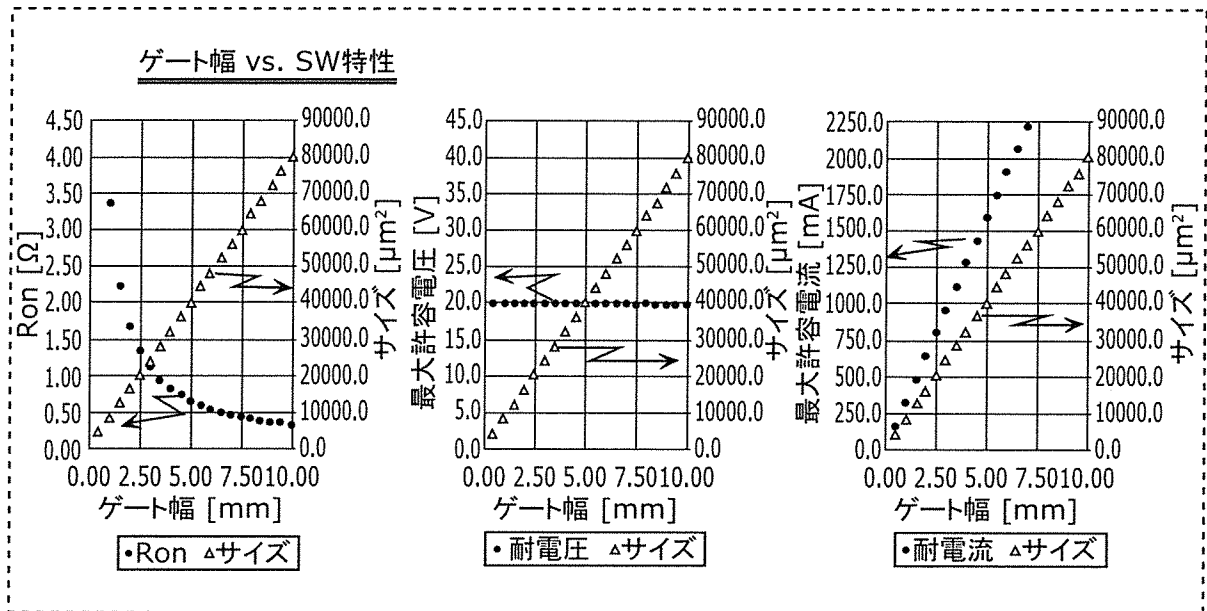
[図2B]

図2B



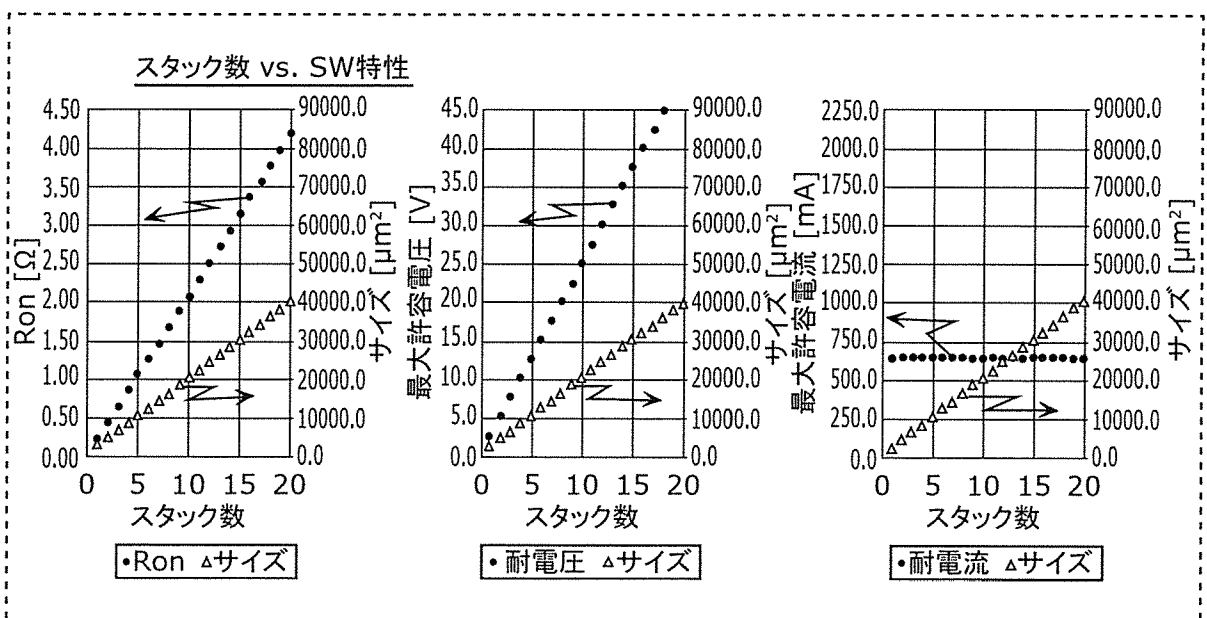
[図3A]

図3A



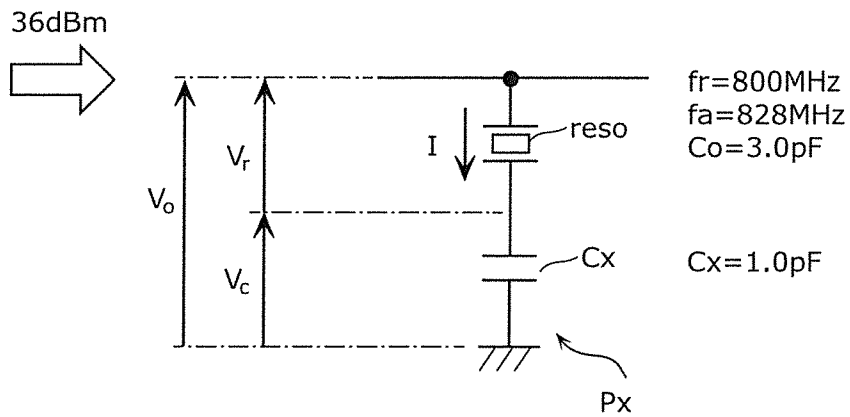
[図3B]

図3B



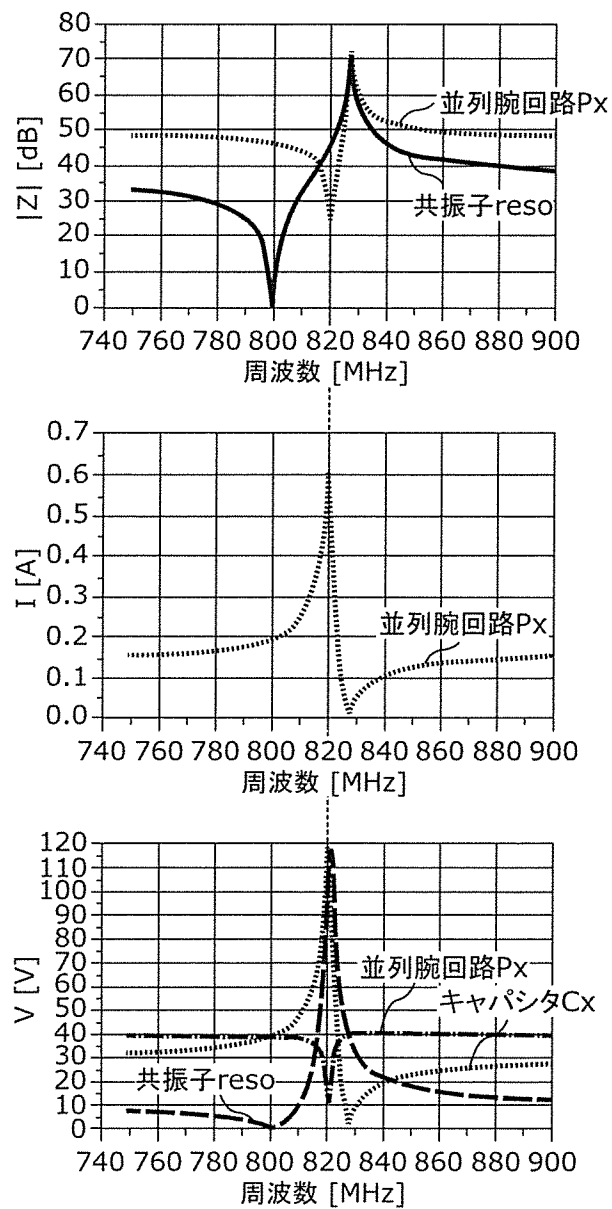
[図4]

図4



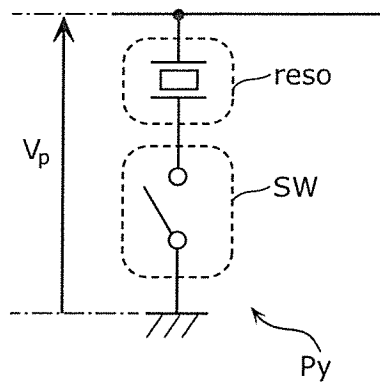
[図5]

図5



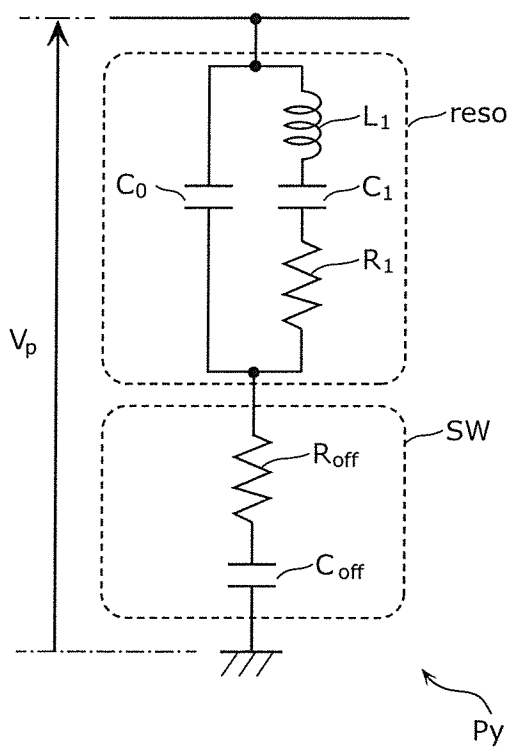
[図6A]

図6A



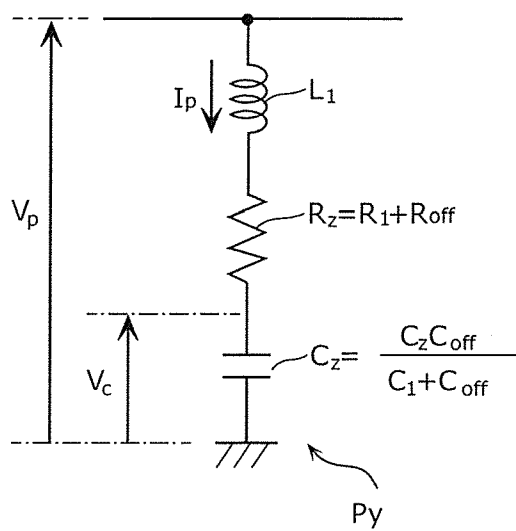
[図6B]

図6B



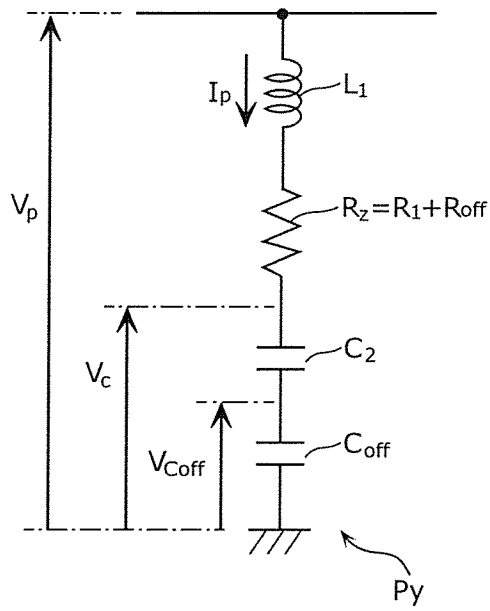
[図6C]

図6C



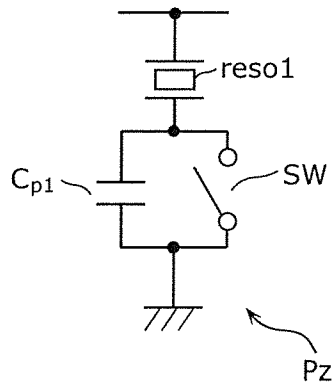
[図6D]

図6D



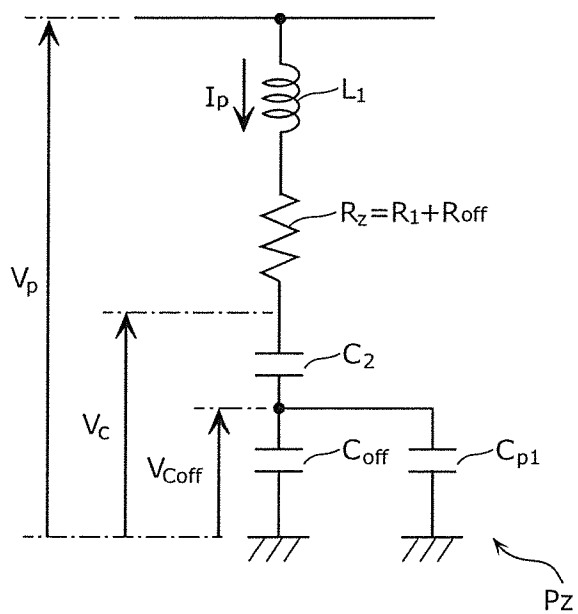
[図6E]

図6E



[図6F]

図6F



[図7]

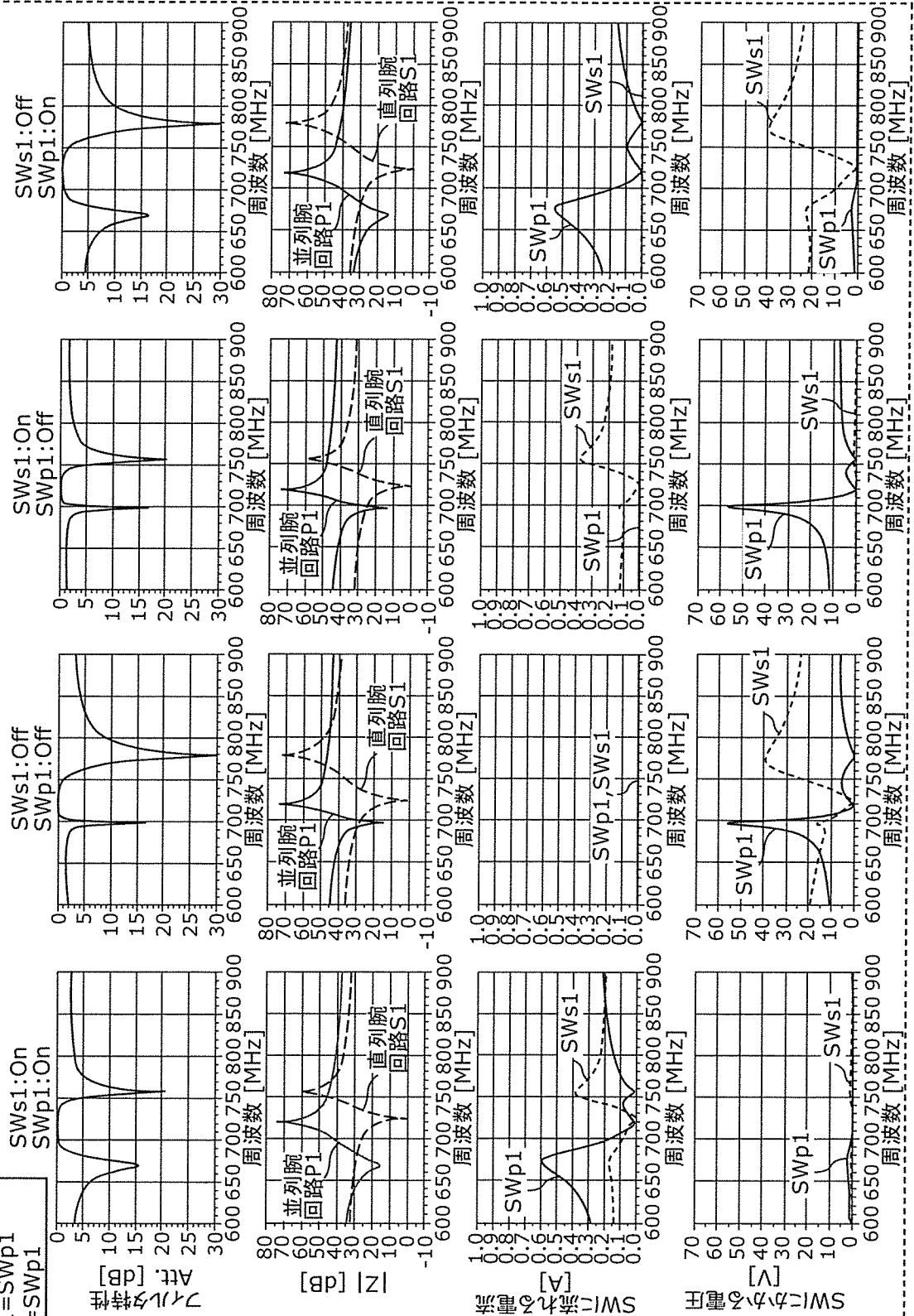
図7

比較例1

電力印加端子:入出力端子101

スタック数:SWs1=SWp1

ゲート幅:SWs1=SWp1

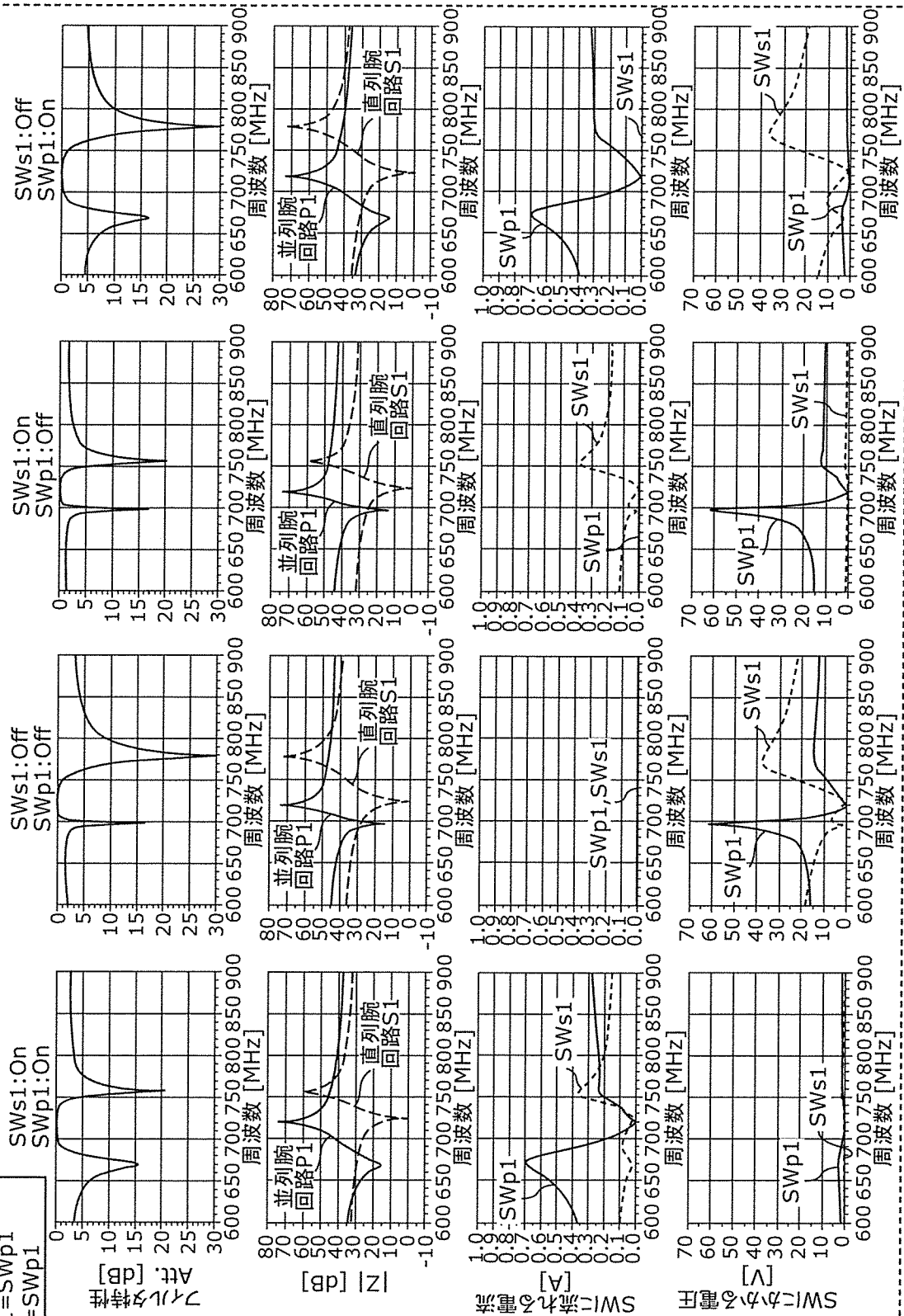


[図8]

図8

比較例2

電力印加端子: 入出力端子102
 スタック数: $SWs1 = SWp1$
 ゲート幅: $SWs1 = SWp1$

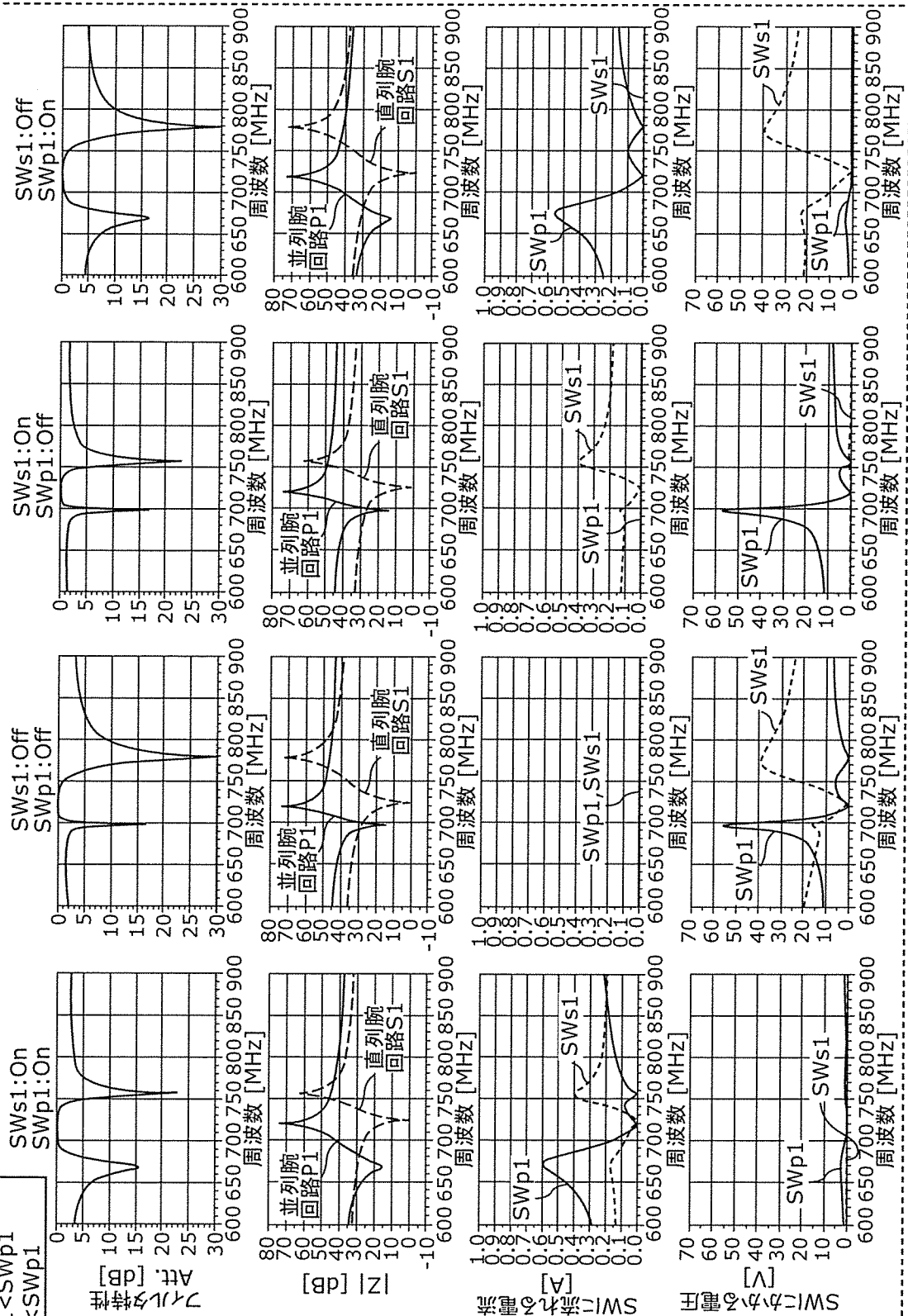


[図9]

図9

実施例1

電力印加端子:入出力端子101
 スタック数:SWs1<SWp1
 ゲート幅:SWs1<SWp1

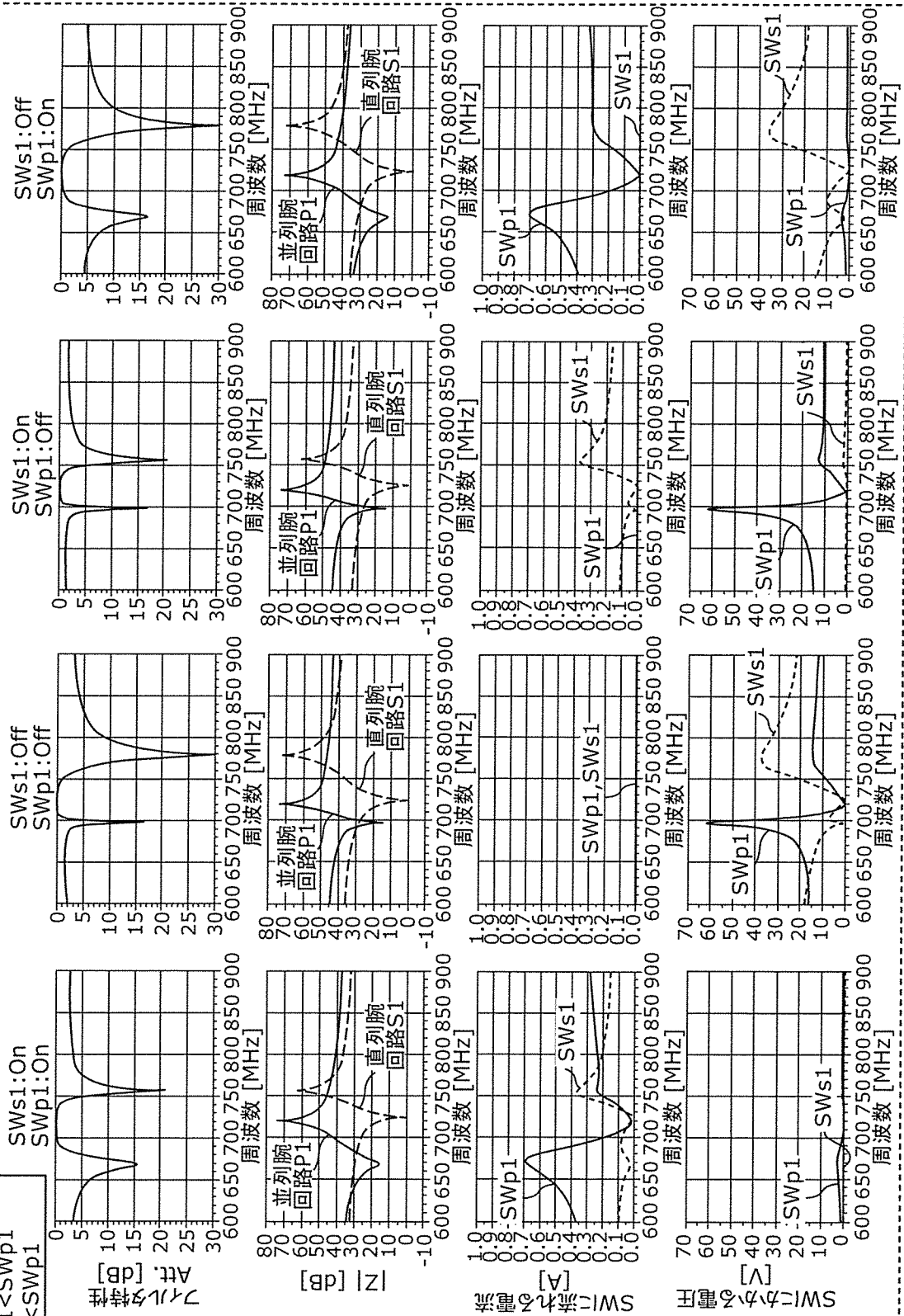


[図10]

図10

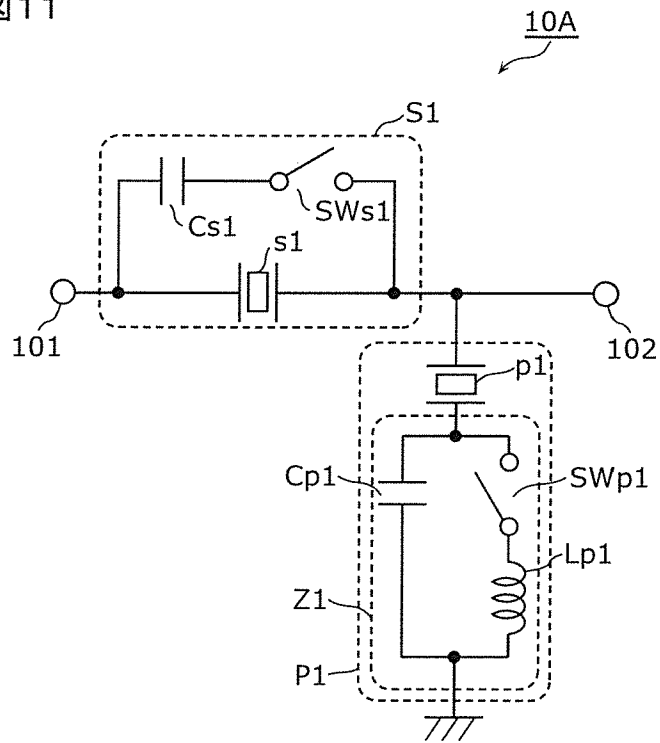
実施例2

電力印加端子: 入出力端子102
 スタック数: $SWs1 < SWp1$
 ゲート幅: $SWs1 < SWp1$



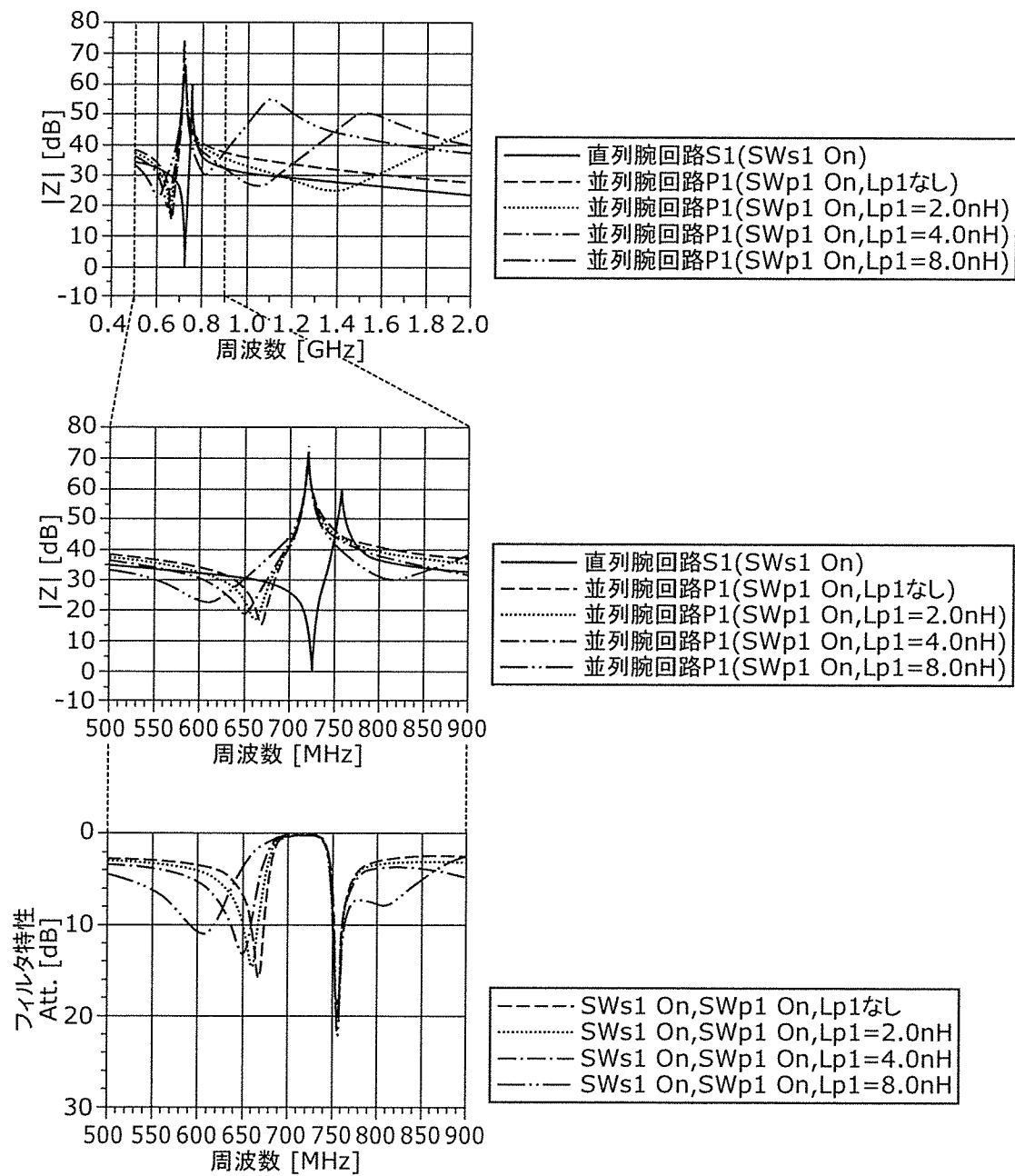
[図11]

図 11



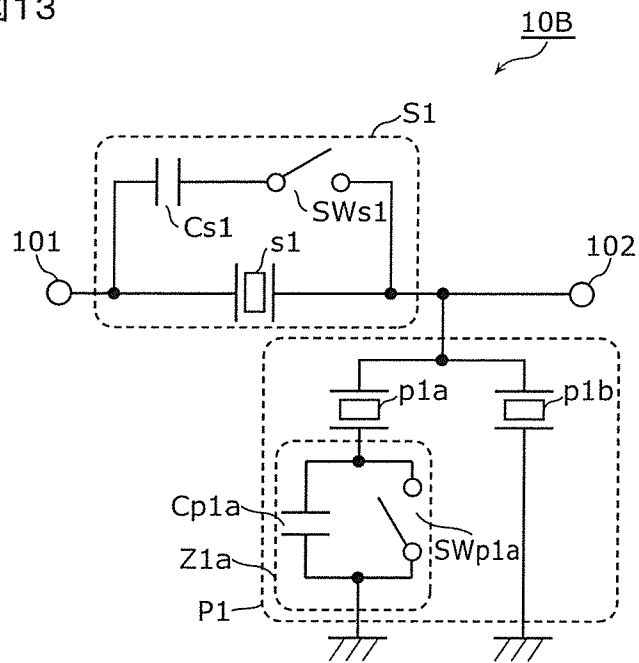
[図12]

図12



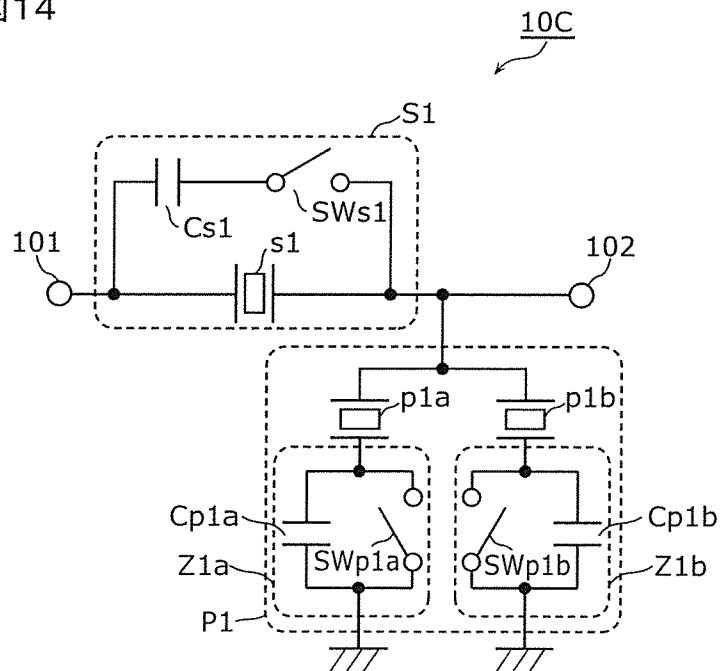
[図13]

図13



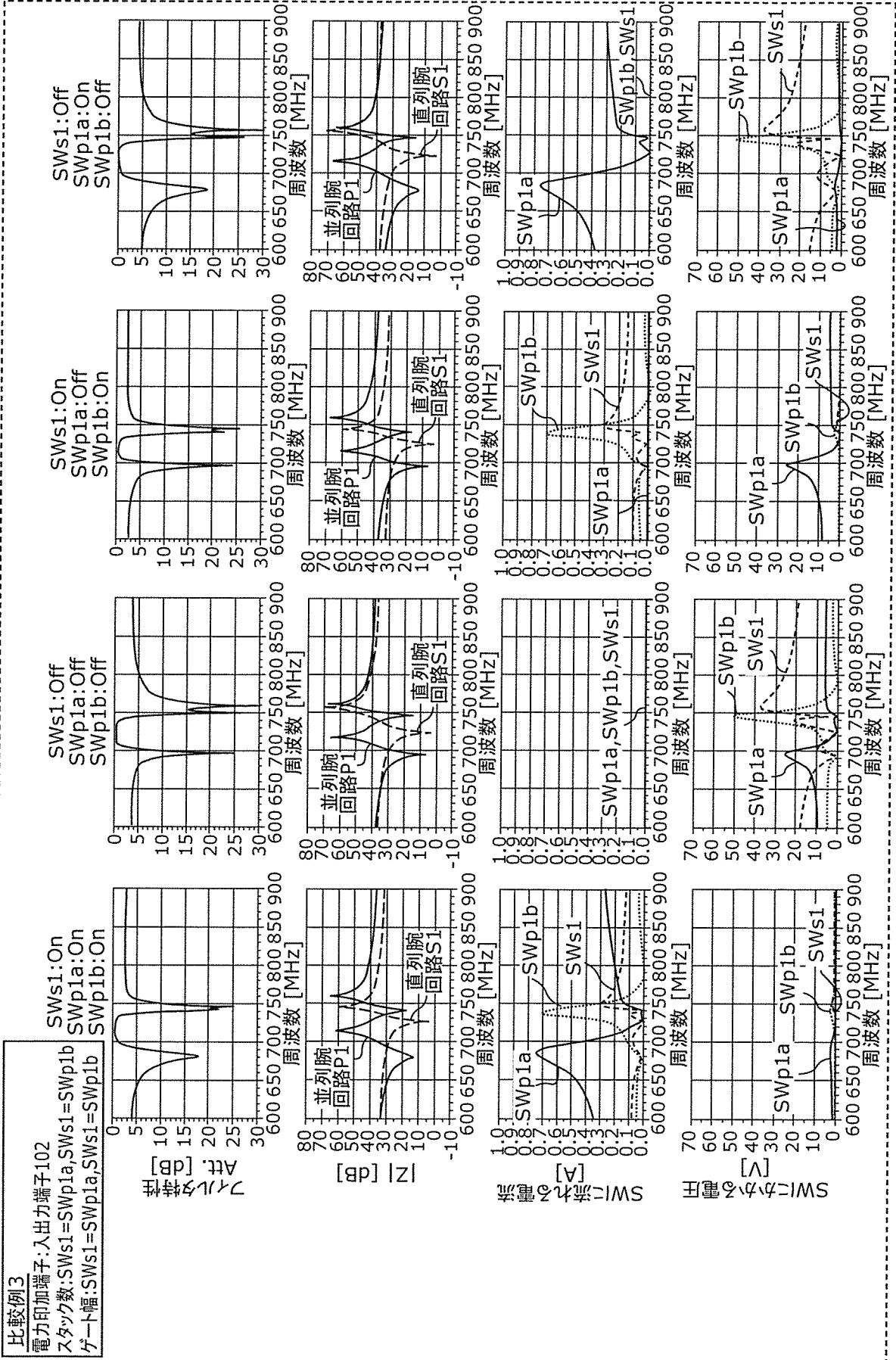
[図14]

図14



[図15]

図15



[図16]

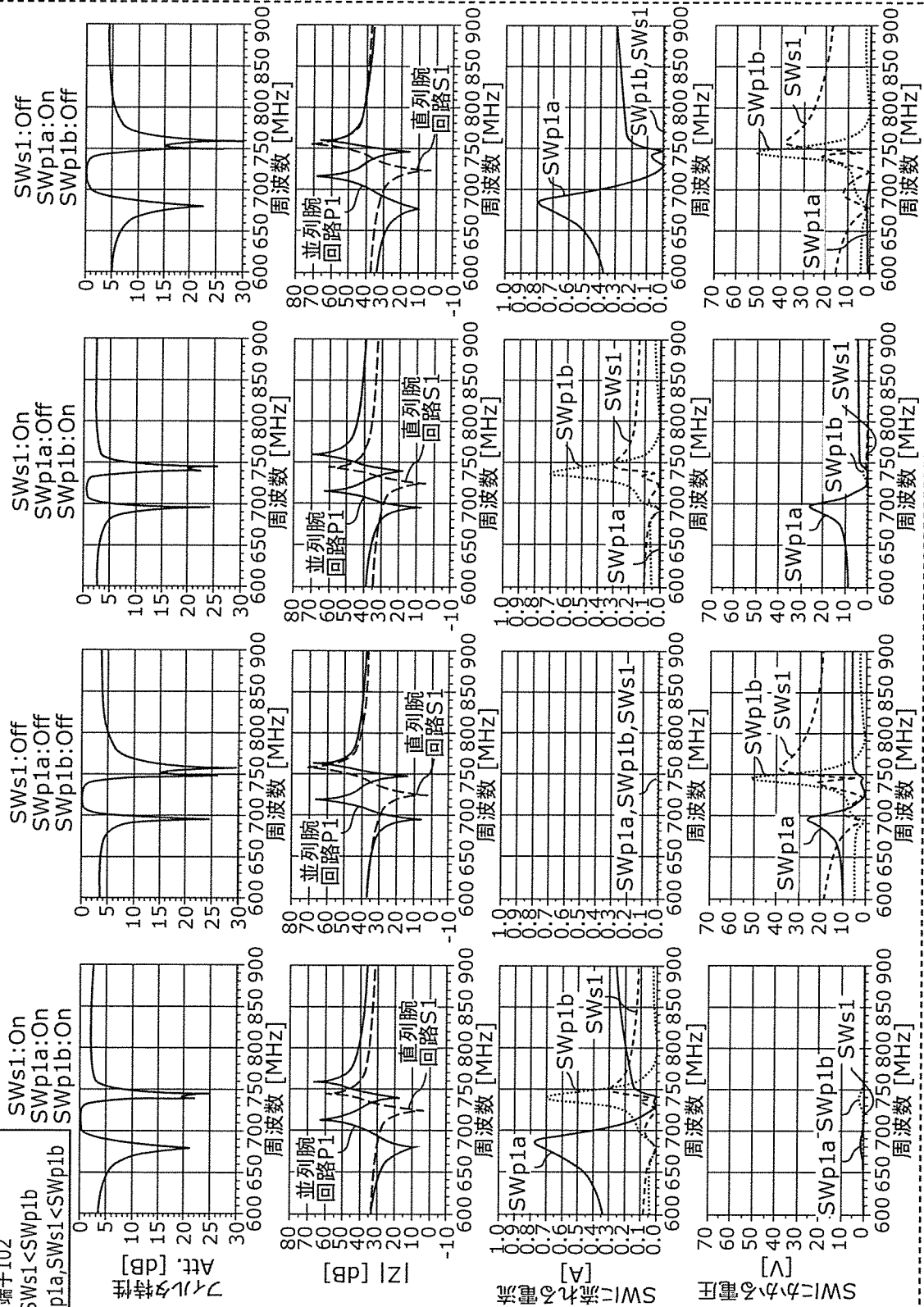
図16

実施例3

電力印加端子:入力端子102

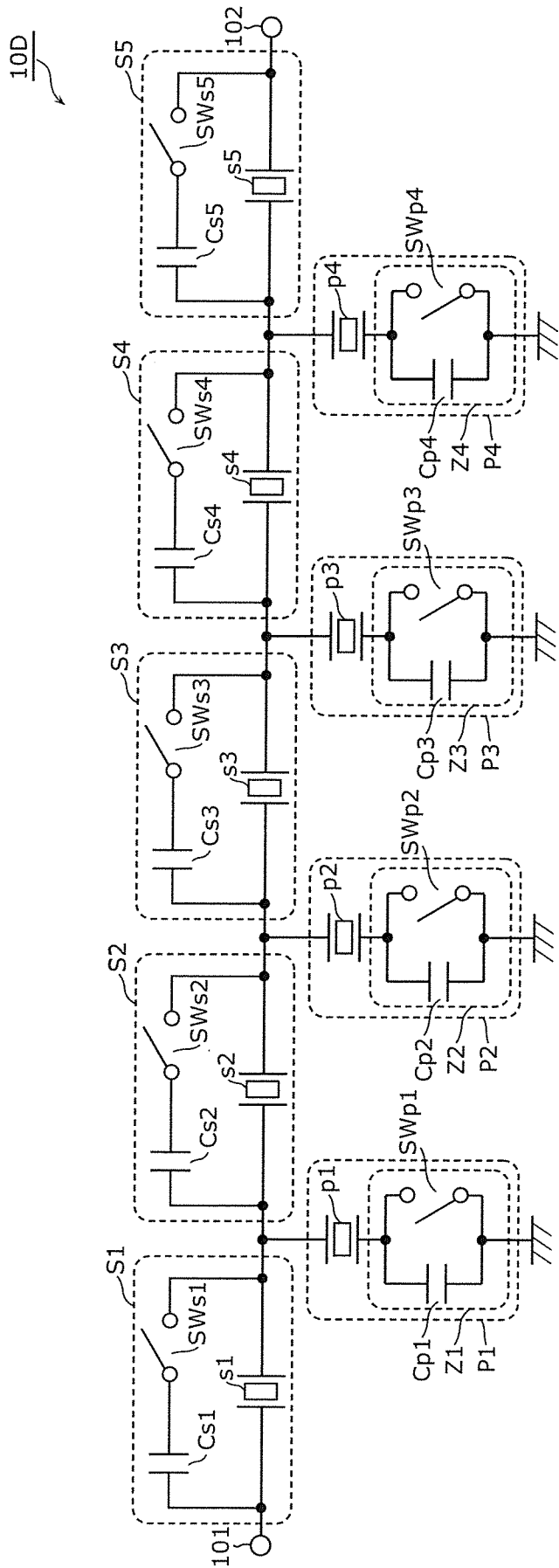
スタック数:SWp1a<SWs1<SWp1b

ゲート幅:SWs1<SWp1a,SWs1<SWp1b



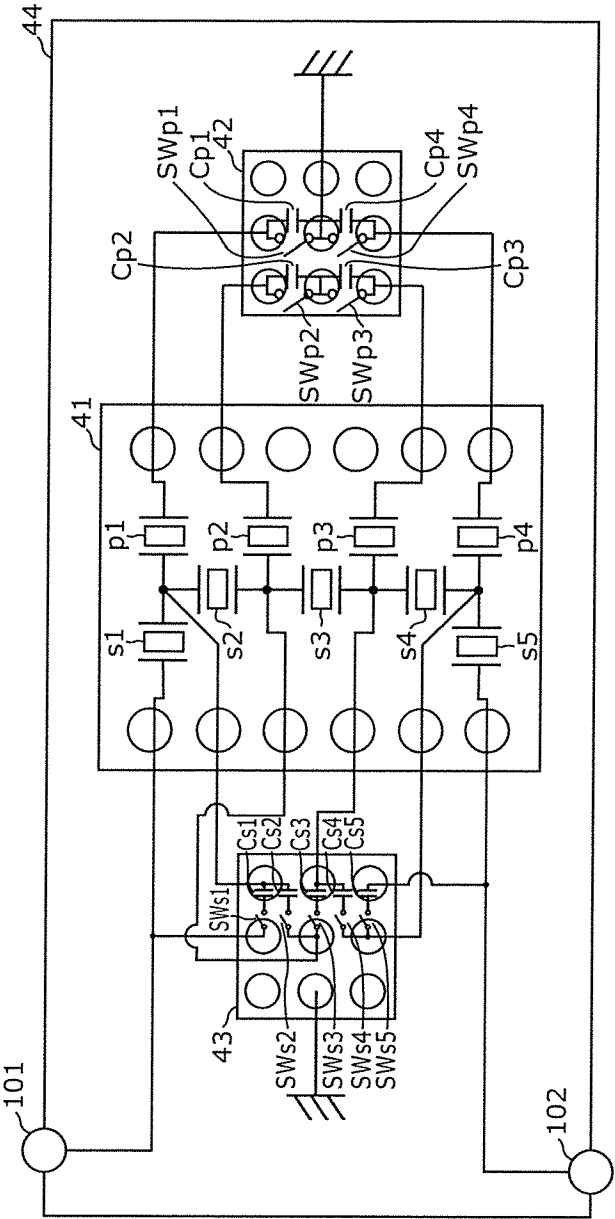
[図17]

図17



[図18]

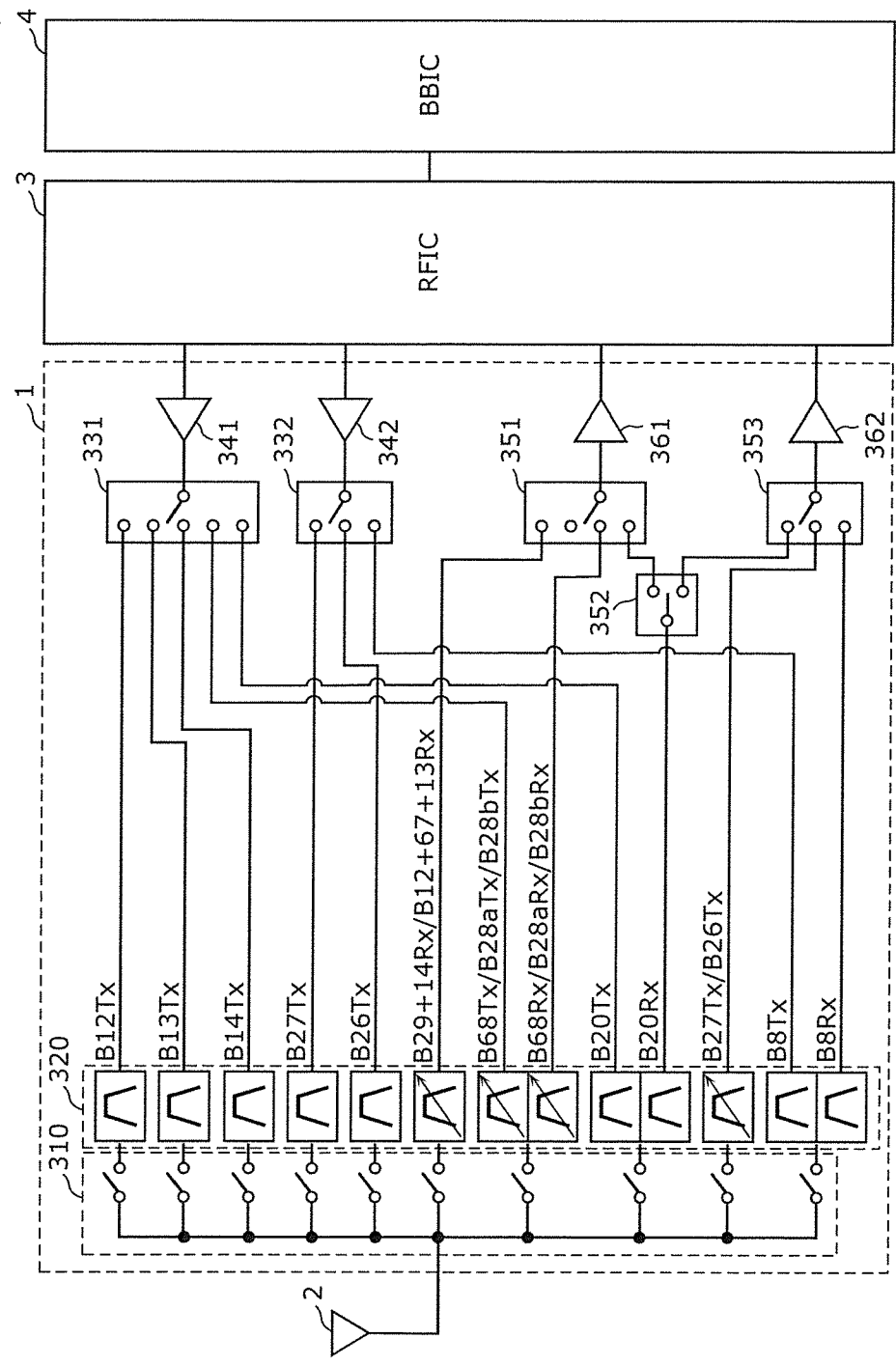
図 18



[図19]

5

図19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024735

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03H9/54 (2006.01) i, H03H9/17 (2006.01) i, H03H9/64 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03H9/54, H03H9/17, H03H9/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-130831 A (SAMSUNG ELECTRONICS CO., LTD.) 11 June 2009, paragraphs [0058]-[0060], fig. 9-11 (Family: none)	1-19
Y	JP 2000-323961 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 November 2000, paragraphs [0023]-[0024], [0026]-[0027], [0043]-[0044], fig. 8, 13 & US 6472953 B1, column 5, lines 11-32, column 5, line 51 to column 6, line 13, column 8, lines 11-21, fig. 8, 13	1-19
Y	JP 2014-502803 A (PEREGRINE SEMICONDUCTOR CORPORATION) 03 February 2014, paragraphs [0024], [0031]-[0032], fig. 2E, 3D & US 2012/0313731 A1, paragraphs [0093], [0100]-[0101], fig. 2E, 3D	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

14 August 2018 (14.08.2018)

Date of mailing of the international search report

28 August 2018 (28.08.2018)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024735

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-11320 A (SONY CORP.) 17 January 2008, paragraphs [0035]-[0044], fig. 2-4 (Family: none)	1-19
Y	JP 9-8621 A (NEC CORP.) 10 January 1997, paragraphs [0002]-[0008], fig. 6 (Family: none)	2-3, 8-19
Y	WO 2016/208677 A1 (MURATA MANUFACTURING CO., LTD.) 29 December 2016, paragraphs [0119]-[0128], fig. 10 & US 2018/0123565 A1, paragraphs [0139]-[0148], fig. 10 & CN 107710614 A	15-19

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H9/54(2006.01)i, H03H9/17(2006.01)i, H03H9/64(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H9/54, H03H9/17, H03H9/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-130831 A（三星電子株式会社）2009.06.11, 段落[0058]-[0060], 図9-11（ファミリーなし）	1-19
Y	JP 2000-323961 A（松下電器産業株式会社）2000.11.24, 段落[0023]-[0024], [0026]-[0027], [0043]-[0044], 図8, 13 & US 6472953 B1, 第5欄第11-32行, 第5欄第51行-第6欄第13行, 第8欄第11-21行, 図8, 13	1-19

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.08.2018

国際調査報告の発送日

28.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

竹内 亨

5W

8388

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-502803 A (ペレグリン セミコンダクター コーポレイション) 2014.02.03, 段落[0024], [0031]-[0032], 図 2E, 3D & US 2012/0313731 A1, [0093], [0100]-[0101], 図 2E, 3D	1-19
Y	JP 2008-11320 A (ソニー株式会社) 2008.01.17, 段落[0035]-[0044], 図 2-4 (ファミリーなし)	1-19
Y	JP 9-8621 A (日本電気株式会社) 1997.01.10, 段落[0002]-[0008], 図 6 (ファミリーなし)	2-3, 8-19
Y	WO 2016/208677 A1 (株式会社村田製作所) 2016.12.29, 段落[0119]-[0128], 図 10 & US 2018/0123565 A1, [0139]-[0148], 図 10 & CN 107710614 A	15-19