

發明專利說明書中文說明書替換頁(102年1月)  
102.1.11

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：097138769

※ 申請日期：97.10.8

※IPC 分類：G06F 13/16 (2006.01)  
G06F 12/00 (2006.01)  
G11C 16/00 (2006.01)

## 一、發明名稱：(中文/英文)

作為一網路之一主動元件之非揮發記憶體裝置、記憶體系統網路及透過一共同網路匯流排進行通信之方法

NON-VOLATILE MEMORY DEVICE ACTS AS AN ACTIVE  
ELEMENT OF A NETWORK, MEMORY SYSTEM NETWORK AND  
METHOD FOR COMMUNICATING OVER A COMMON NETWORK  
BUS

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

## 三、發明人：(共 1 人)

姓名：(中文/英文)

法蘭奇 F 路帕華

ROOHPARVAR, FRANKIE F.

國籍：(中文/英文)

美國 U.S.A.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年10月09日；11/973,515

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本文揭示一種記憶體裝置及方法，諸如包含一網路識別之記憶體裝置，該網路識別係唯一地識別一網路上之該記憶體裝置。該記憶體裝置可接著接收包含該網路識別之記憶體命令。該記憶體裝置亦可產生包含該網路識別之記憶體命令以供透過該網路廣播。

## 六、英文發明摘要：

Memory devices and methods disclosed such as memory devices that include a network identification that uniquely identifies the memory device on a network. The memory device can then receive memory commands that include the network identification. The memory device can also generate memory commands, including the network identification, for broadcast over the network.

**七、指定代表圖：**

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

600	非揮發記憶體裝置
601	網路匯流排
603	微處理器
605	輸入/輸出電路
610	匯流排控制器
620	網路ID
621	記憶體控制器電路

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)

## 九、發明說明：

### 【發明所屬之技術領域】

本揭示內容大體而言係關於半導體記憶體，且於一特定實施例中，本揭示內容係關於固態非揮發記憶體裝置。

### 【先前技術】

電子裝置通常具有某種類型之對其可用之大量儲存器裝置。一常見之實例係一硬碟驅動器(HDD)。HDD能夠以相對低之成本實現大量儲存，其中當前消費者HDD可具有超過一個太-位元組之容量。

HDD一般在旋轉磁性媒體或磁帶上儲存資料。資料通常儲存為磁帶上之磁性磁通反轉之圖案。為將資料寫入一典型之HDD，高速旋轉該磁帶，同時一浮動於該磁帶上方之讀寫頭產生一系列磁性脈衝以將磁帶上之磁粒子對準來表現該資料。為自一典型HDD讀取資料，在一磁電阻讀寫頭浮動於高速旋轉之磁帶上方時將電阻變化傳入該磁電阻讀寫頭。在實踐中，所產生之資料信號係一類比信號，其峰值及穀值係資料圖案之磁性磁通反轉之結果。然後使用稱為部分回應最大似然(PRML)之數位信號處理技術以對類比資料信號取樣來確定負責產生資料信號之可能資料圖案。

HDD由於其機械本質而具有某些缺點。HDD對由於撞擊、振動或強磁場引起之損壞或過量讀取/寫入錯誤極為敏感。另外，其係可攜式電子裝置中功率之相對大使用者。

一大量儲存器裝置之另一實例係一固態驅動器(SSD)。SSD利用半導體記憶體裝置儲存其資料，而非在旋轉媒體上儲存資料，但包含一使其對其主機系統而言似乎係一典型HDD之介面及形狀因數。SSD之記憶體裝置通常係非揮發快閃記憶體裝置。

快閃記憶體裝置已發展成一用於廣泛之電子應用之非揮發記憶體之普遍來源。快閃記憶體裝置通常使用一允許高記憶體密度、高可靠性及低功率消耗之單電晶體記憶體單元。所述單元之臨限電壓之改變透過對電荷存儲或陷獲層或其他實體現象之程式化來確定每一單元之資料值。對快閃記憶體及其他非揮發記憶體之通常使用包含個人電腦、個人數位助理(PDA)、數位相機、數位媒體播放器、數位記錄器、遊戲機、電器、車輛、無線裝置、行動電話、及可抽換記憶體模組，且對非揮發記憶體之使用繼續擴展。

不同於HDD，SSD之運作一般由於其固態本質而不經受振動、撞擊或磁場干預。類似地，無需移動部件，SSD比HDD具有較低之功率需求。然而，與同一形狀因數之HDD相比，SSD當前具有低得多的儲存容量及一顯著較高之每位元成本。

由於上述原因，且由於熟習此項技術者在閱讀及瞭解本說明書時將明瞭之其他原因，所屬技術領域中需要替代性大量儲存器選項。

### **【實施方式】**

於本發明實施例之以下詳細說明中，參照形成本發明一

部分且其中以圖解說明之方式顯示可在其中實踐本發明之特定實施例之附圖。充分詳細地闡述此等實施例以便熟習此項技術者能夠實踐本發明，且應瞭解，亦可使用其他實施例，且可在不背離本發明範疇之情況下做出過程、電或機械改變。因此，下列詳細說明不應視為具有限制意義。

傳統之固態記憶體裝置以二進制信號之形式傳送資料。通常，一接地電位代表一資料位元之第一邏輯位準，例如一"0"資料值，而一供應電位代表一資料位元之第二邏輯位準，例如一"1"資料值。舉例而言，一多層式單元(MLC)可指派有4個不同之臨限電壓( $V_t$ )，每一範圍為200 mV，其中每一範圍皆對應於一不同資料狀態，因此代表4個資料值或位元型樣。通常，在每一範圍之間存在一0.2 V至0.4 V之靜區或邊緣，以避免 $V_t$ 分佈重疊。若該單元之 $V_t$ 在第一範圍內，則該單元可被視為儲存一邏輯11狀態，且通常被視為該單元之已擦除狀態。若 $V_t$ 在第二範圍內，則該單元可被視為儲存一邏輯10狀態。若 $V_t$ 在第三範圍內，則該單元可被視為儲存一邏輯00狀態。且若 $V_t$ 在第四範圍內，則該單元可被視為儲存一邏輯01狀態。

在如上述程式化一傳統之MLC裝置時，一般首先將單元作為一區塊擦除以對應於已擦除狀態。在擦除一單元區塊之後，若需要則首先程式化每一單元之最低有效位元(LSB)。舉例而言，若LSB為1，則無需任何程式化，但若LSB為0，則將目標記憶體單元之 $V_t$ 自對應於11邏輯狀態之 $V_t$ 範圍移至對應於10邏輯狀態之 $V_t$ 範圍。在程式化該等

LSB之後，以一類似方式程式化每一單元之最高有效位元(MSB)，將 $V_i$ 移位至需要處。在讀取一傳統記憶體裝置之MLC時，一或多個讀取運作確定該單元電壓之 $V_i$ 一般落至哪一範圍內。舉例而言，一第一讀取運作可確定目標記憶體單元之 $V_i$ 是否可指示MSB是1還是0，而一第二讀取運作可確定該目標記憶體單元之 $V_i$ 是否可指示LSB是1還是0。然而，於每一情形中，自一目標記憶體單元之一讀取運作返回單個位元，而無論每一單元上儲存有多少位元。此多程式及讀取運作之問題隨更多位元被存儲於每一MLC上而變得愈加困擾。由於每一此種程式或讀取運作皆係一二進制運作，亦即每一者皆程式化或返回每單元一單個資訊位元，則在每一MLC上儲存更多位元會導致更長之運作時間。

一例示性實施例之記憶體裝置將諸如 $V_i$ 範圍等資料儲存於記憶體單元上。然而，與傳統記憶體裝置相反，程式及讀取運作能夠利用資料信號，並非作為MLC資料值之不同位元，而是作為MLC資料值之完全代表，諸如其完全位元型樣。舉例而言，於一2位元MLC裝置中，替代程式化一單元之LSB及接續地程式化彼單元之MSB，可程式化一代表彼兩個位元之位元型樣之目標臨限電壓。亦即，將一系列程式及驗證運作應用至一記憶體單元，直至彼記憶體單元獲得其目標臨限電壓，而非針對一第一位元程式化至一第一臨限值，針對一第二位元移位至一第二臨限電壓等。同樣地，替代利用多個讀取運作來確定儲存於一單元上之

每一位元，可確定並將該單元之臨限電壓作為代表該單元之完全資料值或位元型樣之單個信號來傳送。各種實施例之記憶體裝置並非如傳統記憶體裝置中所做，僅關注一記憶體單元是否具有一高於或低於某一標稱臨限電壓之臨限電壓。而是，產生一電壓信號，其可代表彼記憶體單元跨越可能臨限電壓之連續區之實際臨限電壓。此方法之一優勢隨每單元之位元增加而變得更顯著。舉例而言，若該記憶體單元將儲存8位元之資訊，則一單個讀取運作將返回一可代表8個資訊位元之單個類比資料信號。

圖1係一根據本揭示內容之一實施例之記憶體裝置101之簡化方塊圖。記憶體裝置101包含一以列及行佈置之記憶體單元之陣列104。儘管各實施例將主要參照NAND記憶體陣列來闡述，但各實施例並不限於記憶體陣列104之一特定架構。適於本發明之其他陣列架構之某些實例包含NOR陣列、AND陣列及虛擬接地陣列。然而，一般而言，本文所述實施例適於任何准許產生一可指示每一記憶體單元之臨限電壓之資料信號之陣列架構。

提供一列解碼電路108及一行解碼電路110以將提供至記憶體裝置101之位址信號解碼。位址信號經接收及解碼以存取記憶體陣列104。記憶體裝置101亦包含輸入/輸出(I/O)控制電路112，以管理命令、位址及資料對記憶體裝置101之輸入以及資料及狀態資訊自記憶體裝置101之輸出。一位址暫存器114耦合於I/O控制電路112與列解碼電路108與行解碼電路110之間，以在解碼之前將位址信號鎖

存。一命令暫存器 124 耦合於 I/O 控制電路 112 與控制邏輯 116 之間以將傳入命令鎖存。控制邏輯 116 回應於該等命令來控制對記憶體陣列 104 之存取，並為外部處理器 130 產生狀態資訊。控制邏輯 116 耦合至列解碼電路 108 及行解碼電路 110 以回應於該等位址來控制列解碼電路 108 及行解碼電路 110。

控制邏輯 116 亦耦合至一取樣及保持電路 118。取樣及保持電路 118 將傳入或傳出之資料以類比電壓位準之形式鎖存。舉例而言，取樣及保持電路可含有電容器或其他類比儲存裝置，用於對一代表將要寫入至一記憶體單元之資料之傳入電壓信號或一可指示自一記憶體單元感測之臨限電壓之傳出電壓信號進行取樣。取樣及保持電路 118 可進一步提供有所取樣電壓之放大及/或緩衝以向一外部裝置提供一更強之資料信號。

類比電壓信號之處理可採取一類似於 CMOS 成像器技術領域中所習知之方法之方法，其中回應於入射照明以成像器像素產生之電荷位準係儲存於電容器上。然後，使用一具有一參考電容器之差動放大器將此等電荷位準轉換成電壓信號，作為對差動放大器之第二輸入。然後，將差動放大器之輸出傳送至類比-數位轉換(ADC)裝置以獲得一可代表照明強度之數位值。於本實施例中，可回應於使一電荷經受一可指示一記憶體單元之實際或目標臨限電壓(用於分別讀取或程式化該記憶體單元)之電壓位準而將該電荷儲存於一電容器上。然後，可使用一具有一接地輸入或其

他參考信號作為第二輸入之差動放大器將此電荷轉換成一類比電壓。然後，可在一讀取運作之情形下將該差動放大器之輸出傳送至I/O控制電路112以自記憶體裝置輸出，或用於在程式化該記憶體裝置之一或多個驗證運作期間進行對比。應注意，I/O控制電路112可視需要包含類比-數位轉換功能及數位-類比轉換(DAC)功能，以將來自一類比信號之讀取資料轉換成一數位位元型樣，及將來自一數位位元型樣之寫入資料轉換成一類比信號，以便記憶體裝置101可經調適以與一類比或數位資料介面通信。

於一寫入運作期間，記憶體陣列104之目標記憶體單元經程式化直至可指示其 $V_i$ 位準之電壓匹配保持於取樣及保持電路118內之位準。作為一實例，此可使用差動感測裝置來完成以比較保持電壓位準與目標記憶體單元之臨限電壓。與傳統記憶體程式化極為類似，可將程式化脈衝應用至一目標記憶體單元來增加其臨限電壓，直至達到或超過所需值。於一讀取運作中，將目標記憶體單元之 $V_i$ 位準傳送至取樣及保持電路118，以相依於是否在記憶體裝置外部或內部提供有ADC/DAC功能而直接作為類比信號或作為類比信號之數位化表示法傳遞至一外部處理器(圖1中未顯示)。

單元之臨限電壓可以各種方式來確定。舉例而言，一字元線電壓可於目標記憶體單元啟動時之點取樣。另一選擇為，可將一升壓電壓施加至一目標記憶體單元之第一源極/汲極側，且該臨限電壓可被視為其控制閘電壓與其另一源

極/汲極側處之電壓之間的差(請參考圖2)。藉由將該電壓耦合至一電容器，與該電容器共用電荷以儲存所取樣之電壓。應注意，所取樣之電壓無需與臨限電壓相等，而僅在於指示該電壓。舉例而言，在將一升壓電壓施加至該記憶體單元之第一源極/汲極側並將一已知電壓施加至其控制閘之情形中，在記憶體單元之第二源極/汲極側產生之電壓可被視為資料信號，此乃因所產生之電壓可指示記憶體單元之臨限電壓。

取樣及保持電路118可包含快取，亦即每一資料值有多個儲存位置，以便記憶體裝置101在將一第一資料值傳送至外部處理器時可讀取下一資料值，或在將一第一資料值寫入至記憶體陣列104時接收下一資料值。一狀態暫存器122耦合於I/O控制電路112與控制邏輯116之間，以將用於輸出至外部處理器之狀態資訊鎖存。

記憶體裝置101透過一控制鏈路132於控制邏輯116接收控制信號。該等控制信號可包含一晶片致能CE#、一命令鎖存致能CLE、一位址鎖存致能ALE、及一寫入致能WE#。記憶體裝置101可透過一多工傳輸之輸入/輸出(I/O)匯流排134自一外部處理器接收命令(以命令信號之形式)、位址(以位址信號之形式)、及資料(以資料信號之形式)，並在I/O匯流排134上將資料輸出至外部處理器。

於一特定實例中，於I/O控制電路112在I/O匯流排134之輸入/輸出(I/O)接腳[7:0]上接收命令，並將其寫入至命令暫存器124。於I/O控制電路112在匯流排134之輸入/輸出

(I/O)接腳[7:0]上接收位址並將其寫入至位址暫存器114。於I/O控制電路112處，針對一能夠接收8個並行信號之裝置在輸入/輸出(I/O)接腳[7:0]上，或針對一能夠接收16個並行信號之裝置在輸入/輸出(I/O)接腳[15:0]上，可接收資料並將其傳遞至取樣及保持電路118。亦可針對一能夠傳輸8個並行信號之裝置在輸入/輸出(I/O)接腳[7:0]上，或針對一能夠傳輸16個並行信號之裝置在輸入/輸出(I/O)接腳[15:0]上輸出資料。熟習此項技術者將瞭解，可提供額外電路及信號，且已簡化圖1之記憶體裝置以幫助聚焦於本揭示內容之實施例。另外，儘管已根據用於接收及輸出各種信號之流行慣例來闡述圖1之記憶體裝置，但應注意，各種實施例並不限於所述之該等特定信號及I/O組態，除非在本文中明確提及。舉例而言，命令及位址信號可在不同於接收資料信號之彼等輸入端接收，或資料信號可在一I/O匯流排134之單個I/O線上串列傳輸。由於該等資料信號代表位元型樣而非個別位元，則一8位元資料信號之串列通信可與代表個別位元之8個信號之並行通信同樣有效。

圖2係一可在圖1之記憶體陣列104中找到之實例性NAND記憶體陣列200之一部分之示意圖。如圖2中顯示，記憶體陣列200包含字元線 $202_1$ 至 $202_N$ 及交叉位元線 $204_1$ 至 $204_M$ 。為便於在數位環境中進行定址，字元線202之數量及位元線204之數量一般各自為2之某一冪。

記憶體陣列200包含NAND串 $206_1$ 至 $206_M$ 。每一NAND串皆包含電晶體 $208_1$ 至 $208_N$ ，其各自位於一字元線202與一

位元線 204 之交叉處。繪示為圖 2 中之浮動閘電晶體之電晶體 208 代表用於資料儲存之非揮發性記憶體單元。每一 NAND 串 206 之浮動閘電晶體 208 自源極至汲極地串列連接於一或多個源極選擇閘 210 (例如，一場效電晶體 (FET)) 與一或多個汲極選擇閘 212 (例如，一 FET) 之間。每一源極選擇閘 210 位於一本地位元線 204 與一源極選擇線 214 之交叉點處，而每一汲極選擇閘 212 位於一本地位元線 204 與一汲極選擇線 215 之交叉點處。

每一源極選擇閘 210 之一源極皆連接至一共同源極線 216。每一源極選擇閘 210 之汲極連接至對應 NAND 串 206 之第一浮動閘電晶體 208 之源極。舉例而言，源極選擇閘 210<sub>1</sub> 之汲極連接至對應 NAND 串 206<sub>1</sub> 之浮動閘電晶體 208<sub>1</sub> 之源極。每一源極選擇閘 210 之控制閘皆連接至源極選擇線 214。若為一給定 NAND 串 206 利用多個源極選擇閘 210，則其將串列耦合於共同源極線 216 與彼 NAND 串 206 之第一浮動閘電晶體 208 之間。

每一汲極選擇閘 212 之汲極皆在一汲極觸點連接至一對應 NAND 串之本地位元線 204。舉例而言，汲極選擇閘 212<sub>1</sub> 之汲極在一汲極觸點連接至對應 NAND 串 206<sub>1</sub> 之本地位元線 204<sub>1</sub>。每一汲極選擇閘 212 之源極皆連接至對應 NAND 串 206 之最後一浮動閘電晶體 208 之汲極。舉例而言，汲極選擇閘 212<sub>1</sub> 之源極連接至對應 NAND 串 206<sub>1</sub> 之浮動閘電晶體 208<sub>N</sub> 之汲極。若為一給定 NAND 串 206 利用多個汲極選擇閘 212，則其將串列耦合於對應位元線 204 與彼 NAND 串 206 之

最後一浮動閘電晶體 $208_N$ 之間。

浮動閘電晶體208之典型構造包含一源極230及一汲極232、一浮動閘234、及一控制閘236，如圖2中顯示。浮動閘電晶體208將其控制閘236耦合至一字元線202。浮動閘電晶體208之一行係耦合至一給定本地位元線204之彼等NAND串206。浮動閘電晶體208之一列係共同耦合至一給定字元線202之彼等電晶體。本揭示內容之實施例亦可利用其他形式之電晶體208，例如NROM、磁性或鐵電電晶體及其他能夠經程式化以採用兩個或兩個以上臨限電壓範圍中之一者之電晶體。

各種實施例之記憶體裝置可有利地用於大量儲存器裝置中。針對各種實施例，此等大量儲存器裝置可採取相同之形式因數及傳統HDD之通信匯流排介面，因此允許其置換各種應用程式中之此類驅動器。HDD之某些共同形式因數包含通常用於當前之個人電腦及較大之數位媒體記錄器之3.5"、2.5"及PCMCIA(個人電腦記憶卡國際聯盟)形式因數、以及通常用於較小之個人電器(諸如行動電話、個人數位助理(PDA)及數位媒體播放器)中之1.8"及1"形式因數。某些共同匯流排介面包含通用串列匯流排(USB)、AT附接介面(ATA)[亦稱為積體驅動電子裝置或IDE]、串列ATA(SATA)、小型電腦系統介面(SCSI)及電機電子工程師協會(IEEE)1394標準。儘管已列出大量形式因數及通信介面，但該等實施例並不限於一特定形式因數或通信標準。此外，該等實施例無需符合一HDD形式因數或通信介面。

圖3係一根據本揭示內容之一個實施例之固態大量儲存器裝置300之方塊示意圖。

根據本揭示內容之一實施例，大量儲存器裝置300包含一記憶體裝置301、一讀取/寫入通道305及一控制器310。讀取/寫入通道305提供有自記憶體裝置301接收之資料信號之類比-數位轉換以及自控制器310接收之資料信號之數位-類比轉換。控制器310透過匯流排介面315提供大量儲存器裝置300與一外部處理器(圖3中未顯示)之間的通信。應注意，讀取/寫入通道305可為一或多個其他記憶體裝置服務，如虛線中之記憶體裝置301'所繪示。一用於通信之單個記憶體裝置301之選擇可透過一多位元晶片致能信號或其他多工方案來處理。

記憶體裝置301透過一類比介面320及一數位介面325耦合至一讀取/寫入通道305。類比介面320在記憶體裝置301與讀取/寫入通道305之間提供有類比資料信號之通路，而數位介面325提供有自讀取/寫入通道305至記憶體裝置301之控制信號、命令信號及位址信號之通路。數位介面325可進一步提供有自記憶體裝置301至讀取/寫入通道305之狀態信號之通路。類比介面320與數位介面325可共享信號線，如參照圖1之記憶體裝置101所提及。儘管圖3之實施例繪示一至記憶體裝置之雙重類比/數位介面，但讀取/寫入通道305之功能可視需要地合併至記憶體裝置301內，如參照圖1所論述，以便記憶體裝置301使用僅一用於控制信號、命令信號、狀態信號、位址信號及資料信號之通路之

數位介面與控制器 310 直接通信。

讀取/寫入通道 305 透過一或多個介面(諸如一資料介面 330 及一控制介面 335)耦合至控制器 310。資料介面 330 在讀取/寫入通道 305 與控制器 310 之間提供有數位資料信號之通路。控制介面 335 提供有自控制器 310 至讀取/寫入通道 305 之控制信號、命令信號及位址信號之通路。控制介面 335 可進一步提供有自讀取/寫入通道 305 至控制器 310 之狀態信號之通路。如虛線繪示，狀態及命令/控制信號亦可在控制器 310 與記憶體裝置 301 之間直接傳送，以將控制介面 335 連接至數位介面 325。

儘管在圖 3 中繪示為兩個分立裝置，但讀取/寫入通道 305 及控制器 310 之功能可替代地由一單個積體電路裝置執行。而且，儘管將記憶體裝置 301 維持為一單獨裝置將為調適該等實施例至不同形式因數及通信介面提供更大之靈活性，因為其亦為一積體電路裝置，但整個大量儲存器裝置 300 可被製造為一單個積體電路裝置。

讀取/寫入通道 305 係一經調適以至少提供有一數位資料流至一類比資料流之轉換(且反之亦然)之信號處理器。一數位資料流以二進制電壓位準之形式提供資料信號，亦即可指示一具有一第一二進制資料值(例如，0)之位元之第一電壓位準，及一可指示一具有一第二二進制資料值(例如，1)之位元之第二電壓位準。一類比資料流以具有多於兩個位準之類比電壓之形式提供資料信號，其中不同電壓位準或範圍對應於兩個或兩個以上位元之不同位元型樣。

舉例而言，於一經調適以存儲每記憶體單元兩個位元之系統中，一類比資料流之第一電壓位準或電壓位準範圍可對應於一位元型樣11，一類比資料流之第二電壓位準或電壓位準範圍可對應於一位元型樣10，一類比資料流之第三電壓位準或電壓位準範圍可對應於一位元型樣00，及一類比資料流之第四電壓位準或電壓位準範圍可對應於一位元型樣01。因此，根據各實施例，一類比資料信號將被轉換至兩個或兩個以上數位資料信號，且反之亦然。

於實踐中，在匯流排介面315接收控制及命令信號以用於透過控制器310存取記憶體裝置301。亦可相依於需要哪種類型之存取(例如，寫入、讀取、格式化等)而在匯流排介面315接收位址及資料值。於一共享匯流排系統中，匯流排介面315將與各種其他裝置一起耦合至一匯流排。為指引至一特定裝置之通信，可將一識別值安置於匯流排上，指示該匯流排上之哪一裝置將在接到一接續命令時起作用。若該識別值匹配由大量儲存器裝置300採用之值，則控制器310將隨之在匯流排介面315接受該接續命令。若該識別值不匹配，則控制器310將忽略接續通信。同樣地，為避免匯流排上之碰撞，一共享匯流排上之各裝置可在其個別地控制匯流排時指導其他裝置結束離埠通信。然後，控制器310將命令、位址及資料信號傳送至讀取/寫入通道305上以供處理。應注意，自控制器310傳送至讀取/寫入通道305之命令、位址及資料信號無需為在匯流排介面315接收之相同信號。舉例而言，用於匯流排介面315之

通信標準可不同於讀取/寫入通道305或記憶體裝置301之通信標準。於此情形中，控制器310可在存取記憶體裝置301之前轉譯該等命令及/或定址方案。另外，控制器310可在一或多個記憶體裝置301內提供有負載平均，以便記憶體裝置301之實體位址可針對一給定之邏輯位址而隨時間變化。因此，控制器310將邏輯位址自外部裝置映射至一目標記憶體裝置301之實體位址。

針對寫入請求，除命令及位址信號外，控制器310亦將傳送數位資料信號至讀取/寫入通道305。舉例而言，針對一16位元之資料字，控制器310將傳送16個具有一第一或第二二進制邏輯位準之個別信號。然後，讀取/寫入通道305將數位資料信號轉換成一可代表數位資料信號之位元型樣之類比資料信號。為繼續前述實例，讀取/寫入通道305將使用一數位-類比轉換將該16個個別之數位資料信號轉換成一單個類比信號，其具有一可指示所需之16位元資料型樣之電位位準。針對一個實施例，可代表該等數位資料信號之位元型樣之類比資料信號可指示目標記憶體單元之一所需臨限電壓。然而，於一單電晶體記憶體單元之程式化中，通常之情形係：相鄰記憶體單元之程式化將升高先前經程式化之記憶體單元之臨限電壓。因此，針對另一實施例，讀取/寫入通道305可考量臨限電壓之此類期望變化，並調整類比資料信號以便可指示一比最終之所需臨限電壓更低之臨限電壓。在來自控制器310之數位資料信號之轉換之後，讀取/寫入通道305將隨之將該等寫入命令及

位址信號以及供用於程式化個別記憶體單元之類比資料信號一起傳送至記憶體裝置301。程式化可逐單元發生，但一般係針對每運作一資料頁面來執行。針對一典型之記憶體陣列架構，一資料頁面包含耦合至一字元線之每隔一個記憶體單元。

針對讀取請求，控制器傳送命令及位址信號至讀取/寫入通道305。讀取/寫入通道305傳送該等讀取命令及位址信號至記憶體裝置301。作為回應，在執行讀取運作之後，記憶體裝置301將傳回可指示由該等位址信號及讀取命令界定之記憶體單元之臨限電壓之類比資料信號。記憶體裝置301可以並聯或串聯方式傳遞其類比資料信號。

該等類比資料信號亦可不作為離散電壓脈衝來傳遞，而是作為一大致連續之類比信號流來傳遞。於此情形中，讀取/寫入通道305可採用類似於HDD存取中使用之稱為PRML或部分回應最大似然之信號處理。於一傳統HDD之PRML處理中，HDD之讀寫頭輸出一類比信號流，其可代表在該HDD磁碟之一讀取運作期間遭遇之磁通反轉。其非為於嘗試捕獲回應於讀寫頭遭遇之磁通反轉而產生之此類比信號之真正峰值及谷值，而是定期取樣該信號以創建該信號型樣之一數位表示法。此數位表示法可隨之經分析以確定負責產生類比信號型樣之磁通反轉之可能型樣。此同類處理可用於本揭示內容之各實施例。藉由對來自記憶體裝置301之類比信號取樣，PRML處理可用於確定負責產生類比信號之臨限電壓之可能型樣。

圖4係一根據本揭示內容之一實施例概念性地顯示一可由讀取/寫入通道305自記憶體裝置301接收之資料信號450之波形之繪示。資料信號450可定期取樣，且資料信號450之數位表示法可根據所取樣電壓位準之振幅創建。針對一個實施例，取樣可與資料輸出同步以便於資料信號450之穩態部分期間執行取樣。此種實施例係由如時間 $t_1$ 、 $t_2$ 、 $t_3$ 及 $t_4$ 之虛線所指示之取樣來繪示。然而，若經同步化之取樣變得不同步，則資料樣本值可能明顯不同於穩態值。於一替代實施例中，取樣率可升高以允許確定穩態值可能發生於何處，例如藉由觀察資料樣本所指示之斜率變化。此種實施例係由如時間 $t_5$ 、 $t_6$ 、 $t_7$ 及 $t_8$ 之虛線所指示之取樣來繪示，其中於時間 $t_6$ 與 $t_7$ 之資料樣本之間的斜率可指示一穩態條件。於此實施例中，在取樣率與表示法之準確度之間做出一折衷。較高之取樣率會導致更準確之表示法，但亦會增加處理時間。無論取樣係與資料輸出同步抑或使用更頻繁之取樣，數位表示法可隨之用於預測哪些傳入之電壓位準可能負責產生類比信號型樣。依次地，可根據傳入電壓位準之此期望型樣來預測正讀取之個別記憶體單元之可能資料值。

藉由識別彼錯誤將發生於來自記憶體裝置301之資料值之讀取中，讀取/寫入通道305可包含錯誤校正。錯誤校正通常用於記憶體裝置中以及HDD中，以自期望之錯誤中恢復。通常，一記憶體裝置將使用者資料儲存於一第一位置組內，將錯誤校正碼(ECC)儲存於一第二位置組內。於一

讀取運作期間，回應於對使用者資料之一讀取請求來讀取使用者資料及ECC二者。藉由使用習知演算法，比較自該讀取運作返回之使用者資料與ECC。若該等錯誤在ECC之限制內，則將校正該等錯誤。

圖5係一根據本揭示內容之一實施例之電子系統之方塊示意圖。實例性電子系統可包含個人電腦、PDA、數位相機、數位媒體播放器、數位記錄器、電子遊戲、電器、車輛、無線裝置、行動電話及類似裝置。

該電子系統包含一主處理器500，其可包含快取記憶體502以提高處理器500之效率。處理器500耦合至一通信匯流排504。大量其他裝置可在處理器500控制下耦合至通信匯流排504。舉例而言，該電子系統可包含隨機存取記憶體(RAM)506；一或多個輸入裝置508，諸如鍵盤、觸摸墊、指向裝置等；一聲訊控制器510；一視訊控制器512；及一或多個大量儲存器裝置514。至少一個大量儲存器裝置514包含一用於與匯流排504通信之數位匯流排介面515、根據本揭示內容之一實施例具有一用於傳遞資料信號(可代表兩個或兩個以上資料位元之資料型樣)之類比介面之一或多個記憶體裝置、及一經調適以執行自匯流排介面515接收之數位資料信號之數位-類比轉換及自其記憶體裝置接收之類比資料信號之類比-數位轉換之信號處理器。

諸如快閃記憶體等非揮發記憶體積體電路可由多個非揮發記憶體晶粒堆疊組成。每一堆疊可具有多個晶粒。因

此，若4個晶粒堆疊中各自堆疊有4個晶粒，則一個快閃記憶體積體電路可在一個封裝內具有16個記憶體晶粒。此可在記憶體控制器不得不確定正對哪一晶粒定址時創建一關於與個別記憶體晶粒通信之問題。另外，在一個以上之晶粒嘗試同時存取一通信匯流排時出現匯流排競爭問題。

非揮發記憶體裝置可指派有一網路識別，以提供改良之網路通信能力。藉助該網路ID，一NAND快閃記憶體(其通常將係一無智能之從屬裝置)可控制一通信匯流排以傳輸及接收資料。該網路ID之指派使得記憶體裝置成為網路之一主動元件。

圖6圖解說明一具有一非揮發記憶體裝置600之記憶體系統之一個實施例之方塊圖，該非揮發記憶體裝置具有一嵌入該記憶體裝置之所指派網路ID 620。記憶體裝置600係一由至少一個記憶體陣列構成之積體電路，該記憶體陣列由複數個浮動閘、快閃記憶體單元及一記憶體控制器電路621組成。如先前闡述，該等記憶體陣列可由一NAND架構、一NOR架構或某一其他記憶體陣列架構構成。

控制器電路621負責控制記憶體裝置600之運作。控制器電路621產生用於將至及自該記憶體陣列之資料程式化、擦除及讀取之控制信號。控制器電路621亦使用指派給記憶體裝置600之網路ID 620來控制網路匯流排601之存取。若一傳入命令包含網路ID 620，則由控制器電路621來執行該運作。同樣地，控制器電路621在對網路之傳出命令中包含網路ID 620。

記憶體裝置 600 之網路 ID 620 可在製造過程期間指派。網路 ID 620 可被硬編碼(亦即，嵌入)至記憶體中不能被後期改變之一區域內，或其可被載入至記憶體中一可在後期由終端使用者改變之非揮發區域內。記憶體之非揮發區域可係主記憶體陣列之一部分，或一並非主記憶體陣列一部分之單獨非揮發暫存器。於另一實施例中，該記憶體裝置之網路 ID 位置由終端使用者在設計系統時載入。此種實施例允許系統設計者在向網路之剩餘元件指派網路 ID 時更有靈活性。

於一其中記憶體裝置 600 由一積體電路上之多個記憶體晶粒構成之實施例中，每一記憶體晶粒將具有一不同之網路 ID 以便一積體電路可指派有多個網路 ID。於此實施例中，每一晶粒可個別地存取及控制匯流排 601。

圖 6 之系統亦由一微處理器 603 或其他控制電路及一輸入/輸出電路 605 構成。I/O 電路 605 由能夠實現對記憶體系統之輸入及輸出之電路構成。此 I/O 電路 605 可包含通用異步接收器傳輸器電路、通用同步/異步接收器傳輸器電路或其他類型之 I/O 電路，其並列或串列，且能夠實現與記憶體系統之來回通信。

圖 6 之記憶體系統可相依於匯流排架構以多個方式運作。舉例而言，一匯流排控制器 610 可用於控制對匯流排 601 之存取。在系統元件 600、603、605 中之一者需要控制匯流排供用於資料傳輸或接收時，彼特定元件 600、603、605 將其網路 ID 與任何可包含正發送/接收之資料量或該元

件需要控制該匯流排之時間長度之支援資料一起傳輸至控制器 610。發送至匯流排控制器 610 之命令之格式及內容相依於所實施之匯流排協定。

於另一實施例中，匯流排控制器 610 並非一匯流排上之個別元件，而是構建至其他網路元件 600、603、605 中之每一者內。於此實施例中，需要控制匯流排之每一網路元件在匯流排上廣播其唯一網路 ID 以及其意圖。其他網路元件 600、603、605 中之每一者內之匯流排控制器接收該命令並在一指定時間放棄對匯流排之控制。所廣播之匯流排命令之格式及內容相依於所實施之匯流排協定。

在非揮發記憶體裝置 600 中使用網路 ID 並不限於一多網路元件系統。網路 ID 可由記憶體控制器電路 621 在記憶體積體電路 600 內部用來確定多個記憶體晶粒中之哪一者已存取該積體電路之 I/O 接腳。若該記憶體裝置由系縛至一內部資料匯流排之多個記憶體晶粒構成，則一內部匯流排控制器可以與一外部控制器控制對一外部匯流排之相同方式來控制對該內部匯流排之存取。每一個別記憶體晶粒以待傳輸/接收之資料量或匯流排所需之時間長度廣播其網路 ID 至晶片控制器。然後，晶片控制器將對內部記憶體晶粒中之內部匯流排之存取排程。該控制器將該經排程之存取傳輸回每一提出請求之晶粒，或在每一晶粒可無競爭地存取該匯流排時將一進行命令傳輸至彼特定晶粒。

圖 7 圖解說明本揭示內容之一記憶體系統之一替代實施例。此記憶體系統包含一充當一如先前所述之固態驅動器

之非揮發記憶體裝置700(例如，NAND快閃記憶體)。該系統進一步由一控制器電路703(例如，微處理器)、一I/O區塊705及一可選匯流排控制器710構成。圖7之實施例包含一位於非揮發記憶體裝置700與匯流排702之間的單獨記憶體控制器電路701。

記憶體控制器電路701負責執行在正常情況下由一磁力驅動控制器執行之功能。控制器電路701之功能包含控制快閃記憶體功能、耗損平均、及錯誤校正。

由控制器電路701執行之該等快閃記憶體功能包含產生記憶體單元所需之控制信號以供用於寫入、擦除及讀取該等記憶體單元。在先前實施例中更詳細地闡述執行此等功能所需之各種字元線及位元線信號。

控制器電路701亦為非揮發記憶體裝置700執行一耗損平均功能。此功能藉由確保大致相等地使用每一記憶體陣列之所有區域來增加該固態驅動器之有效壽命及可靠性，乃因每一記憶體陣列係由具有一有限之有效壽命(例如，100k之寫入週期)之浮動閘記憶體單元構成。該耗損平均功能由控制器電路701構成，控制器電路701自系統匯流排702接收一邏輯記憶體位址並將彼位址轉譯成該一或多個記憶體陣列之實體位址。此允許控制器電路701回應於經程式化單元之使用頻率而來回移動該等單元。

由控制器電路701提供之錯誤校正可係任一類型之錯誤校正，諸如用於固態記憶體裝置或磁性硬驅動器中之校正。此類錯誤校正碼包含漢明碼(Hamming code)及裏德所

羅門碼(Reed-Solomon)。

圖 8 圖解說明一種用於一具有一所指派網路 ID 之非揮發記憶體裝置自一網路接收一訊息之方法之一個實施例之流程圖。該記憶體控制器針對其正控制之一或多個記憶體裝置之唯一網路 ID 檢查該網路訊務之每一訊息(800)。該記憶體控制器可係控制積體電路上之一或多個記憶體陣列之晶片上記憶體控制器，或與該記憶體裝置分離但位於該記憶體裝置與該匯流排之間的外部記憶體控制器。

當在所接收之匯流排訊息中找到之網路 ID 匹配受控於記憶體控制器之一或多個陣列之網路 ID 時(803)，執行由該訊息指定之功能(807)。若該網路 ID 不匹配任一記憶體陣列 ID(803)，則忽略該訊息(805)，且該控制器繼續監測匯流排訊務。

由於可指派之網路 ID 會賦予記憶體裝置成為一主動網路元件之能力，則該記憶體控制器可產生自網路請求資料之訊息。於圖 9 中圖解說明此方法之一個實施例。

此方法首先產生包含提出請求之記憶體陣列之 ID 之訊息。此記憶體功能訊息可包含一用於將資料傳輸至提出請求之記憶體裝置並儲存於陣列中之請求。該訊息亦可係一使得某一網路元件準備自該記憶體裝置接受資料之請求。此訊息係在網路上廣播(903)以供其他網路元件接收。

### 結論

本揭示內容之實施例向一連接至一匯流排結構之非揮發記憶體裝置提供一網路識別。該網路 ID 使得該非揮發記憶

體裝置能夠作為一主動網路元件而非一非智能之從屬裝置來運作。此允許該非揮發記憶體裝置不僅自其他網路元件接收資料，且該裝置亦可主動地請求資料。

儘管本文已圖解說明及闡述特定實施例，但熟習此項技術者將易於瞭解，任何經計算以達成相同目的之安排皆可替代所示之特定實施例。熟習此項技術者將明瞭本揭示內容之許多調適。因此，此申請案意欲涵蓋本揭示內容之任何調適或變化形式。

### 【圖式簡單說明】

圖1係一根據本揭示內容之一實施例之記憶體裝置之簡化方塊圖；

圖2係一可能在圖1所示記憶體裝置中找到之實例性NAND記憶體陣列之一部分之示意圖。

圖3係一根據本揭示內容之一個實施例之固態大量儲存器系統之方塊示意圖。

圖4係一根據本揭示內容之一實施例概念性地顯示一可能藉由一讀取/寫入通道自該記憶體裝置接收之資料信號之波形之繪示。

圖5係一根據本揭示內容之一實施例之一電子系統之方塊示意圖。

圖6係一併入有一具有所指派網路ID之非揮發記憶體裝置之記憶體系統之一個實施例之方塊圖。

圖7係一併入有一具有所指派網路ID之非揮發記憶體裝置之記憶體系統之一替代實施例之方塊圖。

圖 8 係一用於使一具有一所指派網路 ID 之非揮發記憶體裝置在一網路上接收一訊息之方法之一個實施例之流程圖。

圖 9 係一用於使一具有一所指派網路 ID 之非揮發記憶體裝置在一網路上傳輸一訊息之方法之一個實施例之流程圖。

### 【主要元件符號說明】

101	記憶體裝置
104	記憶體單元
108	列解碼電路
110	行解碼電路
112	輸入/輸出 (I/O) 控制電路
114	位址暫存器
116	控制邏輯
118	取樣及保持電路
122	狀態暫存器
124	命令暫存器
130	外部處理器
132	控制鏈路
134	輸入/輸出 (I/O) 匯流排
202	字元線
204	交叉位元線
206	NAND 串
208	電晶體

210	源極選擇閘
212	汲極選擇閘
214	源極選擇線
215	汲極選擇線
216	共同源極線
230	源極
232	汲極
234	浮動閘
236	控制閘
300	固態大量儲存器裝置
301	記憶體裝置
305	讀取/寫入通道
310	控制器
315	匯流排介面
320	類比介面
325	數位介面
330	資料介面
335	控制介面
450	資料信號
500	主處理器
502	快取記憶體
504	通信匯流排
506	隨機存取記憶體
508	輸入裝置

510	聲訊控制器
512	視訊控制器
514	大量儲存器裝置
515	數位匯流排介面
600	非揮發記憶體裝置
601	網路匯流排
603	微處理器
605	輸入/輸出電路
610	匯流排控制器
620	網路ID
621	記憶體控制器電路
700	非揮發記憶體裝置
701	記憶體控制器電路
702	匯流排
703	控制器電路
705	I/O區塊
710	可選匯流排控制器

## 十、申請專利範圍：

1. 一種作為一網路之一主動元件之非揮發記憶體裝置，該記憶體裝置包括：
  - 一非揮發記憶體單元陣列；
  - 一儲存於該記憶體裝置中之網路識別符，其係唯一地識別該網路上之該記憶體裝置；及
  - 一記憶體控制器，其與該非揮發記憶體單元陣列通信，其使用該網路識別符控制透過該網路之存取，且其經組態以產生請求將資料發送至該記憶體裝置之匯流排訊息。
2. 如請求項 1 之記憶體裝置，其中該記憶體控制器產生用於寫入、擦除及讀取該非揮發記憶體單元陣列之控制信號。
3. 如請求項 1 之記憶體裝置，其中該記憶體控制器使用該網路識別符控制透過該網路對該記憶體裝置之存取。
4. 如請求項 1 之記憶體裝置，其中該非揮發記憶體單元陣列係由一 NAND 架構構成。
5. 如請求項 1 之記憶體裝置，其中該記憶體控制器經組態以針對該網路識別來檢查網路訊務。
6. 如請求項 1 之記憶體裝置，其中該網路識別係儲存於一與該非揮發記憶體單元陣列分離之非揮發暫存器中。
7. 如請求項 1 之記憶體裝置，其中該網路識別係暫時指派。
8. 一種記憶體系統網路，其包括：

一 匯流排，其用於攜載可指派至特定網路元件之網路訊息；

一 非揮發記憶體裝置，其耦合至該匯流排作為一主動網路元件，該記憶體裝置包括：

一 非揮發記憶體單元陣列；

一 嵌入該記憶體裝置中之第一網路識別符，其係唯一地識別該網路上之該記憶體裝置；及

一 經組態以控制該非揮發記憶體單元陣列之運作之記憶體控制器，其中該記憶體控制器進一步經組態以產生請求將資料發送至該記憶體裝置且含有該第一網路識別符之匯流排訊息；

輸入/輸出電路，其耦合至該匯流排，該等輸入/輸出電路包括至少一第二網路識別符且回應於接收到具有該第二網路識別符之網路訊息而運作；及

一 控制器電路，其耦合至該匯流排，該控制器電路用於產生具有該第一網路識別符或該第二網路識別符之網路訊息。

9. 如請求項8之網路，其中該網路進一步包括一記憶體控制器，該記憶體控制器耦合於該非揮發記憶體裝置與該匯流排之間，用於使用該第一網路識別符控制對該記憶體裝置之存取。

10. 如請求項8之網路，其進一步包含複數個耦合至該記憶體控制器之非揮發記憶體裝置，每一記憶體裝置具有一唯一網路識別符，且每一記憶體裝置具有藉由該記憶體

控制器使用該唯一網路識別符對該匯流排之受控存取。

11. 如請求項9之網路，其中該複數個非揮發記憶體裝置係為一個記憶體積體電路之一部分的個別記憶體晶粒，其中每一記憶體晶粒皆包括一唯一網路識別符以使得每一記憶體晶粒可個別地存取該匯流排。
12. 如請求項8之網路，且其進一步包含一匯流排控制器，該匯流排控制器內建於該等非揮發記憶體裝置、該等輸入/輸出電路、及該控制器電路之每一者中，以使得每一匯流排控制器透過該匯流排協調該等網路訊息。
13. 一種用於透過一共同網路匯流排與一作為該匯流排上複數個網路元件中之一主動網路元件且包括一第一網路識別之記憶體裝置進行通信之方法，該方法包括：
  - 確定該網路匯流排上之一訊息是否包括該第一網路識別；及
  - 相對於該記憶體裝置，執行一由包括該第一網路識別之該訊息指定之功能。
14. 如請求項13之方法，其中確定係由一與該記憶體裝置分離之記憶體控制器執行。
15. 如請求項13之方法，其進一步包括：
  - 產生一包括該第一網路識別之記憶體功能訊息；及
  - 在該網路匯流排上廣播該記憶體功能訊息。
16. 如請求項15之方法，其中該記憶體功能訊息包含一指示另一網路元件接受來自該記憶體裝置之資料之命令。
17. 如請求項15之方法，其中該記憶體功能訊息包含一指示

另一網路元件將資料傳輸至該記憶體裝置以供儲存之命令。

18. 如請求項15之方法，其進一步包含將該第一網路識別指派至該記憶體裝置。

十一、圖式：

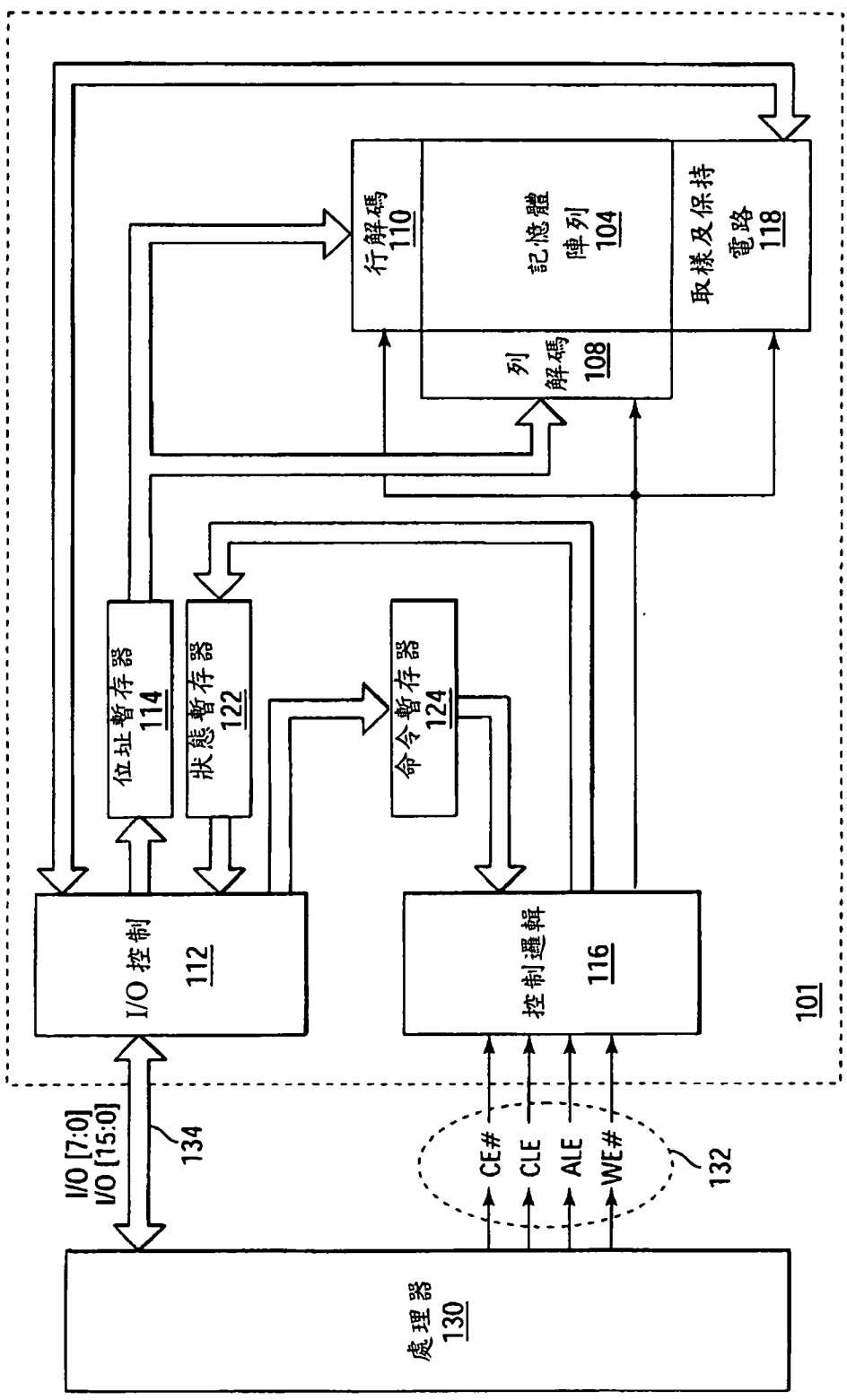


圖 1

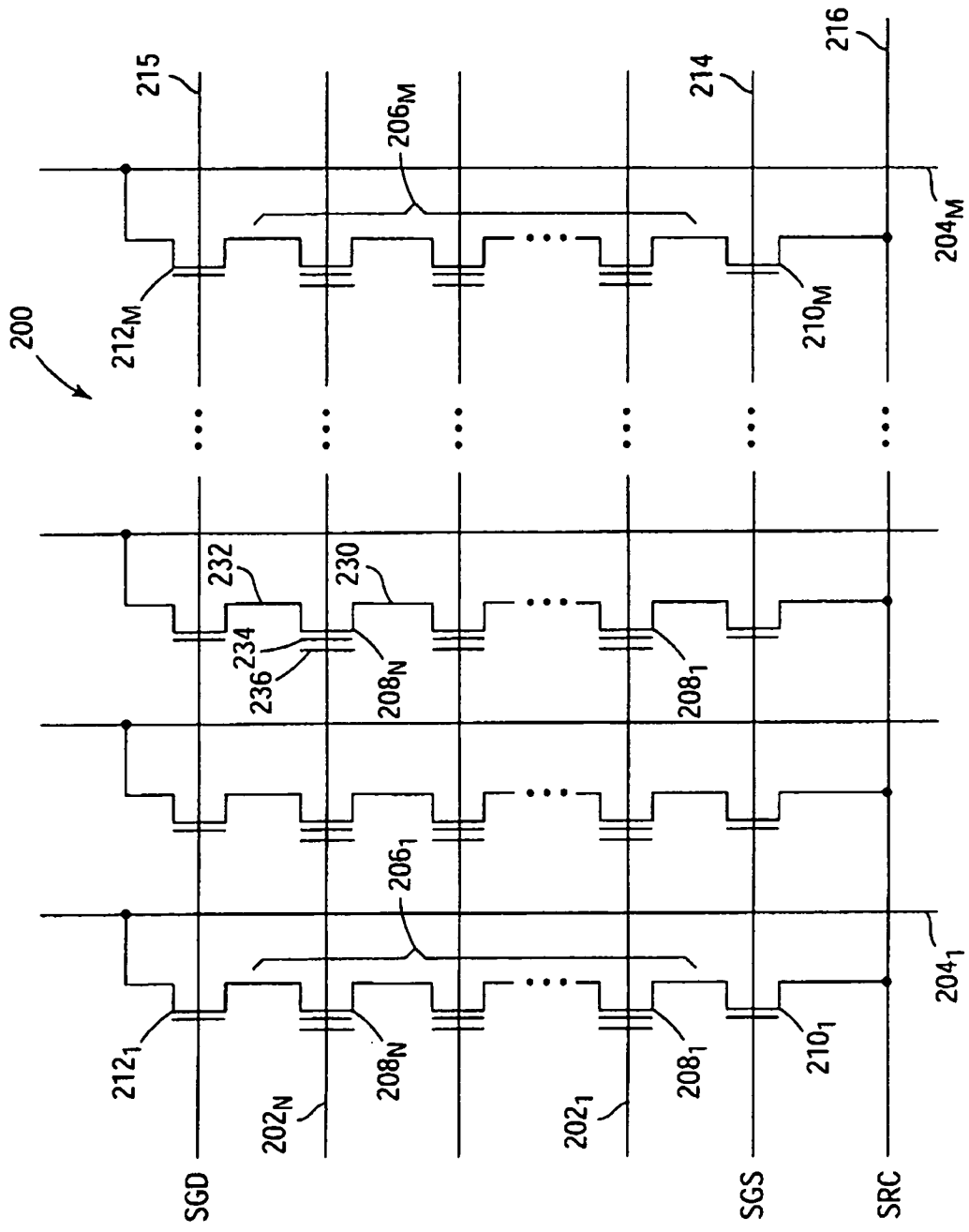


圖 2

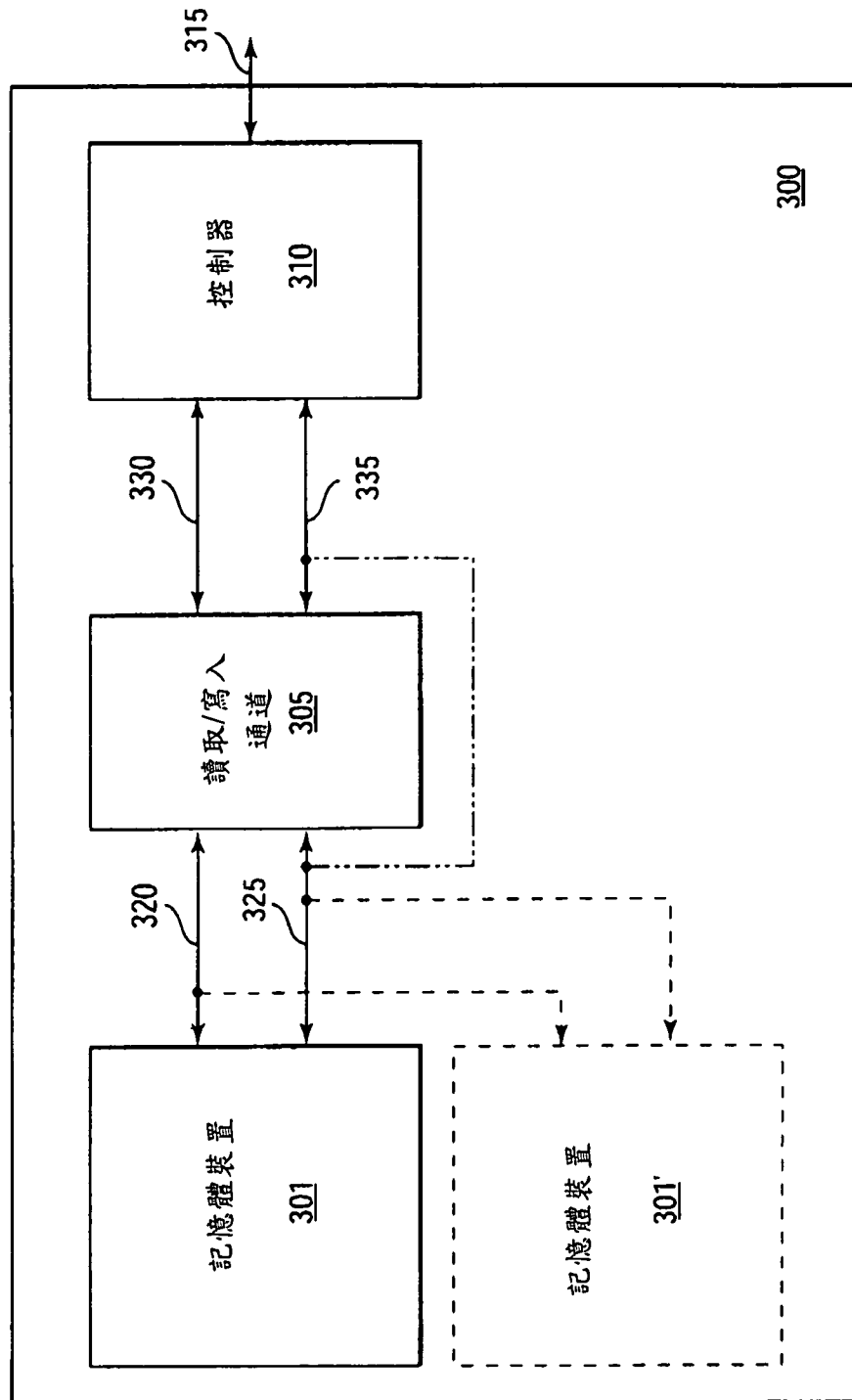


圖 3

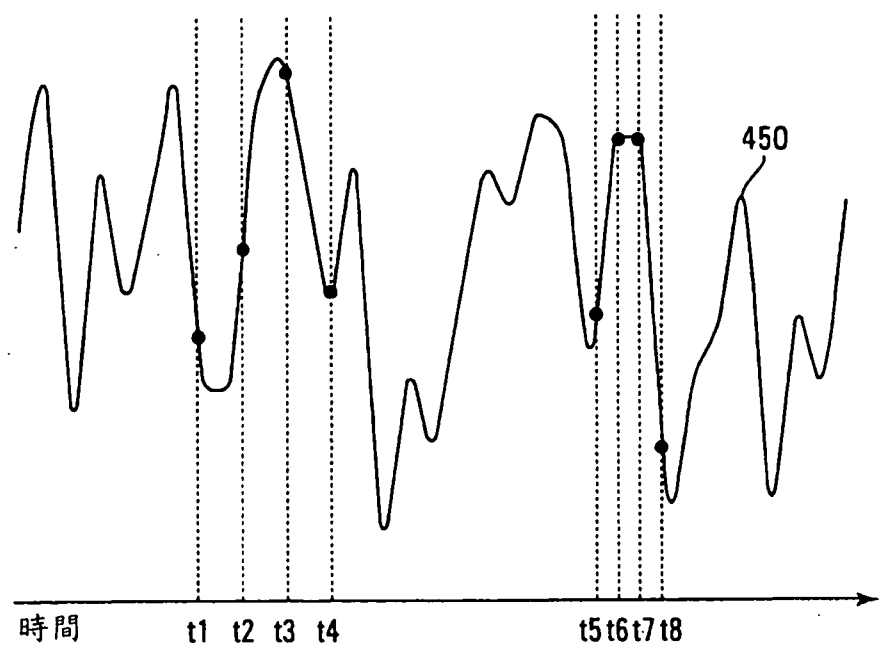


圖4

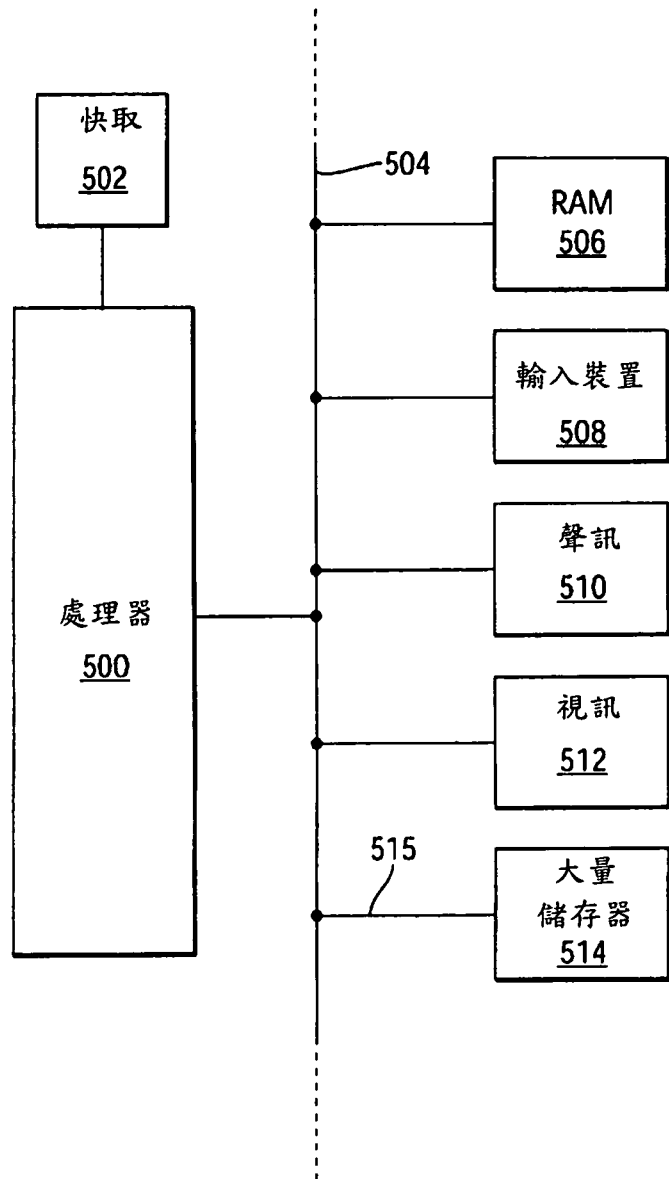


圖5

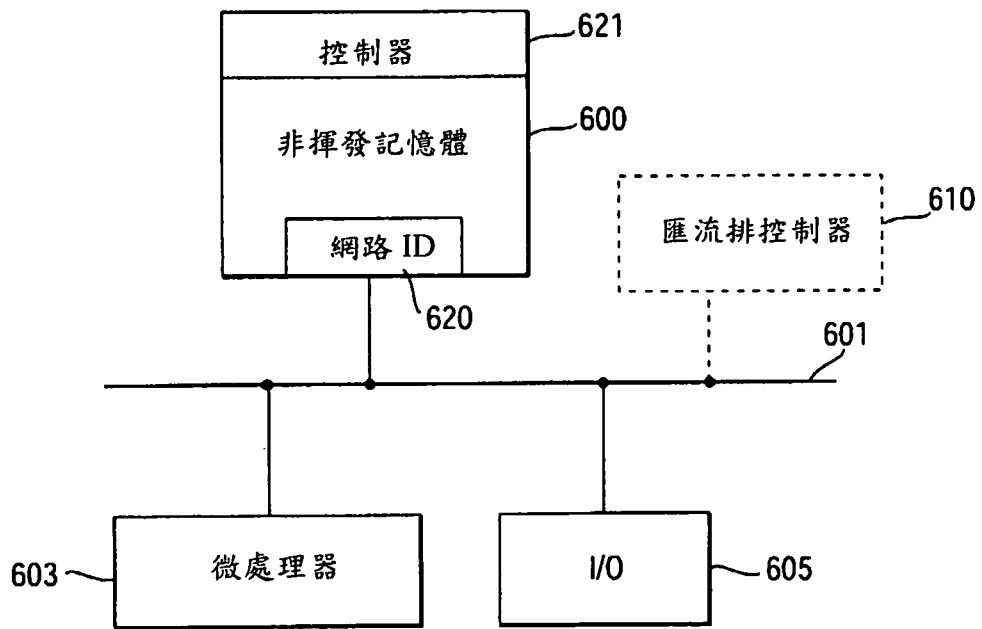


圖6

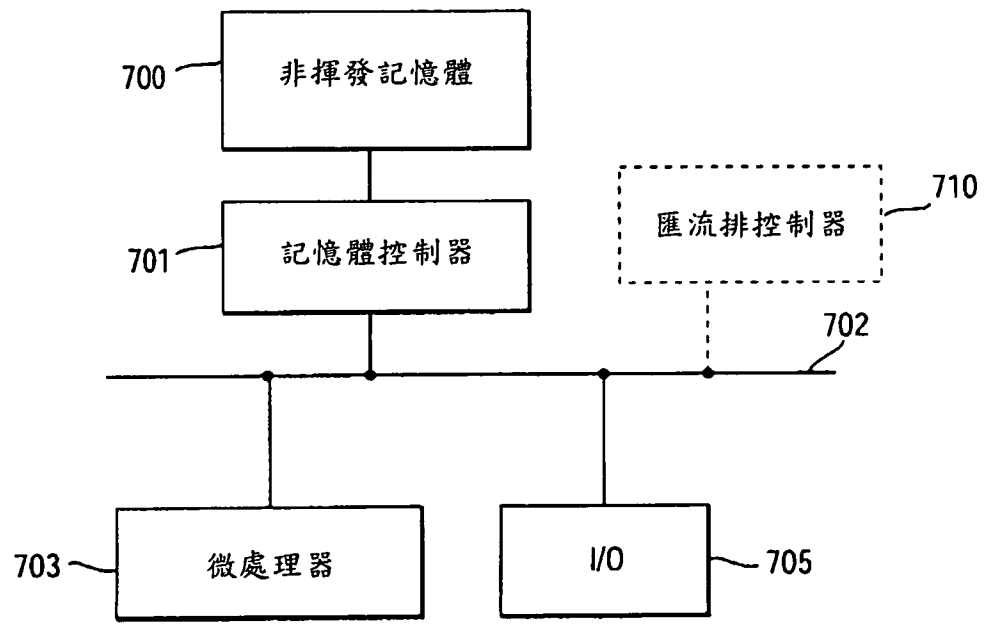


圖 7

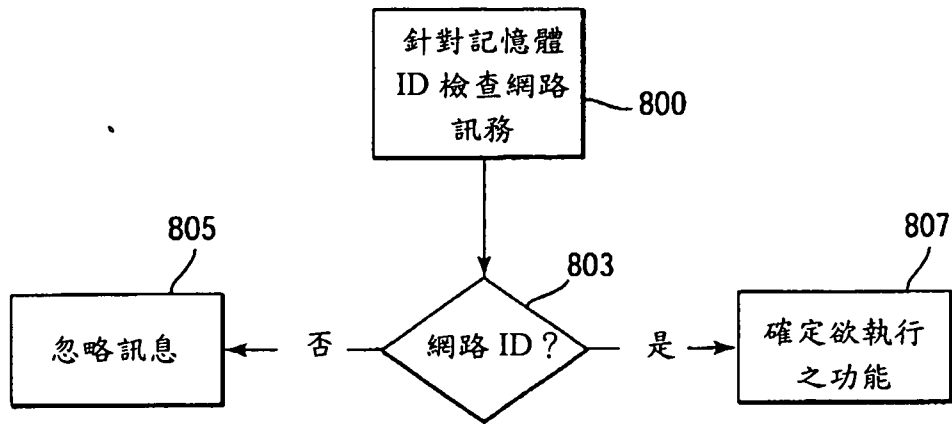


圖 8

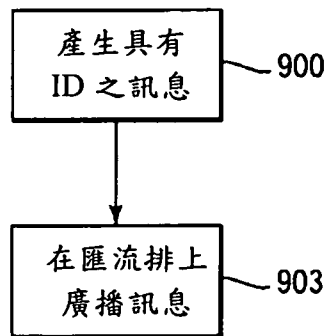


圖 9