



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0130406
(43) 공개일자 2022년09월27일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/1206 (2013.01)

G06N 3/063 (2013.01)

(21) 출원번호 10-2021-0035244

(22) 출원일자 2021년03월18일

심사청구일자 2021년03월18일

(71) 출원인

충북대학교 산학협력단

충청북도 청주시 서원구 충대로 1 (개신동)

고려대학교 세종산학협력단

세종특별자치시 조치원읍 세종로 2511 (고려대학교세종캠퍼스내)

충남대학교 산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이현석

대전광역시 서구 둔산북로 175, 4동 1401호(둔산동, 햇님아파트)

이재우

세종특별자치시 조치원읍 세종로 2511, 고려대학교 세종캠퍼스

(뒷면에 계속)

(74) 대리인

리엔목특허법인

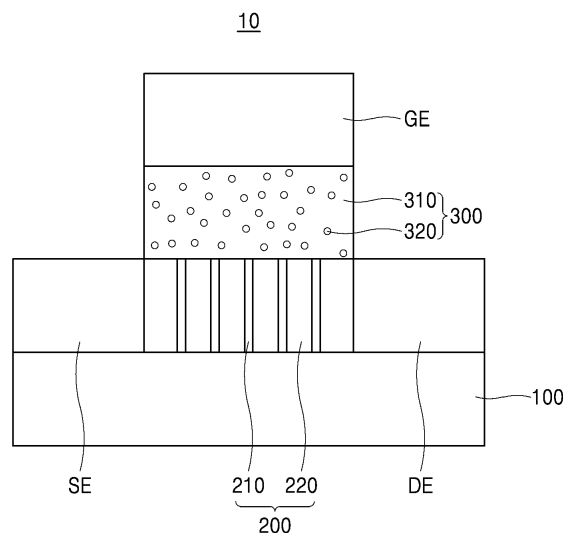
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 시냅스 소자

(57) 요약

본 발명의 일 측면에 의하면, 기판, 상기 기판 상부에 위치하고, 상기 기판의 상면에 수직인 방향으로 배치되며 서로 사전 설정된 거리만큼 이격되어 각각의 사이에 활성 이온 경로를 정의하는 수직층들을 포함하는, 채널층, 상기 채널층의 양측에 각각 위치하는 소스전극과 드레인전극, 상기 채널층과 중첩하도록 상기 채널층 상부에 위치하는 게이트전극 및 상기 게이트전극과 상기 채널층 사이에 개재되고, 내부에 상기 활성 이온을 포함하는, 전해질층을 구비하는, 시냅스 소자를 제공한다.

대표도 - 도1



(52) CPC특허분류

H01L 45/08 (2013.01)

H01L 45/141 (2013.01)

(72) 발명자

김현석

대전광역시 서구 둔산남로 127, 303동 807호(둔산
동, 목련아파트)

박지민

대전광역시 유성구 유성대로822번길 18, 303호(장
대동)

명세서

청구범위

청구항 1

기관;

상기 기관 상부에 위치하고, 상기 기관의 상면에 수직인 방향으로 배치되며 서로 사전 설정된 거리만큼 이격되어 각각의 사이에 활성 이온 경로를 정의하는 수직층들을 포함하는, 채널층;

상기 채널층의 양측에 각각 위치하는 소스전극과 드레인전극;

상기 채널층과 중첩하도록 상기 채널층 상부에 위치하는 게이트전극; 및

상기 게이트전극과 상기 채널층 사이에 개재되고, 내부에 상기 활성 이온을 포함하는, 전해질층;

을 구비하는, 시냅스 소자.

청구항 2

제1항에 있어서,

상기 전해질층의 하면은 상기 채널층의 상면과 접촉하고,

상기 전해질층의 상면은 상기 게이트전극의 하면과 접촉하는, 시냅스 소자.

청구항 3

제1항에 있어서,

상기 수직층들은 서로 반 데르 발스 결합(van der Waals interaction)된, 시냅스 소자.

청구항 4

제3항에 있어서,

상기 활성 이온 경로는 상기 수직층들 간의 반 데르 발스 힘에 의해 형성된 것인, 시냅스 소자.

청구항 5

제3항에 있어서,

상기 수직층들은 MoS_2 , MoSe_2 , WS_2 및 WSe_2 중 어느 하나를 포함하는, 시냅스 소자.

청구항 6

제1항에 있어서,

상기 게이트전극에 제1전압을 인가하는 경우, 상기 전해질층이 포함하는 상기 활성 이온의 적어도 일부는 상기 활성 이온 경로를 따라 상기 전해질층에서 상기 채널층으로 이동하는, 시냅스 소자.

청구항 7

제6항에 있어서,

상기 전해질층에서 상기 채널층으로 이동한 상기 활성 이온은 상기 활성 이온 경로에 트랩되는, 시냅스 소자.

청구항 8

제7항에 있어서,

상기 채널층의 전기전도도는 상기 채널층에 트랩된 상기 활성 이온의 양에 비례하는, 시냅스 소자.

청구항 9

제8항에 있어서,

상기 게이트전극에 제2전압을 인가하는 경우, 상기 채널층에 트랩된 상기 활성 이온은 상기 활성 이온 경로를 따라 상기 채널층에서 상기 전해질층으로 이동하는, 시냅스 소자.

청구항 10

제1항에 있어서,

상기 전해질층은 고체 전해질을 포함하는, 시냅스 소자.

청구항 11

제10항에 있어서,

상기 활성 이온은 알칼리 금속 이온을 포함하는, 시냅스 소자.

청구항 12

제1항에 있어서,

상기 수직층들은 증착 공정을 통해 상기 기판 상에 상기 기판의 상면에 수직인 방향으로 수직 정렬(vertically-aligned) 성장된 것인, 시냅스 소자.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 시냅스 소자에 관한 것으로서, 보다 상세하게는 활성 이온을 정밀 제어할 수 있고 대면적 양산이 가능한 시냅스 소자에 관한 것이다.

배경 기술

[0002] 최근 폰 노이만 아키텍처 기반의 집적회로에서 전력 소모가 크게 증가하고 발열 문제가 심각해지면서 동물의 신경계를 모방하려고 많이 시도되고 있다. 특히, 동물의 신경계를 모방한 기술에서는 전력 소모를 크게 줄이면서, 인지 기능이 가능하고 학습이 가능함으로써 인식 기능과 판단 기능을 개선할 수 있게 되었다. 이에 따라 기존의 폰 노이만 방식의 집적회로의 기능을 대체하거나 크게 개선할 수 있으므로 이에 대한 관심 및 연구가 증가되고 있다.

[0003] 신경 세포의 원리를 이용하여 뉴로모픽 시스템(Neuromorphic system)을 구현할 수 있다. 뉴로모픽 시스템은 인간의 뇌를 구성하는 뉴런을 복수의 소자를 이용하여 구현함으로써 뇌가 데이터를 처리하는 것을 모방한 시스템을 의미한다. 따라서, 뉴런 소자를 포함하는 뉴로모픽 시스템을 이용함으로써 뇌와 유사한 방식으로 데이터를 처리하고 학습할 수 있다. 즉, 뉴런 소자는 뉴런 소자의 시냅스를 통하여 다른 뉴런 소자와 연결되고, 시냅스를 통하여 다른 뉴런 소자로부터 데이터를 수신할 수 있다. 이때, 뉴런 소자는 수신된 데이터를 축적 및 통합하고 임계값 이상일 경우 이를 발화하여 출력한다. 즉, 뉴런 소자는 데이터의 축적 및 발화(integrate and fire) 기능을 한다. 또한, 시냅스 소자는 입력값에 따라 선별적으로 출력한다. 즉, 시냅스 소자는 입력되는 데이터를 누적(potentiation)하거나 감소(depression)시켜 뉴런 소자에 전달한다.

[0004] 종래에는 이러한 뉴런 소자를 C-MOSFET 기반으로 제작하였다. C-MOSFET 기반의 뉴런 소자는 데이터의 축적(integrate) 기능을 담당하는 캐패시터, 특정 임계값 이상의 신호가 인가되면 발화하는 비교기(comparator)가 필요하고, 그 이외에 딜레이, 안정성 확보를 위한 부가 회로들로 구성된다. 그런데, 캐패시터가 차지하는 면적이 상당히 크므로 뉴런 소자의 전체 면적이 매우 커지고, 전력 소모 또한 매우 크게 된다. 이러한 구조적 한계로 인해 뉴로모픽 시스템의 구성이 복잡해지고, 정밀도가 제한되는 등 다양한 문제를 가지게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 활성 이온의 이동을 정밀 제어할 수 있고 대면적 양산이 가능한 시냅스 소자를 제공하고 자 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 본 발명의 일 관점에 따르면, 기판, 상기 기판 상부에 위치하고, 상기 기판의 상면에 수직인 방향으로 배치되며 서로 사전 설정된 거리만큼 이격되어 각각의 사이에 활성 이온 경로를 정의하는 수직층들을 포함하는, 채널층, 상기 채널층의 양측에 각각 위치하는 소스전극과 드레인전극, 상기 채널층과 중첩하도록 상기 채널층 상부에 위치하는 게이트전극 및 상기 게이트전극과 상기 채널층 사이에 개재되고, 내부에 상기 활성 이온을 포함하는, 전해질층을 구비하는, 시냅스 소자가 제공된다.

[0007] 본 실시예에 따르면, 상기 전해질층의 하면은 상기 채널층의 상면과 접촉하고, 상기 전해질층의 상면은 상기 게이트전극의 하면과 접촉할 수 있다.

[0008] 본 실시예에 따르면, 상기 수직층들은 서로 반 데르 발스 결합(van der Waals interaction)될 수 있다.

[0009] 본 실시예에 따르면, 상기 활성 이온 경로는 상기 수직층들 간의 반 데르 발스 힘에 의해 형성된 것일 수 있다.

[0010] 본 실시예에 따르면, 상기 수직층들은 MoS_2 , MoSe_2 , WS_2 및 WSe_2 중 어느 하나를 포함할 수 있다.

[0011] 본 실시예에 따르면, 상기 게이트전극에 제1전압을 인가하는 경우, 상기 전해질층이 포함하는 상기 활성 이온의 적어도 일부는 상기 활성 이온 경로를 따라 상기 전해질층에서 상기 채널층으로 이동할 수 있다.

[0012] 본 실시예에 따르면, 상기 전해질층에서 상기 채널층으로 이동한 상기 활성 이온은 상기 활성 이온 경로에 트랩될 수 있다.

[0013] 본 실시예에 따르면, 상기 채널층의 전기전도도는 상기 채널층에 트랩된 상기 활성 이온의 양에 비례할 수 있다.

[0014] 본 실시예에 따르면, 상기 게이트전극에 제2전압을 인가하는 경우, 상기 채널층에 트랩된 상기 활성 이온은 상기 활성 이온 경로를 따라 상기 채널층에서 상기 전해질층으로 이동할 수 있다.

[0015] 본 실시예에 따르면, 상기 전해질층은 고체 전해질을 포함할 수 있다.

[0016] 본 실시예에 따르면, 상기 활성 이온은 알칼리 금속 이온을 포함할 수 있다.

[0017] 본 실시예에 따르면, 상기 수직층들은 증착 공정을 통해 상기 기판 상에 상기 기판의 상면에 수직인 방향으로 수직 정렬(vertically-aligned) 성장된 것일 수 있다.

[0018] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

[0019] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 시냅스 소자는 활성 이온 경로를 정의하는 수직층들을 포함하는 채널층을 구비함으로써, 활성 이온의 이동을 정밀 제어할 수 있다.

[0020] 또한, 본 발명의 일 실시예에 따르면, 시냅스 소자가 구비하는 수직층들은 기판 상에 2차원 평판 형태로 수직 정렬(vertically-aligned) 성장되어 대면적 양산이 가능한 시냅스 소자를 구현할 수 있다.

[0021] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 시냅스 소자를 개략적으로 도시하는 도면이다.

도 2는 본 발명의 일 실시예에 따른 시냅스 소자의 게이트전극에 제1전압을 인가하는 경우의 동작을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 시냅스 소자의 게이트전극에 제2전압을 인가하는 경우의 동작을 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 시냅스 소자의 채널층의 일부를 개략적으로 도시하는 도면이다.

도 5는 본 발명의 일 실시예에 따른 시냅스 소자의 채널층에 활성 이온이 트랩된 모습의 일부를 개략적으로 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0024] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0025] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0026] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서 상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0027] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0028] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0029] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0030] 본 명세서에서 "A 및/또는 B"은 A이거나, B이거나, A와 B인 경우를 나타낸다. 그리고, "A 및 B 중 적어도 하나"는 A이거나, B이거나, A와 B인 경우를 나타낸다.
- [0031] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우, 또는/및 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우, 및/또는 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우를 나타낸다.
- [0032] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 시냅스 소자를 개략적으로 도시하는 도면이다.
- [0034] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 시냅스 소자(10)는 기판(100), 채널층(200), 전해질층(300), 게이트전극(GE), 소스전극(SE) 및 드레인전극(DE)을 구비할 수 있다.
- [0035] 기판(100)은 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator; SOI) 기판, 게르마늄 기판, 게르마늄-온-인슐레이터(germanium on insulator; GOI) 기판 또는 실리콘-게르마늄 기판 등의 반도체 기판일 수 있으나 이에 제한되는 것은 아니다. 일 실시예로, 기판(100)은 p형 불순물이 도핑된 p형 반도체 기판 또는 n형 불순물이 도핑된 n형 반도체 기판일 수 있다.
- [0036] 기판(100) 상부에는 채널층(200), 전해질층(300) 및 게이트전극(GE)이 서로 중첩하도록 순차로 구비될 수 있다. 구체적으로, 채널층(200) 상부에는 게이트전극(GE)이 채널층(200)과 중첩하도록 배치되고, 채널층(200)과 게이트전극(GE) 사이에는 전해질층(300)이 개재될 수 있다.
- [0037] 한편, 채널층(200)의 양측에는 각각 소스전극(SE) 및 드레인전극(DE)이 구비될 수 있다. 도 1에서는 전해질층(300) 및 게이트전극(GE)이 소스전극(SE) 및 드레인전극(DE)과 중첩하지 않는 경우가 도시되어 있으나 이에 제한되는 것은 아니다. 예컨대, 전해질층(300) 및/또는 게이트전극(GE)은 소스전극(SE)의 적어도 일부 및/또는 드

레인전극(DE)의 적어도 일부와 중첩할 수 있다.

- [0038] 채널층(200)과 게이트전극(GE) 사이에 개재된 전해질층(300)은 채널층(200) 및 게이트전극(GE) 각각과 접촉할 수 있다. 구체적으로, 전해질층(300)의 하면은 채널층(200)의 상면과 접촉하고, 전해질층(300)의 상면은 게이트전극(GE)의 하면과 접촉할 수 있다. 이를 통해 전해질층(300)은 게이트전극(GE)과 전기적으로 연결될 수 있고, 활성 이온(320)은 게이트전극(GE)에 인가된 전압에 따라 전해질층(300)에서 채널층(200)으로 이동하거나, 채널층(200)에서 전해질층(300)으로 이동할 수 있다.
- [0039] 채널층(200)은 시냅스 소자(10)의 채널 역할을 하는 층으로서, 전해질층(300)으로부터 주입된 활성 이온(320)에 의해 전기적 특성, 예컨대 전기전도도(electric conductivity)가 변화되는 층일 수 있다. 시냅스 소자(10)는 활성 이온(320)에 따라 단계적으로 가변하는 전기전도도를 갖는 채널층(200)을 구비함으로써, 비휘발성 메모리 트랜지스터 역할을 수행할 수 있다.
- [0040] 일 실시예로, 채널층(200)의 전기전도도는 채널층(200)에 주입된 활성 이온(320)의 양과 비례 관계일 수 있다. 구체적으로, 채널층(200)의 전기전도도는 채널층(200)에 주입된 활성 이온(320)의 양이 많을수록 커지고, 채널층(200)에 주입된 활성 이온(320)의 양이 적을수록 작아지는 경향성을 가질 수 있다. 이러한 경향성을 이용하여 채널층(200)의 전기전도도를 조절할 수 있다.
- [0041] 또한, 채널층(200)에 주입된 활성 이온(320)은 채널층(200)의 복수개의 수직층(210)들 사이 각각에 형성된 활성 이온 경로(220)에 트랩될 수 있다. 이를 통해 시냅스 소자(10)는 비휘발성 메모리 트랜지스터로서의 역할을 수행할 수 있다. 한편, 채널층(200)에 주입 또는 제거되는 활성 이온(320)의 양은 게이트전극(GE)에 인가하는 전압을 조절함으로써 정밀 제어할 수 있으며, 이에 대한 상세한 설명은 도 2 및 도 3을 참조하여 후술한다.
- [0042] 도 1을 참조하면, 채널층(200)은 복수개의 수직층(210)들 및 복수개의 수직층(210)들 사이에 형성된 활성 이온 경로(220)를 포함할 수 있다.
- [0043] 복수개의 수직층(210)들은 기판(100)의 상면에 수직인 방향으로 배치된 2차원 판형 구조를 갖는 층들이다. 복수개의 수직층(210)들 각각은 서로 이격되어 배치될 수 있다. 복수개의 수직층(210)들이 이격되어 형성된 수직층(210)들 각각의 사이는 활성 이온(320)의 경로로 정의될 수 있다. 즉, 복수개의 수직층(210)들은 사전 설정된 거리만큼 이격되어 각각의 사이에 활성 이온 경로(220)를 정의할 수 있다.
- [0044] 일 실시예로, 복수개의 수직층(210)들은 서로 반 데르 발스 결합(van der Waals interaction)될 수 있다. 구체적으로, 복수개의 수직층(210)들 간의 결합은 결합력이 복수개의 수직층(210)들 각각의 단층이 포함하는 물질들 간의 결합력보다 상대적으로 약한 반 데르 발스 결합으로 형성될 수 있다. 이와 같이 상대적으로 약한 결합력으로 인하여 복수개의 수직층(210)들 사이에는 반 데르 발스 갭(van der Waals gap)이 형성되고, 이는 활성 이온 경로(220)로 활용될 수 있다.
- [0045] 이러한 복수개의 수직층(210)들은 2차원 층 구조를 가지며 반도체 특성을 갖는 임의의 물질을 포함할 수 있다. 예컨대, 복수개의 수직층(210)들은 MoS_2 , MoSe_2 , WS_2 , WSe_2 , 그래핀(Graphene), h-BN(Hexagonal boron nitride) 중 어느 하나를 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0046] 또한, 복수개의 수직층(210)들은 기판(100) 상에 직접 수직 정렬(vertically-aligned) 성장시키는 방법으로 형성될 수 있다. 구체적으로, 기판(100) 상에 기판(100)의 상면과 수직을 이루는 2차원 평판 형태의 복수개의 수직층(210)들을 증착 공정을 통해 성장시킬 수 있다. 이때, 복수개의 수직층(210)들이 사전 설정된 거리만큼 이격되도록 자기 정렬(self-aligned)될 수 있고, 성장한 복수개의 수직층(210)들 사이에 형성된 공간들은 활성 이온 경로(220)로 정의될 수 있다. 이와 같이 복수개의 수직층(210)들은 증착 공정을 통해 기판(100) 상에 직접 형성될 수 있는 바, 대면적 양산이 가능하며 활성 이온 경로(220)의 두께도 용이하게 조절할 수 있다.
- [0047] 일 실시예로, 복수개의 수직층(210)들은 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 스퍼터링(sputtering), 펄스 레이저 증착(pulsed laser deposition; PLD), 증발법(thermal evaporation), 전자빔 증발법(electron beam evaporation), 원자층 증착(atomic layer deposition; ALD) 및 분자선 에피택시 증착(molecular beam epitaxy; MBE) 등의 증착 공정을 통해 형성될 수 있으나 이에 제한되는 것은 아니다.
- [0048] 활성 이온 경로(220)는 활성 이온(320)이 채널층(200) 내에서 이동할 수 있는 경로를 제공하는 역할을 한다. 구체적으로, 활성 이온(320)이 전해질층(300)으로부터 채널층(200)으로 주입되거나 채널층(200)에서 전해질층(300)으로 되돌아갈 때, 활성 이온(320)은 무질서한 방향 또는 임의의 방향으로 이동하지 않고 활성 이온 경로

(220)에 의해 사전 설정된 경로를 따라 이동하도록 제어된다. 활성 이온(320)이 사전 설정된 활성 이온 경로(220)를 따라서만 이동하도록 제어함으로써, 활성 이온(320)의 이동 경로를 정밀 제어할 수 있다.

- [0049] 또한, 활성 이온 경로(220)는 채널층(200)에 주입된 활성 이온(320)이 트랩될 수 있는 공간을 제공하는 역할을 한다. 채널층(200)의 전기적 특성, 예컨대 전기전도도는, 활성 이온 경로(220)에 트랩된 활성 이온의 양에 대응하여 변화할 수 있다. 채널층(200)에 주입된 활성 이온(320)은 인접한 복수개의 수직층(210)들 간의 힘에 의해 형성된 활성 이온 경로(220)에 트랩될 수 있다. 즉, 채널층(200)에 주입된 활성 이온(320)을 채널층(200) 내에 가두어 고정할 수 있다.
- [0050] 일 실시예로, 복수개의 수직층(210)들은 서로 반 데르 발스 결합을 이루고, 활성 이온 경로(220)는 복수개의 수직층(210)들 간의 반 데르 발스 힘에 의해 형성된 반 데르 발스 갭으로 정의될 수 있다. 이 경우, 채널층(200)에 주입된 활성 이온(320)은 반 데르 발스 갭으로 정의된 활성 이온 경로(220)에 트랩될 수 있다.
- [0051] 이와 같이 본 발명의 실시예들에 따른 시냅스 소자(1)는 활성 이온(320)이 채널층(200) 내에서 이동하는 경로 및 트랩되는 공간을 정밀 제어할 수 있다. 따라서, 활성 이온(320)이 자체 확산하거나 활성 이온 경로(220)를 이탈하여 소자의 간섭 및 산포 등의 문제를 발생시키는 것을 방지할 수 있게 되어 소자의 안정성 및 신뢰성이 향상될 수 있다.
- [0052] 이러한 활성 이온 경로(220)의 두께는 복수개의 수직층(210)들의 두께를 조절함에 따라 제어할 수 있다. 예컨대, 활성 이온 경로(220)의 두께는 서로 반 데르 발스 결합된 복수개의 수직층(210)들 사이의 반 데르 발스 갭에 대응할 수 있다. 여기서 복수개의 수직층(210)들 간의 반 데르 발스 결합력을 조절하여 반 데르 발스 갭을 제어할 수 있다. 또한, 복수개의 수직층(210)들 간의 반 데르 발스 결합력은 수직층(210)들 각각의 단층 구조의 두께를 조절하여 제어할 수 있다. 이와 같이 기판(100) 상부에 수직 성장시켜 형성하는 복수개의 수직층(210)들의 두께를 조절함으로써, 활성 이온 경로(220)의 두께를 자유롭게 조절할 수 있는 효과가 있다.
- [0053] 전해질층(300)은 활성 이온(320)을 저장하거나 채널층(200)으로 제공하는 역할을 하는 층이다. 전해질층(300)은 게이트전극(GE)과 전기적으로 연결될 수 있다. 전해질층(300)의 상면은 게이트전극(GE)의 하면과 접촉할 수 있다.
- [0054] 전해질층(300)은 게이트전극(GE)에 인가되는 전압에 대응하여 전해질층(300) 내부에 배치된 활성 이온(320)의 적어도 일부를 채널층(200)에 제공하거나, 채널층(200)으로부터 전해질층(300)으로 이동한 활성 이온(320)을 전해질층(300) 내부에 저장할 수 있다.
- [0055] 도 1을 참조하면, 전해질층(300)은 고체 전해질(310) 및 고체 전해질(310) 내부에 배치된 활성 이온(320)을 포함할 수 있다.
- [0056] 고체 전해질(310)은 활성 이온(320)이 전해질층(300)에서 채널층(200)으로 이동하거나, 채널층(200)에 주입된 활성 이온(320)이 다시 전해질층(300)으로 이동할 수 있도록 전해질 역할을 수행할 수 있다.
- [0057] 이러한 고체 전해질(310)은 전기화학적 안정성, 전기 절연성 및 높은 이온전도도를 갖는 물질을 포함할 수 있다. 예컨대, 고체 전해질(310)은 황화물계 고체 전해질, 산화물계 고체 전해질 등과 같은 무기 고체 전해질 또는 드라이 폴리머 고체 전해질, 젤 폴리머 고체 전해질 등과 같은 유기(고분자) 고체 전해질을 포함할 수 있으나 이에 제한되는 것은 아니다. 선택적 실시예에서, 고체 전해질(310)은 LiPON(Lithium Phosphorus Oxynitride)를 포함할 수 있다.
- [0058] 활성 이온(320)은 전도성 및 이온 이동성이 높은 물질을 포함할 수 있다. 예컨대, 활성 이온(320)은 리튬 이온, 나트륨 이온 등과 같은 알칼리 금속 양이온을 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0059] 게이트전극(GE)은 전해질층(300) 상에 위치하며, 채널층(200) 및 전해질층(300)과 중첩할 수 있다. 게이트전극(GE)은 전해질층(300)과 채널층(200) 사이에서 활성 이온(320)의 이동을 제어하는 역할을 할 수 있다. 게이트전극(GE)은 외부에서 전압이 인가되면 인가된 전압에 대응하여 활성 이온(320)은 전해질층(300)에서 채널층(200)으로 이동하거나 채널층(200)에서 전해질층(300)으로 이동할 수 있다. 또한, 채널층(200)으로 주입된 활성 이온(320)은 채널층(200)의 복수개의 수직층(210)들 사이의 활성 이온 경로(220)를 따라 이동하고 활성 이온 경로(220)에 트랩되어, 채널층(200)의 전기적 특성, 예컨대 전기전도도를 변화시킬 수 있다.
- [0060] 이러한 게이트전극(GE)은 배리어 금속막 및 금속막을 포함할 수 있다. 예컨대, 게이트전극(GE)은 티타늄질화물, 탄탈늄질화물, 텅스텐질화물, 하프늄질화물 및 지르코늄질화물과 같은 금속 질화막으로 이루어진 배리어 금속막을 포함할 수 있다. 또한, 게이트전극(GE)은 텅스텐, 구리, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄, 루테

납, 팔라듐, 백금, 코발트, 니켈 및 도전성 금속 질화물들 중에서 선택된 어느 하나 또는 이들의 조합으로 이루어진 금속막을 포함할 수 있다.

- [0061] 소스전극(SE) 및 드레인전극(DE)은 채널층(200)의 양측에 위치할 수 있다. 예컨대, 채널층(200)의 일측에는 소스전극(SE)이 위치하고, 채널층(200)의 타측에는 드레인전극(DE)이 위치할 수 있다.
- [0062] 이러한 소스전극(SE) 및 드레인전극(DE)은 알루미늄, 구리, 니켈, 철, 크롬, 티타늄, 아연, 납, 금, 및 은 물질 중 어느 하나의 물질로 선택되는 적어도 하나의 금속 재료를 포함할 수 있고, 폴리(3,4-에틸렌디옥시싸이오펜):폴리스티렌설포네이트(PEDOT:PSS)와 같은 전도성 고분자 재료를 포함할 수 있으며, 도핑된 고분자 재료를 포함할 수 있다.
- [0063] 도 2는 본 발명의 일 실시예에 따른 시냅스 소자의 게이트전극에 제1전압을 인가하는 경우의 동작을 설명하기 위한 도면이고, 도 3은 본 발명의 일 실시예에 따른 시냅스 소자의 게이트전극에 제2전압을 인가하는 경우의 동작을 설명하기 위한 도면이다.
- [0064] 도 2 및 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 시냅스 소자(10)는 게이트전극(GE)에 게이트전압(V_g)이 인가되어 활성 이온(320)이 전해질층(300)과 채널층(200) 사이를 이동하며 드레인전압(V_d) 또는 드레인전류를 발생시킬 수 있다.
- [0065] 도 2를 참조하면, 게이트전극(GE)에 게이트전압(V_g)으로서 제1전압(V_1)이 인가된 경우, 전해질층(300) 내부에 배치된 활성 이온(320)의 적어도 일부는 전해질층(300)에서 채널층(200)으로 이동할 수 있다. 채널층(200)으로 주입된 활성 이온(320)은 복수개의 수직층(210)들 사이에 형성된 활성 이온 경로(220)를 따라 기판(100, 도 1 참조)에 수직인 방향을 따라 전해질층(300)에서 멀어지는 방향으로 이동할 수 있다. 또한, 활성 이온 경로(220)를 따라 이동하는 활성 이온(320)은 복수개의 수직층(210)들 사이에 트랩되어 고정될 수 있다.
- [0066] 한편, 도 2에서는 단면도 상 채널층(200)의 두께 방향으로 위에서부터 약 1/2 지점까지만 활성 이온(320)이 이동하여 트랩된 경우를 도시하고 있으나 이에 제한되는 것은 아니다. 활성 이온(320)은 게이트전극(GE)에 인가되는 게이트전압(V_g)의 크기에 따라 1/2 지점보다 전해질층(300)으로부터 더 가까운 지점이나, 더 먼 지점까지 이동하여 트랩될 수 있다. 또한, 활성 이온 경로(220)에 트랩된 활성 이온(320)의 양에 대응하여 채널층(200)의 전기적 특성, 예컨대 전기전도도가 비례 관계를 가지며 단계적으로 변화할 수 있다.
- [0067] 도 3을 참조하면, 게이트전극(GE)에 게이트전압(V_g)으로서 제2전압(V_2)이 인가된 경우, 채널층(200)에 주입되어 트랩된 활성 이온(320)의 적어도 일부는 채널층(200)에서 전해질층(300)으로 이동할 수 있다. 채널층(200)에 트랩되어 있던 활성 이온(320)은 활성 이온 경로(220)를 따라 기판(100, 도 1 참조)에 수직인 방향을 따라 전해질층(300)에 가까워지는 방향으로 이동할 수 있다. 또한, 전해질층(300)으로 이동한 활성 이온(320)은 전해질층(300) 내에 저장될 수 있다.
- [0068] 한편, 도 3에서는 채널층(200)에 트랩되어 있던 활성 이온(320) 전부가 전해질층(300)으로 이동한 경우를 도시하고 있으나 이에 제한되는 것은 아니다. 채널층(200)에 트랩되어 있던 활성 이온(320)은 게이트전극(GE)에 인가되는 게이트전압(V_g)의 크기에 따라 일부만 채널층(200)에서 전해질층(300)으로 이동하고, 나머지 일부는 활성 이온 경로(220)에 트랩된 상태로 유지될 수 있다. 또한, 활성 이온 경로(220)에 트랩되어 있는 활성 이온(320)의 양에 대응하여 채널층(200)의 전기적 특성, 예컨대 전기전도도가 비례 관계를 가지며 단계적으로 변화할 수 있다.
- [0069] 일 실시예로, 제1전압과 제2전압은 서로 부호가 상이한 전압일 수 있다. 예컨대, 제1전압은 양의 전압이고 제2전압은 음의 전압일 수 있다. 이와 달리, 제1전압은 음의 전압이고 제2전압은 양의 전압일 수 있다.
- [0070] 도 4는 본 발명의 일 실시예에 따른 시냅스 소자의 채널층의 일부를 개략적으로 도시하는 도면이고, 도 5는 본 발명의 일 실시예에 따른 시냅스 소자의 채널층에 활성 이온이 트랩된 모습의 일부를 개략적으로 도시하는 도면이다.
- [0071] 진술한 바와 같이, 복수개의 수직층(210)들은 2차원 층 구조를 가지며 반도체 특성을 갖는 임의의 물질을 포함할 수 있다. 이와 관련하여 도 4 및 도 5는 본 발명의 일 실시예에 따른 시냅스 소자(10)의 채널층(200)이 MoS_2 를 포함하는 복수개의 수직층(210)들을 갖는 경우를 도시하고 있다.
- [0072] 도 4 및 도 5를 참조하면, 복수개의 수직층(210)들은 기판(100, 도 1 참조) 상에 수직 정렬 성장됨으로써, 기판(100)의 상면과 수직으로 배치된 2차원 평판 형태를 가질 수 있다. 복수개의 수직층(210)들 각각은 MoS_2 로 구성

된 단층 구조일 수 있다.

- [0073] 복수개의 수직층(210)들 각각이 포함하는 단층 구조인 MoS_2 는, 한 층의 몰리브덴(Mo) 원자층을 두 층의 황(S) 원자층이 샌드위치처럼 감싸는 구조로 구성되어 있으며, 결합력이 상대적으로 강한 결합인 공유결합으로 결합되어 있을 수 있다.
- [0074] 단층 구조들은 서로 소정의 결합력으로 결합되며 사전 설정된 거리만큼 이격되어 배치될 수 있다. 여기서 단층 구조들은 서로 단층 구조 내에서 MoS_2 가 이루는 공유결합보다 결합력이 상대적으로 약한 반 데르 발스 결합되어 있을 수 있다. 즉, 복수개의 수직층(210)들은 서로 반 데르 발스 결합되어 다층 구조를 이룰 수 있다.
- [0075] 이러한 구조를 갖는 MoS_2 는 기판(100) 상에 직접 수직 정렬 성장시킬 수 있으므로, 필요에 따라 두께를 용이하게 조절할 수 있고, 대면적 양산이 가능한 장점이 있다. 또한, MoS_2 는 두께에 따라서 밴드 갭이 달라지는 특성을 갖는다. 구체적으로, 단층 구조의 MoS_2 는 약 1.8 eV의 직접형 대역간극 에너지(direct band gap)를 가지며, 다층 구조의 MoS_2 는 약 1.3 eV의 간접형 대역간극 에너지(indirect band gap)를 가진다. 따라서, MoS_2 의 두께를 조절하여 넓은 범위의 광학 대역차의 조절이 가능하다.
- [0076] 한편, 도 4 및 도 5에 도시된 바와 같이, 수직층(210)은 수직층(210)들 사이 공간, 즉, 활성 이온 경로(220)에 활성 이온(320)인 리튬 이온이 배치되었을 때 상 변화(phase change)되어 전기적 특성이 변화될 수 있다.
- [0077] 예컨대, 도 4와 같이 활성 이온 경로(220)에 리튬 이온이 배치되지 않은 경우, MoS_2 는 prismatic 2H- MoS_2 상을 가질 수 있다. 이 경우, 수직층(210)은 반도체 특성을 나타내며 상대적으로 낮은 전기전도도를 가질 수 있다. 반면에, 도 5와 같이 활성 이온 경로(220)에 리튬 이온이 배치된 경우, MoS_2 는 1T- MoS_2 상을 가질 수 있다. 이 경우, 수직층(210)은 금속 특성을 나타내며 상대적으로 높은 전기전도도를 가질 수 있다.
- [0078] 전술한 본 발명의 실시예들에 따른 시냅스 소자(10, 도 1 참조)는 비휘발성 메모리 트랜지스터로서 다양한 전자 소자, 논리소자 등에 적용될 수 있다. 예컨대, 시냅스 소자(10)는 뇌신경모사 소자(neuromorphic device)에 적용될 수 있다. 이와 관련된 응용 분야로는 동시 통역 등이 있을 수 있다. 또한, 시냅스 소자(10)는 하나의 단위 유닛으로 멀티-레벨(multilevel)을 동시에 연산하는 멀티-밸류 로직(multi-valued logic)에 응용될 수 있다. 이 경우, 연산 속도를 증가시킬 수 있고, 소자의 소형화시킬 수 있다. 멀티-밸류(multi-value)를 필요로 하는 회로 구성에 있어서, 하이브리드(hybrid) CMOS/multi-value circuits으로 아날로그 컴퓨테이션(analog computation)을 수행하는 소자에 이용 가능하다. 또한, 인공지능(artificial intelligence) 기능을 갖는 회로 또는 칩, 신경 네트워크(neural network)로 동작하는 회로 또는 칩, 기존 디지털 방식의 정보 처리 한계를 극복하기 위한 기술, 뉴런과 같은(neuron-like) 동작이 가능한 회로 또는 칩, 메모리와 스위칭이 동시에 가능한 소자 등에 적용할 수 있다.
- [0079] 지금까지는 시냅스 소자에 대해서만 주로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 이러한 시냅스 소자를 제조하기 위한 시냅스 소자의 제조방법 역시 본 발명의 범위에 속한다고 할 것이다.
- [0080] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

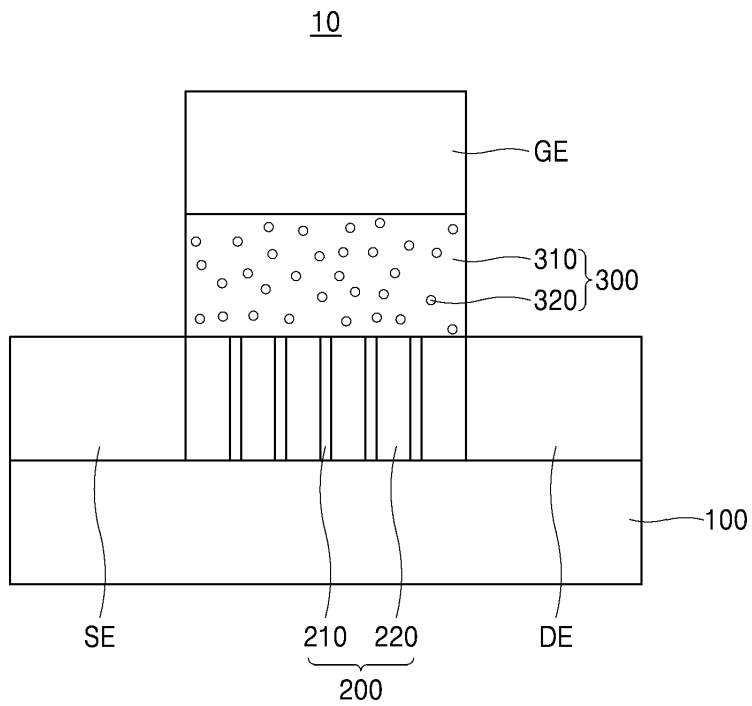
부호의 설명

- [0081] 10: 시냅스 소자
100: 기판
200: 채널층
210: 수직층
220: 활성 이온 경로
300: 전해질층
310: 고체 전해질

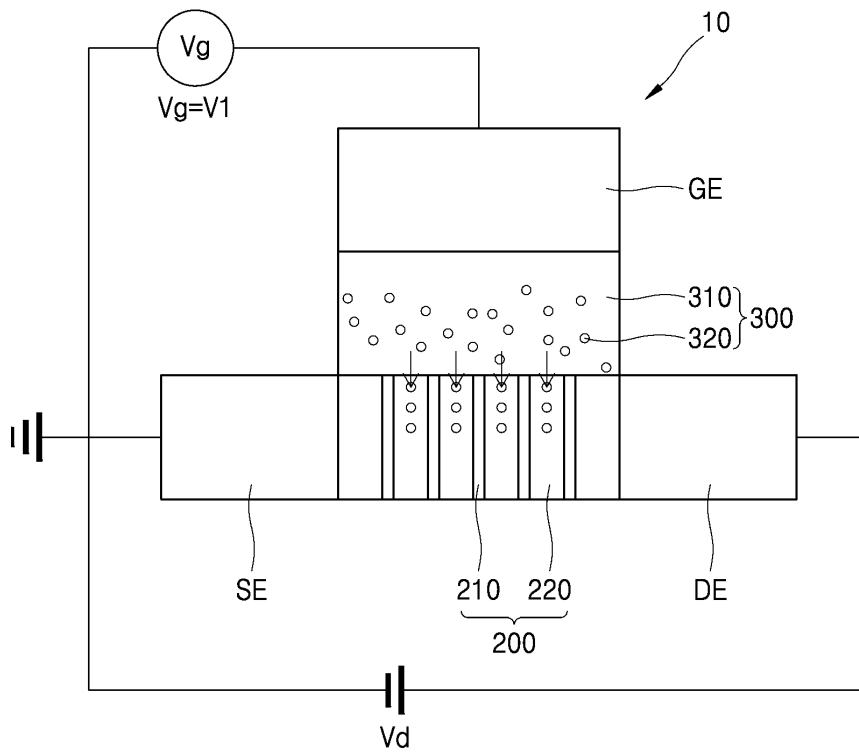
320: 활성 이온

도면

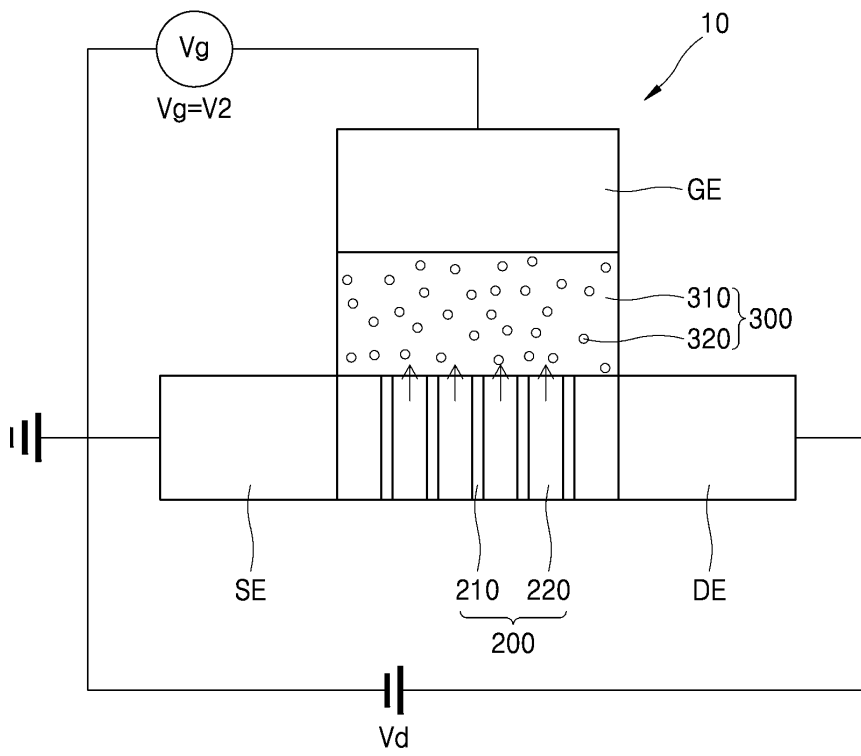
도면1



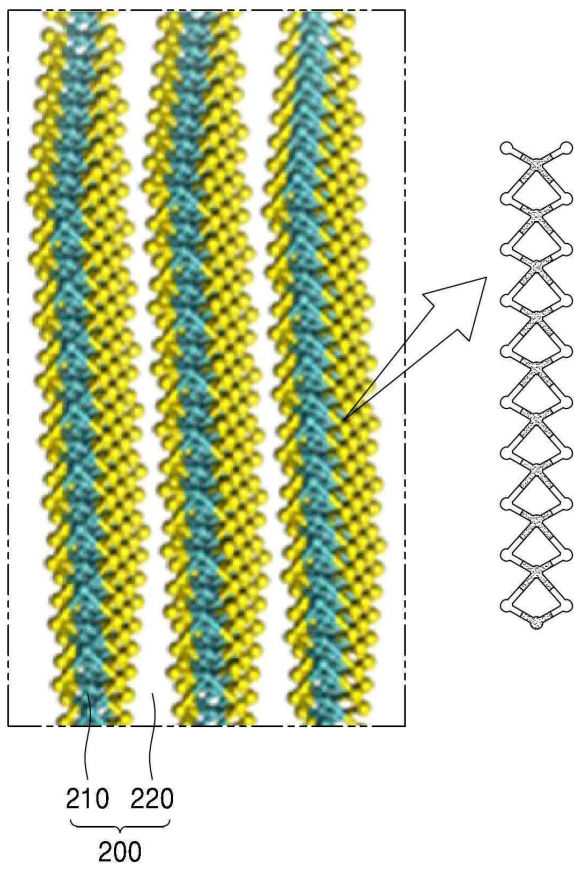
도면2



도면3



도면4



도면5

