СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1291977 A1

(51) 4 G 06 F 7/544, 7/72

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3912158/24-24
(22) 14.06.85
(46) 23.02.87. Бюл. № 7
(71) Научно-исследовательский институт прикладных физических проблем им. А.Н. Севченко
(72) А.А. Коляда и М.Ю. Селянинов
(53) 681.3 (088.8)
(56) Авторское свидетельство СССР № 1103225, кл. G 06 F 7/544, 1980.
Авторское свидетельство СССР № 983707, кл. G 06 F 7/544, 1981.

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЭЛЕМЕНТАРНЫХ ФУНКЦИЙ В МОДУЛЯРНОЙ СИСТЕМЕ СЧИСЛЕНИЯ

(57) Изобретение относится к вычислительной технике и ориентировано на использование в быстродействующих специализированных системах цифровой обработки сигналов для вычисления различных элементарных функций (тригонометрических, логарифмических, экспоненциального типа и других) от аргументов, представленных в модулярной системе счисления. Цель изобретения состоит в повышении быстродействия. Поставленная цель достигается тем, что устройство, содержащее сдвиговый регистр, блок памяти для хранения констант, счетчик, регистр констант, блок умножения, накопительный регистр, блок сложения, три буферных регистра и блок постоянной памяти управления, содержит блок деления на константу, управляющий регистр и три группы мультиплексоров с соответствующими связями. 1 ил., 2 табл.

(19) SU (11) 1291977 A1

Изобретение относится к вычислительной технике и ориентировано на использование в быстродействующих специализированных системах цифровой обработки сигналов для вычисления различных элементарных функций (тригонометрических, логарифмических, экспоненциального типа и других) от аргументов, изменяющихся в интервале $[-1,1[$ и представленных в модулярной системе счисления.

Цель изобретения - повышение быстродействия.

На чертеже представлена схема устройства для вычисления элементарных функций в модулярной системе счисления.

Устройство для вычисления элементарных функций в модулярной системе счисления содержит тактовый вход 1 устройства, вход 2 кода задания функции устройства, установочный вход 3 устройства, вход 4 константы устройства, вход 5 аргумента устройства, сдвиговый регистр 6, блок 7 памяти для хранения констант, первый и второй буферные регистры 8 и 9, счетчик 10, регистр 11 констант, первую и вторую группы мультиплексоров 12 и 13, блок 14 постоянной памяти, третью группу мультиплексоров 15, блок 16 умножения, третий буферный регистр 17, управляющий регистр 18, накопительный регистр 19, блок 20 сложения, блок 21 деления на константу и выход 22 устройства.

Разрядность сдвигового регистра 6 составляет $2\,]\log_2 N[$ бит, где N - число функций, вычисляемых устройством, через $]x[$ обозначается наименьшее целое число, не меньшее x. Регистр 6 выполняет циклический сдвиг содержимого на $]\log_2 N[$ бит, осуществляя тем самым перестановку местами содержимых младших и старших разрядов. Модуль счета счетчика 10 равен тридцати двум.

Блок 7 памяти для хранения констант обладает емкостью $2^{3+]\log_2 N[}$ слов разрядностью $\sum_{i=1}^{K}]\log_2 m_i[$ бит, $m_1, m_2, \ldots, m_K$ - основания модулярной системы счисления, k - число оснований, причем $m_K \geq 2p+k-2$ (p - фиксированное натуральное число), $4<k\leq 8$. В ячейки блока 7 памяти с адресами $8\cdot n, 8\cdot n+1, \ldots, 8\cdot n+7$ записываются модулярные коды констант, относящихся к n-й из вычисляемых устройством функций ($n \in \{0,1,\ldots,N-1\}$). Правило формирования содержимого блока 7 задается табл.1.

Таблица 1

Адрес ячейки	Хранимая константа
$8\cdot n$	$M\cdot A_{2,n}$
$8\cdot n+1$	$A_{5,n}$
$8\cdot n+2$	$M\cdot A_{4,n}$
$8\cdot n+3$	$A_{3,n}$
$8\cdot n+4$	$M\cdot A_{2,n}$
$8\cdot n+5$	0
$8\cdot n+6$	$A_{1,n}$
$8\cdot n+7$	$M\cdot A_{0,n}$

В табл.1 через $A_{i,n}$ обозначается числитель дроби $a_{i,n} = \frac{A_{i,n}}{M}$, представляющей собой приближение i-го коэффициента усеченного степенного ряда, аппроксимирующего n-ю функцию

$$f_n(x) \approx \sum_{i=0}^{5} a_i \cdot x^i, a_i x \in [-1,1[;$$

$$A_{i,n} \in D = \{-pM_{K-1}, -pM_{K-1}+1, \ldots, pM_{K-1}-1\}, \quad (1)$$

где $M_{K-1} = \prod_{j=1}^{K-1} m_j$,

M - натуральное число, определяющее точность вычисления и выбираемое из условия

$$M\cdot A_{макс} < p\cdot M_{K-1}, A_{макс} = \max_{i,n} |A_{i,n}|.$$

Блок 14 постоянной памяти управления имеет емкость восьмиразрядных слов и служит для формирования в соответствии с табл.2 наборов значений управляющих сигналов $b_1, b_2, \ldots, b_7$.

Таблица 2

Номер слова	Значение слова						
	b_1	b_2	b_3	b_4	b_5	b_6	b_7
0	0	0	0	3	1	0	1
1	0	0	0	0	1	0	0
2	0	0	0	1	1	0	1
3	1	0	1	0	1	0	0
4	0	1	1	2	0	0	1
5	0	1	0	1	0	0	1
6	0	1	0	0	0	0	0
7	1	1	0	2	1	1	0
8	0	1	1	0	0	0	0
9	0	1	0	2	1	0	1
10	0	0	0	0	0	1	0
11	0	1	0	1	0	1	0
12–14	0	0	0	0	0	0	0
15	0	0	1	0	0	0	0

Разрядность регистров 8,9,11,17 и 19 и количество мультиплексоров в группах 12,13 и 15 составляет

$$\sum_{i=1}^{K}]\log_2 m_i [\text{ бит.}$$

Блоки 16,20 умножения и сложения реализуют соответствующие операции над целыми числами из диапазона модулярной системы счисления. Блок 21 осуществляет деление входного числа A, заданного модулярным кодом, на константу M.

В основу вычисления элементарных функций положена аппроксимация функций рядами вида (1), не обязательно тейлоровскими. В частности, могут быть использованы степенные ряды, получаемые из разложений функций по ортогональным базисам Лежандра, Чебышева, Эрмита и другим. Из (1) вытекают следующие расчетные соотношения для вычисления значения f_n функций $f_n(x)$ при $x = \frac{-X}{M}$.

$$f_n = \frac{F_n}{M}, \quad F_n = \left[\frac{1}{M}(M \cdot C_n + B_{2,n} \cdot Z_1)\right]; \quad (2)$$

$$C_n = \left[\frac{1}{M}(B_{0,n} + B_{1,n} \cdot Y)\right]; \quad (3)$$

$$B_{0n} = M \cdot A_{0,n} + A_{1,n} \cdot X; \quad (4)$$

$$B_{1n} = \left[\frac{1}{M}(M \cdot A_{2,n} + A_{3,n} \cdot X)\right]; \quad (5)$$

$$B_{2n} = \left[\frac{1}{M}(M \cdot A_{4,n} + A_{5,n} \cdot X)\right]; \quad (6)$$

$$Y = \left[\frac{X^2}{M}\right], \quad Z = \left[\frac{Y^2}{M}\right]. \quad (7)$$

Для наиболее употребительных функций, включая тригонометрические

(прямые и обратные), логарифмические, экспоненциального типа и другие, аппроксимация первыми шестью членами степенных разрядов рассматриваемого вида дает абсолютную погрешность от 10^{-4} до 10^{-5}.

Устройство работает следующим образом.

По сигналу, подаваемому на установочный вход 3 устройства, сдвиговой регистр 6 обнуляется, а в счетчик 10 записывается двоичный код числа 31, после чего из блока 14 постоянной памяти управления по адресу "31", поступающего с выходов нулевого, первого, третьего и четвертого разрядов счетчика 10 на адресный вход блока 14, считывается начальной набор управляющих сигналов $b_1,\ldots,b_7$ (табл.2), который с выхода блока 14 постоянной памяти передается в управляющий регистр 18. На каждом такте работы устройства управляющие сигналы, сформированные в регистре 18 с первого по седьмой его выходов, подаются соответственно на вход управления сдвигом сдвигового регистра 6, управляющий вход выдачи кода регистра 17, управляющий вход приема кода регистра 9, управляющие входы групп мультиплексоров 12, 13 и 15 и вход обнуления накопительного регистра 19, и в зависимости от значений управляющих сигналов производятся действия, обеспечивающие поступление на входы блока 16 умножения требуемых операндов в текущем такте и формирование содержимых регистров 6,8,9,17 и 19 для очередного такта. Блок 16 умножения выполняет операцию модульного умножения операндов, поступающих на первый и второй входы соответственно с выходов групп мультиплексоров 12 и 13, модулярный код произведения с выхода блока 16 передается в регистр 8. Блок 20 сложения суммирует модулярные коды, сформированные на выходах регистров 8 и 19 и модулярный код суммы с выхода блока 20 поступает на информационный вход группы мультиплексоров 15 и входной регистр блока 21. Одновременно с этим содержимое ℓ-й группы разрядов с номерами 0,1,3 счетчика 10 подается на адресные входы блока 7 памяти и блока 14, на адресные входы которых также подаются соответственно содержимое n группы младших разрядов сдвигового регистра 6 и содержимое старшего разряда счетчика 10. Из блока 7 памяти по адресу $b_h+\ell$ считывается модулярный код очередной константы в регистр 11, а также подается на первый информационный вход группы мультиплексоров 15. Из блока 14 в регистр 18 считывается набор значений управляющих сигналов для очередного такта. При этом по сигналу, подаваемому с тактового входа 1 устройства на счетный вход счетчика 10, его содержимое увеличивается на единицу, в результате чего на выходах счетчика 10 формируется адрес следующего управляющего слова.

На предварительном (нулевом) такте работы устройства на управляющий вход приема кода регистра 9 подается сигнал и так как в данный момент на управляющем входе выдачи кода регистра 17 единичный сигнал отсутствует, то в регистр 9 через вход 5 аргумента устройства поступает модулярный код числителя X_i значения $\frac{X_i}{M}$ аргумента функции $f_2(x)$, подлежащей вычислению, при этом двоичный код номера r функции через вход 2 кода функции устройства записывается в младшие разряды сдвигового регистра 6. Параллельно с этим в регистр 18 из блока 14 считывается управляющее слово с нулевым адресом (табл.2), а в счетчике 10 получается адрес следующего управляющего слова.

В ходе первого такта на управляющие входы групп мультиплексоров 12 и 13 подаются сигналы (табл.2), вследствие чего на выходы групп мультиплексоров 12 и 13 пройдут величины, поступающие соответственно на их информационные входы с выхода буферного регистра 9. Блок 16 умножения находит модулярный код числа X^2, который запоминается в буферном регистре 8. В это время в регистр 11 из блока 7 памяти по адресу $(8r+1)$ считывается модулярный код константы $A_{5,r}$, накопительный регистр 19 обнуляется. В управляющий регистр 18 из блока 14 поступает управляющее слово для второго такта, а содержимое счетчика 10 наращивается. Блоки 20 сложения и деления на кон-

станту 21 на данном такте полезной работы не выполняют.

На втором такте на выходы групп мультиплексоров 12 и 13 пройдут соответственно содержимые регистра 11 и регистра 9, блок 16 умножения получит модулярный код величины $A_{5,2} \cdot X_1$, который запоминается в регистре 8. Предыдущее содержимое регистра 8 в блоке 20 складывается с содержимым (в данный момент нулевым) регистра 19, модулярный код величины X_1^2 с выхода блока 20 сложения передается в блок 21. Наряду с указанными действиями на втором такте из блока 7 памяти по адресу $(8 \cdot r+2)$ считывается модулярный код величины $M \cdot A_{4,r}$, который через информационный вход группы мультиплексоров 15 поступает в регистр 19.

На третьем такте блок 20, складывая содержимое регистров 8 и 19, находит величину $M \cdot A_{4,r} + A_{5,r} \cdot X_1$, поступающую во входной регистр блока 21. На первый и второй входы блока 16 умножения с выходов групп мультиплексоров 12 и 13 поступают соответственно величины M и X_1, подаваемые на информационный вход группы мультиплексоров 12 через вход 4 константы устройства и информационный вход группы мультиплексоров 13 с выхода регистра 9, блок 16 умножения находит модулярный код величины $M \cdot X_1$, запоминаемой в регистре 8.

Из блока 7 памяти поступает константа $A_{3,r}$, в управляющем регистре 18 формируется управляющее слово с адресом "3", а регистр 19 обнуляется.

На четвертом такте блок 20 сложения формирует величину $M \cdot X_1$, передаваемую в блок 21, блок 16 умножения получает модулярный код числа $A_{3,r} \cdot X_1$, из блока 7 памяти по адресу $8 \cdot r$ считывается константа $M \cdot A_{2,r}$, которая записывается в регистр 11 и через информационный вход группы мультиплексоров 15 проходит на его выход и записывается в регистр 19, а в регистр 18 из блока 14 передается управляющее слово с адресом "0". В регистре 6 осуществляется обмен содержимым групп младших и старших разрядов, при этом в группу младших разрядов через вход 2 кода функции устройства поступает двоичный код номера S функции $f_S(x)$, вычисление которой совмещается с вычислением функции $f_r(x)$, а в регистр 9 через вход 5 аргумента устройства принимается модулярный код числителя X_2 соответствующего значения аргумента $\frac{X_2}{M}$.

На последующих четырех тактах работы устройства (с пятого по восьмой) для функции $f_s(x)$ повторяются операции, выполненные на тактах с первого по четвертый для функции $f_r(x)$. В результате на тактах с пятого по восьмой в блок 21 соответственно поступают величины $M \cdot A_{2,r} + A_{3,r} \cdot X_1$, X_2^2, $M \cdot A_{4,s} + A_{5,s} \cdot X_2$, MX_2. В отличие от четвертого такта на восьмом такте после перестановки местами содержимых групп младших и старших разрядов сдвигового регистра 6 в него через вход 2 кода функции устройства новая информация не поступает, соответственно прекращается поступление новой информации и через вход 5 аргумента устройства. На восьмом такте из блока 7 памяти по адресу $8 \cdot S+4$ считывается константа $M \cdot A_{2,S}$, которая через информационный вход группы мультиплексоров 15 передается в регистр 19, из блока 14 в регистр 18 поступает управляющее слово с адресом "4", а на первом выходе счетчика 10 после наращивания его содержимого на единицу формируется код числа "5". Так как выполнение в блоке 21 операции занимает шесть тактов, то, начиная с восьмого такта, с выхода блока 21 в буферный регистр 17 начинают поступать обработанные значения входных величин блока 21 в порядке их поступления на вход. В частности, на восьмом такте в регистр 17 поступает модулярный код величины Y_1 в соответствии с формулой (7).

На девятом такте модулярный код числа Y_1 из регистра 17 пересылается в регистр 9 и через информационный вход группы мультиплексоров 12 и через информационный вход группы мультиплексоров 13 поступает на входы блока 16 умножения, который находит величину Y_1^2, запоминаемую в регистре 8, предыдущее содержимое регистра 8 в блоке 20 складывается с содержимым накопительного регистра 19 и полученная сумма $M \cdot A_{2,S} + A_{3,S} X_2$ передается в блок 21. В регистре 18

формируется управляющее слово с адресом "5", регистр 19 обнуляется, а в буферный регистр 9 с выхода блока 21 поступает модулярный код числа $B_{2,r}$ в соответствии с формулой (6).

На десятом такте с выхода блока 20 сложения в блок 21 поступает величина Y_1^2, блок 16 умножения находит произведение чисел M, $B_{2,r}$, поданных на информационный вход группы мультиплексоров 12 и информационный вход группы мультиплексоров 13 соответственно. Из блока 7 памяти по адресу 8r+6 считывается константа $A_{1,r}$, запоминаемая в регистре 11, в регистр 18 записывается шестое управляющее слово, регистр 19 обнуляется, а в буферный регистр 17 с выхода блока 21 поступает модулярный код числа X_1.

На одиннадцатом такте в блок 21 поступает величина $M \cdot B_{2,r}$, в регистре 8 формируется модулярный код произведения $A_{1,r} \cdot X_1$, получаемый блоком 16, из блока 7 памяти по адресу (8·r+7) считывается константа $M \cdot A_{0,r}$, которая через информационный вход группы мультиплексоров 15 передается в регистр 19, а в регистр 18 записывается управляющее слово с адресом "7". При этом после увеличения на единицу содержимого счетчика 10 на первом его выходе формируется двоичный код числа "4".

На двенадцатом такте блок 20 сложения определяет модулярный код числа $B_{0,r}$ в соответствии с формулой (4), который с выхода блока 20 через информационный вход группы мультиплексоров 15 поступает в накопительный регистр 19. На первый и второй входы блока 16 умножения через информационный вход группы мультиплексоров 12 и информационный вход группы мультиплексоров 18 с выходов буферных регистров 17 и 9 подаются соответственно величины $B_{1,r}$ и Y_1, в результате чего их произведение получают в регистре 8. В регистр 17 поступает модулярный код числа Y_e в соответствии с формулой (7), в сдвиговом регистре 6 осуществляется обмен содержимыми групп младших и старших разрядов, в регистр 18 из блока 14 считывается управляющее слово с адресом "4".

На последующих четырех тактах действия, выполненные на тактах с девятого по двенадцатый, повторяются, в результате чего в блок 21 поступают величины $B_{0,r} + B_{1,r} \cdot Y_1$, Y_2^2, $MB_{2,S}$ а по истечение шестнадцатого такта в буферный регистр 17 с выхода блока 21 поступает модулярный код числа Z_1 в соответствии с формулой (7). Кроме того, на шестнадцатом такте в регистре 18 сформируется управляющее слово с адресом "8".

На семнадцатом такте блок 20 сложения заканчивает вычисление величины $B_{0,s} + B_{1,s} \cdot Y_2$, поступающей в блок 21, модулярный код числа Z_1 из регистра 17 пересылается в регистр 9, а в регистр 17 поступают величины $B_{0,r}$.

На восемнадцатом такте блок 16 умножения получает произведение $B_{2,r} \cdot Z_1$, запоминаемые в регистре 8, а регистр 19 обнуляется.

В ходе девятнадцатого такта в накопительный регистр 19 при помощи блока 20 сложения и группы мультиплексоров 15 пересылается содержимое регистра 8. При этом в регистр 17 с выхода блока 21 поступает величина C_r в соответствии с формулой (3).

На двенадцатом такте величина C_r умножается на константу M, а на двадцать первом такте полученное произведение блоком 20 сложения суммируется с содержимым накопительного регистра 19. В результате в блок 21 поступает величина $M \cdot C_r + B_{2,r} \cdot Z_1$. После выполнения указанных действий для функции $f_S(x)$ по истечение двадцать пятого такта в блок 21 поступает величина $MC_S + B_{2,S} \cdot Z_r$.

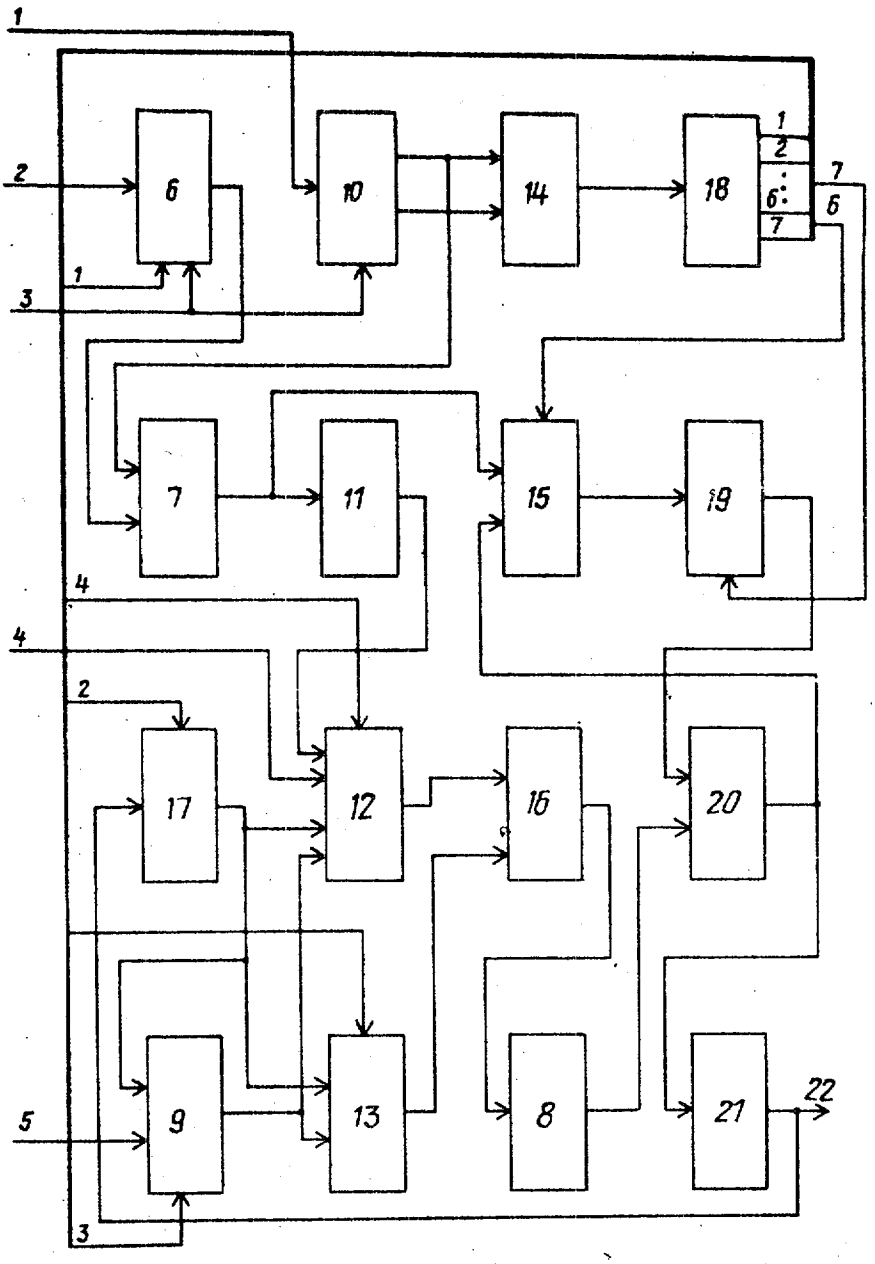
На двадцать седьмом и тридцать первом тактах блок 21 завершает формирование величин f_r и f_S в соответствии с формулой (2). Модулярные коды искомых величин в указанных тактах снимаются с выхода 22 устройства, и на этом процесс вычисления функций в заданных точках заканчивается.

Начиная с двадцать пятого такта, в предлагаемом устройстве можно начать вычисление новой пары значений одной и той же или двух различных функций.

Формула изобретения

Устройство для вычисления элементарных функций в модулярной системе

счисления, содержащее сдвиговый регистр, блок памяти для хранения констант, счетчик, регистр констант, блок умножения, накопительный регистр, блок сложения, три буферных регистра и блок постоянной памяти управления, причем вход кода задания функции устройства соединен с входами младших разрядов сдвигового регистра, вход обнуления которого соединен с установочным входом счетчика и является установочным входом устройства, выход блока памяти для хранения констант соединен с информационным входом регистра констант, выход блока умножения соединен с информационным входом первого буферного регистра, выход наполнительного регистра соединен с входом первого слагаемого блока сложения, вход аргумента устройства соединен с установочным входом второго буферного регистра, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, оно содержит блок деления на константу, управляющий регистр и три группы мультиплексоров, причем тактовый вход устройства соединен со счетным входом счетчика, разрядный выход которого соединен с адресным входом блока постоянной памяти управления, выход которого соединен с информационным входом управляющего регистра, с первого по седьмой выходы которого подключены соответственно к входу управления сдвигом сдвигового регистра, управляющему входу выдачи кода третьего буферного регистра, управляющему входу приема кода второго буферного регистра, управляющим входам мультиплексоров первой, второй, третьей групп и входу обнуления накопительного регистра, информационный вход третьего буферного регистра подключен к выходу блока деления на константу, выход которого является выходом устройства, выход регистра констант, вход константы устройства, выходы третьего и второго буферных регистров соединены соответственно с информационными входами с первого по четвертый мультиплексоров первой группы, выходы которых соединены с входом первого сомножителя блока умножения, вход второго сомножителя которого соединен с выходами мультиплексоров второй группы, первый и второй информационные входы которых соединены соответственно с выходами третьего и второго буферных регистров, выход третьего буферного регистра соединен с информационным входом второго буферного регистра, выход первого буферного регистра соединен с входом второго слагаемого блока сложения, выход которого соединен с входом блока деления на константу, вход блока памяти для хранения констант и выход блока сложения соединены соответственно с первыми и вторыми информационными входами мультиплексоров третьей группы, выходы которых соединены с информационным входом накопительного регистра, старшие и младшие разряды адресного входа блока памяти для хранения констант соединены соответственно с выходами младших разрядов регистра сдвига и с выходами младших разрядов счетчика.



Составитель А. Клюев
Редактор Н. Рогулич Техред И.Попович Корректор С. Шекмар

Заказ 272/48 Тираж 673 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная,4