

公告本

申請日期	89. 2. 21
案 號	89102451
類 別	G06F 17/14 H04N 7/26

A4
C4

460809

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	植基於對稱濾波之用於影像壓縮的超大型積體電路架構
	英 文	"A SYMMETRIC FILTERING BASED VLSI ARCHITECTURE FOR IMAGE COMPRESSION"
二、發明 人	姓 名	1. 艾德華 A. 帕茲米諾 2. 汀庫 阿賈亞 3. 大衛 K. 維夫若
	國 籍	1. 3. 均美國 2. 印度
	住、居所	1. 美國加州洛杉磯市西第二路3333號 2. 美國亞歷桑那州恬普市南羅伯路7292號 3. 美國亞歷桑那州泉德勒市西哥德芬奇路1872號
三、申請人	姓 名 (名稱)	美商英特爾公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F. 湯姆士. 當烈二世

裝

訂

線

460809

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C 分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

1999年02月24日

09/258,118

☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

背景

(1) 範疇

本發明說明信號/影像處理。更明確地說，本發明說明影像壓縮。

(2) 背景資訊

利用傳統的傅利葉分析轉換，則任何信號可模擬成各類頻率其正弦波形的一個總和。雖然傅利葉轉換在理論上適合具有重複行為的信號(像是語音信號)，但傅利葉轉換卻未能有效地模擬具精準不連續的信號(像是影像的邊特徵)、或模擬用以編碼數位通訊的信號。

利用微波作為以該頻率和空間區域兩者代表一個影像的一種方式。由於量化效果，故當利用微波時，相較於一個植基於區塊的離散餘弦轉換(DCT)而言、其將產生較少的視覺副作用。已發展一種植基於微波分析的轉換"離散微波轉換(DWT)"(類似於該傅利葉轉換)，代表具不連續特徵的信號。該DWT為一種"離散"通則，其係以離散的波形樣品模擬一個信號、而非利用連續的波形模擬該信號。因該轉換為離散的，故可利用數位邏輯(像是超大型積體(VLSI)電路)執行該DWT。如是，可將DWT和其它的數位元件整合在一個晶片上。

該DWT的精髓係將一個輸入信號分解成兩個或更多個頻率副頻帶。可將一個輸入信號分解成兩個輸出--利用一個低通濾波器獲得之一個低頻率副頻帶輸出；及利用一個高通濾波器獲得之一個高頻率副頻帶輸出。可利用一個適合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

的編碼系統各別地編碼該等每一個副頻帶。如需要，可更進一步將每一個副頻帶分割成更小的副頻帶。

就大體而論，DWT為一個在計算上極精深、透徹的處理，因此當利用一個通用計算系統計算時、DWT係非常慢的。為使DWT適合即時應用，可在DWT中利用一種為特殊用途而定製的超大型積體電路(VLSI)晶片，利用該等基本的資料平行產生高生產率，並因而產生高資料率。已提議數個DWT的VLSI架構。然而，該等大部份複雜的架構均要求大量的硬體區域，但其回報卻遠小於百分之百的硬體利用。提供一種新的DWT架構、利用較少的硬體區域數執行影像壓縮係較可取的。

發明總結

簡單地說，於一個體系中，本發明提供一種執行對稱濾波影像壓縮之裝置。該裝置包括一個N-元件的移位電路，該移位電路具有N個移位區塊(SB)、用以儲存和移動資料元件。每一個資料元件代表一個影像的一個像素。該裝置亦包括一第一組多個加法器電路，將該等N個SB的一第一組多對SB中的資料元件相加。該裝置更進一步包括一第二組多個加法器電路，將該等N個SB的一第二組多對SB中的資料元件相加。此外，該裝置包括一第一組多個乘法電路，用以將"該第一組多個加法器電路所執行的加法結果"乘以"相對應的低通係數"。該裝置亦包括一第二組多個乘法電路，用以將"該第二組多個加法器電路所執行的加法結果"乘以"相對應的高通係數"。

五、發明說明(3)

圖式簡單說明

藉下面的詳述、附加的申請專利範圍及伴隨的圖示，將更完全地察知本發明的特徵、觀點和優點：

圖1，為一個方塊圖，例證說明根據本發明之該裝置所執行之該濾波操作的基本步驟；

圖2，為一個方塊圖，例證說明根據本發明的一個體系、用以執行對稱濾波影像壓縮之該裝置；

圖3，為一個方塊圖，例證說明圖2中所示的該裝置，其中資料元件向右移2位、且增加兩個補充的資料元件；

圖4，為一個方塊圖，例證說明圖3的該裝置，其中資料元件向右移2位、且增加兩個補充的元件；

圖5，為一個方塊圖，例證說明圖4的該裝置，其中儲存在該裝置裡面的資料元件向右移2位、且增加兩個補充的資料元件；

圖6，為一個方塊圖，例證說明圖5的該裝置，其中資料元件向右移2位、且增加兩個資料元件；

圖7，為一個方塊圖，例證說明圖2的該裝置，其中該等低通元件L0-L4儲存在該裝置裡面；及

圖8，為一個流程圖，係有關一個根據本發明、獲得低和高通係數的處理之一個體系。

發明詳述

於下面的說明中，將宣佈很多特殊的細節、以對本發明提供一個徹底的瞭解。然而，對一個一般熟知該技藝的人來說，應察知可在該等特殊細節的範圍之外實行本發明。

五、發明說明(4)

於某些事例中，未詳細地說明大家所熟知的電路、結構和技藝，以避免混淆本發明。

植基於離散微波轉換(DWT)的影像壓縮通常為一種計算上昂貴的處理。選取一個基本函數為達成預期性能和作為有效執行的一項重要準則。於本發明的一個體系中，利用一種適合影像壓縮應用之植基於9-7二正交Spline濾波的DWT。利用一種對稱濾波架構以最佳地執行植基於該特殊DWT的影像壓縮設計。

一個DWT將一個不定的資料序列(以下意指為"資料元件") $d=\{d_0, d_1, \dots, d_{n-1}\}$ 分解成一個低通副頻帶 $L=\{L_0, L_1, \dots, L_{N/2-1}\}$ 和一個高通副頻帶 $H=\{H_0, H_1, \dots, H_{N/2-1}\}$ ，可表示成：

$$L_n = \sum h_{2n-k} d_k, \quad H_n = \sum g_{2n-k} d_k \quad n=0, 1, \dots, N/2-1$$

其中 h_i 和 g_i 分別為該低通濾波器係數和該高通濾波器係數，且 H_1 和 L_1 為資料係數。本發明一個體系所使用之植基於該9-7二正交spline濾波器的DWT在該技藝中係為大家所熟知的，且適合影像壓縮應用。該9-7二正交spline濾波器包括9個低通濾波器係數 $\{h_{-4}, h_{-3}, h_{-2}, h_{-1}, h_0, h_1, h_2, h_3, h_4\}$ 和7個高通濾波器係數 $\{g_{-3}, g_{-2}, g_{-1}, g_0, g_1, g_2, g_3\}$ 。利用該9-7二正交spline濾波器，可將該等低通副頻帶的樣品 L_n (其中 $n=0, 1, \dots, N/2-1$)表示成：

$$L_0 = h_0 d_0 + 2h_{-1} d_1 + 2h_{-2} d_2 + 2h_{-3} d_3 + 2h_{-4} d_4,$$

$$L_1 = h_2 d_0 + h_1 d_1 + h_0 d_2 + h_{-1} d_3 + h_{-2} d_4 + h_{-3} d_5 + h_{-4} d_6 + h_4 d_2 + h_3 d_1,$$

$$L_2 = h_4 d_0 + h_3 d_1 + h_2 d_2 + h_1 d_3 + h_0 d_4 + h_{-1} d_5 + h_{-2} d_6 + h_{-3} d_7 + h_{-4} d_8$$

五、發明說明(5)

可以一個類似的方式表示該等其它的 L_i 條件。

因低通濾波器係數為對稱的，即 $h_{-i}=h_i$ ，故可以一種方式將該低通副頻帶該等上面提出的 L_i 條件重新配置如下：

$$L_0=h_0(0+d_0)+h_1(d_1+d_1)+h_2(d_2+d_2)+h_3(d_3+d_3)+h_4(d_4+d_4),$$

$$L_1=h_0(0+d_2)+h_1(d_1+d_3)+h_2(d_0+d_4)+h_3(d_1+d_5)+h_4(d_2+d_6),$$

$$L_2=h_0(0+d_4)+h_1(d_3+d_5)+h_2(d_2+d_6)+h_3(d_1+d_7)+h_4(d_0+d_8)$$

該等其它的 L_i 條件亦為同樣地。

利用該9-7二正交spline濾波器，可將該等高通副頻帶的樣品 H_n (其中 $n=0,1,\dots,N/2-1$)表示成：

$$H_0=g_0d_1+g_1(d_0+d_2)+g_2(d_1+d_3)+g_3(d_2+d_4),$$

$$H_1=g_0d_3+g_1(d_2+d_4)+g_2(d_1+d_5)+g_3(d_0+d_6),$$

可以一個類似的方式表示該等其它的 H_i 條件。

於一個體系中，一個植基於一維的9-7二正交-spline-濾波器的DWT將一個 N -區塊的資料轉換成一 $N/2$ 個高通區塊的資料和 $N/2$ 個低通區塊的資料。就對人類眼睛變化的意義來說，該處理產生代表該影像在不同解析度上的副頻帶。該等低通濾波器係數和高通濾波器係數為對稱的，其中 $h_{-i}=h_i$ 、且 $g_{-i}=g_i$ 。

於圖1中，概述一個濾波操作所包括的該等基本步驟。於圖1中，以兩個濾波器旋繞進來的資料元件 $d_i:h$ ，為一個9-栓的低通濾波器；及 g ，為一個7-栓的高通濾波器。根據Nyquist的理論，由於該等產生的濾波表示未包含該最初影像其完全頻率的頻寬，故一個人可在不利用全部的 N 個元件下、重新建構該濾波表示。因此，本發明中根據

五、發明說明(6)

圖1該設計的一個裝置(未顯示)在其它每一個資料元件上執行一個旋繞。

於步驟1中，可執行下面的操作：

$$L_0 = h_0 d_0 + h_1 d_1 + h_2 d_2 + h_3 d_3 + h_4 d_4$$

$$H_0 = g_0 d_1 + g_1(d_0 + d_2) + g_2(d_1 + d_3) + g_3(d_2 + d_4)$$

其中L意指該低通係數，且H意指該高通係數。

就下面圖1中所例證說明的方塊，可輕易地瞭解上面所示和步驟1中所執行的該等操作。圖1例證說明區塊102(虛線內所示)，其中區塊102包括一個含資料元件 d_0 - d_7 的子區塊108(由垂直的虛線104和106劃分出)。區塊102亦包括含資料元件 d_1 、 d_2 、 d_3 和 d_4 的子區塊110。資料元件 d_1 、 d_2 、 d_3 和 d_4 係在資料元件 d_0 的四周對稱地配置。在 d_0 四周對稱地配置該資料的一個理由為減少副作用。每一個資料元件 d_i 為一個描述一個影像其一個像素之16-位元的數量，或為該一個先前濾波操作的結果。

圖1中例證說明的該方塊圖，以4個步驟例證說明"如何就資料區塊102配置低通係數 h_0 、 h_1 、 h_2 、 h_3 和 h_4 、及高通係數 g_0 、 g_1 、 g_2 和 g_3 "。當知曉如何就區塊102的該等資料元件 d_i 配置係數 h_i 和 g_i 時，則將更容易計算出該等資料元件 d_i 、與該等係數 h_i 和 g_i 之間的旋繞。

現在注意由虛線112和114所劃分的該資料子區塊，可以下面的方式計算該資料元件區塊和該等低通係數 h_i 之間的該旋繞結果。將每一個低通係數 h_i 乘上其垂直相對應的資料元件 d_i 。因此，從左到右該垂直方向的乘法作業產生下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

面的結果：

$h_4d_4, h_3d_3, h_2d_2, h_1d_1, h_0d_0, h_1d_1, h_2d_2, h_3d_3$, 及 h_4d_4 ,

將該乘法作業的該等結果水平相加，則可獲得該數值：

$$L_0 = h_0d_0 + h_1d_1 + h_2d_2 + h_3d_3 + h_4d_4$$

藉著依垂直方向執行該相同的乘法作業、和依水平方向執行加法，則該等高通係數 g_i 和資料元件 d_i 之間的該旋繞產生下面的乘積：

$g_3d_2, g_2d_1, g_1d_0, g_0d_1, g_1d_2, g_2d_3, g_3d_4$

依一個水平方向將該乘法作業的該等結果相加，則獲得 $H_0 = g_0d_1 + g_1(d_0 + d_2) + g_2(d_1 + d_3) + g_3(d_2 + d_4)$ 。

於步驟2，藉著將該等低通係數 h_i 的區塊116和該等高通係數 g_i 的區塊118向右挪移兩個位置、以執行該旋繞，如該圖中步驟2所示。於該步驟，以下面的方式計算該等低通係數 h_i 和該等資料元件 d_i 之間該等旋繞的結果。 h_i 和 d_i 之間該垂直方向的乘法作業產生下面的結果：

$h_4d_2, h_3d_1, h_2d_0, h_1d_1, h_0d_2, h_1d_3, h_2d_4, h_3d_5$, 及 h_4d_6 。

將該等結果相加產生：

$$L_1 = h_0d_2 + h_1(d_1 + d_3) + h_2(d_0 + d_4) + h_3(d_1 + d_5) + h_4(d_2 + d_6)$$

同樣地，藉著將該等高通係數 g_i 、就步驟1中該等先前的高通係數向右移2位以旋繞 d_i ，而獲得該高通係數 H_1 。因此，該低通濾波器和該高通濾波器兩者的中心均向右移兩個位置。該產生的高通係數為：

$$H_1 = g_0d_3 + g_1(d_2 + d_4) + g_2(d_1 + d_5) + g_3(d_0 + d_6)$$

須注意一件事--圖1中該等雙層接連箱中的該資料。因

五、發明說明（8）

該濾波器為無因果關係的，故必須在該等邊界上說明此。一種技藝為在該等邊界四周對稱地延伸該資料，以減少邊界效果。

圖2例證說明一種根據本發明、用以執行對稱濾波影像壓縮的裝置之一個體系200的一個高階方塊圖。裝置200包括一個N-元件的移位電路201(以虛線顯示)，該移位電路201包括N個移位區塊。於本發明的一個體系中，該N-元件的移位電路201包括9個挪移區塊202、204、206、208、210、212、214、216及218。將該等移位區塊架構成"儲存在該等移位區塊裡面的資料元件"和"將該等儲存在裡面資料元件挪移至一下一個移位區塊中"。於本發明該裝置的一個體系中，每一個移位區塊包括一個移位暫存器 R_i 。移位暫存器 R_i 為16-位元的移位暫存器，用以容納該等16-位元的資料元件 d_i 。於該圖中，資料元件(像是 d_0 、 d_1 、 d_2 ...等等)係在連續的暫存器 R_i 之間、從左向右挪移。

將最初的五個資料元件 d_0 - d_4 提供給電路264，將於稍後在該章節中闡釋之。電路264將資料元件 d_0 - d_4 、經過電路260和262輸出給一個多工器266。於該第一個傳送期間(包括步驟1-4)，多工器266在一個關於它的輸出上選取經過電路260和262的該等資料元件。接著於該圖中，藉暫存器 R_0 、 R_1 、 R_2 、 R_3 、 R_4 將多工器266輸出的資料元件 d_0 - d_4 從左向右挪移，以便該移位操作結束時， R_0 儲存 d_4 、 R_1 儲存 d_3 、 R_2 儲存 d_2 、 R_3 儲存 d_1 及 R_4 儲存 d_0 。

圖3以圖樣的形式例證說明裝置200的架構，其中資料元

五、發明說明（9）

件 d_0 、 d_1 、 d_2 、 d_3 及 d_4 係對稱地儲存在裝置 200 中。在資料元件 d_0 - d_4 分別儲存在暫存器 R4-R0 中之後（如圖 2 中所示），則分別將資料元件 R3、R2、R1 及 R0 將就暫存器 R4 對稱地複印至暫存器 R5、R6、R7 及 R8 中，如箭頭 268、270、272 及 274 所示。更明確地說， d_1 從 R3 複印到 R5、 d_2 從 R2 複印到 R6、 d_3 從 R1 複印到 R7、且 d_4 從 R0 複印到 R8。

裝置 200 具有執行對稱複印的該硬體支援。此處將不闡釋有關執行該硬體支援、以就暫存器 R4 對稱地複印資料元件，因其對一般熟知該技藝的人來說、係在其所知曉的範圍內。執行該第一個傳送以獲得該等低通濾波器係數和該等高通濾波器係數 L_0 、 H_0 、 L_1 、 H_1 、 L_2 、 H_2 、 L_3 、 H_3 、 L_4 、 H_4 。於該第二個傳送中，並未"選擇資料元件 d_0 - d_7 "和"根據本發明經由該裝置的暫存器 R0-R8 傳送該等資料元件"，取而代之地係藉暫存器 R0-R8、直接地傳送元件 L_0 、 L_1 、 L_2 、 L_3 、 L_4 、 H_0 、 H_1 、 H_2 、 H_3 、 H_4 ，並在該等元件上執行上面所闡釋之該等各別的操作。該等就中心暫存器 R4 對稱地複印資料的操作導致一個資料元件序列、儲存在暫存器 R0-R8 中。該序列和圖 1 中、以虛線 112 和 114 劃分的該區塊所示之該資料元件序列相同。於圖 1 中，就 d_0 將配置在線 112-114 內的資料元件對稱地延伸，即 d_0 左邊該等 4 個資料元件的部分為 d_0 右邊該等資料元件部分的反像。

藉由裝置 200、用以獲得該低通係數 L_0 的該等操作包括下面。將儲存在每一對對稱暫存器 (R_3 , R_5)、(R_2 , R_6)、(R_1 ,

五、發明說明(10)

R_7)及(R_0, R_8)中的資料元件增加至相對應的電路230、232、234及236中，其中該等電路和該等上面所提之對稱暫存器對耦合。以下將電路230、232、234及236稱為"加法-分配器"，因該等電路提供兩項功能：藉該等對稱延伸的暫存器對(與該加法-分配器耦合)、將該等資料元件對相加；及藉擷取該等16個最重要位元、將該相加的結果除以2。除以2的理由為"兩個16-位元的資料元件相加產生一個17-位元的結果"。因圖2-7中例證說明的該裝置邏輯係利用16位元的緩衝器，故藉從左向右移出一個位元、以將該等17個位元減少成16個位元。此和除以2類似。

圖3的該裝置更進一步包括多個第一乘法器240、242、244、246及248。乘法器240、242、244及246分別和相對應的加法-分配器236、234、232及230耦合。該等乘法器將該等低通係數 h_1 、 h_2 、 h_3 及 h_4 乘上該等加法-分配器執行該等操作所獲得的該結果，即將兩個對稱的資料元件相加、並將該相加的結果除以2。此外，將該等低通係數 h_1 - h_4 乘以2、以對"該等對稱資料元件相加結果除以2"作補償。在執行該等操作之後，乘法器240-246在該等關於它的輸出阜上分別產生數值 $2h_4d_4$ 、 $2h_3d_3$ 、 $2h_2d_2$ 及 $2h_1d_1$ 。在與暫存器 R_4 耦合的乘法器248中，將資料元件 d_0 乘以 h_0 。乘法器248、246、244、242及240與加法器250耦合，其中加法器250將該等乘法器其乘法作業的該等結果相加。加法器250中該相加的結果為該第一個低通係數 L_0 ，其等於：

$$h_0d_0+2h_1d_1+2h_2d_2+2h_3d_3+2h_4d_4。$$

五、發明說明(11)

圖2和圖3的該等裝置亦計算該高通係數 H_0 。將多對暫存器的資料元件相加在一起。在一個加法-分配器222中，將暫存器R2和R4的資料元件相加在一起。在加法-分配器224中，將暫存器R1和R5的資料元件相加在一起。在加法-分配器226中，將暫存器R0和R6的資料元件相加在一起。將該等上面提及的加法-分配器架構成"將耦合到那裡的資料元件對相加"、並接著"將該相加的結果除以2"。如是，在將對稱配置的移位暫存器中的兩個資料元件相加之後，則將加法-分配器222、224及226架構成"將該相加的結果除以2"。於此處就圖3中所例證說明的該體系所闡釋之該特殊的範例中，於加法-分配器222中將資料元件 d_0 和 d_2 相加，並將該相加的結果除以2。於加法-分配器224中將資料元件 d_3 和 d_1 相加，並將該相加的結果除以2。於加法-分配器226中將資料元件 d_4 和 d_2 相加，並將該相加的結果除以2。

在執行了該等上面提及的操作之後，則於乘法器227、225及223中將該等操作的結果則分別乘以 $2g_3$ 、 $2g_2$ 及 $2g_1$ 。於乘法器221中將暫存器4中的該資料元件 d_1 乘以該係數 g_0 。接著，於加法器251中將該等乘法作業的結果相加。加法器250和251包括32位元的累積器、用以儲存該等相加的結果。接著，將加法器250中該相加的該等結果乘以該係數 hfq ，且將區塊251中該相加的該等結果乘以係數 gfq 。乘以 gfq 和 hfq 的乘法作業代表"在輸出該等結果之前、可如何量化該等累積的結果"。量化為影像壓縮中一個由大至

五、發明說明(12)

小的步驟，藉著將該元件乘以一個分數、以減少該進來資料的範圍。

根據本發明的裝置200利用"該等儲存的資料元件 d_i "、"該等低和高通係數"的該對稱架構。由於該對稱的架構，故僅執行一個乘法作業，而不執行兩個乘法作業。

圖4例證說明圖3的該裝置，其中藉移位電路201將資料元件向右移2位。資料元件 d_5 和 d_6 分別移至暫存器R1和R0中。

圖4中所示的該架構於步驟2產生該等低通和高通係數L1和H1。於該事例中，在乘法器248中將儲存在暫存器R4中的 d_2 乘以低通係數 h_0 。加法-分配器230將儲存在對稱配置的暫存器R5和R3中的資料元件 d_1 和 d_3 相加，並將該相加的結果除以2。接著，在乘法器246中將該相加除以2的結果乘以該數量 $2h_1$ 。加法-分配器232將分別儲存在暫存器R2和R6中的資料(即 d_4 和 d_0)相加，並將該相加的結果除以2。在此之後，於乘法器244中將該相加的結果乘以 $2h_2$ 。加法-分配器234將分別在暫存器R7和R1中的資料(即 d_1 和 d_5)相加，並接著將該相加的結果除以2。接著於乘法器242中將該相加的結果乘以 $2h_3$ 。最後，加法-分配器236將分別儲存在暫存器R0和R8中的資料(即 d_6 和 d_2)相加，並將該相加的結果除以2。將該相加的結果提供給乘法器240，其中將該相加的結果乘上該數量 $2xh_4$ 。於加法器250中，將乘法器240、242、244、246及248所輸出之該等乘法作業的該等結果相加，以產生該數量 L_1 。儲存在暫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

存器R0-R8中的資料亦依照加法-分配器226、224、222和乘法器227、225、223、221所執行的類似操作，以獲得高通係數H1。

圖5例證說明圖4的該裝置，其中儲存在暫存器R0-R8中的資料元件向右移2位，且新的資料元件d7和d6分別儲存在暫存器R1和R0中。有關該等剩下的操作--"資料元件間的相加和除以2"、"乘上低和高通係數hi、gi的乘法作業"、及"加法器250和251將該等結果相加"，則和上面說明該等先前圖示所闡釋的該等操作相同。

圖6例證說明圖5的該裝置，其中儲存在暫存器R0-R8中的資料元件向右移2位。資料元件d5和d4分別儲存在暫存器R1和R0中。因d7代表該範例中該最後一筆資料，故該裝置開始將d7四周的資料對稱地複印，以包圍計算。

可在裝置200的移位電路201傳送資料元件、且於執行稍早所闡釋之該等有關加法和程法的操作之後，獲得低通係數L0-L4和高通係數H0-H4。接著，可藉由裝置200和該上面闡釋的處理資料方法論對L0-L4和H0-H4執行更多的傳送。

圖7例證說明圖2的該裝置，其中藉暫存器R₀-R₄將該第一個傳送中所獲得的低通元件L₀-L₄挪移。接著，就暫存器R₄將暫存器R₃-R₀的內容對稱地複印到暫存器R₅、R₆、R₇及R₈上。注意，於該事例中，並非由電路260和262處理L₀-L₄，而係由多工器266將L₀-L₄直接提供給移位電路201，其中多工器266選取直接和L₀、L₁、L₂、L₃及L₄耦合的該輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

入給該關於它的輸出。接著，裝置200以一種類似於處理資料元件 d_i 的方式處理該等係數 L_i 和 H_i 。於該第二個傳送的該第一個步驟獲得係數 LL_0 和 HL_0 。於該第二個傳送的該第二個步驟獲得係數 LL_1 和 HL_1 ，...等等。

該等操作的連續總和儲存在加法器250和251所包括的32位元累積器中。該32位元的累積器優於先前在數位信號處理中所使用的40位元和54位元累積器。雖然所有執行DWT的架構典型地利用浮點數表示法，但本發明卻利用一個分數的16位元定點表示法。藉擷取一個分數其左邊16個最重要的位元，則可於操作之間儘可能地維護精確性。因每一個資料元件均為一個16位元的資料元件，故由該等加法-分配器執行之該等相加的結果亦架構成一個分數其16位元的定點表示法。

"將數字從一個浮點轉換成一個定點的算術"為該技藝中一種大家熟知的操作。於藉裝置200的該第一個傳送上，藉在該資料上執行一個等級移位和標準化該結果、將未簽名的資料元件轉換成定點分數。於本發明的一個體系中，移位裝置260接收資料元件 d_0-d_4 ，其中每一個資料元件具有16個位元，並先藉減去一個位移數值(於本發明的一個體系中，該位移數值為128)、將該等資料元件的數值轉換成定點分數。從該每一個資料元件的數值中減去數值128，以便該等資料元件的數值位在-128和127之間，且因此集中在0的四周。

更進一步將該已減去128的資料元件數值轉換成一個分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

數，因一個16位元數位數字的最大數值為256，故將該數值除以256。就該浮點的意義而言，該除算的結果為一個分數。為了擷取該數字其最重要的16個位元，必須將該數字乘以 2^{16} 。將該數字乘以 2^{16} 、和除以256，相當於將該數字乘以 2^8 (相當於將8個零向左移)。分別執行等級移位和標準化操作的電路260和262，為一般熟知該技藝的人已知的標準off-the-shelf電路。僅於該第一個傳送期間執行該等上面所述有關獲得定點數的操作。

圖8例證說明有關根據本發明、用以獲得係數 L_0-L_4 和 H_0-H_4 的一個處理的一個體系之流程圖。該處理從區塊802開始，其中指定數值"0"給指標 i 。接著，該處理流向區塊804，其中將所有暫存器 R_0-R_8 中的資料向右移1位。於該步驟之後，暫存器 R_0 儲存資料元件 d_0 。接著，指定一個數值 $i+1$ 給該指標 i 。繼之，該處理流向決策區塊806，其中判定 i 是否等於4。於該事例中，因 $i=1$ ，故該處理流回區塊804，其中一個新的資料元件又移至暫存器 R_0 中，且將該等其它暫存器的內容向右移1位。於該傳送之後，則資料元件 d_1 儲存在暫存器 R_0 中、且資料元件 d_0 儲存在暫存器 R_1 中。接著，指定一個數值"2"給該數值，且該處理流向決策區塊806，其中又判定 i 是否等於4。因 i 等於4，故該處理流回區塊804，其中一個新的資料元件移至暫存器 R_0 中、且該等剩餘暫存器的內容向右移1位。於該步驟中，暫存器 R_0 儲存資料元件 d_2 、暫存器 R_1 儲存資料元件 d_1 、且暫存器 R_3 儲存資料元件 d_0 。接著，將 i 增加到"3"，且該處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

理流回決策區塊806。因 i 尚不等於"4"，故該處理流回區塊804。一個新的資料元件移至 R_0 中，且該等剩餘暫存器的內容向右移1位。資料元件 d_3 儲存在暫存器 R_0 中，資料元件 d_2 儲存在暫存器 R_1 中，資料元件 d_1 儲存在暫存器 R_2 中，且資料元件 d_0 儲存在暫存器 R_3 中。接著，以增量"1"增加指標" i "、使 i 因而變成等於"4"。該處理流向區塊806，且因 $i=4$ ，故該處理又從區塊806流向區塊814。於區塊814中，暫存器 R_0-R_8 中的資料向右移"1"位，且暫存器 R_0 接收該數值 d_i (為 d_4)。接著，該處理就暫存器 R_4 (儲存資料元件 d_0)、執行資料的對稱複印。在就暫存器 R_4 、對稱地複印資料之後，則如圖3中所例證說明的架構執行該處理的該裝置。如該說明中稍早所闡釋的、計算係數 L_0 和 H_0 。

接著該處理沿行至區塊816，其中所有暫存器中的資料又向右移"1"位，且暫存器 R_0 接收該數值 d_{i+1} (為 d_5)。接著，在該相同的區塊816中，每一個暫存器中的資料又向右移"1"位，且暫存器 R_0 接收資料元件 d_{i+2} (於該體系中為 d_6)。如該說明中稍早所闡釋的、計算係數 L_1 和 H_1 。

接著，該處理從區塊816流向區塊818，其中該等暫存器中的資料向右移"1"位，且暫存器 R_0 接收資料元件 d_{i+3} (於該體系中為 d_7)。接著，該等暫存器中的資料元件又向右移"1"位，且暫存器 R_0 接收該資料元件 d_{i+2} (為 d_6)。如該說明中稍早所闡釋的、計算係數 L_2 和 H_2 。

該處理接著流向區塊820，其中該等暫存器中的資料向

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

右移"1"位，且暫存器 R_0 接收該數值 d_{i+1} 。該等暫存器中的資料向右移"1"位，且暫存器 R_0 接收資料元件 d_i 。如該說明中稍早所闡釋的、計算係數 L_3 和 H_3 。

於該先前的詳述中，係就與本發明相關的特殊體系說明本發明。然而，將顯見可在未偏離本發明其寬廣的精髓和範疇下、對本發明作不同的修正和變更。如是，就一種例證說明的意義、而非限制的意義考量該等規格和圖示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 植基於對稱濾波之用於影像壓縮的超大型積體
電路架構)

本發明提供一種執行對稱濾波影像壓縮之裝置。該裝置包括一個N-元件移位電路,該移位電路具有N個移位區塊(SB),用以儲存和移動資料元件。每一個資料元件代表一個影像的一個像素。該裝置亦包括一第一組多個加法器電路,將該等N個SB的一第一組多對SB中的資料元件相加。該裝置更進一步包括一第二組多個加法器電路,將該等N個SB的一第二組多對SB中的資料元件相加。此外,該裝置包括一第一組多個乘法器電路,用以將"該第一組多個加法器電路所執行的加法結果"乘以"相對應的低通係數"。該裝置亦包括一第二組多個乘法器電路,用以將"該第二組多個加法器電路所執行的加法結果"乘以"相對應的高通係數"。

英文發明摘要(發明之名稱: "A SYMMETRIC FILTERING BASED VLSI
ARCHITECTURE FOR IMAGE COMPRESSION")

An apparatus to perform symmetric filtering image compression is provided. The apparatus includes an N-element shift circuit, that has N shifting blocks (SB), to store and shift data elements. Each data element represents a pixel of an image. The apparatus also includes a first plurality of adder circuits to add data elements from a first plurality of pairs of SBs of the N SBs. The apparatus further includes a second plurality of adder circuits to add data elements from a second plurality of pairs of SBs of the N SBs. Additionally, the apparatus includes a first plurality of multiplier circuits, to multiply by corresponding low pass coefficients results of additions performed by the first plurality of adder circuits. The apparatus also includes a second plurality of multiplier circuits, to multiply by corresponding high pass coefficients results of additions performed by the second plurality of adder circuits.

六、申請專利範圍

1. 一種執行對稱濾波影像壓縮之裝置，該裝置包括：
 - 一個N-元件的移位電路，該移位電路具有N個移位區塊(SB)、用以儲存和移動資料元件，其中每一個資料元件代表一個影像的一個像素；
 - 第一組多個加法器電路，將該等N個SB的第一組多對SB中的資料元件相加；
 - 第二組多個加法器電路，將該等N個SB的第二組多對SB中的資料元件相加；
 - 第一組多個乘法器電路，用以將"該第一組多個加法器電路所執行的加法結果"乘以"相對應的低通係數"；及
 - 第二組多個乘法器電路，用以將"該第二組多個加法器電路所執行的加法結果"乘以"相對應的高通係數"。
2. 如申請專利範圍第1項之裝置，其中該第一組多對SB的每一個SB，係就一第一個SB對稱置放的。
3. 如申請專利範圍第1項之裝置，其中該第二組多對SB的每一個SB，係就一第二個SB對稱置放的。
4. 如申請專利範圍第1項之裝置，其中該等低通係數係對稱於一個中央的低通係數。
5. 如申請專利範圍第1項之裝置，其中該等高通係數係對稱於一個中央的低通係數。
6. 如申請專利範圍第1項之裝置，其中該等高通和低通係數執行一個9-7二正交Spline濾波器。
7. 如申請專利範圍第1項之裝置，其中該等最先 $((N-1)/2)+1$ 個資料元件最初係儲存在該等最先 $((N-1)/2)+1$ 個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

移位區塊中。

8. 如申請專利範圍第7項之裝置，其中複印該等最先 $(N-1)/2$ 個資料元件，且就移位區塊 $((N-1)/2)+1$ 、對稱地分配 $(N-1)/2$ 個移位區塊。
9. 如申請專利範圍第2項之裝置，其中該第一個移位區塊為該 $((N-1)/2)+1$ 區塊。
10. 如申請專利範圍第3項之裝置，其中該第二個移位區塊為該 $(N-1)/2$ 移位區塊。
11. 如申請專利範圍第1項之裝置，更進一步包括一個與該等多個第一乘法器電路耦合之第一個加法器電路，用以將該等多個第一乘法器的乘算結果相加。
12. 如申請專利範圍第11項之裝置，更進一步包括一個與該等多個第二乘法器電路耦合之第二個加法器電路，用以將該等多個第二乘法器的乘算結果相加。
13. 如申請專利範圍第1項之裝置，更進一步包括一個將進來的資料轉換成定點資料元件的電路。
14. 如申請專利範圍第13項之裝置，更進一步包括一個將該等資料元件標準化的電路。
15. 一種執行對稱濾波影像壓縮之方法，該方法包括：

將多個資料元件儲存在一個 N -元件的移位電路中，其中該移位電路具有 N 個移位區塊，且每一個資料元件代表一個影像的一個像素；

將該等 N 個移位區塊的第一組多對移位區塊中的資料元件相加；

六、申請專利範圍

將該等N個移位區塊的一第二組多對移位區塊中的資料元件相加；

將"該第一組多個移位區塊中資料元件相加的結果"乘以"相對應的低通係數"；及

將"該第二組多個移位區塊中資料元件相加的結果"乘以"相對應的高通係數"。

16. 如申請專利範圍第15項之方法，更進一步包括將該第一組多個移位區塊中該等資料元件相加的結果相加。
17. 如申請專利範圍第16項之方法，更進一步包括將該第二組多個移位區塊中該等資料元件相加的結果相加。
18. 如申請專利範圍第15項之方法，該儲存包括將未簽名的資料元件轉換成定點分數。
19. 如申請專利範圍第18項之方法，該轉換包括在該等資料元件上執行一個等級移位。
20. 如申請專利範圍第19項之方法，該儲存更進一步包括執行該等資料元件的標準化。
21. 一種執行對稱濾波影像壓縮之裝置，該裝置包括：
 - 一個N-元件的移位電路，該移位電路具有N個移位區塊(SB)、用以儲存和移動資料元件，其中每一個資料元件代表一個影像的一個像素；
 - 一第一組多個加法-分配器電路，將該等N個SB的第一組多對SB中的資料元件相加、並將該相加的第一個結果除以2；
 - 一第二組多個加法-分配器電路，將該等N個SB的一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第二組多對SB中的資料元件相加、並將該相加的一第二個結果除以2；

一第一組多個乘法器電路，將"該第一個結果除以2"乘上"相對應的低通係數 $\times 2$ "；及

一第二組多個乘法器電路，將"該第二個結果除以2"乘上"相對應的高通係數 $\times 2$ "。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

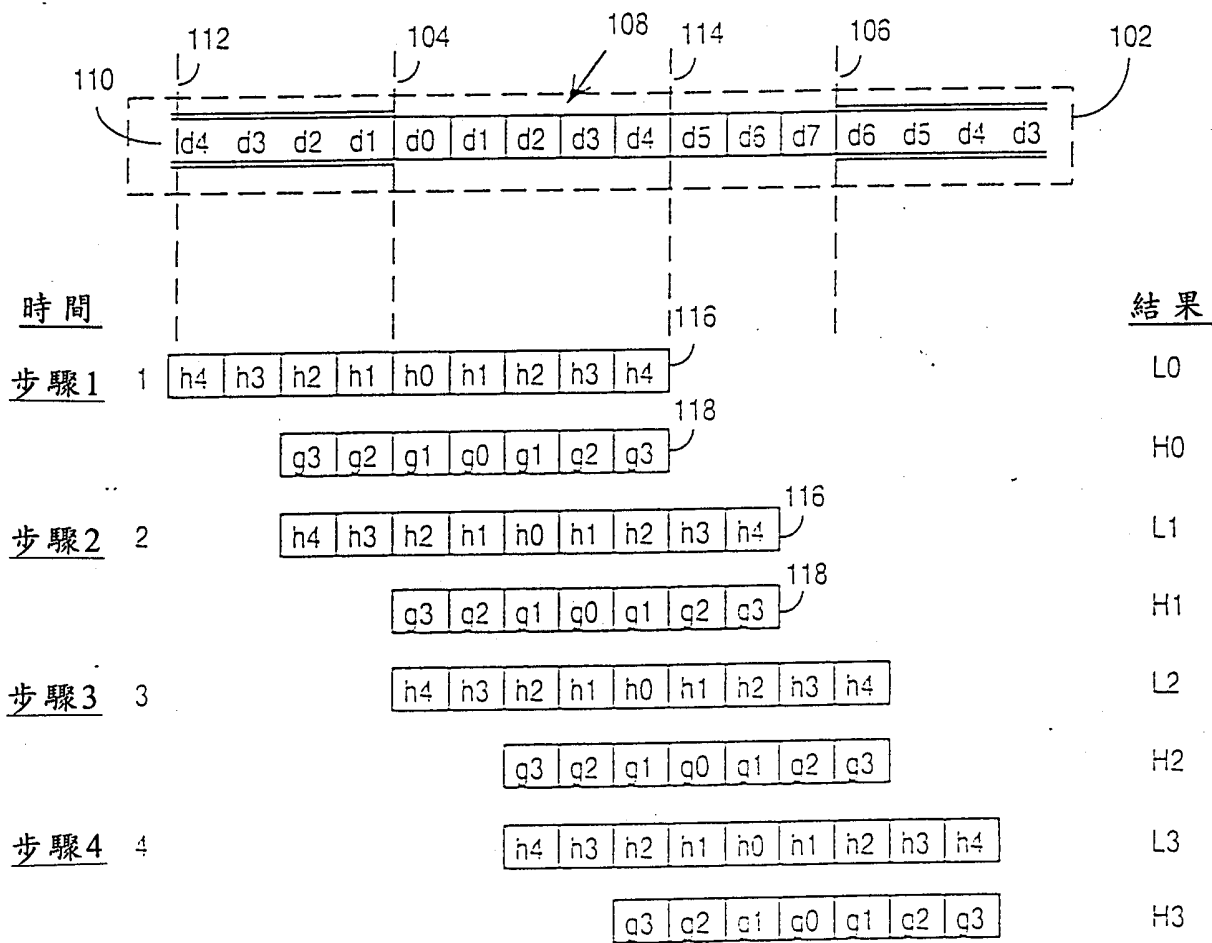


圖 1

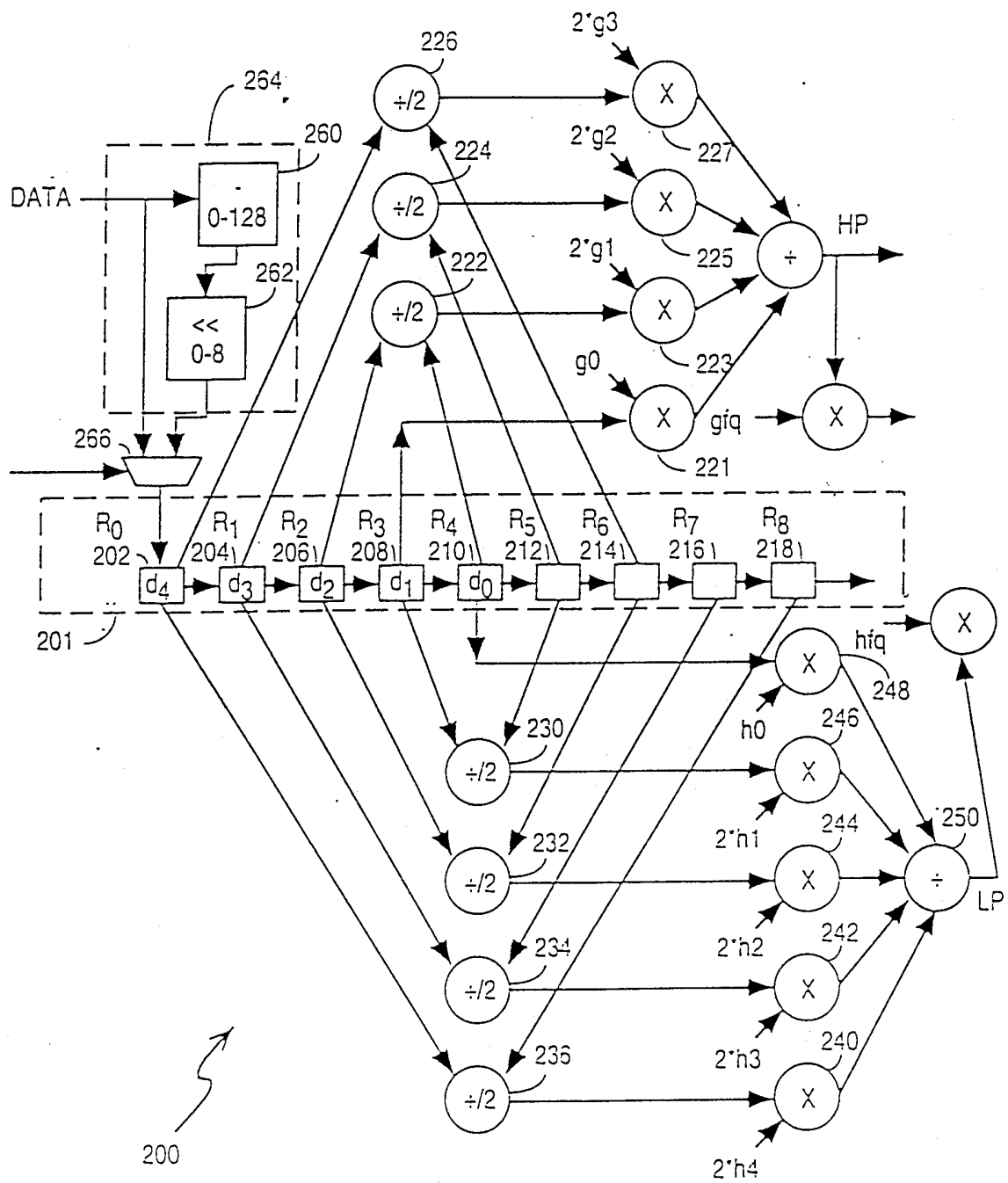


圖 2

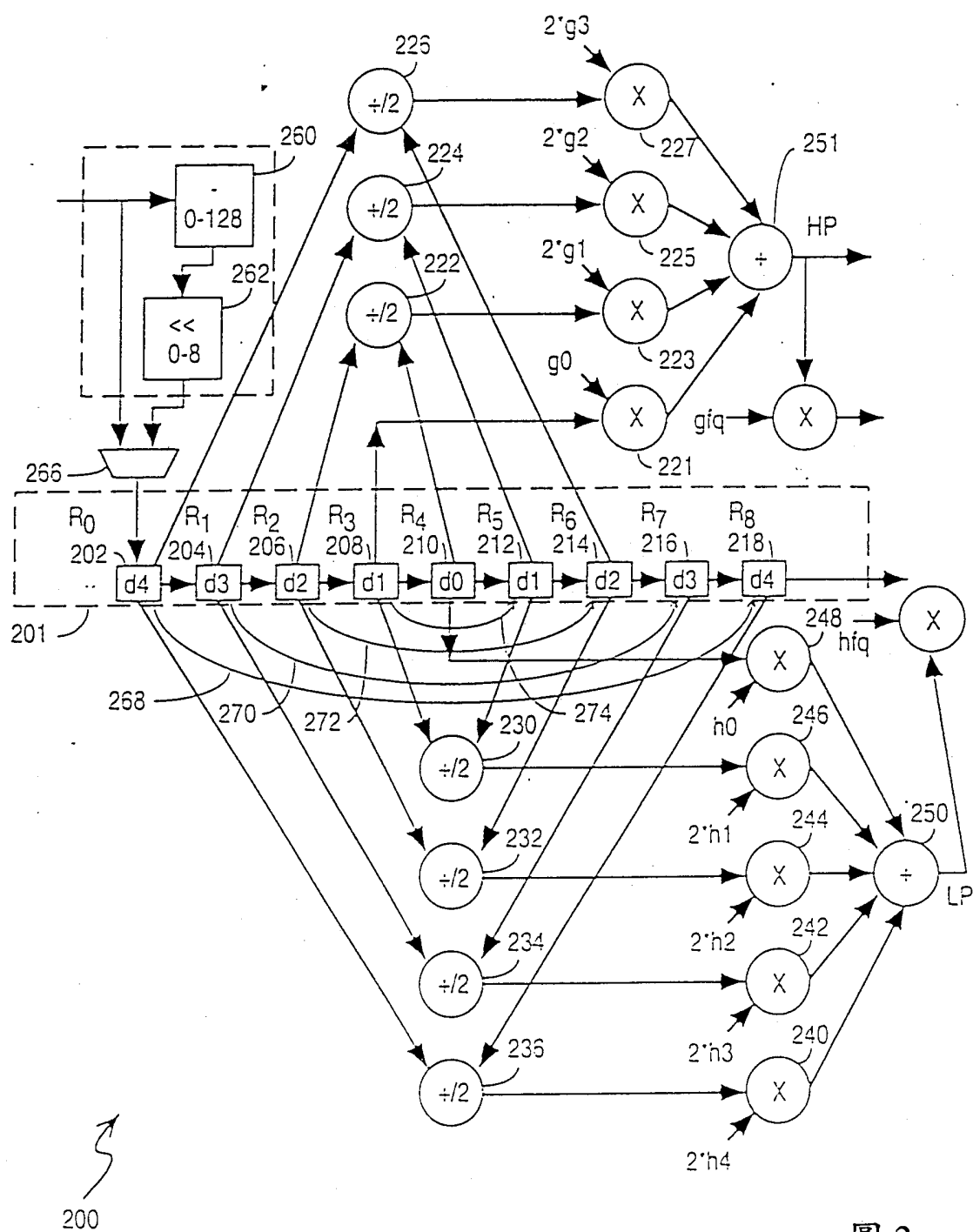


圖 3

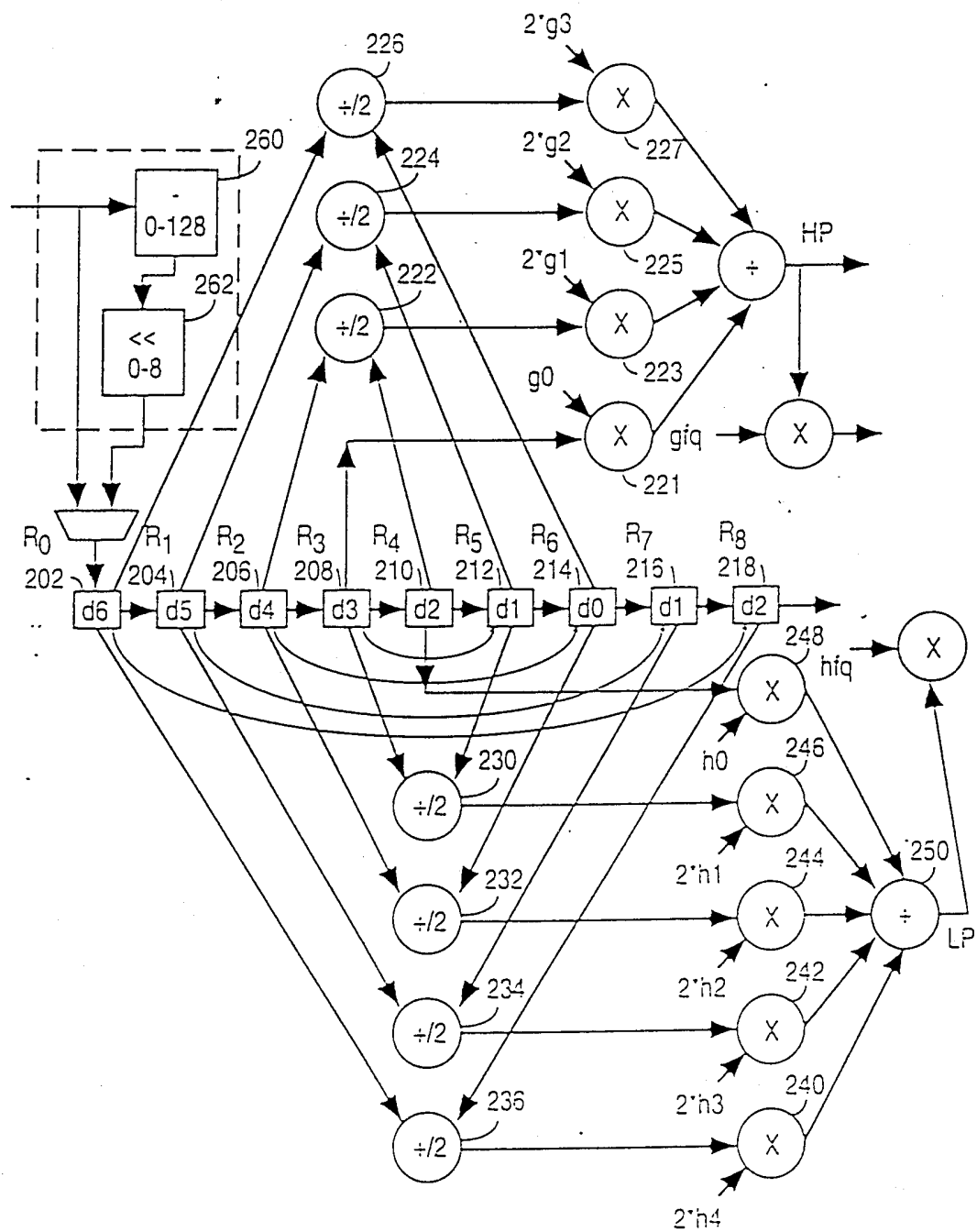


圖 4

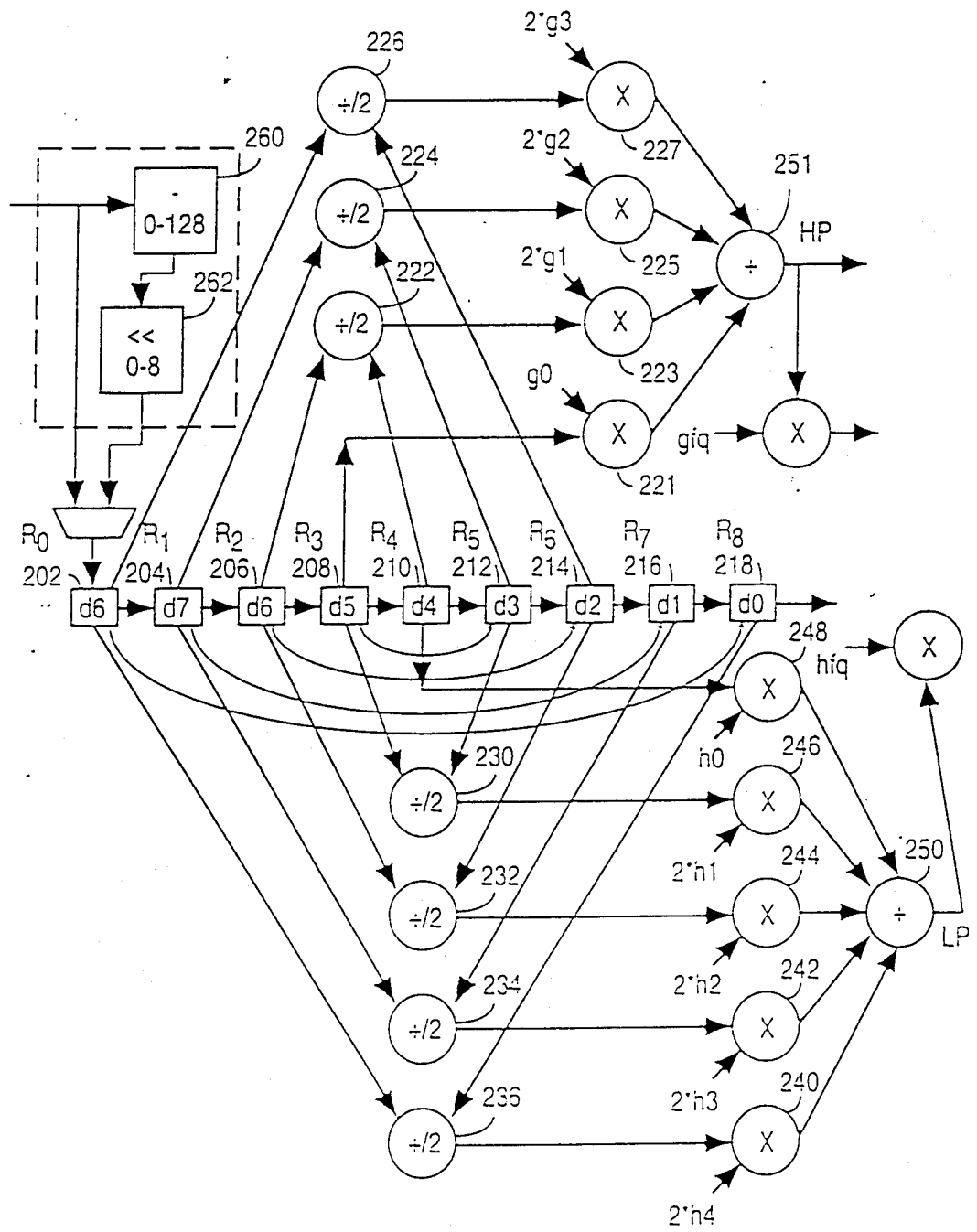


圖 5

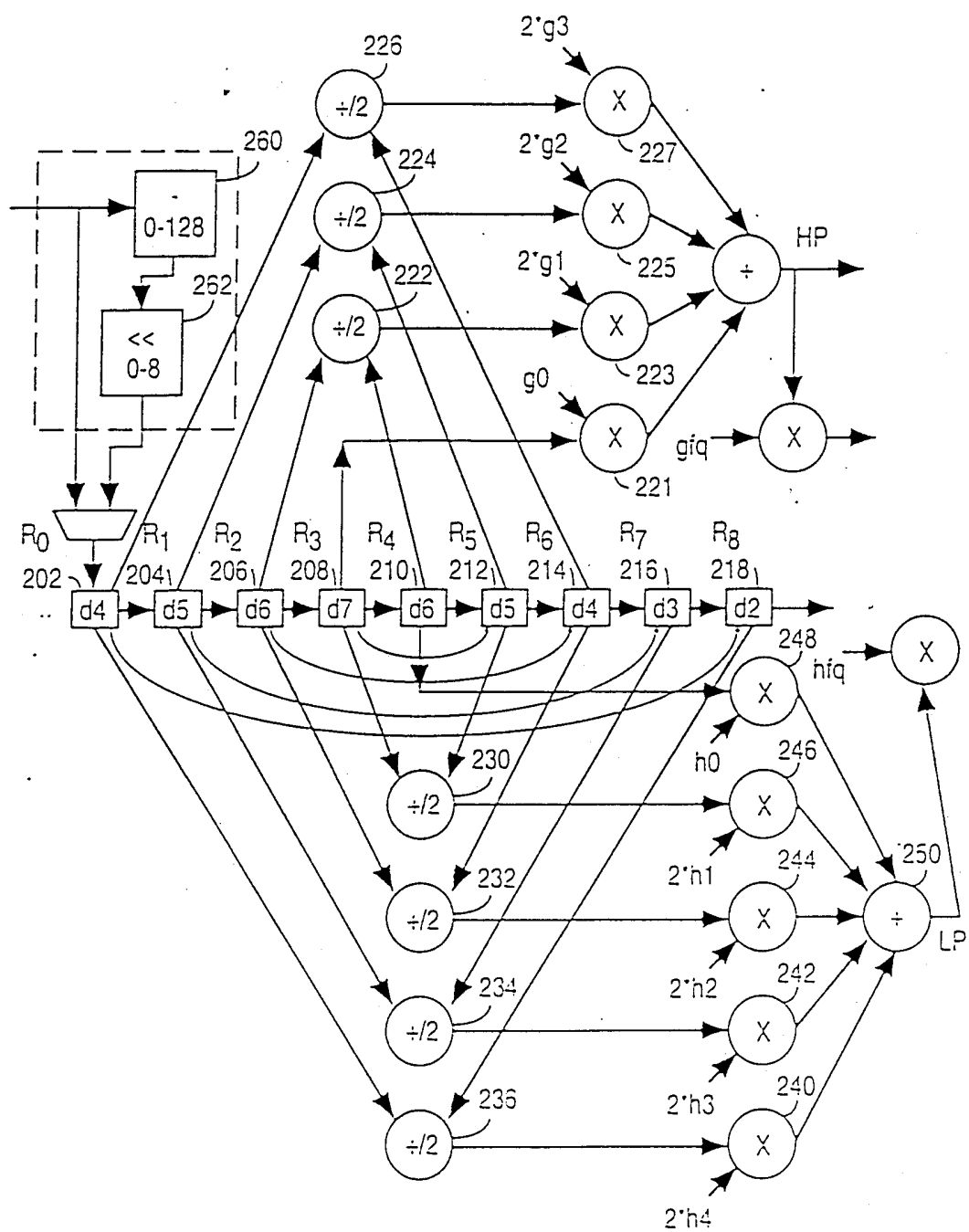


圖 6

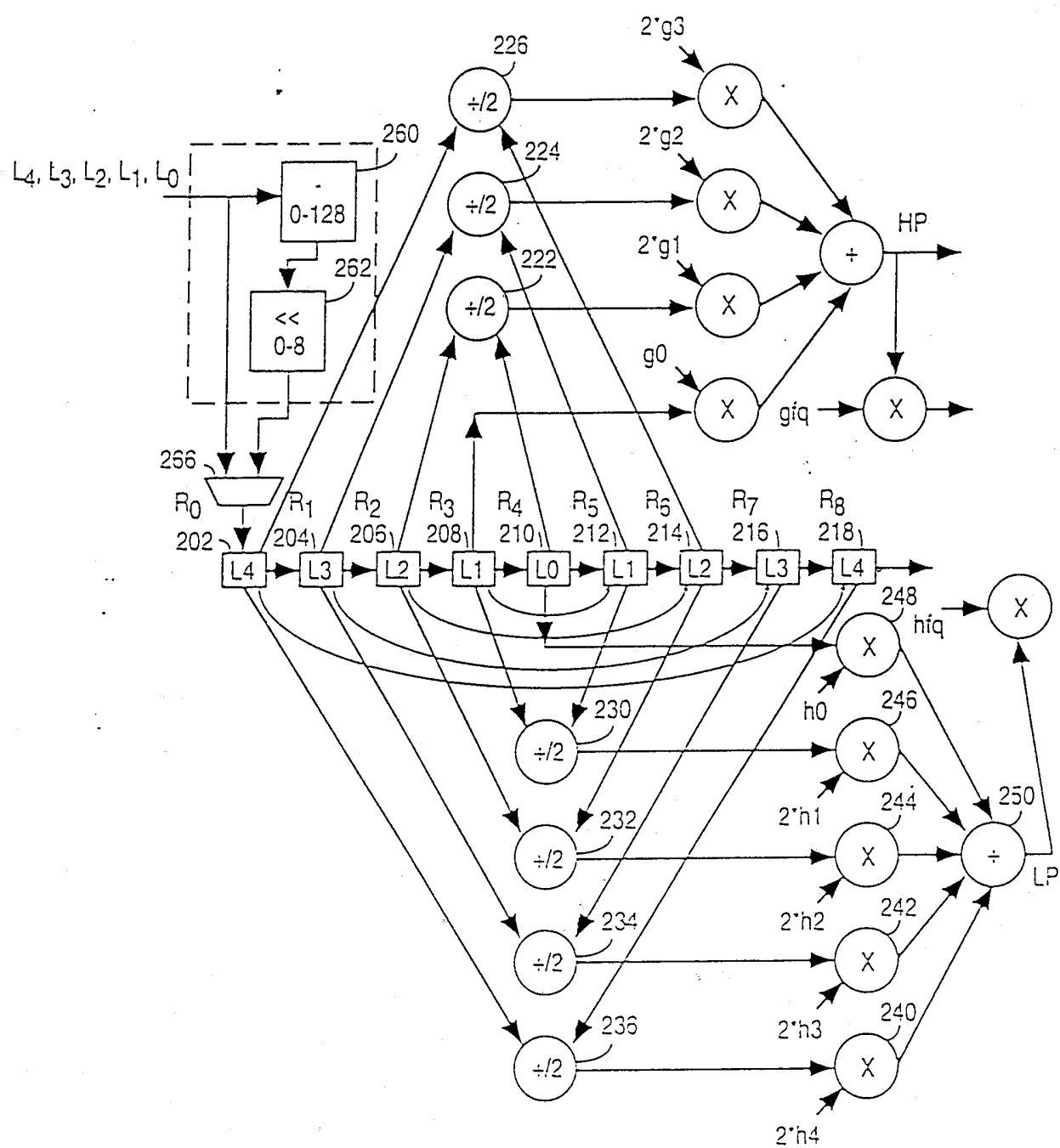


圖 7

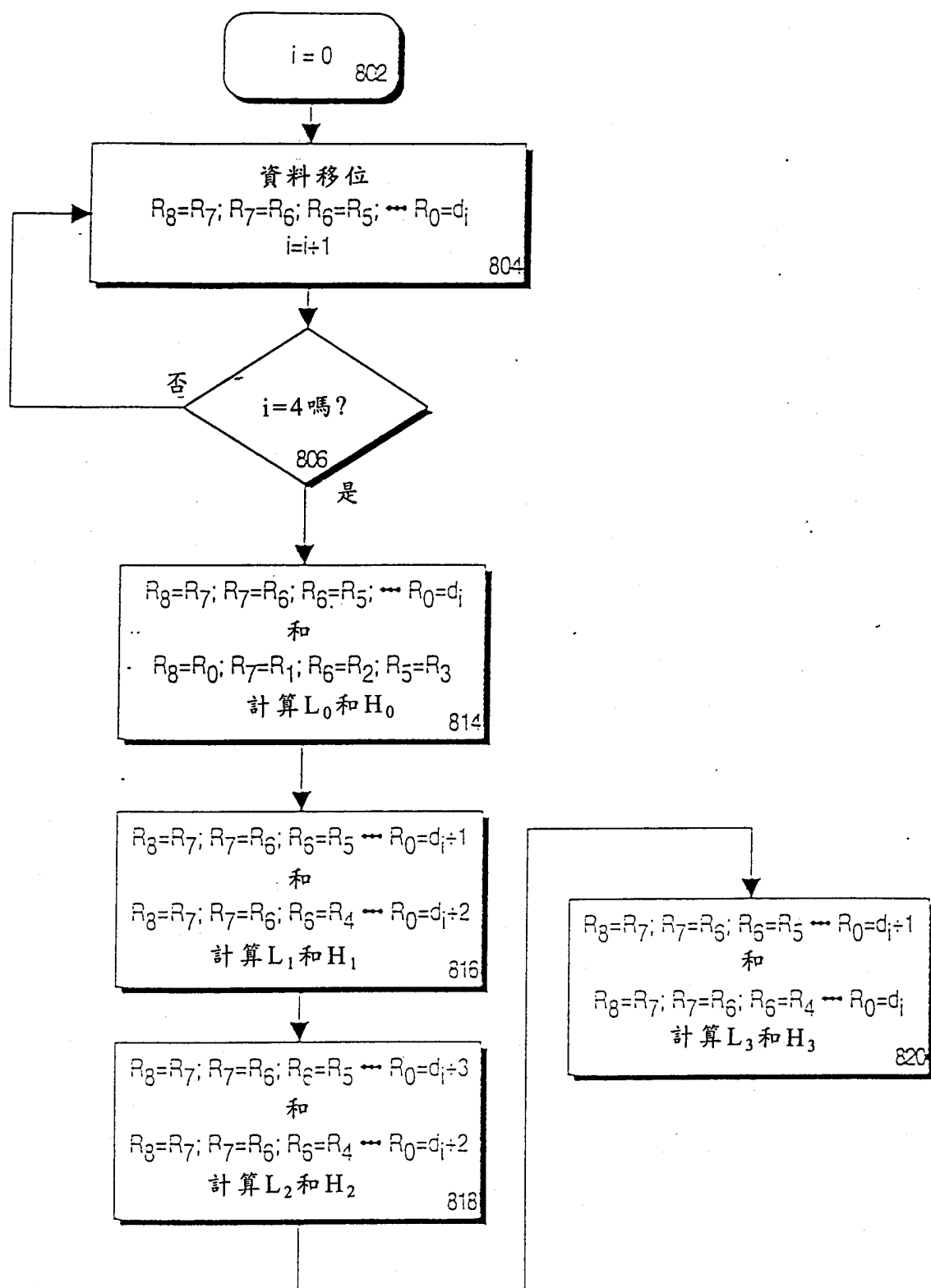


圖 8