



Patent dodatkowy
do patentu nr _____

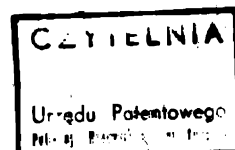
Zgłoszono: 20.12.77 (P. 203158)

Pierwszeństwo: 22.12.76 Związek
Socjalistycznych
Republik
Radzieckich

Zgłoszenie ogłoszono: 18.12.78

Opis patentowy opublikowano: 15.08.1981

Int. Cl.²
G06F 7/385



Twórca wynalazku: Aleksej Petrovič Stachov

Uprawniony z patentu: Taganrogskij Radiotechniceskij Institut
im. VD. Kalmykova, Taganrog (Związek
Socjalistycznych Republik Radzieckich)

Sumator kodów Fibonacciego

1

Niniejszy wynalazek dotyczy cyfrowych systemów przetwarzania informacji, a ściślej sumatorów wykonujących operacje dodawania w kodach Fibonacciego i może być używany w komputerach cyfrowych działających na zasadzie wykorzystania kodów Fibonacciego.

Znany jest sumator kodów Fibonacciego (A. P. Stachov „Wprowadzenie do algorytmicznej teorii pomiarów”, Moskwa, 1977 r.), zawierający n-pozycyjny półsumator, w którym wielopozycyjne wyjścia sumy pośredniej i przeniesienia połączone są do wejść normalizatorów, a wyjścia tych normalizatorów połączone są z wyjściami pierwszego i drugiego składnika n-pozycyjnego półsumatora gdzie n oznacza pozycyjność kodu. Inne wejścia normalizatorów są wejściami składników sumatora kodów Fibonacciego. Zasada działania takiego sumatora polega na wielokrotnym wykonywaniu szeregu mikrocykli dodawania aż do momentu, gdy w kombinacji kodowej nie będą same zera (przeniesienie zerowe).

Każdy mikrocykl dodawania polega na tworzeniu kombinacji kodowych sumy pośredniej i przeniesienia w n-pozycyjnym półsumatorze oraz na sprawdzaniu tych kombinacji kodowych do minimalnej postaci kodów Fibonacciego, co jest realizowane w normalizatorach.

Opisany sumator kodów Fibonacciego charakteryzuje się małą szybkością działania, spowodowaną dużą liczbą mikrocykli dodawania. Po-

2

za tym, sumator ma małą zdolność do samokontrolovania, gdyż w sumatorze realizuje się sprawdzenie tylko jednej relacji kontrolnej między pozycjami kodów Fibonacciego, polegające na tym, że w przypadku jednoczesnego występowania w każdej i-tej pozycji, półsumatora dwóch sygnałów jedynkowych przeniesienia z (i+1)-tej oraz (i+1)-tej pozycji, w wyjściu kontrolnym sumatora kodów Fibonacciego ukazuje się sygnał błędu.

Zadaniem wynalazku jest zaprojektowanie sumatora kodów Fibonacciego o układzie, wykluczającym wielokrotną realizację mikrocykli sumowania, zawierającego taki n-pozycyjny półsumator, któryby zapewniał otrzymywanie kombinacji kodowych sumy pośredniej i przeniesienia celem sprowadzenia ich do postaci minimalnej kodów Fibonacciego, w którym kontrola działania byłaby przeprowadzana za pomocą trzech relacji kontrolnych między pozycjami kodów Fibonacciego.

Zadanie zostało zrealizowane w wyniku zaprojektowania sumatora kodów Fibonacciego, zawierającego n-pozycyjny półsumator z co najmniej dwoma wielopozycyjnymi wejściami przeznaczonymi dla wprowadzenia składników przedstawionych w postaci minimalnej p-kodów Fibonacciego.

Zgodnie z wynalazkiem, wielopozycyjne wyjście sumy pośredniej oraz wielopozycyjne wyjście

przeniesienia wielopozycyjnego półsumatora, połączone są odpowiednio z wielopozycyjnym wejściem sumy pośredniej i wejściem przeniesienia układu przepisywania informacji, poza tym, wielopozycyjne wyjścia sumy pośredniej i przeniesienia układu przepisywania informacji oraz jego wyjścia sterujące są odpowiednio podłączone do wielopozycyjnego wejścia sumy pośredniej, wielopozycyjnego wejścia przeniesienia oraz sterującego wejścia układu przekształcania p-kodów Fibonacciego, a wyjście kontrolne n-pozycyjnego półsumatora jest podłączone do kontrolnego wejścia układu przekształcania kodów Fibonacciego, gdzie n—liczba pozycji kodu Fibonacciego.

Korzystnym jest, gdy w sumatorze kodów Fibonacciego według wynalazku n-pozycyjny półsumator zawiera K jednakowych jednopozycyjnych półsumatorów, wyjście kontrolne każdego z nich jest połączone do jednego z wejść elementu LUB n-pozycyjnego półsumatora, a wyjście przeniesienia początkowego i—tego jednopozycyjnego półsumatora jest podłączone do jednego z wejść przeniesienia początkowego (i—1)—tego jednopozycyjnego półsumatora i do drugiego wejścia przeniesienia początkowego (i—2)—tego jednopozycyjnego półsumatora, wyjście wtórnego przeniesienia i—tego jednopozycyjnego półsumatora jest podłączone do jednego z wejść wtórnego przeniesienia (i—1)—tego jednopozycyjnego półsumatora i do drugiego wejścia wtórnego przeniesienia (i—2)—tego jednopozycyjnego półsumatora, wyjścia przeniesienia i sumy pierwotnej i—tego jednopozycyjnego półsumatora są odpowiednio podłączone do wejścia przeniesienia (i—1)—tego jednopozycyjnego półsumatora oraz do wejścia sumy pierwotnej (i+1)—tego jednopozycyjnego półsumatora, gdzie i=1,2,...,n.

Korzystnym jest, gdy i—ty jednopozycyjny półsumator według wynalazku zawiera elementy logiczne LUB, elementy logiczne I i inwerter, przy czym jedno i drugie wejścia elementu logicznego LUB analizy składników są odpowiednio podłączone do jednego i drugiego wejść elementu logicznego I analizy składników a wyjście elementu logicznego LUB analizy składników jest podłączone do jednego z wejść elementu logicznego LUB sumy pierwotnej, elementu logicznego LUB wytwarzania pierwszego kontrolnego sygnału oraz elementu logicznego I analizy przeniesienia, wyjście elementu logicznego LUB sumy pierwotnej podłączone jest do jednego z wejść elementu logicznego LUB sumy pośredniej, drugie zaś wejście logicznego elementu LUB sumy pierwotnej podłączone jest do jednego z wejść elementu logicznego I wytwarzania pierwszego sygnału kontrolnego, którego drugie wejście jest podłączone do wyjścia elementu logicznego LUB wytwarzania pierwszego sygnału kontrolnego, a wyjście tego elementu jest podłączone do jednego z wejść elementu logicznego LUB kontroli, dwa pozostałe wejścia elementu logicznego lub kontroli podłączone są odpowiednio do wyjścia elementu logicznego I wytwarzania drugiego sygnału kontrolnego i do wyjścia elementu logicznego I wytwarzania trzeciego sygnału kontrolnego, jedno wej-

ście elementu logicznego I wytwarzania drugiego sygnału kontrolnego jest podłączone do wyjścia elementu logicznego I wtórnego przeniesienia, drugie wejście elementu logicznego I wytwarzania drugiego sygnału kontrolnego jest podłączone do wyjścia elementu logicznego I wytwarzania drugiego sygnału kontrolnego, którego jedno wejście jest podłączone do jednego z wejść elementu logicznego I przeniesienia oraz wejście inwertera, a drugie wejście jest podłączone do jednego z wejść elementu logicznego I wytwarzania trzeciego sygnału kontrolnego oraz do wyjścia elementu logicznego I przeniesienia, pozostałe wejście elementu logicznego I wytwarzania drugiego sygnału kontrolnego, jest podłączone do wyjścia elementu logicznego I analizy składników, jedno z pozostałych wejść logicznego elementu LUB sumy pośredniej podłączone jest do jednego z pozostałych wejść elementu logicznego LUB wytwarzania pierwszego sygnału kontrolnego, pozostałe wejście elementu logicznego LUB sumy pośredniej podłączone jest do pozostałego wejścia elementu logicznego I analizy przeniesienia, do pozostałego wejścia elementu logicznego wytwarzania pierwszego sygnału kontrolnego oraz do wyjścia elementu logicznego LUB analizy przeniesienia, wyjście elementu logicznego I analizy przeniesienia podłączone jest do pozostałego wejścia elementu logicznego I przeniesienia oraz jednego z wejść elementu logicznego I wtórnego przeniesienia, a drugie wejście tego elementu I podłączone jest do wyjścia inwertera.

Korzystnym jest poza tym, gdy urządzenie przepisywania informacji ma wejście sterujące i zawiera K jednakowych komórek przepisywania, z których każda zawiera element opóźniający, którego wyjście podłączone jest do jednego z wejść elementu logicznego I sumy pośredniej pozycji bardziej znaczącej, do jednego z wejść elementu logicznego I przeniesienia pozycji bardziej znaczącej, do jednego z wejść elementu I sumy pośredniej pozycji mniej znaczącej oraz do jednego z wejść elementu logicznego I przeniesienia pozycji mniej znaczącej, wejście elementu opóźniającego m—tej komórki jest podłączone do wyjścia elementu opóźniającego (m+1)—tej komórki układu przepisywania informacji, wejście elementu opóźniającego k—tej komórki stanowi wejście sterujące urządzenia przepisywania informacji, natomiast wyjście elementu opóźniającego pierwszej komórki stanowi wyjście sterujące urządzenia przepisywania informacji, gdzie

$$m = \begin{cases} 1,2,\dots, \frac{n}{2} & \text{przy } n \text{ parzystym} \\ 1,2,\dots, \frac{n+1}{2} & \text{przy } n \text{ nieparzystym} \end{cases}$$

K = 1,2,...,n

Korzystnym jest również, gdy urządzenie przekształcania kodów Fibonacciego zawiera przerzutnik pamiętający oraz co najmniej n jednakowych komórek przekształcania, mających wejścia i wyjścia informacyjne, a ich wyjścia kontrolne były podłączone do wejść elementu logicznego LUB kontroli urządzenia, którego wyjście jest podłą-

czone do wejścia elementu logicznego LUB kontroli sumatora, pierwsze wyjście sprzęgające każdej komórki przekształcania jest podłączone do jednego z wejść elementu logicznego LUB procesu nieustalonego, którego wyjście jest podłączone do wejścia inwentera i do wejścia filtra elektrycznego. Wyjście filtra elektrycznego jest podłączone do pozostałego wejścia elementu logicznego LUB kontroli urządzenia przekształcania, wyjście inwentera podłączone jest do jednego z wejść elementu logicznego I zakończenia dodawania, którego drugie wejście jest dołączone do wyjścia jedynkowego przerzutnika zakończenia przepisywania informacji, pierwsze wejście sprzężenia 1—tej komórki przekształcania podłączone jest do wyjścia informacyjnego ($i-1$)—tej komórki, drugie wejście sprzężenia 1—tej komórki są do drugiego wyjścia sprzężenia ($i+1$)—tej komórki przekształcania, a pierwsze wyjście sprzężenia 1—tej komórki podłączone jest do trzeciego wejścia sprzężenia ($i+1$)—tej komórki oraz do czwartego wejścia sprzężenia ($i-1$)—tej komórki, poza tym pierwsze wyjście sprzężenia komórki przekształcania pozycji bardziej znaczącej podłączone jest do wyjścia jedynkowego przerzutnika pamiętającego.

Korzystnym jest także gdy każda komórka przekształcania zawiera przerzutnik sumy pośredniej i przerzutnik przeniesienia, których wejścia jedynkowe wejścia informacyjne komórki przekształcania, stanowią wejścia zerowe przerzutnika sumy pośredniej jest podłączone do wyjścia elementu logicznego I analizy stanu przerzutników, którego jedno z wejść podłączone jest do zerowego wyjścia przerzutnika przeniesienia, a drugie wejście — do zerowego wejścia przerzutnika przeniesienia oraz do wyjścia elementu logicznego LUB komórki przekształcania, w którym jedno wejście podłączone jest do wyjścia elementu logicznego I spłotu, którego jedno z wyjść jest dołączone do jedynkowego wyjścia przerzutnika sumy pośredniej, stanowiącego wyjście sumy pośredniej komórki, zerowe wyjście przerzutnika sumy pośredniej jest podłączone do jednego z wejść elementu logicznego I kontroli komórki przekształcania, którego wyjście stanowi wyjście kontrolne komórki, a pozostałe wejście podłączone jest do wyjścia jedynkowego przerzutnika przeniesienia.

Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, na którym: fig. 1 przedstawia schemat blokowy sumatora kodów Fibonacciego według wynalazku, fig. 2 — schemat funkcjonalny n-pozycyjnego półsumatora według wynalazku, fig. 3 — schemat ideowy urządzenia przepisywania informacji według wynalazku a fig. 4 — schemat ideowy urządzenia do przekształcania kodów Fibonacciego według wynalazku.

Fig. 1 przedstawia schemat blokowy sumatora kodów Fibonacciego, zawierającego n-pozycyjny półsumator 1, którego wejścia są odpowiednio wielopozycyjnymi wejściami 2 i 3 pierwszego i drugiego składnika przedstawionych w kodach Fibonacciego. Schemat blokowy sumatora obej-

muje również urządzenie 4 przepisywania informacji, zawierające wejście sterujące 5 przeznaczone dla podawania sygnału przepisywania informacji oraz wielopozycyjne wejście 6 i 7 sumy pośredniej i przeniesienia, połączone odpowiednio z wyjściami sumy pośredniej i przeniesienia n-pozycyjnego półsumatora 1. Sumator zawiera także urządzenie 8 przekształcania kodów Fibonacciego, w którym wielopozycyjne wejście 9 sumy pośredniej, wielopozycyjne wejście 10 przeniesienia, wejście sterujące 11 oraz wejście kontrolne 12 połączone są odpowiednio z wyjściem sumy pośredniej, wyjściem przeniesienia, wyjściem sterującym urządzenia 4 przepisywania informacji oraz wyjściem kontrolnym n-pozycyjnego półsumatora 1.

Jedno wyjście urządzenia 8 jest wyjściem wielopozycyjnym i stanowi wyjście 13 informacyjne sumatora, natomiast drugie wyjście urządzenia 8 stanowi wyjście 14 sygnału zakończenia sumowania sumatora. Pozostałe wyjście urządzenia 8 przekształcania kodów Fibonacciego stanowi wyjście kontrolne 15 sumatora, przeznaczone do kasowania sygnału błędu, świadczącego o wadliwym działaniu sumatora.

Na fig. 2 przedstawiono schemat funkcjonalny n-pozycyjnego półsumatora 1 kodów Fibonacciego dla $n=4$. N-pozycyjny półsumator 1 składa się z czterech jednopozycyjnych półsumatorów 16_1-16_4 oraz elementu logicznego 17 LUB, którego wyjście stanowi kontrolne wyjście n-pozycyjnego półsumatora 1. Każdy i—ty jednopozycyjny sumator 16_i (w tym przypadku $i=1,2,3,4$) zawiera szereg elementów logicznych I oraz LUB. Wszystkie jednopozycyjne półsumatory 16_1-16_4 mają jednakową budowę.

Układ i—tego jednopozycyjnego półsumatora 16_i , np. dla $i=2$, tzn. drugiego jednopozycyjnego półsumatora 16_2 , wygląda następująco. Jedno z wejść elementu logicznego 18_2 LUB analizy składników stanowi jednopozycyjne wejście 2_2 pierwszego składnika sumatora, drugie zaś wejście elementu logicznego 18_2 LUB jest jednopozycyjnym wejściem 3_2 drugiego składnika sumatora. Wszystkie jednopozycyjne wejścia 2_1-2_4 i 3_1-3_4 wszystkich jednopozycyjnych półsumatorów 16_1-16_4 tworzą odpowiednio wielopozycyjne wejścia 2 oraz 3 (fig. 1). Wejścia elementu logicznego 18_2 LUB (fig. 2) podłączone są do jednego i drugiego wejścia elementu logicznego 19_2 I analizy składników, który ma również wyjście 20_2 . Wyjście 21_2 elementu logicznego 18_2 LUB podłączone jest do jednego z wejść elementu 22_2 LUB sumy pierwotnej, do jednego z wejść elementu logicznego 23_2 LUB wytwarzania pierwszego sygnału kontrolnego oraz do jednego z wejść elementu logicznego 24_2 I analizy przeniesienia.

Wyjście elementu logicznego 22_2 LUB połączone jest z jednym z wejść elementu logicznego 25_2 LUB sumy pośredniej i stanowi wyjście 26_2 sumy pierwotnej i—tego, tzn. drugiego, jednopozycyjnego półsumatora 16_2 , pozostałe wejście elementu logicznego 22_2 LUB stanowi pierwsze wejście 27_2 przeniesienia początkowego drugiego jednopozycyjnego półsumatora 16_2 i jest podłączone

do jednego z wejść elementu logicznego 28₂ I wytwarzania pierwszego sygnału kontrolnego. Drugie wejście elementu logicznego 28₂ I podłączone jest do wyjścia elementu logicznego 23₂ LUB.

Wyjście elementu logicznego 28₂ I podłączone jest do jednego z wejść elementu logicznego 29₂ LUB kontroli, którego wyjście stanowi wyjście kontrolne 30₂ drugiego jednopozycyjnego półsumatora 16₂. Wyjście kontrolne 30₁—30₄ każdego z jednopozycyjnych półsumatorów 16₁—16₄ podłączone jest do jednego z wejść elementu logicznego 17 LUB. Jedno z pozostałych wejść elementu logicznego 29₂ LUB podłączone jest do wyjścia elementu logicznego 31₂ I wytwarzania drugiego sygnału kontrolnego, a drugie wyjście — do wyjścia elementu logicznego 32₂ I wytwarzania trzeciego sygnału kontrolnego. Jedno wejście elementu logicznego 31₂ I podłączone jest do wyjścia elementu logicznego 33₂ I przeniesienia wtórnego, stanowiącego wyjście 34₂ wtórnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂.

Drugie wejście elementu logicznego 31₂ I podłączone jest do wyjścia elementu logicznego 35₂ lub wytwarzania drugiego sygnału kontrolnego. Jedno wejście elementu logicznego 35₂ LUB podłączone jest do jednego z wejść elementu logicznego 36₂ I przeniesienia oraz do wejścia inwertera 37₂ i stanowi wejście sumy pierwotnej drugiego jednopozycyjnego półsumatora 16₂, podłączone do wyjścia 26₁ sumy pierwotnej pierwszego jednopozycyjnego półsumatora 16₁. Drugie wejście elementu logicznego 35₂ LUB podłączone jest do jednego z wejść elementu logicznego 32₂ I i do wyjścia elementu logicznego 36₂ I, stanowiącego wyjście 38₂ przeniesienia drugiego jednopozycyjnego półsumatora 16₂. Pozostałe wejście elementu logicznego 35₂ LUB podłączone jest do wyjścia 20₂ elementu logicznego 19₂ I, stanowiącego wyjście pierwotnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂.

Jedno z pozostałych wejść elementu logicznego 25₂ podłączone jest do jednego z pozostałych wejść elementu logicznego 23₂ LUB i stanowi pierwsze wejście wtórnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂, podłączone do wyjścia 34₂ wtórnego przeniesienia trzeciego półsumatora 16₃, pozostałe wejście elementu logicznego 25₂ LUB podłączone jest do pozostałego wejścia elementu logicznego 24₂ I, do pozostałego wejścia elementu logicznego 23₂ LUB oraz do wyjścia elementu logicznego 39₂ LUB analizy przeniesienia, którego pierwsze i drugie wejście stanowią odpowiednio drugie wejście pierwotnego przeniesienia i drugie wejście wtórnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂. Wyjście elementu logicznego 24₂ I podłączone jest do pozostałego wejścia elementu logicznego 36₂ I do jednego z wejść elementu logicznego 33₂ I, którego drugie wejście podłączone jest do wyjścia inwertera 37₂.

Wyjście elementu logicznego 25₂ LUB stanowi wyjście 40₂ sumy pośredniej drugiego jednopozycyjnego półsumatora 16₂, a pozostałe wejście elementu logicznego 32₂ I stanowi wejście przeniesienia drugiego jednopozycyjnego półsumatora 16₂,

podłączone do wyjścia 38₂ przeniesienia $(i+1)$ -tego, to znaczy trzeciego, jednopozycyjnego półsumatora 16₃. Wejście 27₂ pierwotnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂ podłączone jest do wyjścia pierwotnego przeniesienia $(i+1)$ -tego, to znaczy trzeciego jednopozycyjnego półsumatora 16₃ i do drugiego wejścia pierwotnego przeniesienia $(i-1)$ -tego, to znaczy pierwszego jednopozycyjnego półsumatora 16₁. Wyjście 34₂ wtórnego przeniesienia $(i+1)$ -tego, to znaczy trzeciego, jednopozycyjnego półsumatora 16₃ podłączone jest do jednego z wejść wtórnego przeniesienia i -tego, tzn. drugiego, jednopozycyjnego półsumatora 16₂ oraz do drugiego wejścia wtórnego przeniesienia $(i-1)$ -tego, to znaczy pierwszego, jednopozycyjnego półsumatora 16₁.

Wyjście 26₂ sumy pierwotnej i -tego (drugiego) jednopozycyjnego półsumatora 16₂ podłączone jest do wejścia sumy pierwotnej $(i+1)$ -tego, to znaczy trzeciego, jednopozycyjnego półsumatora 16₃. Wszystkie wyjścia 38₁—38₄ wszystkich jednopozycyjnych półsumatorów 16₁—16₄ stanowią wielopozycyjne wyjście przeniesienia n -pozycyjnego półsumatora 1 (fig. 1), a wszystkie wyjścia 40₁—40₄ (fig. 2) sumy pośredniej wszystkich jednopozycyjnych półsumatorów 16₁—16₄ tworzą wielopozycyjne wyjście sumy pośredniej n -pozycyjnego półsumatora 1.

Elementy logiczne 18₂ LUB, 22₂ LUB, 25₂ LUB przeznaczone do kształtowania sygnałów sumy pierwotnej i sumy pośredniej jednopozycyjnego półsumatora 16₂. Elementy logiczne 39₂ LUB i 25₂ LUB służą również do kształtowania sygnałów sumy pośredniej, a element logiczny 19₂ jest przeznaczony do kształtowania sygnału pierwotnego przeniesienia. Element logiczny 24₁ I oraz element logiczny 36₂ I są przeznaczone do kształtowania sygnału przeniesienia, a elementy logiczne 24₂ I, 33₂ I oraz inwerter 37₂ są przeznaczone do kształtowania sygnału wtórnego przeniesienia.

Element logiczny 23₂ LUB oraz element logiczny 28₂ I są przeznaczone do kształtowania pierwszego sygnału kontrolnego. Element logiczny 35₂ LUB oraz element logiczny 31₂ są przeznaczone do kształtowania drugiego sygnału kontrolnego, a element logiczny 32₂ — trzeciego sygnału kontrolnego. Element logiczny 29₂ LUB jest przeznaczony do kształtowania kontrolnego sygnału błędu na wyjściu kontrolnym 30₂ jednopozycyjnego półsumatora 16₂. Jednopozycyjne półsumatory 16₁, 16₂ i 16₄ są zrealizowane w układzie, analogicznym do opisanego.

Na fig. 3 przedstawiono schemat ideowy urządzenia 4 przepisywania informacji zawierającego dwie komórki 41₁ i 42₂ przepisywania informacji o jednakowej budowie. Dla przykładu komórka 41₂ przepisywania zawiera element opóźniający 42₂ przeznaczony do opóźniania impulsu o czas τ większy od czasu kształtowania wszystkich sygnałów wyjściowych przez dwa sąsiednie jednopozycyjne półsumatory 16₃ i 16₄ (fig. 2), których wyjścia sumy pośredniej i przeniesienia podłączone są odpowiednio do dwóch jednopozycyjnych wejść 6₃ i 6₄ oraz do dwóch jednopozycyjnych wejść 7₃ i 7₄ komórki 41₂. Wszystkie jednopozy-

cyjne wejścia 6₃, 6₄, 6₂ i 6₁ a także jednopozycyjne wejścia 7₄, 7₃, 7₂ i 7₁ komórek 41₂ i 41₁ stanowią odpowiednio wielopozycyjne wejście 6 sumy pośredniej i wielopozycyjne wejście 7 przeniesienia (fig. 1) układu 4.

Jednopozycyjne wejście 6₄ (fig. 3) sumy pośredniej stanowi jedno z wejść elementu logicznego 43₂ I sumy pośredniej pozycji bardziej znaczącej, jednopozycyjne wejście 6₃ sumy pośredniej stanowi wejście elementu logicznego 44₂ I sumy pośredniej pozycji znaczącej. Wyjścia elementów logicznych 43₂ i 44₂ tworzą dwupozycyjne wyjście sumy pośredniej komórki 41₂ przepisywania. Jednopozycyjne wejścia 7₄ i 7₃ przeniesienia są odpowiednio jednymi z wejść elementu logicznego 45₂ I przeniesienia pozycji bardziej znaczącej i elementu logicznego 46₂ I przeniesienia pozycji mniej znaczącej, których wyjścia tworzą dwupozycyjne wyjścia przeniesienia komórki 41₂ przepisywania informacji.

Drugie wejścia elementów logicznych 43₂, 44₂, 45₂ i 46₂ I podłączone są do wyjścia elementu 42₂ opóźniającego. Wyjście elementu 42₂ opóźniającego podłączone jest do wejścia elementu 42₁ opóźniającego komórki 41₁ przepisywania, a wyjście elementu 42₁ opóźniającego stanowi wyjście sterujące urządzenia 4 przepisywania informacji. Wszystkie dwupozycyjne wyjścia sumy pośredniej oraz dwupozycyjne wyjścia przeniesienia komórek 41₁ i 41₂ przepisywania tworzą odpowiednio wielopozycyjne wyjścia sumy pośredniej i przeniesienia urządzenia 4 przeznaczonego do sekwencyjnego przepisywania informacji z n-pozycyjnego półsumatora 1 (fig. 1) do urządzenia 8 przekształcania kodów, poczynając od pozycji bardziej znaczącej, i w miarę kształtowania sygnałów sumy pośredniej i przeniesienia na wyjściach 40₁—40₄ i 38₁—38₄ jednopozycyjnych półsumatorów 16₁—16₄.

Na fig. 4 przedstawiono schemat ideowy układu 8 przekształcania kodów Fibonacciego przeznaczonego do przekształcania kombinacji kodowych sumy pośredniej i przeniesienia w minimalną postać kodu Fibonacciego sumy końcowej. Urządzenie 8 zawiera (n+1), tzn. pięć, komórek 47₁—47₅ przekształcania, mających jednakową budowę i przeznaczonych do realizacji operacji spłotu w odpowiednich pozycjach kombinacji kodowych.

Wejścia informacyjne 9₁—9₄ komórek 47₁—47₄ tworzą wielopozycyjne wejście 9 (fig. 1) sumy pośredniej urządzenia 8, natomiast wejścia informacyjne 10₁—10₄ (fig. 4) tychże komórek 47₁—47₄ tworzą wielopozycyjne wejście 10 (fig. 1) przeniesienia układu 8. Wejścia informacyjne 9₅ i 10₅ (fig. 4) piątej komórki 47₅ podłączone są do łącza zerowego, sama zaś piąta komórka 47₅ jest przeznaczona do przechowywania i przekształcania kodu w tym przypadku, gdy liczba pozycji kodu sumy końcowej przewyższa liczbę pozycji kodów składników wejściowych.

Wyjścia kontrolne 48₁—48₅ wszystkich komórek 47₁—47₅ podłączone są do wejść elementu logicznego 49 LUB kontroli układu 8, na którego wyjściu kształtuje się sygnał błędu, świadczący o nieprawidłowym działaniu komórek 47₁—47₅. Pierwsze wyjście 50₁—50₅ sprzężenia każdej z ko-

mórek 47₁—47₅ podłączone jest do jednego z wejść elementu logicznego 51 LUB analizy procesu nieustalonego przeznaczonego do kształtowania sygnału procesu nieustalonego w urządzeniu 8. Wyjście elementu logicznego 51 LUB podłączone jest do wejścia inwentera 52 oraz do wejścia filtru elektrycznego 53, którego stała czasowa jest większa od maksymalnego czasu trwania procesu nieustalonego zachodzącego w urządzeniu 8 podczas przekształcania kodów. Wyjście filtru 53 podłączone jest do pozostałego wejścia elementu logicznego 49 LUB.

Wyjście inwentera 52 podłączone jest do jednego z wejść elementu logicznego 54 I zakończenia sumowania, którego wyjście stanowi wyjście 14 sygnału zakończenia sumowania sumatora. Drugie wejście elementu logicznego 54 I podłączone jest do wyjścia jedynkowego przerzutnika 55 zakończenia operacji i przepisywania informacji, którego wejście jedynkowe stanowi wejście sterujące 11 urządzenia 8 przekształcania. Każda z komórek przekształcania, np. komórka 47₂, zawiera przerzutnik 56₂ sumy pośredniej oraz przerzutnik 57₂ przeniesienia, których wejścia jedynkowe stanowią odpowiednio wejścia informacyjne 9₂ i 10₂ komórki 47₂ przekształcania.

Wejście zerowe 58₂ przerzutnika 56₂ podłączone jest do wyjścia elementu logicznego 59₂ I analizy, przeznaczonego do analizowania stanu przerzutnika 57₂. Jedno wejście 60₂ elementu logicznego 59₂ podłączone jest do zerowego wyjścia przerzutnika 57₂, a jego drugie wyjście 61₂ podłączone do wejścia zerowego przerzutnika 57₂ oraz do wyjścia elementu logicznego 62₂ LUB przeznaczonego do kształtowania sygnału kasowania ustawiającego przerzutnik 57₂ w stan zerowy. Jedno wejście logicznego elementu 62₂ LUB podłączone jest do elementu wyjścia logicznego 63₂ I spłotu przeznaczonego do kształtowania sygnału spłotu pozycji w kombinacji kodowej. Wyjście elementu logicznego 63₂ stanowi pierwsze wyjście 50₂ sprzężenia komórki 47₂ przekształcania. Pierwsze wejście elementu logicznego 63₂ I stanowi pierwsze wejście sprzężenia komórki 47₂, podłączone do jednopozycyjnego wyjścia 13₁ sumy pierwszej komórki 47₁ przekształcania. Drugie wejście elementu logicznego 63₂ stanowi drugie wejście 64₂ sprzężenia komórki 47₂, podłączone do drugiego wyjścia sprzężenia komórki 47₂.

Pozostałe wejście elementu logicznego 63₂ I podłączone jest do wyjścia jedynkowego przerzutnika 56₂, stanowiącego jednopozycyjne wyjście 13₂ sumy drugiej komórki 47₂. Zerowe wyjście przerzutnika 56₂ jest drugim wyjściem sprzężenia drugiej komórki 47₂ i jest podłączone do jednego z wejść elementu logicznego 65₂ I kontroli komórki 47₂. Wyjście elementu logicznego 65₂ I jest kontrolnym wyjściem 48₂ drugiej komórki 47₂, a pozostałe zaś wejście podłączone jest do wyjścia jedynkowego przerzutnika 57₂. Pierwsze wyjście 50₃ sprzężenia (i+1)—tej, tzn. trzeciej, komórki 47₃ podłączone jest do trzeciego wejścia sprzężenia (i+2)—tej, tzn. czwartej, komórki 47₄, stanowiącego wejście liczące przerzutnika 56₄, oraz do czwartego wejścia sprzężenia i—tej, tj. dru-

giej, komórki 47₂, stanowiącego pozostałe wejście elementu logicznego 62₂ LUB.

Pierwsze wyjście 50₂ sprzężenia piątej komórki 47₂ podłączone jest do wejścia jedynkowego przerzutnika 66, przeznaczonego również do przechowywania informacji w przypadku, gdy liczba pozycji kodu sumy końcowej przewyższa liczbę pozycji kodów składników wejściowych. Jednopozycyjne wyjścia 13₁—13₅ komórek 47₁—47₅ oraz jedynkowe wyjście 13₆ przerzutnika 66 stanowią wielopozycyjne wyjście informacyjne 13 (fig. 1) sumatora, z którego odczytuje się kombinację kodową sumy końcowej.

Wyjście elementu logicznego 49 LUB (fig. 4) podłączone jest do jednego z wejść elementu logicznego 67 LUB kontroli sumatora, którego drugie wejście jest kontrolnym wejściem 12 urządzenia 8 przekształcania kodów Fibonacciego. Wyjście elementu logicznego 67 LUB jest kontrolnym wyjściem 15 sumatora.

Sumator kodów działa następująco. Kombinacje kodowe liczb przedstawionych minimalnej postaci kodów Fibonacciego są doprowadzane do wielopozycyjnych wejść 2 i 3 n-pozycyjnego półsumatora 1, w którym następuje proces kształtowania kombinacji kodowych sumy pośredniej i przeniesienia, poczynając od pozycji bardziej znaczących do mniej znaczących kodu Fibonacciego, przy czym kombinacje kodowe sumy pośredniej i przeniesienia będą miały postać różniącą się od minimalnej.

Jednocześnie z doprowadzeniem do wielopozycyjnych wejść 2 i 3 sygnałów składników, do wejścia sterującego 5 podawany jest sygnał przepisywania informacji, po odebraniu którego układ 4 przepisywania realizuje przesyłanie informacji z n-pozycyjnego półsumatora 1 do urządzenia 8 przekształcania kodów Fibonacciego. Proces przepisywania informacji w urządzeniu 4 następuje sekwencyjnie w czasie poczynając od jednopozycyjnych półsumatorów 16₁ i 16₂ (fig. 2), przyporządkowanych bardziej znaczącym pozycjom kodu Fibonacciego. W miarę doprowadzenia kombinacji kodowych sumy pośredniej i przeniesienia do urządzenia 8 przekształcania urządzenie 8 realizuje operację przekształcania kombinacji kodowych w minimalną postać kodu Fibonacciego, przedstawiającego sobą sumę końcową.

Po zakończeniu procesu przepisywania informacji na wyjściu sterującym układ 4 kształtuje się sygnał świadczący o zakończeniu procesu przepisywania, doprowadzany następnie do wejścia sterującego 11 układu 8, zapamiętywany przez przerzutnik 55 (fig. 4) układu 8. Po nadejściu sygnału zakończenia przepisywania oraz po zakończeniu procesu przekształcania na wyjściu 14 urządzenia 8 kształtuje się sygnał zakończenia sumowania. W przypadku zakłóceń w działaniu n-pozycyjnego półsumatora 1 (fig. 1) i urządzenia 8, na kontrolnym wyjściu 15 sumatora kształtuje się sygnał jedynkowy świadczący o nieprawidłowym działaniu sumatora.

Proces kształtowania kombinacji kodowych sumy pośredniej i przeniesienia realizowany jest w n-pozycyjnym półsumatorze 1 (np. dla $n=4$) w

sposób następujący. Przy doprowadzeniu do wielopozycyjnych wejść 2 i 3 kombinacji kodowych pierwszego składnika (np. 1010) i drugiego składnika (np. 1010) rozpoczyna się etap kształtowania pierwszej sumy pierwszego przeniesienia w jednopozycyjnych półsumatorach 16₁—16₄ (fig. 2) [pamiętajmy, że odczytywanie pozycji odbywa się z prawa na lewo]. Dla przykładu w jednopozycyjnym półsumatorze 16₂ przy doprowadzeniu sygnałów jedynkowych do jednopozycyjnych wejść 2₂ i 3₂, na wyjściu elementu logicznego 18₂ LUB oraz na wyjściu elementu logicznego 19₂ I pojawiają się sygnały jedynkowe. Sygnał jedynkowy z wyjścia elementu logicznego 18₂ LUB przechodzi przez elementy logiczne 22₂ i 25₂ LUB do wyjścia 40₂ sumy pośredniej oraz do wyjścia 26₂ pierwszej sumy jednopozycyjnego półsumatora 16₂, a wyjścia 26₂ ten sam sygnał doprowadzania się do wejścia sumy pierwotnej trzeciego jednopozycyjnego półsumatora 16₃. Obecny na wyjściu 26₂ sygnał stanowi sygnał sumy pierwotnej dla drugiego jednopozycyjnego półsumatora 16₂.

Sygnał jedynkowy z wyjścia elementu logicznego 19₂ I, stanowiący sygnał przeniesienia, doprowadza się do wejścia 27₁ przeniesienia pierwotnego pierwszego jednopozycyjnego półsumatora 16₁, gdzie przez swój element logiczny LUB sumy pierwotnej (nie uwidocznił na fig. 2), analogiczny do elementu 22₂ LUB, przechodzi do wyjścia 26₁ i dalej do wejścia sumy pierwotnej drugiego jednopozycyjnego półsumatora 16₂. Przez element logiczny LUB wytwarzania pierwszego sygnału kontrolnego (nie uwidocznił na fig. 2), analogiczny do elementu logicznego 25₂, ten sygnał jedynkowy przechodzi do wyjścia 40₁ sumy pośredniej. Procesy tworzenia sygnałów sumy pośredniej w jednopozycyjnych półsumatorach 16₁, 16₂ i 16₄ przebiegają analogicznie do wyżej opisanego. W rezultacie na wyjściach 40₁, 40₂, 40₃ i 40₄ pojawiają się sygnały reprezentujące kombinacje kodową 1111. Proces kształtowania kombinacji kodowej przeniesienia przebiega następująco. Pamiętajmy przy tym, że wejściowa kombinacja kodowa ma postać 1010.

W czwartym jednopozycyjnym półsumatorze 16₄ z wyjścia elementu logicznego I, analizy składników, który jest podobny do elementu logicznego 19₂, sygnał jedynkowy, tzn. sygnał pierwotnego przeniesienia doprowadza się do jednego wejścia 27₃ pierwotnego przeniesienia trzeciego jednopozycyjnego półsumatora 16₃ i do drugiego wejścia pierwotnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂, tzn. do wejścia elementu logicznego 39₂ LUB. Sygnał jedynkowy po przejściu przez element logiczny 39₂ LUB powoduje pojawienie się sygnału jedynkowego na wyjściu elementu logicznego 24₂ I, który, z kolei, powoduje pojawienie się sygnału jedynkowego na wyjściu elementu logicznego 36₂ I, a więc i na wyjściu 38₂ przeniesienia drugiego jednopozycyjnego półsumatora 16₄. Proces kształtowania sygnałów przeniesienia nie zachodzi w czwartym, trzecim i pierwszym jednopozycyjnym półsumatorze 16₄, 16₃ i 16₁, ponieważ w drugich wejściach pierwotnego przeniesienia tych jednopozycyjnych

półsumatorów występują sygnały zerowe. Z tego powodu na wyjściach 38₁, 38₂, 38₃ i 38₄ przeniesienia zapisana będzie kombinacja kodowa przeniesienia 0010.

Rozpatrzmy drugi przykład sumowania kodów Fibonacciego składników 1010 i 1000. Procesy kształtowania sygnałów sumy pośredniej i przeniesienia w czwartym jednopozycyjnym półsumatorze 16₄, w trzecim 16₃ i w pierwszym 16₁ przebiegają podobnie jak w przypadku, opisanym powyżej.

W drugim jednopozycyjnym półsumatorze 16₂ sygnał jedynkowy na jednym z wejść elementu logicznego 18₂ LUB powoduje kształtowanie sygnału jedynkowego na wyjściu 40₂ sumy pośredniej. Ze względu na to, że jeden z sygnałów wejściowych jest sygnałem zerowym, na wyjściu elementu logicznego 19₂ I, to znaczy na wyjściu pierwotnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂ i na wejściu 27₁ pierwotnego przeniesienia pierwszego jednopozycyjnego półsumatora 16₁ pojawia się sygnał zerowy. Ponieważ na wejściach 2₁ i 3₁ obecne są sygnały zerowe, to na wyjściu 26₁ sumy pierwotnej pierwszego jednopozycyjnego półsumatora 16₁ obecny będzie sygnał zerowy, który po przejściu przez inwerter 37₂ drugiego jednopozycyjnego półsumatora 16₂ doprowadza do wytworzenia sygnału jedynkowego na jednym z wejść elementu logicznego 33₂ I.

Do jednego wejścia 27₃ pierwotnego przeniesienia trzeciego jednopozycyjnego półsumatora 16₃ i do drugiego wejścia pierwotnego przeniesienia drugiego jednopozycyjnego półsumatora 16₂ z czwartego jednopozycyjnego półsumatora 16₄ doprowadza się sygnał jedynkowy z wyjścia elementu logicznego I analizy składników, podobnego do elementu logicznego 19₂ I, na skutek czego na wyjściu elementu logicznego 39₂ LUB pojawia się sygnał jedynkowy powodujący pojawienie się sygnału jedynkowego na wyjściu elementu logicznego 24₂ I, a w następstwie — na wyjściu elementu logicznego 33₂ I, stanowiącym wyjście 34₂ przeniesienia wtórnego drugiego jednopozycyjnego półsumatora 16₂ podłączonym do jednego z wyjść elementu logicznego LUB sumy pośredniej, podobnego do elementu 25₂ LUB.

W rezultacie sygnał jedynkowy z wyjścia 34₂ przechodzi do wyjścia 40₁ sumy pośredniej. Skutkiem tego w wielopozycyjnych wyjściach przeniesienia i sumy pośredniej n-pozycyjnego półsumatora 1 zostaną zapisane kombinacje kodowe 0000 i 1111 przeniesienia i sumy pośredniej odpowiednio.

Rozpatrzmy proces kontroli działania n-pozycyjnego półsumatora na przykładzie sumowania następujących dwóch kodów Fibonacciego: 0100 i 0100. Proces zachodzący w tym przypadku, jest podobny do wyżej opisanego. Sygnał jedynkowy obecny na wejściu 27₂ pierwotnego przeniesienia, przechodzi do jednego z wejść elementu logicznego 28₂ I. Jeśli omyłkowo w jednym z wejść 2₂ lub 3₂ pojawi się sygnał jedynkowy, to przechodzi on także do jednego z wejść elementu logicznego 28₂ I. W wyniku czego sygnał jedynkowy

z wyjścia elementu logicznego 28₂ I przechodzi do wyjścia elementu logicznego 29₂ LUB kontroli, stanowiąc sygnał błędu. W tym przypadku, gdy omyłkowo pojawia się sygnał jedynkowy na wyjściu 34₄ wtórnego przeniesienia czwartego jednopozycyjnego półsumatora 16₄ albo na jego wyjściu pierwotnego przeniesienia, podłączonym do wejścia 27₃ oraz do elementu logicznego 39₂, na wyjściu elementu logicznego 39₂ pojawia się sygnał jedynkowy, który po przejściu przez elementy logiczne 23₂ LUB, 28₂ I i 29₂ LUB doprowadza się do pojawienia się sygnału jedynkowego, to znaczy sygnału błędu, na wyjściu kontrolnym 30₂.

Jeżeli omyłkowo sygnał jedynkowy pojawi się na wyjściu 34₃ wtórnego przeniesienia trzeciego jednopozycyjnego półsumatora 16₃, to po przejściu przez element logiczny 23₂ LUB, element logiczny 28₂ LUB oraz element logiczny 29₂ LUB, doprowadza on do pojawienia się sygnału jedynkowego tzn. sygnału błędu, na wyjściu kontrolnym 32₂.

Należy zwrócić uwagę, że obecność inwertera 37₂ oraz istnienie połączenia między wyjściem elementu logicznego 19₂ I i wyjściem 26₁ sumy pierwotnej poprzez element logiczny LUB sumy pierwotnej pierwszego jednopozycyjnego półsumatora 16₁, analogiczny do elementu logicznego 24₂, wyklucza możliwość jednoczesnego pojawiania się sygnałów jedynkowych na wyjściu 34₂ wtórnego przeniesienia i przynajmniej na jednym z wejść elementu logicznego 35₂ LUB. A gdyby z powodu niesprawności układu, sygnały jedynkowe pojawiły się jednocześnie, na wyjściu 34₂ oraz co najmniej na jednym z wejść elementu logicznego 35₂ LUB, to w tym przypadku sygnał jedynkowy przechodzi przez element logiczny 31₂ I i 29₂ LUB do kontrolnego wyjścia 30₂.

Należy zwrócić również uwagę, że przy prawidłowym działaniu n-pozycyjnego półsumatora 1 podczas sumowania kodów Fibonacciego, przedstawionych w postaci minimalnej, niemożliwe jest jednoczesne pojawienie się sygnałów jedynkowych, np. w wyjściach 38₂ i 38₃ drugiego i trzeciego jednopozycyjnego półsumatora 16₂ i 16₃. Jeżeli na skutek usterek w działaniu układu wspomniane sygnały jedynkowe pojawiają się jednocześnie, wówczas na wyjściu elementu logicznego 32₂ I powstaje sygnał jedynkowy, który przechodząc przez element logiczny 29₂ LUB dostaje się do kontrolnego wyjścia 30₂ w postaci sygnału błędu, a pojawienie się sygnału błędu chociażby na jednym z wyjść kontrolnych 30₁—30₄ powoduje pojawienie się sygnału jedynkowego na wyjściu elementu logicznego 17 LUB, stanowiącym wyjście kontrolne n-pozycyjnego półsumatora 1.

Urządzenie 8 przepisywania informacji działa następująco. Kombinacje kodowe sumy pośredniej i przeniesienia z wyjść n-pozycyjnego półsumatora 1 (fig. 1) są doprowadzone do wielopozycyjnych wejść 6 i 7 układu 4. Rozpatrzmy przypadek przepisywania kombinacji kodowych przeniesienia 0010 i sumy pośredniej 1111, otrzymanych w pierwszym przykładzie. Sygnał przepisywania doprowadzony jest do wejścia sterującego 5 jed-

nocześnie z doprowadzeniem kombinacji kodowych składników do wielopozycyjnych wejść 2 i 3.

Na wyjściu elementu 42₂ (fig. 3) opóźniającego, a więc na wejściach elementów logicznych 43, 44, 45₂ i 46₂ pojawia się sygnał sterujący po upływie czasu opóźniania τ , który to czas opóźniania τ jest większy od czasu potrzebnego do uzyskania wartości dwóch pozycji bardziej znaczących w czwartym 16₄ (fig. 2) i trzecim 16₃ jednopozycyjnym półsumatorze. Po zakończeniu procesu kształtowania sygnałów 00 i 11 pozycji bardziej znaczących sumy pośredniej i przeniesienia sygnały te są doprowadzane do jednopozycyjnych wejść 6₄ i 6₃ (fig. 3) i 7₄, 7₃ komórki 41₂ przepisywania, a następnie do wejść elementów logicznych 43₂, 44₂, 45₂ i 46₂ I.

Do drugich wejść elementów logicznych 43₂—45₂ I po upływie czasu τ doprowadzony zostaje sygnał jedynkowy z wyjścia elementu 42₂ opóźniającego, wskutek czego następuje dokładne odtworzenie informacji wejściowej na wyjściach elementów logicznych 43₂—46₂ I. Ten sam sygnał jedynkowy z wyjścia elementu 42₂ opóźniającego wyzwała element 42₁ opóźniający, na którego wyjściu po upływie czasu τ pojawia się również sygnał jedynkowy i następuje przepisywanie sygnałów przeniesienia 10 i sumy pośredniej 11 pozycji mniej znaczących. W ten sposób informacja na wyjściach komórek 41₂ i 41₁ ukazuje się z przesunięciem o czas opóźniania τ .

Sygnał jedynkowy przekazywany z wyjścia elementu 42₁ opóźniającego po upływie czasu τ od momentu pojawienia się sygnału na wejściu sterującym 5 pojawia się na wyjściu sterującym urządzenia 4, a więc na wyjściu 11 sterującym (fig. 1) urządzenia 8. Po doprowadzeniu sygnałów przeniesienia 00 i sumy pośredniej 11 wejść 9₄, 9₃, 10₄ i 10₃ komórek 47₄ (fig. 4) i 47₃ przekształcania urządzenia 8, w wymienionych komórkach rozpoczyna się proces przekształcania kombinacji kodowych w postać minimalną kodów Fibonacciego.

Proces przekształcania polega na realizacji operacji i splotu bardziej znaczących pozycji trzeciej i czwartej kombinacji kodowej sumy pośredniej do pozycji piątej: 011, której odpowiada piąta

↑ | |

komórka 47₅. Znak ↑ | | oznacza operację splotu. Po doprowadzeniu sygnału jedynkowego do wejść jedynkowych przerzutników 56₄ i 56₃ na ich wyjściach jedynkowych kształtują się sygnały jedynkowe, które po przejściu przez elementy logiczne 63₄ LUB i 62₄ I komórki 47₄ i elementy logiczne 63₃ i 62₃ komórki 47₃ są doprowadzane do wejść 61₄ i 61₃ elementów logicznych I 59₄ i 59₃, na których drugich wejściach 60₄ i 60₃ obecny jest sygnał jedynkowy, doprowadzony z wejść zerowych przerzutników 57₄ i 57₃, w wyniku czego na wyjściach elementów logicznych 59₄ i 59₃ kształtują się sygnały jedynkowe, które po doprowadzeniu ich do wejść zerowych 58₄ i 58₃ przerzutników 56₄ i 56₃, ustawiają te przerzutniki w stan zerowy.

Impuls jedynkowy z wyjścia elementu logicznego 63₄ I, doprowadzony do wejścia liczącego prze-

rzutnika 56₅ piątej komórki 47₅, jest zapamiętywany tym przerzutnikiem, a po przejściu przez element logiczny 51 LUB, zostaje przekształcony przez inwenter 52 w sygnał zerowy, zabraniający wytworzenie sygnału jedynkowego na wyjściu elementu logicznego 54 I, tzn. na wyjściu 14 sygnału zakończenia sumowania. Po zakończeniu procesu splotu dwóch bardziej znaczących pozycji 11 kombinacji kodowej sumy pośredniej w przerzutnikach 66, 56₅, 56₄ i 56₃ zapisane zostaną odpowiednio wartości 0100, doprowadzone do jednopozycyjnych wejść 13₆, 13₅, 13₄ i 13₃ sumy.

Po upływie czasu τ opóźniania od momentu doprowadzenia sygnałów sumy pośredniej i przeniesienia do wejść 9₄, 9₃, 10₄ i 10₃, do wejść 9₂ i 9₁ doprowadzane są sygnały pozostałych dwóch pozycji kodu sumy pośredniej: 11, a do wejść 10₂, 10₁ — sygnały pozostałych dwóch pozycji kodu przeniesienia: 10. Jednocześnie z wyjścia urządzenia 8 (fig. 1) do wejścia sterującego 11 urządzenia 8 doprowadzany jest sygnał jedynkowy zakończenia przepisywania, który przerzuca przerzutnik 55 (fig. 4) w stan jedynkowy, powodując pojawienie się na jednym z wejść elementu logicznego 54 I sygnału jedynkowego. Po nadejściu sygnałów sumy pośredniej i przeniesienia, przerzutniki 56₂, 57₂ i 56₁ przechodzą w stan jedynkowy, przerzutnik 57₁ pozostaje w stanie zerowym.

Na wejściu 60₂ elementu logicznego 59₂ I obecny jest zerowy sygnał z wyjścia zerowego przerzutnika 57₂, zabraniający pojawienie się sygnału jedynkowego na wyjściu elementu logicznego 59₂ I. Ponieważ przerzutnik 56₃ znajduje się w stanie zerowym, na jego wyjściu zerowym, a więc i na wejściu 64₂ i na odpowiednim wejściu elementu logicznego 63₂ I obecny jest sygnał jedynkowy. Ponieważ z wyjść jedynkowych przerzutników 56₂ i 56₁ doprowadzane są sygnały jedynkowe do pozostałych wejść elementu logicznego 63₂ I na wyjściu tego elementu 63₂ I pojawia się również sygnał jedynkowy, który przechodząc przez element logiczny 62₂ LUB do zerowego wejścia przerzutnika 57₂ przerzuca ten przerzutnik w stan zerowy. Sygnał jedynkowy z wyjścia elementu logicznego 63₂ doprowadza się również do wejścia elementu logicznego 62₁ komórki 47₁, a z jego wyjścia — do wejścia elementu logicznego 59₁ I, na którego drugim wejściu jest również obecny sygnał jedynkowy z wyjścia zerowego przerzutnika 57₁.

W wyniku na wyjściu elementu logicznego 59₁ I pojawia się sygnał jedynkowy, który dostając się do wejścia zerowego przerzutnika 56₁, przerzuca go w stan zerowy. Poza tym sygnał jedynkowy z pierwszego wyjścia 50₂ sprzężenia drugiej komórki 47₂ zostaje doprowadzony również do liczącego wejścia przerzutnika 56₃ trzeciej komórki 47₃ i przestawia przerzutnik 56₃ w stan jedynkowy. Ten sam sygnał jedynkowy z pierwszego wyjścia 50₂ sprzężenia doprowadza się do jednego z wejść elementu logicznego 51 LUB oraz do inwertera 52, wywołując pojawienie się sygnału zerowego na jego wyjściu. Ten sygnał zerowy zostaje doprowadzony do elementu logicznego 54 I, dzięki

czemu na wyjściu 14 nie pojawi się sygnał zakończenia sumowania. Na tym etapie w przerzutnikach 66, 56₅—56₁ zapisana jest kombinacja kodowa 010110, w przerzutnikach 57₅—57₁ — zapisana jest zerowa kombinacja kodowa 00000, wskutek czego na wejściach 60₁—60₅ elementów logicznych 59₁—59₅ I pojawia się sygnał jedynkowy. Postać kombinacji kodowej 011, zapisanej

↑ ↓ ↓
w przerzutnikach 56₄, 56₃ i 56₂ komórek 47₄, 47₃ i 47₂ różni się od minimalnej postaci kodu Fibonacciego. Spełniony jest więc warunek realizacji spłotu tych pozycji. Proces przebiega podobnie do wyżej opisanego i w wyniku w przerzutnikach 66, 56₅—56₁ zapisana zostanie kombinacja kodowa 011000. Ponownie spełniony zostaje warunek realizacji spłotu piątej i czwartej pozycji do pozycji szóstej, której przyporządkowany jest przerzutnik 66 z wejściem jedynkowym, podłączonym do pierwszego wyjścia 50₅ sprzężenia piątej komórki 47₅. Proces spłotu przebiega w sposób wyżej opisany i w wyniku kombinacja kodowa przybiera postać 10000, co odpowiada postaci minimalnej kodu Fibonacciego sumy końcowej. Z reguły, w procesie spłotu przynajmniej na jednym z pierwszych wyjść 50₁, 50₂, 50₃, 50₄ i 50₅ sprzężenia obecny jest sygnał jedynkowy, doprowadzany do wejścia inwertera 52 przez element logiczny 51 LUB. Dlatego na wyjściu logicznego elementu 54 I, podłączonym do wyjścia inwertera 52, zawsze w procesie spłotu występuje sygnał zerowy, zabraniający pojawiania się sygnału jedynkowego w wyjściu 14 zakończenia sumowania.

Po zakończeniu procesu przekształcania, tzn. po przeprowadzeniu wszystkich spłotów na wszystkich pierwszych wyjściach 50₁—50₅ sprzężenia pojawiają się sygnały zerowe, w następstwie czego w wyjściu 14 pojawia się sygnał zakończenia sumowania, zezwalający na odczytywanie informacji z wielopozycyjnego wyjścia informacyjnego 13 (fig. 1).

Kontrola pracy urządzenia przebiega następująco. Jednym z warunków właściwej pracy opisanego sumatora jest warunek koniecznej obecności sygnału zerowego przeniesienia w przypadku występowania sygnału zerowego sumy pośredniej w tej samej pozycji. Niedotrzymanie tych warunków powoduje, że na wejściach elementów logicznych 65₁—65₅ I (fig. 4), podłączonych do zerowych wyjść przerzutników 56₁—56₅ oraz do zerowych wyjść przerzutników 57₁—57₅, pojawiają się sygnały jedynkowe, co prowadzi do pojawiania się sygnałów jedynkowych na kontrolnych wyjściach 48₁—48₅ komórek 47₁—47₅. Sygnał ten doprowadza się do wyjścia kontrolnego 15 przez elementy logiczne 49 i 67 LUB, co świadczy o nieprawidłowym działaniu sumatora.

Przewidziano również w urządzeniu 8 możliwość kontroli procesu spłotu. W przypadku, gdy choćby na jednym z pierwszych wyjść 50₁—50₅ sprzężenia obecny jest stały sygnał, którego czas trwania jest większy od czasu maksymalnego, niezbędnego dla przeprowadzenia wszystkich spłotów, to przejdzie on przez element logiczny 51

LUB do wejścia elektrycznego filtru 53 i po upływie czasu, wyznaczonego stałą czasową filtru 53 — ukaże się na jego wyjściu, a więc i na kontrolnym wyjściu 15 sumatora.

Wynalazek niniejszy pozwala zwiększyć szybkość działania sumatora poprzez wyeliminowanie dużej liczby mikrocykli sumowania i poprzez sprowadzenie całego procesu sumowania do wykonania jedynie dwóch operacji: operacji kształtowania sumy pośredniej i przeniesienia oraz operacji przekształcania wszystkich kombinacji kodowych sumy pośredniej i przeniesienia w kombinację kodową sumy końcowej, przedstawionej w postaci minimalnej kodu Fibonacciego. Szybkość działania sumatora zwiększa się również z powodu równoległego przeprowadzania operacji kształtowania sumy pośredniej i przeniesienia oraz operacji przekształcania kodów Fibonacciego, dzięki zastosowaniu urządzenia 8 przepisywania informacji.

Przedstawiony sumator ma większą zdolność samokontrolowania się z powodu zwiększenia kontrolnych relacji w każdym jednopozycyjnym półsumatorze 1, a także dzięki kontroli procesu zapisywania informacji do urządzenia 8 przekształcania oraz zachodzącego w nim procesu spłotu pozycji dwojakowych. Szybkość działania sumatora zwiększa się również z powodu ustalenia momentu zakończenia sumowania, dzięki czemu zmniejsza się średni czas, niezbędny dla sumowania pozycji kombinacji kodowych.

Zastrzeżenia patentowe

1. Sumator kodów Fibonacciego zawierający n-pozycyjny półsumator, przynajmniej z dwoma wielopozycyjnymi wejściami do wprowadzania składników, przedstawionych w minimalnej postaci kodów Fibonacciego, **znamienny tym**, że wielopozycyjne wyjście sumy pośredniej oraz wyjście przeniesienia n-pozycyjnego półsumatora (1) podłączone są odpowiednio do wielopozycyjnego wejścia (6) sumy pośredniej i wejścia (7) przeniesienia urządzenia (4) przepisywania informacji, wielopozycyjne wyjście sumy pośredniej i wyjście przeniesienia urządzenia (4) przepisywania informacji i jego wyjście sterujące są podłączone odpowiednio do wielopozycyjnego wejścia (9) sumy pośredniej, wielopozycyjnego wejścia (10) przeniesienia i wejścia sterującego (11) urządzenia (8) przekształcania kodów Fibonacciego a wyjście kontrolne n-pozycyjnego półsumatora (1) podłączone jest do wejścia kontrolnego (12) urządzenia (4) przekształcania kodów Fibonacciego, gdzie n — liczba pozycji kodu.

2. Sumator według zastrz. 1, **znamienny tym**, że n-pozycyjny półsumator (1) zawiera n jednakowych jednopozycyjnych półsumatorów (16₁—16_n), w których wyjście kontrolne (30) każdego z nich podłączone jest do jednego z wejść logicznego elementu (17) LUB n-pozycyjnego półsumatora (1), a wyjście przeniesienia pierwotnego i tego jednopozycyjnego półsumatora (16_i) podłączone jest do jednego z wejść (27₁—1) przeniesienia pierwotnego

($i-1$)—tego jednopozycyjnego półsumatora (16_{i-1}), i do drugiego wejścia pierwotnego przeniesienia ($i-2$)—tego jednopozycyjnego półsumatora (16_{i-2}), wyjście (34_i) wtórnego przeniesienia i—tego jednopozycyjnego półsumatora (16_i) podłączone do jednego z wejść wtórnego przeniesienia ($i-1$)—tego jednopozycyjnego półsumatora (16_{i-1}) i do drugiego wejścia wtórnego przeniesienia ($i-2$)—tego jednopozycyjnego półsumatora (16_{i-2}), wyjście (38_i) przeniesienia i wyjście (26_i) sumy pierwotnej i—tego jednopozycyjnego półsumatora (16_i) odpowiednio są podłączone do wejścia przeniesienia ($i-1$)—tego jednopozycyjnego półsumatora (16_{i-1}) oraz do wejścia sumy pierwotnej ($i+1$)—tego jednopozycyjnego półsumatora (16_{i+1}), gdzie $i=1, 2, \dots, n$; n — liczba pozycji kodu Fibonacciego.

3. Sumator, według zastrz. 2, **znamienny tym**, że i -ty jednopozycyjny półsumator (16_i) zawiera logiczne elementy LUB, logiczne elementy I oraz inwerter (37_i), przy czym pierwsze i drugie wejście logicznego elementu (18_i) LUB analizy składników podłączone są odpowiednio do pierwszego i drugiego wejścia logicznego elementu (19_i) I analizy składników, a wyjście (21_i) logicznego elementu (18_i) I analizy składników podłączone jest do jednego z wyjść logicznego elementu (22_i) LUB sumy pierwotnej, logicznego elementu (23_i) LUB wytwarzania pierwszego sygnału kontrolnego oraz logicznego elementu (24_i) I analizy przeniesienia, wyjście logicznego elementu (22_i) LUB sumy pierwotnej podłączone jest do jednego z wejść logicznego elementu (25_i) LUB sumy pośredniej i stanowi wyjście (26_i) sumy pierwotnej i—tego jednopozycyjnego półsumatora (16_i), drugie wejście elementu logicznego (22_i) LUB sumy pierwotnej, stanowiące jedno z wejść (27_i) przeniesienia pierwotnego i—tego jednopozycyjnego półsumatora (16_i), podłączone jest do jednego z wejść logicznego elementu (28_i) I wytwarzania pierwszego sygnału kontrolnego, którego drugie wejście podłączone jest do wyjścia logicznego elementu (23_i) LUB wytwarzania pierwszego sygnału kontrolnego, a wyjście — podłączone do jednego z wejść elementu logicznego (29_i) LUB kontroli, którego wyjście stanowi wyjście kontrolne (30_i) i—tego jednopozycyjnego półsumatora (16_i), a pozostałe dwa wejścia podłączone są odpowiednio do wyjścia elementu logicznego (31_i) I wytwarzania drugiego sygnału kontrolnego oraz do wyjścia logicznego elementu (32_i) I wytwarzania trzeciego sygnału kontrolnego, jedno wejście logicznego elementu (31_i) I wytwarzania drugiego sygnału kontrolnego jest podłączone do wyjścia elementu logicznego (33_i) I wtórnego przeniesienia, stanowiącego wyjście (34_i) przeniesienia wtórnego i—tego jednopozycyjnego półsumatora (16_i), drugie wejście elementu logicznego (31_i) I wytwarzania drugiego sygnału kontrolnego podłączone jest do wyjścia elementu logicznego (35_i) LUB wytwarzania drugiego sygnału kontrolnego, jedno z wejść którego podłączone jest do jednego z wejść elementu logicznego (36_i) LUB przeniesienia, do wejścia inwertera (37_i) i stanowi wejście sumy pierwotnej i—tego jednopozycyjnego półsumatora (16_i), a drugie wejście podłączone jest do jednego z

wejść elementu logicznego (32_i) I wytwarzania trzeciego sygnału kontrolnego oraz do wyjścia elementu logicznego (36_i) I przeniesienia, stanowiącego wyjście (38_i) przeniesienia i—tego jednopozycyjnego półsumatora (16_i), pozostałe wejście elementu logicznego (35_i) LUB wytwarzania drugiego sygnału kontrolnego podłączone jest do wyjścia elementu logicznego (19_i) I analizy składników, stanowiącego wyjście pierwotnego przeniesienia i—tego jednopozycyjnego półsumatora (16_i), jedno z pozostałych wejść elementu logicznego (25_i) LUB sumy pośredniej podłączone jest do jednego z pozostałych wejść elementu logicznego (23_i) LUB wytwarzania pierwszego sygnału kontrolnego i stanowi jedno z wejść wtórnego przeniesienia i—tego jednopozycyjnego półsumatora (16_i), pozostałe wejście elementu logicznego (25_i) LUB sumy pośredniej podłączone jest do pozostałego wejścia elementu logicznego (24_i) I analizy przeniesienia, do pozostałego wejścia elementu logicznego (23_i) I wytwarzania pierwszego sygnału kontrolnego oraz do wyjścia elementu logicznego (39_i) LUB analizy przeniesienia, którego wejścia stanowią odpowiednio drugie wejścia pierwotnego przeniesienia i wtórnego przeniesienia i—tego jednopozycyjnego półsumatora (16_i), wyjście elementu logicznego (24_i) I analizy przeniesienia podłączone jest do pozostałego wejścia elementu logicznego (36_i) I przeniesienia i do jednego z wejść elementu logicznego (33_i) przeniesienia wtórnego, którego drugie wejście jest dołączone do wyjścia do inwertera (37_i), wyjście elementu logicznego (23_i) LUB sumy pośredniej stanowi wyjście jednopozycyjne (40_i) sumy pośredniej i—tego jednopozycyjnego półsumatora (16_i), a pozostałe wejście elementu logicznego (32_i) I wytwarzania trzeciego sygnału kontrolnego stanowi wejście przeniesienia i—tego jednopozycyjnego półsumatora (16_i).

4. Sumator według zastrz. 3, **znamienny tym**, że urządzenie (4) przepisywania informacji, mające wejście sterujące, zawiera K jednakowych komórek (41_1 — 41_K) przepisywania, z których każda zawiera element (42) opóźniający, którego wyjście podłączone jest do jednego z wejść elementu logicznego (43) I sumy pośredniej pozycji bardziej znaczącej, do jednego bardziej z wejść elementu logicznego (45) I sumy pośredniej pozycji znaczącej do jednego z wejść elementu logicznego (44) I sumy pośredniej pozycji mniej znaczącej i do jednego z wejść elementu logicznego (46) I przeniesienia pozycji mniej znaczącej, inne wejścia elementów logicznych (43 i 44) I sumy pośredniej pozycji bardziej znaczącej i sumy pośredniej pozycji mniej znaczącej wszystkich komórek (41_1 — 41_K) przepisywania stanowią wielopozycyjne wejście (6) sumy pośredniej urządzenia (4) przepisywania informacji, a drugie wejścia elementów logicznych (45 i 46) I przeniesienia bardziej i mniej znaczących pozycji wszystkich komórek (41_1 — 41_K) przepisywania tworzą wielopozycyjne wejście (7) przeniesienia urządzenia (4) przepisywania informacji, wyjścia elementów logicznych (43 i 44) I sumy pośredniej bardziej i mniej znaczących pozycji wszystkich komórek (41_1 — 41_K) przepisywania tworzą wielopozycyjne wyjście sumy pośredniej

układu (4) przepisywania, a wyjścia elementów logicznych (45 i 46) I przeniesienia pozycji bardziej i mniej znaczących wszystkich komórek (41₁—41_k) tworzą wielopozycyjne wyjście przeniesienia urządzenia (4) przepisywania, wejście elementu 42 m opóźniającego m—tej komórki (41_m) podłączone jest do wyjścia elementu opóźniającego (42_{m+1}) (m+1)—tej komórki (41_{m+1}) urządzenia (4) przepisywania informacji, wejście elementu (42_k) opóźniającego k—tej komórki (41_k) stanowi wejście sterujące (5) urządzenia (4) przepisywania informacji, a wyjście elementu (42₁) opóźniającego pierwszej komórki (41₁) stanowi wyjście sterujące urządzenia (4) przepisywania informacji, gdzie

$$k = \begin{cases} \frac{n}{2} & \text{przy } n \text{ parzystym;} \\ \frac{n+1}{2} & \text{przy } n \text{ nieparzystym;} \end{cases} \quad m = 1, 2, \dots, k$$

5. Sumator według zastrz. 1, **znamienny tym**, że urządzenie (8) przekształcania kodów Fibonacciego zawiera co najmniej n jednakowych komórek (47₁—47_n) przekształcania oraz przerzutnik (66), których pierwsze wejścia informacyjne (9₁—9_n) tworzą wielopozycyjne wejście (9) sumy pośredniej urządzenia (8) przekształcania, a drugie wejścia informacyjne (10₁—10_n) tworzą wielopozycyjne wejście (10) przeniesienia urządzenia (8) przekształcania jednopozycyjne wejścia informacyjne (13₁—13_n) komórek (47₁—47_n) przekształcania oraz wyjście jedynkowe przerzutnika (66) tworzą wielopozycyjne wyjście (13) informacyjne (13) sumatora, a wyjście kontrolne (48₁—48_n) komórek (47₁—47_n) przekształcania podłączone są do wyjść elementu logicznego (49) LUB kontroli urządzenia (8), którego wyjście podłączone jest do jednego z wyjść elementu logicznego (67) LUB kontroli sumatora, przy czym drugie wejście elementu LUB (67) jest wejściem kontrolnym (12) urządzenia (8) przekształcania, a jego wyjście jest wyjściem kontrolnym (15) sumatora, pierwsze wyjście sprzężenia (50) każdej z komórek (47) przekształcania podłączone jest do jednego z wejść elementu logicznego (51) LUB analizy procesu nieustalonego, wyjście elementu LUB (51) podłączone jest do wejścia inwertera (52) i do wejścia filtru elektrycznego (53), którego wyjście podłączone jest do pozostałego wejścia elementu logicznego (49) LUB kontroli urządzenia (8) przekształcania, wyjścia inwertera (52) podłączone jest do jednego z wejść elementu logicznego (54) I zakończenia sumowania, wyjście elementu (54) I stanowi wyjście (14) sygnału zakończenia sumo-

wania sumatora, a drugie jego wejście podłączone jest do wyjścia jedynkowego przerzutnika (55), zakończenia przepisywania informacji, wejście jedynkowe przerzutnika (55) stanowi wejście sterujące (11) urządzenia (8) przekształcania kodów, pierwsze wejście sprzężenia i—tej komórki (47_i) przekształcania podłączone jest do jednopozycyjnego wyjścia informacyjnego (i+1)—tej komórki (47_{i+1}), drugie wejście (67_i) sprzężenia i—tej komórki (47_i) podłączone jest do drugiego wyjścia sprzężenia (i+1)—tej komórki (47_{i+1}) przekształcania, a pierwsze wyjście (50_i) sprzężenia i—tej komórki (47_i) podłączone jest do trzeciego wejścia sprzężenia (i+1)—tej komórki (47_{i+1}) oraz do czwartego wejścia sprzężenia (i-1)—tej komórki (47_{i-1}), przy czym pierwsze wyjście (50_n) sprzężenia komórki (47_n) przekształcania pozycji znaczącej podłączone jest do wejścia jedynkowego przerzutnika (66).

6. Sumator według zastrz. 5, **znamienny tym**, że każda komórka (47_i) przekształcania zawiera przerzutnik (56_i) sumy pośredniej i przerzutnik (57_i) przeniesienia, których jedynkowe wejścia są wejściami informacyjnymi (9_i i 10_i) komórki (47_i) przekształcania, wejście zerowe (58_i) przerzutnika (56_i) sumy pośredniej podłączone jest do wyjścia elementu logicznego (59_i) I analizy, którego jedno z wejść (60_i) podłączone jest do wyjścia zerowego przerzutnika (57_i) przeniesienia, a drugie wejście (61_i) dołączone jest do wejścia zerowego przerzutnika (57_i) przeniesienia oraz do wyjścia elementu logicznego (62_i) LUB komórki (47_i) przekształcania, którego jedno z wejść stanowi czwarte wejście sprzężenia komórki (47_i) a drugie wejście podłączone jest do wyjścia elementu logicznego (63_i) I splotu, stanowiącego pierwsze wyjście (50_i) sprzężenia komórki (47_i) przekształcania, pierwsze dwa wejścia elementu logicznego (63_i) I splotu stanowią odpowiednio pierwsze i drugie wejście sprzężenia komórki (47_i), a pozostałe wejście podłączone jest do wyjścia jedynkowego przerzutnika (56_i) sumy pośredniej, stanowiącego jednopozycyjne wyjście (13_i) sumy komórki (47_i), wyjście zerowe przerzutnika (56_i) sumy pośredniej jest drugim wyjściem sprzężenia komórki (47_i) i jest podłączone do jednego z wejść elementu logicznego (65_i) I kontroli komórki (47_i) przekształcania, wyjście elementu (65_i) I stanowi wyjście kontrolne (48_i) komórki (47_i), a pozostałe wejście jest podłączone do wyjścia jedynkowego przerzutnika (57_i) przeniesienia, poza tym wejście liczące przerzutnika (56_i) sumy pośredniej stanowi trzecie wejście sprzężenia komórki (47_i) przekształcania.

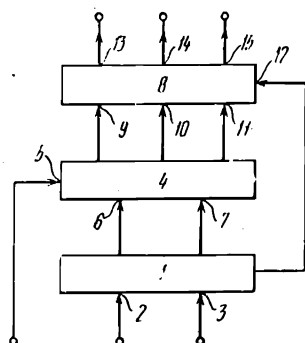


FIG. 1

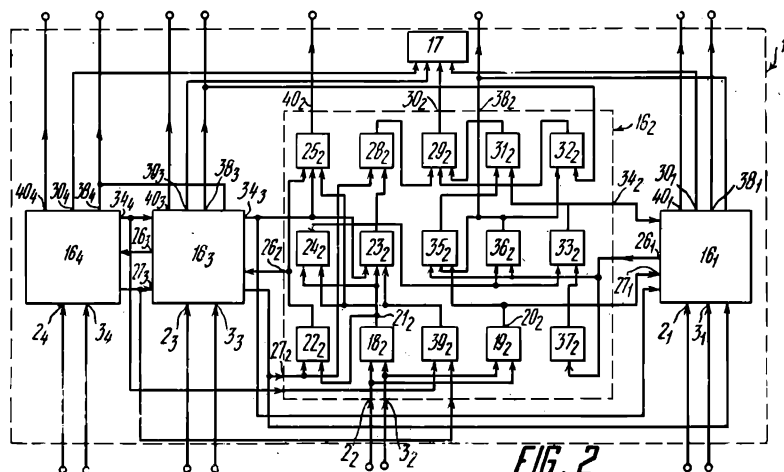


FIG. 2

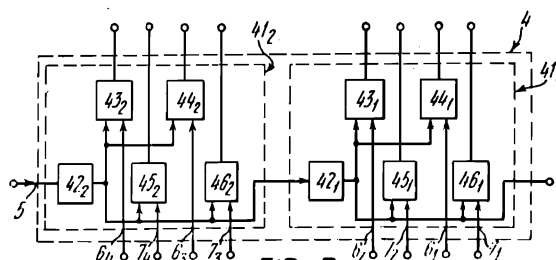


FIG. 3

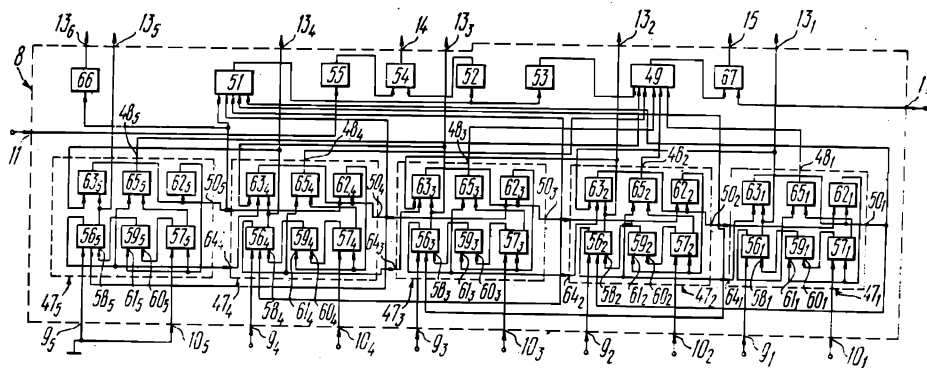


FIG. 4