

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年7月1日 (01.07.2004)

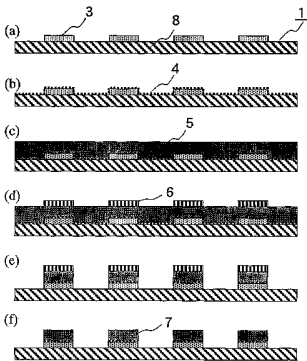
PCT

(10) 国際公開番号
WO 2004/056162 A1

- (51) 国際特許分類: **H05K 3/18**, 3/06, 1/18, 3/32, H01L 21/60, H01C 1/14, 13/02
 - (21) 国際出願番号: PCT/JP2002/013203
 - (22) 国際出願日: 2002年12月18日 (18.12.2002)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人 (米国を除く全ての指定国について): ケイテックデバイス株式会社 (K-TECH DEVICES CORP.) [JP/JP]; 〒399-4601 長野県上伊那郡箕輪町大字中箕輪14016番30号 Nagano (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 高山 利治 (TAKAYAMA, Toshiharu) [JP/JP]; 〒399-4601 長野県上伊那郡箕輪町大字中箕輪14016-30 ケイテックデバイス株式会社内 Nagano (JP).
 - (74) 代理人: 寺岡 秀幸 (TERAOKA, Hideyuki); 〒399-4601 長野県上伊那郡箕輪町大字中箕輪14016番30号 開発グループ Nagano (JP).
 - (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
 - (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: FLIP-CHIP MOUNTING ELECTRONIC COMPONENT AND METHOD FOR PRODUCING THE SAME, CIRCUIT BOARD AND METHOD FOR PRODUCING THE SAME, METHOD FOR PRODUCING PACKAGE

(54) 発明の名称: フリップチップ実装用電子部品及びその製造法、回路板及びその製造法、実装体の製造法



(57) Abstract: A method for producing a flip-chip mounting electronic component having a plurality of terminals (3) spotted on the mounting face (1) with a conductor being formed on the terminal (3) in which flip-chip mounting capable of shortening the distance between bumps (7) is realized. A step for covering the mounting face (1) with a conductor of specified thickness, a step for masking the conductor surface at such parts as corresponding to the terminal (3) parts, and a step for removing the conductor except the mask (6) part are carried out in this order. The bump is preferably composed of copper.

WO 2004/056162 A1



(57) 要約:

実装面（１）に複数の端子（３）が点在し、当該端子（３）上に導体が形成されたフリップチップ実装用電子部品の製造法において、バンプ（７）間距離を小さくし得るフリップチップ実装を実現する。そのためには、前記実装面（１）を所定厚みの導体で被覆する工程と、前記端子（３）部と対応位置となる導体表面をマスクする工程と、当該マスク（６）部以外の導体を除去処理する工程とを有し、これら工程をこの順に実施する。バンプは銅からなることが好ましい。

明 細 書

フリップチップ実装用電子部品及びその製造法、回路板及びその製造法、実装体の製造法

5 技術分野

本発明はフリップチップ実装用電子部品及びその製造法、回路板及びその製造法、実装体の製造法等に関する。

背景技術

- 10 近年の電子機器の小型化に伴って電子部品の高密度実装化が求められており、その求めに応じる技術の一つとしてフリップチップ実装技術がある。フリップチップ実装用電子部品は、実装される側の面に複数のはんだバンプが点在しており、その電子部品は、実装時に当該はんだバンプが溶融して回路板のランドと固着される。

- 前記はんだバンプの電子部品への形成には、はんだボールをフリップチップ実装用
15 電子部品の実装面の必要箇所に配置し、リフロー工程等を経るのが一般的である。

上記高密度実装化が更に進行すると、次に求められるのは個々のはんだバンプ間距離を小さくすることによるフリップチップ実装用電子部品の小型化であると考えられる。そこで本発明が解決しようとする課題は、バンプ間距離を小さくしたフリップチップ実装を実現することである。

20

発明の開示

- 上記課題を解決するため、本発明のフリップチップ実装用電子部品の製造法は、実装面1に複数の端子3が点在し、当該端子3上に導体が形成されたフリップチップ実装用電子部品の製造法において、前記実装面1を所定厚みの導体で被覆する工程と、
25 前記端子3部と対応位置となる導体表面をマスクする工程と、当該マスク6部以外の導体を除去処理する工程とを有し、これら工程をこの順に実施することを特徴とする。

上記実装面 1 を所定厚みの導体で被覆する工程とは、例えば無電解めっき工程及び電解めっき工程である。例えば図 1 (a) に示す印刷回路板 8 絶縁部表面上及び端子 3 上に銅からなる無電解めっき層 4 を形成し (図 1 (b))、その後更に銅からなる電解めっき層 5 を形成する (図 1 (c))。また上記端子 3 部と対応位置となる導体表面をマスクする工程とは、例えば導体である銅からなる電解めっき層 5 表面であって、端子 3 と対応する位置に例えばスクリーン印刷技術等によりマスク 6 を形成する工程である (図 1 (d))。またマスク 6 が配された導体部以外の導体部を除去処理する工程は、例えばソフトエッチング処理による。するとマスク 6 で覆われた以外の前記電解めっき層 5 及び無電解めっき層 4 が除去される (図 1 (e))。その後に必要なに応じてマスク 6 を除去する (図 1 (f))。前記ソフトエッチング時にゆっくりと溶解する材質からなるマスク 6 や、マスク 6 が残存していても実装時に良好な実装状態を維持できるのであれば当該除去処理は不要となる。除去処理法の例としては、酸やアルカリによる処理や剥離処理、研削処理等である。例えば上記スクリーン印刷の手法により形成された感光性のインクをマスク 6 の材質とした場合、アルカリ性の薬品等により除去される。

以上の図 1 (a) ~ (f) に示した工程をこの順に実施すると、導体 (銅) であるバンプ 7 が形成される。当該工程では、従来に比して非常にバンプ 7 間距離を狭くすることができることが明らかである。その理由は図 1 (a) ~ (f) に示した工程は、印刷回路板のパターニング工程における技術に類似した技術を用いているためである。印刷回路板のパターニング技術では、いわゆるファインピッチのパターニングが可能であり、約 0.05 mm 間隔でのバンプ 7 形成を可能とする。これははんだボールを固着させる従来のバンプ形成における通常のパンプ間最短距離 (0.25 ~ 0.75 mm) よりも狭い。且つバンプ径が従来 0.3 ~ 1.0 mm であるところ、本発明により約 0.1 mm 程度にすることが可能となる。従って本発明が解決しようとする課題であるところの、バンプ 7 間距離を小さくしたフリップチップ実装が可能となる。またそれによりフリップチップ実装用電子部品の小型化が可能となる。

また上記図 1 (a) ~ (f) に示した工程を経て得られたバンプ 7 は、その先端が

略平面となる。そのため、例えばはんだを用いた実装工程全後に亘りその形状変化をしない材質の bumps (例えば銅製) を用いた場合には、溶融したはんだと bumps 先端面及びその周辺の側面との接触面積が従来の球形 bumps を用いる場合よりも大きくなり、溶融したはんだの表面張力を大きく受けることから、いわゆるセルフアライメント性が向上する。また、はんだからなる bumps を用いた場合には、それが溶融・固化する際の bumps の形状変化を極力抑えることができる。これに対し従来のはんだボールを使用すると、その実装時の溶融・固化の過程において大きな形状変化を伴わざるを得ない。その理由は、その回路板(厳密に言うとランド)と接触するはんだボールの面が当初球面状であり、その後の前記溶融・固化の過程で回路板と接触するはんだボール面が平面となるからである。このような実装時のはんだの形状変化量の大小によっては、隣合う bumps の前記溶融状態での形状変化時に両者が接触・一体化した状態で固化するおそれがある。いわゆるはんだブリッジに類似した現象の発生である。その点実装時のはんだの形状変化を小さく抑えることができれば、はんだ bumps の溶融・固化の過程での隣合うはんだ bumps との接触を抑えることができる。

5
10
15

これらのことから、bumps が銅などのはんだ以外の材質であっても、はんだからなる bumps であっても、その先端が実質的に平面であることが好ましい。

また上記図 1 (a) ~ (f) に示した工程を経ることにより、実装面 1 に複数の端子が点在し、当該端子上に形成された導体を有するフリップチップ実装用電子部品であって、前記導体が成長形成及び除去処理の残部として形成されてなり、且つ前記端子とその上の導体高さの和が全てに亘り実質的に等しく、当該導体部先端が実質的な平面であることを特徴とする本発明のフリップチップ実装用電子部品を得ることができる。

20

また上記図 1 (a) ~ (f) に示した工程を経ることにより、実装面 1 に複数のフリップチップ実装用ランドが点在し、当該端子上に形成された導体を有する回路板であって、前記導体が成長形成及び除去処理の残部として形成されてなり、且つ前記ランド高さとその上の導体高さの和が全てに亘り実質的に等しく、当該導体部先端が実質的な平面であることを特徴とする本発明の回路板を得ることができる。

25

また上記本発明に係るバンプ7は、実装の際にバンプ7を熔融・固化させずに異方性導電物質2を介して回路板と電気接続させることもできる。当該異方性導電物質2は、ペースト状であって、後に固化させることが可能なものが好ましい。固着機能をも併有しており、且つはんだのように固体を加熱熔融しなければ流動しないという取扱い性の悪さを有していないからである。異方性導電物質2の使用による実装では、はんだを使用する実装に比べて隣合うバンプ7間距離を小さくすることができる。隣合うバンプ7同士が導通される蓋然性がある部材（例えば従来のはんだ）がないためである。その場合本発明にかかるバンプ7形成法は特に好ましいといえる。その理由は前述の通りファインピッチパターニング技術で作製されるためであり、隣合うバンプ7間距離を現状の印刷回路板パターン間隔と同等レベルまで小さくすることが可能だからである。この場合のバンプ7材質は、例えば銅が好ましい。導電率が高く、且つ安価で入手が容易だからである。

また、上記本発明にかかる複数のバンプ7の高さ（図1（f）においては、端子3と電解めっき層5との和）は、全て実質的に等しいことが好ましい。その理由は、全てのバンプ7が回路板と同様の接触状態を形成しつつ実装することにより、全ての電気接続箇所において均一・確実な電気接続状態を得ることができるためである。また上記のように、異方性導電物質2を用いて本発明の実装体を構成する場合には、特にバンプ7の高さを実質的に等しくすることが重要となる。その理由は、バンプ7により圧縮される異方性導電物質2の当該圧縮状態が、それぞれのバンプ7により異なることは、それぞれのバンプ7における電気接続状態に直接的にばらつきを生じさせるためである。上記本発明にかかる電解めっき層5形成工程では、印刷回路板8及び端子3の全面に電解めっきを施すこととなる。下地の印刷回路板8及び端子3の表面状態が極端に均一でない場合を除き、電解めっき層5の高さが全て実質的に等しくなる。また端子3厚みは電気めっき工程へ殆ど影響せず無視できる程度であるし、最終的に不要部分が除去され、バンプ7が残存する時点では、当該影響部分は既に除去されているため、本発明にかかる複数のバンプ7の高さは全て実質的に等しくなる。

またバンプ7の形状は、その先端側が細くなる円錐台形又は角錐台形であることが

好ましい。その理由は、全体的なバンプ7強度をその基底部（先端とは逆側）で維持しつつ、バンプ7先端における隣合うバンプ7間距離を大きくすることができるためである。そのことはバンプ7間の導通の防止に更に寄与する。また、バンプ7形成に際して上記マスク6をスクリーン印刷等で形成する際に、その位置ずれをある程度許容できる。

また、バンプ7先端と、その被接続部とを熱圧着法にて固着させる場合には、前記バンプ形成（円錐台形又は角錐台形）が特に好ましい。ここで熱圧着法とは、加熱状態で加圧することで両者を固着する方法や、加熱状態で更に加圧し、加えて超音波等で振動を与えることで両者を固着する方法をいう。かかる熱圧着法において、前記バンプ形状とすることで、バンプ先端には圧力が集中しやすくなり、且つその基底部が幅広となっているために、逆に当該圧力が分散されている。かかる基底部は、バンプ7とその支持部との固着強度が熱圧着法では特に求められる。このようにバンプ7の基底部及び先端に求められる事項をそれぞれ具備することとなるため、当該円錐台形又は角錐台形は熱圧着法に適したバンプ7の形状であるといえる。当該熱圧着法の採用の際には、少なくともバンプ7先端部表面には比較的容易に熔融し、その後即座に硬化する材料が配されていることが好ましい。当該材料は例えばはんだや金などである。

前記電解めっき層5の形成は、成長形成の一種である。その他の成長形成の具体例は、CVD、スパッタリング、噴霧熱分解法等があるが、これらの中ではめっき法が形成速度や効率、それらに伴う低コスト化等の点で他に比して優れており好ましい。その中でも電解めっき法が特に成長速度が速く好ましい。また成長形成に代えて除去処理の残部としてバンプ7を形成することも可能である。例えば箔状の導電性物質を印刷回路板8に貼付し、その後不必要部分をエッチング処理等で除去する等である。図1に示したバンプ7の形成は、電解めっきによる成長形成及びソフトエッチング等による除去処理の双方によってなされている。電気めっき等の成長形成によって得られた形成物（バンプ7）は、一般にその基材（印刷回路板8の端子3）表面と強固に固着しており、その取扱い性に優れる利点がある。また従来のはんだボールの使用の

場合のように、当初別部材だった物を固着させるなどという煩雑な工程を要しない利点もある。

上記バンプ7は、電子部品側に形成してもよいし、電子部品が搭載される回路板に形成してもよいし、また電子部品及び回路板の双方に形成してもよい。またバンプ7の材質は銅以外、例えばはんだとしてもよい。その場合において、フリップチップ実装体を構成する際の固着用材料として、当該はんだを用いることができる。この点は従来のはんだボールの使用の際と同様である。またその場合において、実装時には回路板と電子部品との電気接続の更なる確実化、接続強度の向上を図るため、クリームはんだを補助接続部材として用いてもよい。

10 上記バンプ7、上記固着用材料、及び上記クリームはんだには、Pb-Sn系合金、Sn単体、Sn-Bi系合金、Sn-In-Ag系合金、Sn-Bi-Zn系合金、Sn-Zn系合金、Sn-Ag-Bi系合金、Sn-Bi-Ag-Cu系合金、Sn-Ag-Cu系合金、Sn-Ag-In系合金、Sn-Ag-Cu-Sb系合金、Sn-Ag系合金、Sn-Cu系合金、Sn-Sb系合金から選ばれるものを用いる
15 ことができる。

また、バンプ7が主としてはんだ以外の材質（例えば銅）からなり、且つ当該バンプ7と、その被接続部が、はんだの溶融・固化による場合には、当該バンプ表面には、いわゆるはんだくわれを防止する層が形成されることが好ましい。極力バンプ形状を維持して、実装状態の安定化を図りたい場合を考慮したものである。このような実装状態の安定化は、特に小型部品の実装の際に求められる。かかる層の代表例はニッケル層である。このようなはんだと合金化しにくい金属をバンプ7の主構成材料とするときには、かかるはんだくわれを防止する層は不要である。はんだくわれされ易い金属としては、銀、銅、金が代表例として挙げられる。但し、以上に述べたことは、
20 はんだが錫を含んでいる場合である。錫を含まないはんだを用いる場合には、そのはんだ成分に適したはんだくわれ防止層材質を選択する。
25

また、かかるはんだくわれ防止層の上には、はんだとの親和性の良好な層が形成されることが更に好ましい。かかる層は、当該はんだと同成分のはんだ、金、銀、銅等

である。即ち、はんだと合金化しやすい金属層である。この層の存在により、はんだとの固着が強固なものとなるためである。

5 これらのはんだくわれ防止層とはんだとの親和性の良好な層は、電解めっきの手法により形成されるのが好ましい。かかる手法によれば、各金属層の接合面は非常に緻密な当該各金属層の元素からなる合金層が形成されるとされており、各層の親和性は非常に優れたものとなる。但し、製造の容易さの点からは、無電解めっきによるのが好ましい。電解めっきに要する各種配線を要しないためである。ここでの無電解めっき液に要求される析出反応機構は、被めっき材表面における極部電池反応により析出が進行することである。このことにより、バンプ間の絶縁領域への析出を防ぐことが
10 でき、短絡が発生しない。

本発明にかかるバンプを有するフリップチップ実装用電子部品は、高密度実装される実装体を用いる小型電子機器に好適に用いられることは言うまでもない。また I C カード等の、多くの場合そのフリップチップ実装用電子部品単体が用いられる機器にもその小型化の特長を生かして好適に使用することができる。

15

図面の簡単な説明

図 1 は、本発明にかかるバンプの成長形成の様子の一例を示す図である。図 2 は、本発明にかかる実装要部を示す図である。図 3 は、本発明の電子部品の概要図である。(a) 及び (b) は電子部品側面断面を示し、(c) は電子部品側面を示し、(d)
20) は電子部品裏面を示している。図 4 は、本発明の第 4 の実施の形態を説明する図である。

これらの図面に付した符号は、1…実装面、2…異方性導電物質、3…端子、4…無電解めっき層、5…電解めっき層、6…マスク、7…バンプ、8…印刷回路板 9…電子部品、10…ダイ接着剤、11…金線、12…充填剤、13…電極、14…共通電極、15…抵抗体、16…ガラス、17…トリミング溝、18…オーバーコート、19…セラミック板、20…ランド、21…金層、22…ニッケル層、23…はんだ、24…内部配線用バンプ、である。

発明を実施するための最良の形態

(実施の形態 1)

まずガラス繊維が混入したエポキシ樹脂成形体としての板を積層した印刷回路板 8
5 を用意する。当該印刷回路板 8 は、後述する電子部品 9 から導出される多数の端子が一方の面から他方の面にそれぞれ独立した導電経路を有する内層を経由して形成され、当該他方の面には当該多数の端子と対応する多数のランドが略全面に、互いに絶縁を維持しながら点在している（図 3（a）（d））。当該ランドを起点として銅からなるパンプ 7 を成長形成させる方法を以下に述べる。

10 まず図 1（a）に示すように印刷回路板 8 の絶縁部及び端子 3 上に銅からなる無電解めっき層 4 を形成する（図 1（b））。無電解めっきの方法はいわゆる非触媒化学めっきであり、銅が溶解しためっき液に、被めっき材料（印刷回路板 8）を浸漬する方法である。その際のめっき液組成は、銅イオン源、アルカリ源、還元剤、及びキレート剤等を含むものである。これらは市販のものを用いることができる。このめっき
15 により、前記ランド及び隣合うランド間の絶縁領域にも銅が形成される。またこのめっき厚は約 $0.2 \mu\text{m}$ である。なお、この無電解めっきに先立って、パラジウム等のめっき触媒を沈着させてもよい。

その後更に銅からなる電解めっき層 5 を形成する（図 1（c））。電解めっき条件は、上記無電解銅めっき工程終了後の印刷回路板を、ピロりん酸銅を含むめっき液に
20 浸漬しながら印刷回路板 8 の端子 3 を陰極として約 $250 \mu\text{m}$ のめっき厚となるまで通電する条件である。

次に上記端子 3 部と対応位置となる導体表面をマスクする。前記電解めっき層 5 表面であって、端子 3 と対応位置にスクリーン印刷技術によりエポキシ系樹脂からなる厚み約 $20 \mu\text{m}$ のマスク 6 を形成する工程である（参考：図 1（d））。マスクの径
25 は前記ランドの径の約 $1/2$ となるようにした。その後当該ペーストを加熱硬化させる。前工程の電解めっき工程による電解めっき層 5 の表面の微細な凹凸は、当該スクリーン印刷工程に悪影響を与えなかった。

またマスク 6 部以外の導体（電解めっき層 5 及び）を除去処理する工程は、塩化鉄水溶液を用いたソフトエッチング処理による。するとマスク 6 で覆われた部分の電解めっき層 5 及び無電解めっき層 4 が残る（参考：図 1（e））。また隣合う端子間の絶縁も維持されている。

- 5 次いで上記マスク 6 を除去する（参考：図 1（f））。除去処理法は、表面全体を研磨する処理である。研磨工程とすることにより、仮に電解めっき層 5 表面に多少の凹凸があったとしても、その電解めっき層 5 及び端子 3 の高さの和を全てに亘り実質的に等しくすることができる。またマスク 6 の除去を、剥離手段によることも工程を簡易にする意味で好適である。その場合の剥離用の薬品は、マスク 6 自体を溶解可能
- 10 な薬品を通常選択する。更にはマスク 6 を粘着シートの貼付により形成し、当該粘着物を溶解させる薬品に浸漬・剥離することによることもできる。これらマスク 6 を剥離させるには、電解めっき層 5 表面が比較的平滑な場合が好適である。

- このようにしてバンプ 7 が成長形成及び除去処理の残部として形成される。このように形成されたバンプ 7 は、印刷回路板 8（厳密には端子 3）と非常に強固に固着さ
- 15 れている。当該印刷回路板 8 のバンプ 7 存在面が実装面 1 となる。またバンプ 7 は、その先端が細い略円錐台形となった。ここでバンプ 7 の先端の径／基底部の径は、1／3 となっていた。

- 次いでバンプ表面にのみ無電解ニッケルめっきと無電解金めっきとをこの順に実施する。無電解ニッケルめっき及び無電解金めっきはそれぞれ公知の置換めっきにより
- 20 実施される。

- 次にこの印刷回路板の実装面 1 とは逆の面に電子部品 9 を取り付ける方法について述べる。図 3（a）に示すペースト状のダイ接着剤 10（例えば東芝ケミカル株式会社製「ケミタイト CT 200 シリーズ」等）を用いて印刷回路板 8 の実装面 1 とは逆の面に扁平な立方体形状の電子部品 9（IC チップ）を固定する。そして多数本の金
- 25 線 11 により電子部品 9 とその周囲の印刷回路板 8 のランドとを電気接続する。当該接続には公知のワイヤーボンディング技術を用いる。更に金線 11 全体と電子部品 9 とをエポキシ樹脂からなる充填剤 12 により封止する。これで電子部品 9 が印刷回路

板 8 へ取り付けられ、意図する電気接続状態を維持しつつ固定される。またこのようにして得られた電子部品が、本発明のフリップチップ実装用電子部品となる。

次に回路板へ印刷回路板 8 へ取り付けられた電子部品 9 を実装する方法（実装体の製造法）について述べる。図 2（a）に示す回路板のランド（銅製）にクリームはんだをスクリーン印刷し、リフローに供してクリームはんだを溶融・固化させ、当該はんだをランドと固着する。その際溶融したクリームはんだは、バンプ 7 表面の Au 層全面に行き渡り、バンプ 7 全体を保持しながら固化した。すると図 2（a）に示すようなはんだのフィレットが形成され、固着強度的にも問題なかった。かかるフィレットは、円錐台形のバンプ 7 の細い部分に主に形成されるため、溶融したはんだはランド領域から外側へは流動することなく固化し、隣合うランド間でははんだブリッジが形成されることはなかった。またはんだとランドとの親和性からも、隣合うランド間でははんだブリッジ形成が防止されている。このような実装体の製造法が、本発明の実装体の製造法の一例である。

本実施の形態では、マスク 6 の形成法として、スクリーン印刷を採用しているが、これに限定されないことは言うまでもない。例えば樹脂フィルムの貼付や、写真技術で感光性樹脂を露光させる方法、いわゆるスピナー技術による膜形成方法、いわゆるカーテンコート技術による膜形成方法等を採用し得る。

（実施の形態 2）

次に電子部品が搭載（実装）される回路板側にバンプ 7 を形成する実施の形態について述べる。実施の形態 1 では、ペースト状のダイ接着剤 10 を用いてバンプ 7 が形成された印刷回路板 8 面とは逆の面に電子部品 9（ICチップ）を固定することにより、バンプ 7 を有する電子部品 9 の製造を実現していた。本例では、実施の形態 1 での印刷回路板 8 へのバンプ 7 の形成をそのまま採用する。その上でバンプ 7 が形成されていない電子部品と、バンプ 7 が形成された印刷回路板 8 とをはんだ等によって固着するものである。

図 1 と同様の過程を経て得られた印刷回路板 8 のバンプ 7 上に少量のクリームはんだをスクリーン印刷する。当該クリームはんだはバンプ 7 の頂面のみに配される。こ

の状態で、電子部品の銅からなる端子（ランド）に当該クリームはんだを接触させる。具体的には電子部品をバンプ7上に載置する。その後リフロー工程を経てクリームはんだ及びバンプ7を溶融・固化させて実装体を構成する。又は、クリームはんだに代えてフラックスのみをランド表面及びバンプ表面に塗布してその後リフローに供し、はんだからなるバンプを溶融・固化させ、当該はんだをランドと固着する。溶融したはんだはそのランドとの親和性から、ランド領域から外側へは流動することなく固化したため、隣合うランド間ではんだブリッジが形成されることはなかった。このような実装体の製造法が、本発明の実装体の製造法の一例である。

（実施の形態3）

次にバンプ7をはんだとした場合の例を述べる。本例では、実施の形態1、又は実施の形態2での印刷回路板8へのバンプ7の形成に際し、電解めっき層5（図1）をアルカノールスルホン酸と、アルカノールスルホン酸第一スズと、アルカノールスルホン酸鉛とを溶解した水溶液をめっき浴とし、印刷回路板8を陰極として電解することにより形成する。それ以外は実施の形態1及び実施の形態2と同様の過程を経てバンプ7が形成される。但しバンプ7表面にはニッケルめっき及び金めっきを施さない。またソフトエッチング処理のための溶液は、実施の形態1の場合と同様に塩化鉄水溶液とした。

実装に際しては、クリームはんだを用いて、リフロー工程を経て当該はんだからなるバンプ7を溶融・固化させることにより、電子部品9と印刷回路板8とを固着させる。上記クリームはんだ量はバンプ7頂面のみを覆う程度の極少量で足りる。但し仮に多少の過剰のクリームはんだの存在により溶融したはんだは、そのランドとの親和性から、ランド領域から外側へは流動することなく固化したため、隣合うランド間ではんだブリッジが形成されることはなかった。

また、クリームはんだに代えてフラックスのみをランド表面及びバンプ表面に塗布してその後リフローに供し、はんだからなるバンプを溶融・固化させ、当該はんだをランドと固着する。その場合であっても溶融したはんだは、そのランドとの親和性から、ランド領域から外側へは流動することなく固化したため、隣合うランド間ではん

だブリッジが形成されることはなかった。

実施の形態 3 では、はんだをエッチングするためのエッチング液として、塩化鉄水溶液としたが、本発明がこれに限定されないことは言うまでもない。例えば、塩化鉄硝酸溶液、塩化銅水溶液、塩化銅硝酸溶液、メタンスルホン酸水溶液、硝酸水溶液、
5 硫酸等から、はんだ組成やその製造条件等に最も適したエッチング液を選択できる。

実施の形態 1～3 では、バンプ 7 とランドとをはんだにより固着することにより電気接続を得ていたが、ペースト状又はシート状の異方性導電物質 2（例えば東芝ケミカル株式会社製「TAP/TNP シリーズ」等）を用いて、電子部品 9 と印刷回路板 8 とを固着させてもよい（図 2（b）（c））。ペースト状のものを用いる場合は、
10 当該ペーストを加熱等で半硬化状態とし、その後電子部品 9 端子と印刷回路板 8 のランドとの間の当該ペースト部分を加圧圧縮することにより、バンプ 7 の突起部形状に起因した部分が特に圧縮され、良導電領域となり、他の部分がそれと相対的に導電性に乏しい領域となる（図 2（c）：圧縮部分の点を密に描画している。）。また異方性導電物質 2 にシート状のものを用いる場合は、バンプ 7 とランドとの間で当該異方性導電物質 2 を圧縮した状態で隙間を樹脂等で封止（図示しない）することでその状態を維持しながら両者が固着される（図 2（b））。当該圧接箇所が良導電領域となり、他の部分がそれと相対的に導電性に乏しい領域となる。当該導電性に乏しい領域の存在により、隣合うバンプ間の導通（短絡）が回避される。また前記良導電領域の存在により電子部品端子と印刷回路板 8 のランドとの接続が実現される。このような
15 実装体の製造法が、本発明の実装体の製造法の一例である。
20

実施の形態 1～3 では、ワイヤーボンディングによって内部配線がなされる形態の電子部品を用いているが、これに限定されない。例えば図 3（b）に示すような、内部配線を内部配線用バンプで実現する形態、又は内部配線を省略して図 3（b）に示す内部配線用バンプをそのまま本発明にかかるバンプとして外部配線のために使用する形態（図 3（c））などとすることができる。
25

また印刷回路板 8 に代え、セラミック基板面に抵抗素子等の回路素子を形成した上で、本発明にかかるバンプ 7 を形成して、当該バンプ 7 を端子とすることもできる。

以下にネットワーク抵抗器を例とした実施の形態 4 について説明する。

(実施の形態 4)

まず、図 4 に示すアルミナ製のセラミック板 19 に対し、Ag-Pd 系導電ペーストをスクリーン印刷し、その後焼成して、抵抗素子用の電極 13 兼ランド 20 及び共通電極 14 兼ランド 20 を得る (図 4 (a))。次に共通電極 14 と電極 13 の双方に接触するよう、酸化ルテニウムとガラスフリットを主成分とするメタルグレーズ系抵抗体ペーストをスクリーン印刷し、その後焼成して抵抗体 15 を得る (図 4 (b))。次に抵抗体 15 を覆うようにガラスペーストをスクリーン印刷し、その後焼成してガラス 16 膜を得る (図 4 (c))。次に電極 13 と共通電極 14 と抵抗体 15 で構成される抵抗素子の抵抗値を所望の値にするため、レーザー照射により抵抗体 15 にトリミング溝 17 を形成して抵抗値を調整する工程を経る (図 4 (d))。このとき前記ガラス 16 の膜は、抵抗体 15 全体の損傷を極力抑えるよう作用する。次に芳香族のエポキシ樹脂系ペーストにて、抵抗素子全体を保護するため、オーバーコート 18 をスクリーン印刷し、その後当該エポキシ樹脂ペーストを加熱硬化させる (図 4 (e))。オーバーコート 18 を配する際には、電極 13 及び共通電極 14 における必要なランド 20 部分を露出させる (図 4 (e))。

図 4 に示した工程を経ることで、ランド 20 のみが導電性物質 (端子) として露出したネットワーク抵抗素子付きセラミック板 19 を得ることができる。その後は図 1 (a) ~ (f) に示し、上記説明したバンプ 7 形成工程を経ることで本発明のネットワーク抵抗器を得ることができる。

実施の形態 4 では、回路素子としてネットワーク抵抗を示したが、本発明はこれに限定されるものではないことは言うまでもない。多連抵抗、多連キャパシタ、ネットワークキャパシタ、キャパシタと抵抗素子とインダクタ素子とから選ばれる 2 以上の素子からなるネットワーク素子等に適用できる。例えば抵抗素子とキャパシタとを組み合わせた、いわゆる C.R 部品についても適用できる。

また第 4 の実施の形態にて形成されたバンプ 7 についても、上述した理由と同様の理由から、先端の細い円錐台形又は角錐台形であることが好ましいことは言うまでも

ない。またその他の、バンプ7について好ましいとされる事項は第4の実施の形態についても当てはまる。電子部品の端子として役割する点で共通するからである。またこれら回路素子が形成されるのは、セラミック板に限らず、ガラス繊維混入エポキシ系樹脂成型体などの印刷回路板8であってもよい。また第4の実施の形態にて製造された電子部品についても、上述した異方性導電物質2を使用して実装体を構成できることは言うまでもない。

産業上の利用可能性

本発明により、バンプ間距離を小さくしたフリップチップ実装を実現することができた。またそれによりフリップチップ実装用電子部品の小型化が可能となる。

請 求 の 範 囲

1. 実装面に複数の端子が点在し、当該端子上に形成された導体を有するフリップチップ実装用電子部品において、
- 5 前記導体が成長形成及び／又は除去処理の残部として形成されてなり、且つ前記端子とその上の導体高さの和が全てに亘り実質的に等しく、当該導体部先端が実質的な平面であることを特徴とするフリップチップ実装用電子部品。
2. 導体が、先端の細い円錐台形又は角錐台形であることを特徴とする請求の範囲
- 10 第1項記載のフリップチップ実装用電子部品。
3. セラミック板面に形成された回路素子を有し、その端子上に形成された導体が成長形成及び／又は除去処理の残部として形成されてなり、且つ前記端子とその上の導体高さの和が全てに亘り実質的に等しく、当該導体部先端が実質的な平面であるこ
- 15 とを特徴とする電子部品。
4. 導体が、先端の細い円錐台形又は角錐台形であることを特徴とする請求の範囲
- 第3項記載の電子部品。
- 20 5. 回路素子が多連、又はネットワークの抵抗又はキャパシタ、若しくはキャパシタと抵抗素子とインダクタ素子とから選ばれる2以上の素子からなるネットワーク素子であることを特徴とする請求の範囲第3項又は第4項記載の電子部品。
6. 実装面に複数の端子が点在し、当該端子上に導体が形成されるフリップチップ
- 25 実装用電子部品の製造法において、
- 前記実装面を所定厚みの導体で被覆する工程と、前記端子部と対応位置となる導体表面をマスクする工程と、当該マスク部以外の導体を除去処理する工程とを有し、こ

れら工程をこの順に実施することを特徴とするフリップチップ実装用電子部品の製造法。

7. 実装面に複数のフリップチップ実装用ランドが点在し、当該端子上に形成された導体を有する回路板において、

前記導体が成長形成及び／又は除去処理の残部として形成されてなり、且つ前記ランド高さとその上の導体高さの和が全てに亘り実質的に等しく、当該導体部先端が実質的な平面であることを特徴とする回路板。

- 10 8. 導体が、先端の細い円錐台形又は角錐台形であることを特徴とする請求の範囲第7項記載の回路板。

9. 実装面に複数のフリップチップ実装用ランドが点在する回路板の製造法において、

- 15 前記実装面を所定厚みの導体で被覆する工程と、前記ランド部と対応位置となる導体表面をマスクする工程と、当該マスク部以外の導体を除去処理する工程とを有し、これら工程をこの順に実施することを特徴とする回路板の製造法。

- 20 10. フリップチップ実装用電子部品の実装面端子部、及び／又は回路板実装面のフリップチップ実装用ランドが導体を有し、当該導体が成長形成及び／又は除去処理の残部として形成されてなり、はんだ又は異方性導電物質により回路板の導体と電子部品、若しくは電子部品の導体と回路板とを固定することを特徴とする実装体の製造法。

- 25 11. 導体が銅からなり、その表面にニッケル層と金層とをこの順に形成し、はんだの固着力により固定を実現することを特徴とする請求の範囲第10項記載の実装体の製造法。

図 1

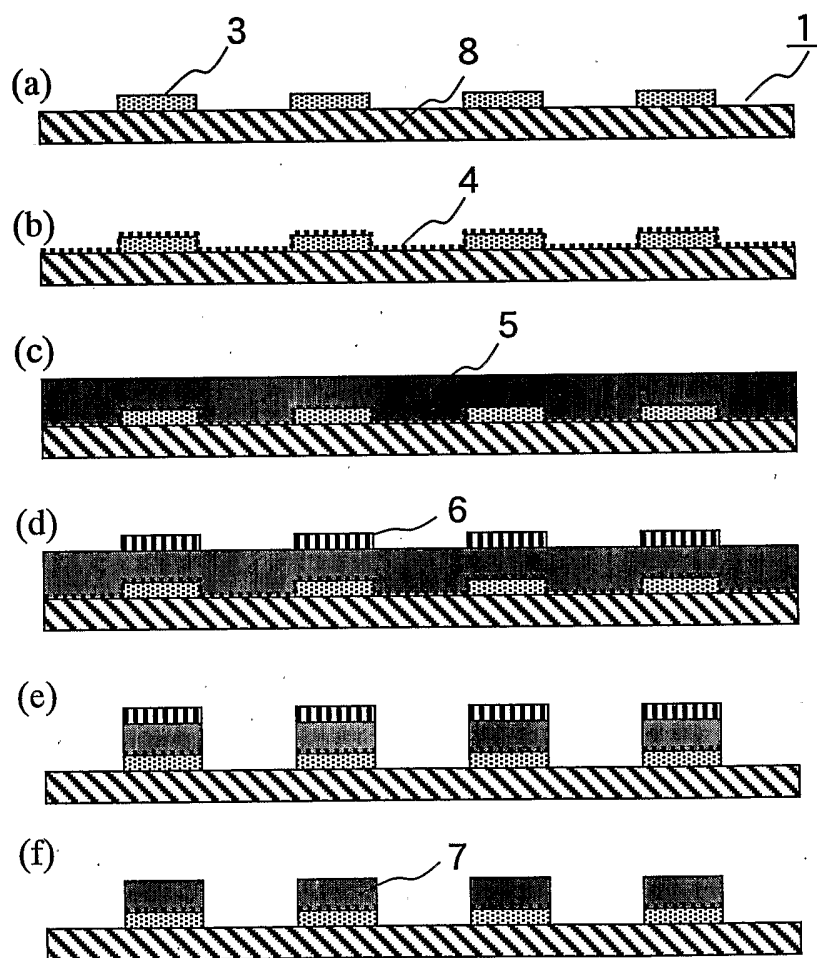


図 2

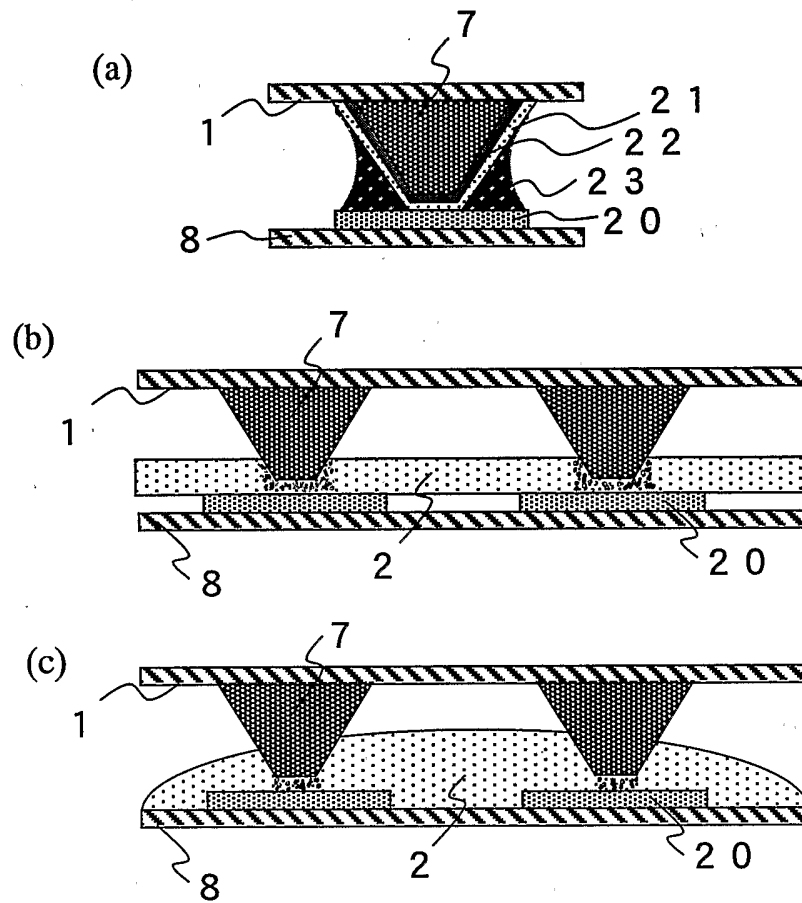


図 3

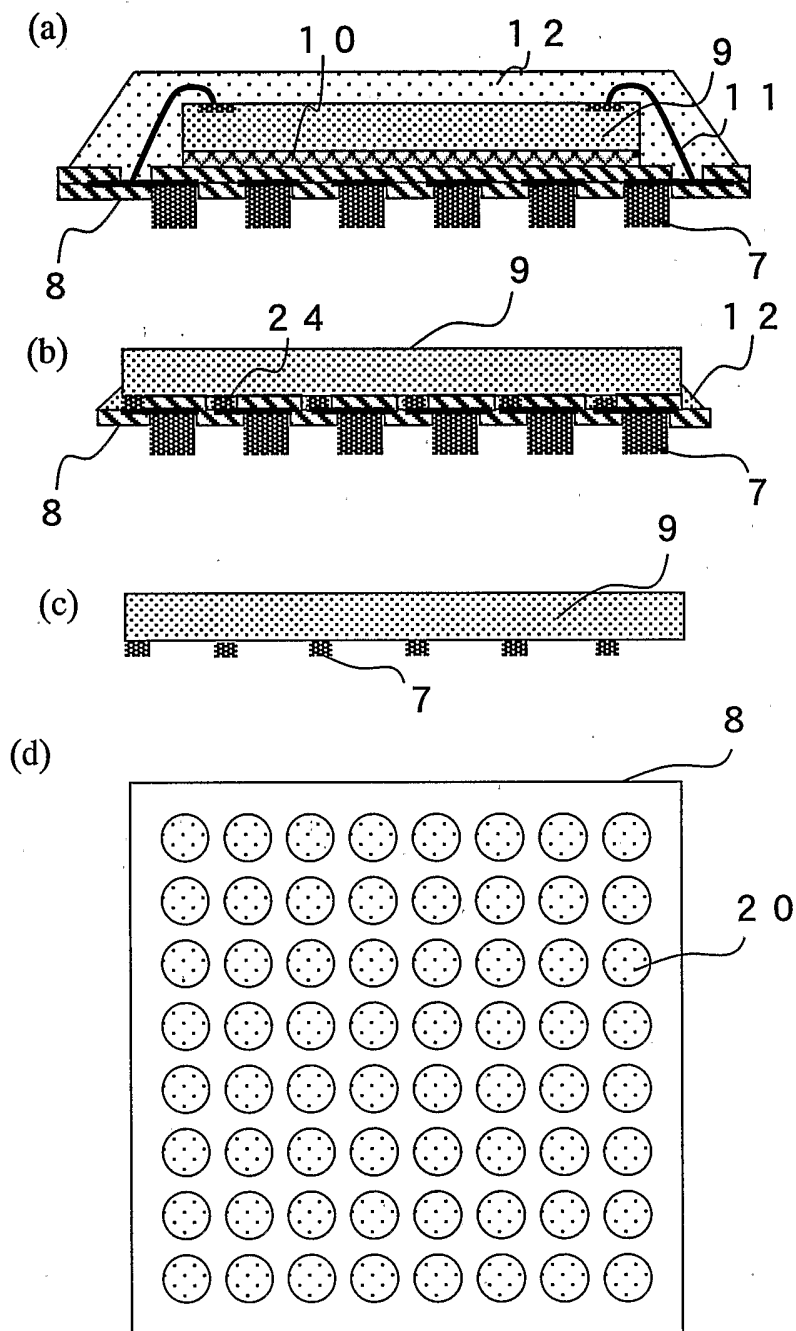
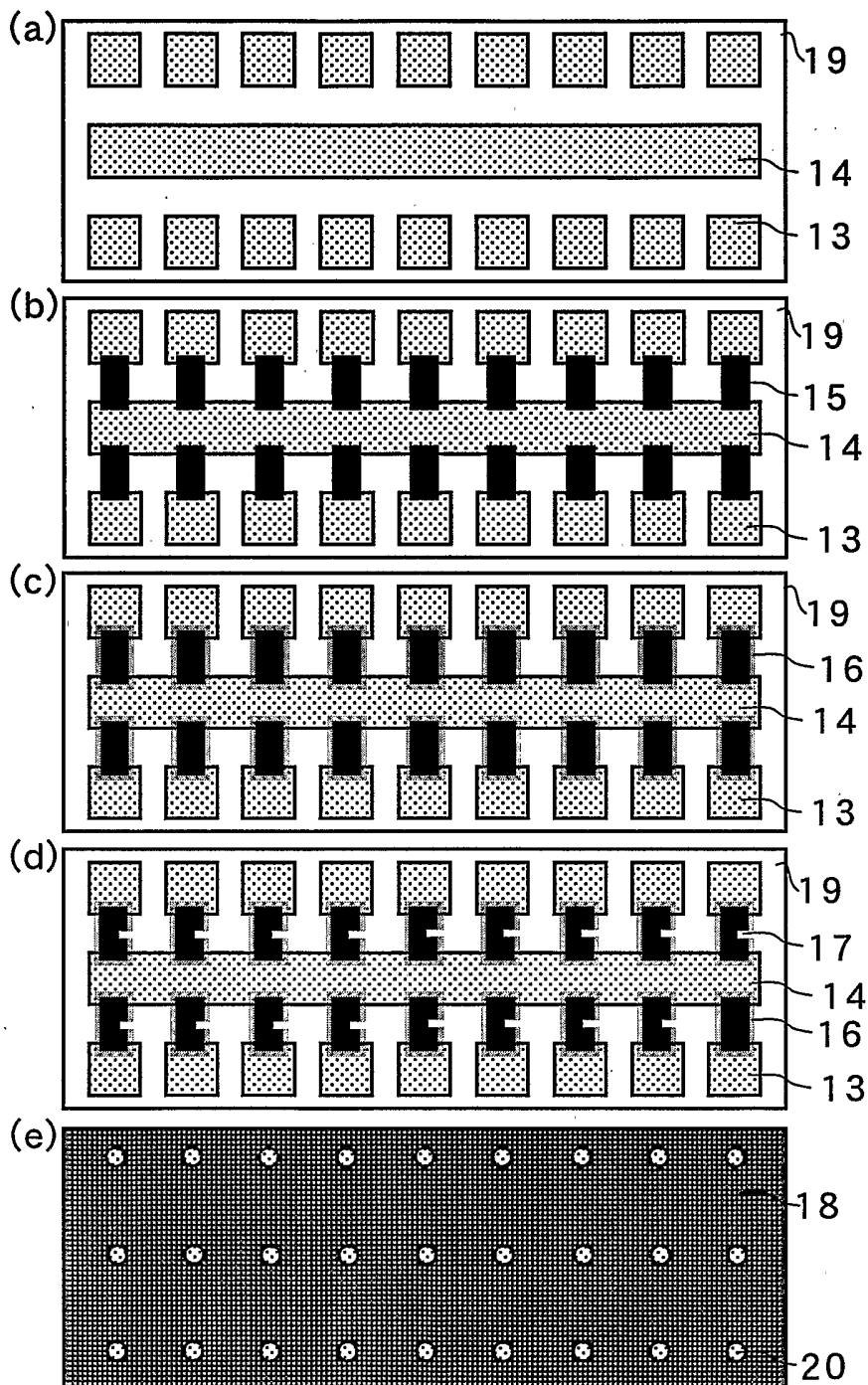


図 4



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/13203

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ H05K3/18, H05K3/06, H05K1/18, H05K3/32, H01L21/60, H01C1/14, H01C13/02</p> <p align="center">According to International Patent Classification (IPC) or to both national classification and IPC</p>																	
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ H05K3/18, H05K3/06, H05K1/18, H05K3/32, H01L21/60, H01C1/14, H01C13/02</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																	
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 2001-332582 A (Sony Corp.), 30 November, 2001 (30.11.01), (Family: none)</td> <td>1, 2 3-6</td> </tr> <tr> <td>Y</td> <td>JP 2000-77218 A (Matsushita Electric Industrial Co., Ltd.), 14 March, 2000 (14.03.00), (Family: none)</td> <td>3-5</td> </tr> <tr> <td>Y</td> <td>JP 2002-33414 A (Nippon Avionics Co., Ltd.), 31 January, 2002 (31.01.02), (Family: none)</td> <td>6, 9</td> </tr> <tr> <td>X Y</td> <td>JP 2002-190549 A (Sumitomo Bakelite Co., Ltd.), 05 July, 2002 (05.07.02), (Family: none)</td> <td>7, 8, 10 9, 11</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP 2001-332582 A (Sony Corp.), 30 November, 2001 (30.11.01), (Family: none)	1, 2 3-6	Y	JP 2000-77218 A (Matsushita Electric Industrial Co., Ltd.), 14 March, 2000 (14.03.00), (Family: none)	3-5	Y	JP 2002-33414 A (Nippon Avionics Co., Ltd.), 31 January, 2002 (31.01.02), (Family: none)	6, 9	X Y	JP 2002-190549 A (Sumitomo Bakelite Co., Ltd.), 05 July, 2002 (05.07.02), (Family: none)	7, 8, 10 9, 11
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X Y	JP 2001-332582 A (Sony Corp.), 30 November, 2001 (30.11.01), (Family: none)	1, 2 3-6															
Y	JP 2000-77218 A (Matsushita Electric Industrial Co., Ltd.), 14 March, 2000 (14.03.00), (Family: none)	3-5															
Y	JP 2002-33414 A (Nippon Avionics Co., Ltd.), 31 January, 2002 (31.01.02), (Family: none)	6, 9															
X Y	JP 2002-190549 A (Sumitomo Bakelite Co., Ltd.), 05 July, 2002 (05.07.02), (Family: none)	7, 8, 10 9, 11															
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>																	
<table border="0" style="width:100%;"> <tr> <td style="width:50%; vertical-align: top;"> <p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align: top;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p> </td> </tr> </table>			<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>													
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>																
Date of the actual completion of the international search 27 March, 2003 (27.03.03)		Date of mailing of the international search report 08 April, 2003 (08.04.03)															
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer															
Facsimile No.		Telephone No.															

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/13203

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-261407 A (Matsushita Electric Industrial Co., Ltd.), 13 September, 2002 (13.09.02), (Family: none)	11
A	US 5554887 A (MITSUBISHI DENKI KABUSHIKI KAISHA), 10 September, 1996 (10.09.96), & JP 6-342794 A	1-11
A	JP 2002-313996 A (Toshiba Chemical Corp.), 25 October, 2002 (25.10.02), (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))	
Int. Cl ⁷	H05K 3/18 H05K 3/06 H05K 1/18 H05K 3/32 H01L21/60 H01C 1/14 H01C13/02
B. 調査を行った分野	
調査を行った最小限資料 (国際特許分類 (IPC))	
Int. Cl ⁷	H05K 3/18 H05K 3/06 H05K 1/18 H05K 3/32 H01L21/60 H01C 1/14 H01C13/02
最小限資料以外の資料で調査を行った分野に含まれるもの	
日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)	
C. 関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示
X	JP 2001-332582 A (ソニー株式会社) 2001. 11. 30 (ファミリーなし)
Y	
Y	JP 2000-77218 A (松下電器産業株式会社) 2000. 03. 14 (ファミリーなし)
Y	JP 2002-33414 A (日本アビオニクス株式会社) 2002. 01. 31 (ファミリーなし)
	関連する 請求の範囲の番号
	1, 2
	3-6
	3-5
	6, 9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
国際調査を完了した日	国際調査報告の発送日
27. 03. 03	08.04.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中川隆司 電話番号 03-3581-1101 内線 3390
	3S 8509

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2002-190549 A (住友ベークライト株式会社) 2002. 07. 05 (ファミリーなし)	7, 8, 10 9, 11
Y	JP 2002-261407 A (松下電器産業株式会社) 2002. 09. 13 (ファミリーなし)	11
A	US 5554887 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1996. 09. 10 & JP 6-342794 A	1-11
A	JP 2002-313996 A (東芝ケミカル株式会社) 2002. 10. 25 (ファミリーなし)	1-11