

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月29日(29.12.2022)



(10) 国際公開番号

WO 2022/270300 A1

- (51) 国際特許分類:
G09G 3/3233 (2016.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2022/023012
- (22) 国際出願日: 2022年6月7日(07.06.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-102674 2021年6月21日(21.06.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

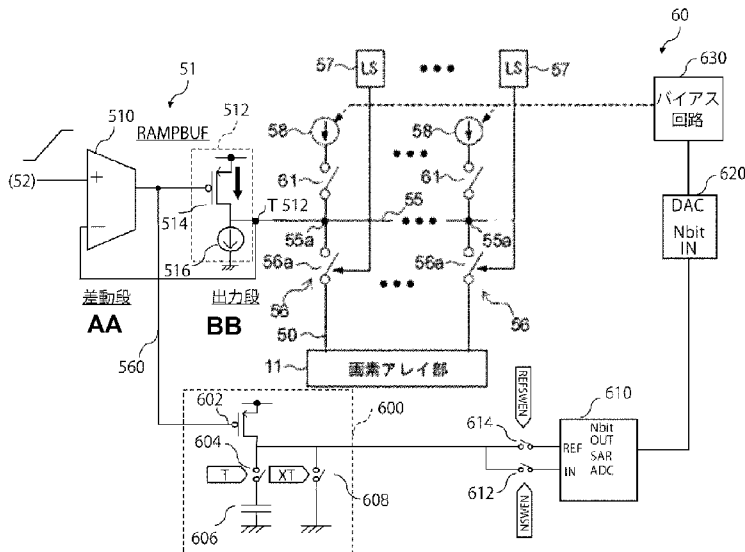
(72) 発明者: 松尾 星耶(MATSUO Seiya); 〒2430014
神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 蔣 イクヨウ(JIANG Yuyang); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮 嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



11 Pixel array unit
630 Bias circuit
AA Differential stage
BB Output stage

(57) Abstract: Provided is a display device capable of improving display quality when pixel driving is performed using ramp wave voltage. This display device comprises: a plurality of pixel circuits; a plurality of signal lines (50) that supply signal voltage corresponding to gradations to the plurality of pixel circuits; an error amplifier (510) that outputs an instruction signal corresponding to a difference between first ramp wave voltage, the voltage level of which changes according to time, and second ramp wave voltage; an output unit (512) that outputs the second ramp wave voltage to a ramp wire (55) in response to the instruction signal; a plurality of voltage holding units (56) that hold the second ramp wave voltage at timings corresponding to the brightnesses of the plurality of pixel circuits by switches (56a) connected between the ramp wire and the plurality of signal lines, and generate the signal voltage; a plurality of correction current sources (58) that

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

supply a correction current to a plurality of correction paths between the ramp wire and the plurality of current holding units; and a current adjustment unit (60) that adjusts the correction current on the basis of the instruction signal.

(57) 要約: ランプ波電圧を用いて画素駆動を行う場合の表示品質が向上可能である表示装置を提供する。表示装置は、複数の画素回路と、前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線(50)と、電圧レベルが時間に応じて変化する第1ランプ波電圧と、第2ランプ波電圧との差分に応じた指示信号を出力するエラーアンプ(510)と、前記指示信号に応じて、前記第2ランプ波電圧をランプ配線(55)に出力する出力部(512)と、前記ランプ配線と前記複数の信号線との間に接続されたスイッチ(56a)により、前記複数の画素回路の輝度に応じたタイミングで前記第2ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部(56)と、前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源(58)と、前記指示信号に基づき、前記補正電流を調整する電流調整部(60)と、を備える。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 有機EL（Electroluminescence）装置や液晶表示装置では、画質に対する要求が高まっており、画質向上のための種々の工夫がなされている。例えば、有機EL装置は、自発光素子を用いることから、液晶表示装置よりもコントラストに優れている。しかしながら、表示画面の同一の水平ラインに、輝度が著しく異なる画像を表示させる場合、隣接画素の影響を受けて、本来の輝度とは異なる明るさで表示される恐れがある。（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-133240号公報

発明の概要

発明が解決しようとする課題

[0004] 例えば、表示画面の左端側又は右端側の一部の画素領域と、残りの画素領域とで、輝度が著しく異なる画像を表示させる場合、一部の画素領域だけ本来の輝度とは異なる明るさで表示され、一部の表示領域の境界部分に筋が視認される恐れがある。

[0005] この現象をランプ配線の一端部の電圧を調整することにより、低減することが可能となるが、更なる調整精度と、調整速度との向上が求められている。

[0006] そこで、本開示では、ランプ波電圧を用いて画素駆動を行う場合の表示品質が向上可能である表示装置を提供するものである。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示によれば、少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

電圧レベルが時間に応じて変化する第1ランプ波電圧と、ランプ配線の所定の電位である第2ランプ波電圧との差分に応じた指示信号を出力するエラーアンプと、

前記指示信号に応じて、前記第1ランプ波電圧に基づく前記第2ランプ波電圧を前記ランプ配線に出力する出力部と、

前記ランプ配線と前記複数の信号線との間に接続されたスイッチにより、前記複数の画素回路の輝度に応じたタイミングで前記第2ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記指示信号に基づき、前記補正電流を調整する電流調整部と、

を備える表示装置が提供される。

[0008] 前記複数の補正電流源は、前記第2ランプ波電圧を前記ランプ配線に供給する際には、前記複数の画素回路に設定される輝度によらず、同一の前記補正電流を前記複数の接続経路に供給してもよい。

[0009] 前記電流調整部は、前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合の前記指示信号と、流さない場合における前記指示信号とが一致するように前記補正電流を調整してもよい。

[0010] 前記電流調整部は、前記複数の接続経路が第1状態である場合に前記エラーアンプが出力する第1指示信号と、前記複数の接続経路が第1状態と異なる第2状態である場合に前記エラーアンプが出力する第2指示信号と、の差に基づいて、前記補正電流を調整してもよい。

[0011] 前記電流調整部は、前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とが一致するように前記補正電流を調整してもよい。

- [0012] 前記第 1 指示信号に基づく電圧と、前記第 2 指示信号に基づく電圧とは、前記第 1 状態である場合に前記ランプ配線の所定部に流れる電流値と、第 2 状態である場合に前記ランプ配線の所定部に流れる電流値とに、相関してもよい。
- [0013] 前記第 1 状態における前記複数の画素回路は、白色輝度であり、前記第 2 状態における前記複数の画素回路は、黒色輝度であってもよい。
- [0014] 前記第 1 指示信号は、前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合の前記指示信号であり、前記第 2 指示信号は、流さない場合における前記指示信号であってもよい。
- [0015] 前記電流調整部は、前記第 2 指示信号に基づく電圧が前記第 1 指示信号に基づく電圧よりも低い場合には、前記補正電流をより大きくし、前記第 2 指示信号に基づく電圧が前記第 1 指示信号に基づく電圧よりも高い場合には、前記補正電流をより小さくする処理を行ってもよい。
- [0016] 前記電流調整部は、
前記第 1 指示信号に基づく電圧と、前記第 2 指示信号に基づく電圧との電圧差に応じた信号を出力する電圧比較器と、
前記電圧比較器から出力された信号に基づいて、前記電流調整部が前記補正電流を調整するための複数ビットの調整信号を生成する調整信号生成部と、
を有し、
前記電流調整部は、前記調整信号に基づいて前記補正電流を調整してもよい。
- [0017] 前記調整信号生成部は、前記補正電流の調整のたびに、前記調整信号を 1 ビットずつ調整してもよい。
- [0018] 前記電流調整部は、
前記第 1 指示信号に基づく電圧と、前記第 2 指示信号に基づく電圧とに変換する電流電圧変換部を更に有してもよい。
- [0019] 前記第 1 指示信号に基づく電圧と、前記第 2 指示信号に基づく電圧とは、前記ランプ配線の所定部に流れる電流値に相関してもよい。

- [0020] 前記電圧比較器は、逐次比較型アナログデジタルコンバータ、パイプラインアナログデジタルコンバータ、コンパレータ、エラーアンプのいずれかであってもよい。
- [0021] 前記電流調整部は、前記調整信号に応じたバイアス電位を生成し、前記補正電流源に供給するバイアス回路を更に有し、
前記補正電流源は、前記バイアス電位に応じた前記補正電流を出力してもよい。
- [0022] 前記バイアス回路は、コンデンサを有してもよい。
- [0023] 前記電流調整部は、
前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧との電圧差に応じた信号を出力する電圧比較器と、
前記電圧比較器から出力された信号と、所定の基準信号との位相差に応じた信号を出力する位相比較器と、
前記位相比較器から出力された信号に応じた電圧を出力するチャージポンプと、を有し、
前記電流調整部は、前記チャージポンプから出力された電圧に基づいて、前記補正電流を調整してもよい。
- [0024] 前記出力部は、前記ランプ配線に前記第2ランプ波電圧を出力する前に、前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧を前記ランプ配線に出力し、
前記電流調整部は、前記第2ランプ波電圧を出力する際に、前記指示信号の差に基づいて、前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整してもよい。
- [0025] 前記電流調整部は、連続する2つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、前記補正電流を調整してもよい。
- [0026] 前記第1ランプ波電圧は、電圧レベルが時間に対して線形変動してもよい。

図面の簡単な説明

[0027] [図1]第1の実施形態による表示装置を備えた表示システム2の概略構成を示すブロック図。

[図2]画素回路の内部構成を示す回路図。

[図3]画素回路の別の内部構成を示す回路図。

[図4A]H-D R V部の内部構成を示すブロック図。

[図4B]複数の補正電流源の構成例を示す図。

[図5]ランプ配線に3つの電圧保持部を接続した場合の等価回路図。

[図6]水平方向クロストークの一例を示す図。

[図7A]電流調整部の動作を模式的に示す図。

[図7B]ランプ配線上の各電圧保持部との接続経路の電圧レベルを模式的に示す図。

[図8]電流調整部の動作を模式的に示す図。

[図9]本実施形態による電流調整部の概略構成を示すブロック図。

[図10]図9の電流調整部の処理動作を示すタイムチャート。

[図11]図9の電流調整部の処理動作を示すフローチャート。

[図12]第1実施形態の変形例1による電流調整部の構成例を示すブロック図。
。

[図13]図12の電流調整部の処理動作を示すタイムチャート。

[図14]第1実施形態の変形例2による電流調整部の構成例を示すブロック図。
。

[図15]図14の電流調整部の処理動作を示すタイムチャート。

[図16]第1実施形態の変形例3による電流調整部の構成例を示すブロック図。
。

[図17]図16の電流調整部の処理動作を示すフローチャート。

[図18]第1実施形態の変形例4による電流調整部の構成例を示すブロック図。
。

[図19]第1実施形態の変形例5による電流調整部の構成例を示すブロック図

。

[図20]第1実施形態の変形例6による電流調整部の構成例を示すブロック図

。

[図21]図20の電流調整部の処理動作を示すタイムチャート。

[図22]第1実施形態の変形例7による電流調整部の構成例を示すブロック図

。

[図23]第1実施形態の変形例8による電流調整部の構成例を示すブロック図

。

[図24]図23の電流調整部の処理動作を示すフローチャート。

[図25]第1実施形態の変形例9による電流調整部の構成例を示すブロック図

。

[図26]図25の電流調整部の処理動作を示すタイムチャート。

[図27]画素P1Xの一構成例を表す図。

[図28]画素P1Xの他の一構成例を表す図。

[図29]画素P1Xの他の一構成例を表す図。

[図30]画素P1Xの他の一構成例を表す図。

[図31]画素P1Xの他の一構成例を表す図。

[図32]画素P1Xの他の一構成例を表す図。

[図33]画素P1Xの他の一構成例を表す図。

[図34]ヘッドマウントディスプレイの外観の一例を表す図。

[図35]他のヘッドマウントディスプレイの外観の一例を表す図。

[図36]デジタルスチルカメラの外観の一例を表す正面図。

[図37]デジタルスチルカメラの外観の一例を表す側面図。

[図38]テレビジョン装置の外観の一例を表す図。

[図39]スマートフォンの外観の一例を表す図。

[図40]車両の一構成例を表し、車両の後部から見た車両の内部の一例を表す図。

[図41]車両の一構成例を表し、車両の左後方からみた車両の内部の一例を表

す図。

発明を実施するための形態

[0028] 以下、図面を参照して、表示装置の実施形態について説明する。以下では、表示装置の主要な構成部分を中心に説明するが、表示装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0029] (第1の実施形態)

図1は第1の実施形態による表示装置1を備えた表示システム2の概略構成を示すブロック図である。図1の表示システム2は、マイクロOLED (Organic Light Emitting Diode) システムの構成を示している。なお、本実施形態による表示装置1は、TVやPCモニタ等の大画面の表示装置1を備えた表示システム2にも適用可能である。

[0030] 図1の表示システム2は、表示装置1と、ディスプレイコントローラ3と、タイミングコントローラ4と、データ入出力I/F部5とを備えている。なお、図1では、ディスプレイコントローラ3等を表示装置1とは別体に行っているが、ディスプレイコントローラ等を表示装置1に統合させてもよい。

[0031] 表示装置1は、画素アレイ部11と、V-DRV部12と、H-DRV部13と、信号処理部14と、を有する。

[0032] 画素アレイ部11は、水平方向及び垂直方向に配置される複数の画素回路15を有する。各画素回路15は、例えば有機EL素子等の発光部と、発光部を制御する複数のトランジスタと、複数の容量とを有する。画素回路15の内部構成は後述する。

[0033] 信号処理部14は、画素アレイ部11に表示されるべき映像信号の信号処理を行う。信号処理の具体的内容は問わないが、例えばガンマ補正などである。信号処理部14で信号処理された映像信号は、H-DRV部13に送られる。

[0034] V-DRV部12は、後述する図2及び図3に示すように、書き込み走査部16と駆動走査部17とを有する。書き込み走査部16は、各画素回路1

5に信号電圧を書き込むに際して、各走査線に書き込み走査信号を順次供給して、各走査線WS1～WSnを順次駆動する。駆動走査部17は、書き込み走査部16による線順次走査に同期して、各駆動線に発光制御信号を供給し、発光部の発光と非発光を制御する。

[0035] H-DRV部13は、図2及び図3に示すように信号出力部18を有する。信号出力部18は、ランプ波電圧を、各画素の階調に応じたタイミングで保持して信号電圧を生成する。信号出力部18は、信号電圧又はオフセット電圧Vofsを選択的に選択して、対応する信号線に供給する。オフセット電圧Vofsは、信号電圧の基準となる電圧（例えば、映像信号の黒レベルに相当する電圧）であり、後述する閾値補正動作を行うために用いられる。

[0036] 信号出力部18から択一的に出力される信号電圧又はオフセット電圧Vofsは、信号線を介して各画素回路15に供給され、書き込み走査部16による走査で選択された行単位で、各画素回路15に設定される。

[0037] ディスプレイコントローラ3は、HLOGIC部21とVLOGIC部22を有し、画素アレイ部11に対する表示制御を行う。

[0038] HLOGIC部21は、映像信号をH-DRV部13に供給する。VLOGIC部22は、走査線及び駆動線のタイミングを規定する信号をV-DRV部12に供給する。

[0039] タイミングコントローラ4は、クロック生成器23と、タイミング生成器24と、画像処理部25とを有する。クロック生成器23は、表示装置1の垂直同期クロックと水平同期クロックを生成して、ディスプレイコントローラ3に供給する。タイミング生成器24は、ディスプレイコントローラ3の動作タイミングを規定する信号を生成して、ディスプレイコントローラ3に供給する。画像処理部25は、データ入出力I/F部5に入力された映像信号に対して、種々の画像処理を施す。画像処理を行った後の映像信号は、ディスプレイコントローラ3内のHLOGIC部21に供給される。

[0040] データ入出力I/F部5は、画像I/F部31と、データS/P部32と、クロック制御部33と、H/V同期部34とを有する。画像I/F部31

は、外部からの映像信号を受信する。映像信号は、シリアルデジタルデータである。データS/P部32は、映像信号をパラレルデータに変換した後、タイミングコントローラ4内の画像処理部25に送る。クロック制御部33は、表示装置1の表示周波数に適合するクロックを生成する。H/V同期部34は、表示装置1の水平同期タイミングと垂直同期タイミングを規定する信号を生成して、タイミング生成器24に送る。

[0041] 図2は画素回路15の内部構成を示す回路図である。図2の画素回路15は、有機EL素子を有する発光部41と、駆動トランジスタ42と、サンプリングトランジスタ43と、発光制御トランジスタ44と、保持容量45と、補助容量46とを有する。画素回路15は、シリコン等の半導体基板上に形成され、駆動トランジスタ42、サンプリングトランジスタ43及び発光制御トランジスタ44は例えばPMOSトランジスタである。各トランジスタはバックゲートには電源電圧が印加されている。

[0042] サンプリングトランジスタ43は、信号出力部18から信号線を介して供給される信号電圧 V_{sig} をサンプリングすることによって保持容量45に書き込む。発光制御トランジスタ44は、電源電圧 V_{cc} の電源ノードと駆動トランジスタ42のソース電極との間に接続され、発光制御信号DSによる駆動の下に、発光部41の発光／非発光を制御する。

[0043] 保持容量45は、駆動トランジスタ42のゲート電極とソース電極との間に接続されている。この保持容量45は、サンプリングトランジスタ43によるサンプリングによって書き込まれた信号電圧 V_{sig} を保持する。駆動トランジスタ42は、保持容量45の保持電圧に応じた駆動電流を発光部41に流すことによって発光部41を駆動する。補助容量46は、駆動トランジスタ42のソース電極と、固定電位のノード、例えば、電源電圧 V_{cc} の電源ノードとの間に接続されている。この補助容量46は、信号電圧 V_{sig} を書き込んだときに駆動トランジスタ42のソース電位が変動するのを抑制するとともに、駆動トランジスタ42のゲートーソース間電圧 V_{gs} を駆動トランジスタ42の閾値電圧 V_{th} に合わせる作用を行う。

- [0044] 画素回路 15 の内部構成は図 2 に示したものに限定されない。例えば、図 3 は図 2 とは異なる内部構成を有する画素回路 15 の回路図である。発光制御トランジスタ 44 は電源電位 V_{cc} と駆動トランジスタ 42 のソース S との間に接続されており、発光部 41 のオン／オフを制御する。発光制御トランジスタ 44 のゲートは走査線 DS に接続されている。
- [0045] サンプリングトランジスタ 43 は信号線 SL と、保持容量 45 及び補助容量 46 の接続ノード A との間に接続されている。サンプリングトランジスタ 43 のゲートは走査線 WS に接続されている。接続ノード A と駆動トランジスタ 42 のソース S との間に検出トランジスタ 47 が接続されている。検出トランジスタ 47 のゲートは走査線 AZ に接続されている。スイッチングトランジスタ 48 は、駆動トランジスタ 42 のゲート G と所定のオフセット電位 V_{ofs} との間に接続されている。スイッチングトランジスタ 48 のゲートは走査線 AZ に接続されている。検出トランジスタ 47 とスイッチングトランジスタ 48 は V_{th} キャンセル用の補正手段を構成している。保持容量 45 は接続ノード A と駆動トランジスタ 42 のゲート G との間に接続され、補助容量 46 は電源電位 V_{cc} と接続ノード A との間に接続されている。
- [0046] 駆動トランジスタ 42 はソース／ゲート間に印加されるゲート電圧 V_{gs} に応じてソース／ドレイン間にドレイン電流 I_{ds} を流して、発光部 41 を駆動する。信号線 SL から供給される映像信号 V_{sig} に応じて駆動トランジスタ 42 のゲート電圧 V_{gs} が設定され、駆動トランジスタ 42 のドレイン電流 I_{ds} により、映像信号の階調に応じて発光部 41 の発光輝度を制御できる。
- [0047] 駆動トランジスタ 42 の閾値電圧 V_{th} は画素毎に変動する。この閾値電圧をキャンセルするため、予め駆動トランジスタ 42 の閾値電圧 V_{th} を検出し、保持容量 45 に保持しておく。この後サンプリングトランジスタ 43 をオンして補助容量 46 に信号電位 V_{sig} を書き込む。これにより、駆動トランジスタ 42 の閾値電圧 V_{th} のばらつきを補正したゲート電位 V_{gs} が生成される。

- [0048] 図2及び図3は、画素回路15の一例であり、本実施形態による画素回路15には、図2及び図3以外の内部構成の画素回路15も適用可能である。
- [0049] 図4AはH-DRV部13の内部構成を示すブロック図である。H-DRV部13は、セクタ49と、ランプバッファ(RAMBUF)51と、ランプ波生成回路52と、Vofs用DAC53と、ランプ配線55と、複数の電圧保持部56と、複数のレベルシフタ(LS)57と、複数の補正電流源58と、電流調整部60とを有する。
- [0050] ランプバッファ51は、画素回路15内の駆動トランジスタ42の閾値補正と移動度補正を行うためのオフセット電圧と、電圧レベルが連続的に変化する第1ランプ波電圧との一方を、セクタ49にて切り替えた後に、バッファリングしてランプ配線55に出力する。
- [0051] ランプバッファ51は、差動段510と、出力部512を有する。なお、ランプバッファ51の詳細は後述する。
- [0052] ランプ波生成回路52は、電圧レベルが時間に応じて変化する第1ランプ波電圧を生成する。Vofs用DAC53は、閾値補正と移動度補正を行うためのオフセット電圧を生成する。
- [0053] ランプ配線55には、複数の電圧保持部56と、複数のスイッチ61とが接続されている。複数の電圧保持部56は、ランプ波電圧が画素回路15の階調に応じた電圧になった時点で、その電圧を保持する。保持された電圧が信号電圧であり、信号線50に供給される。
- [0054] 各電圧保持部56はスイッチ56aを有する。各電圧保持部56内の各スイッチ56aは、対応するレベルシフタ57の出力電圧に応じてオンまたはオフする。レベルシフタ57には、各画素の階調データに応じたPWM信号が入力される。
- [0055] 複数の補正電流源58は、ランプ配線55と複数の電圧保持部56との複数の接続経路55aに補正電流を供給する。複数の補正電流源58は、第2ランプ波電圧を、端子T512を介してランプ配線55に供給する際には、複数の画素回路15に設定される輝度によらず、同一の補正電流を複数の接

続経路 5 5 a に供給する。

- [0056] 複数の補正電流源 5 8 と複数の接続経路 5 5 a との間には、複数のスイッチ 6 1 が設けられている。これらのスイッチ 6 1 は個別にオン又はオフすることができる。
- [0057] ここで、ランプバッファ 5 1 の詳細を説明する。差動段 5 1 0 は、ランプ波生成回路 5 2 が生成した第 1 ランプ波電圧と、ランプ配線 5 5 における所定の電圧である第 2 ランプ波電圧との差分に応じた指示信号を出力する。例えば、差動段 5 1 0 は、第 1 ランプ波電圧と第 2 ランプ波電圧との差分をゲイン倍率 G_m に応じた指示信号として出力する。なお、差動段 5 1 0 は、例えばエラーアンプで構成してもよい。
- [0058] 出力部 5 1 2 は、ソース接地トランジスタ 5 1 4 と、電流源 5 1 6 とを有する。ソース接地トランジスタ 5 1 4 は、電圧源がドレインに接続され、指示信号に応じて、電流源 5 1 6 を駆動する。これにより、出力部 5 1 2 の出力端子 T 5 1 2 からは、ランプ波生成回路 5 2 が生成した第 1 ランプ波電圧に応じた第 2 ランプ波電圧が供給される。これらから分かるように、ランプバッファ 5 1 は、端子 T 5 1 2 から供給される第 2 ランプ波電圧が第 1 ランプ波電圧と一致するように作用する。
- [0059] 電流調整部 6 0 は、差動段 5 1 0 の指示信号に基づき、複数の補正電流源 5 8 から流す補正電流を調整可能である。電流調整部 6 0 は、複数の接続経路 5 5 a が第 1 状態である場合の差動段 5 1 0 の指示信号と、複数の接続経路 5 5 a が第 1 状態と異なる第 2 状態である場合の差動段 5 1 0 の指示信号と、の差に基づいて、補正電流を調整する。
- [0060] 第 1 状態は、例えばスイッチ 5 6 a が全てオン、スイッチ 6 1 が全てオフした状態である。この第 1 輝度は、例えば白色輝度であり、白階調書き込み状態に対応する。
- [0061] 第 2 状態は、例えばスイッチ 5 6 a が全てオフ、スイッチ 6 1 が全てオンした状態である。この第 2 輝度は、例えば黒色輝度であり、黒階調書き込み状態に対応する。

[0062] より具体的には、電流調整部60は、スイッチ56aが全てオン、スイッチ61が全てオフした場合と、スイッチ56aが全てオフ、スイッチ61が全てオンした場合とにおいて、差動段510の指示信号の差に基づいて、画素への充放電電流と一致するように補正電流を調整する。つまり、電流調整部60は、スイッチ56aが全てオン、スイッチ61が全てオフした場合と、スイッチ56aが全てオフ、スイッチ61が全てオンした場合とにおいて、指示信号の所定時間内の変動が同等となるように、補正電流を調整する。この場合、端子T512から供給される第2ランプ波電圧と第1ランプ波電圧との差分電圧の時間あたりの変動が、補正電流を複数の接続経路55aに流す場合と流さない場合とにおいて、同等の変化をする状態である。電流調整部60は、差動段510の指示信号に基づき、連続する2つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、補正電流を調整するようにしてもよい。

[0063] 図4Bは、複数の補正電流源58の構成例を示す図である。複数の補正電流源58は、電流調整部60から出力されたバイアス電圧に応じて補正電流を制御する複数のPMOSトランジスタ58aを有する。これらPMOSトランジスタ58aのゲートにバイアス電圧が供給され、各PMOSトランジスタ58aは、同一の補正電流を、スイッチ61を介して各接続経路55aに供給する。

[0064] 本実施形態による表示装置1は、H-DRV部13の内部構成及び動作に技術的特徴がある。以下、本実施形態のH-DRV部13の内部構成及び動作を詳細に説明する。本実施形態による表示装置1は、ランプ配線55にオフセット電圧 V_{ofs} を供給して、画素回路15内の駆動トランジスタ42の閾値補正と移動度補正を行った後に、第2ランプ波電圧を供給して信号電圧を生成する方式を採用している。

[0065] ランプ配線55の一端側には、オフセット電圧又は第2ランプ波電圧を切り替えて出力するランプバッファ51が接続されている。ランプ配線55には、複数の電圧保持部56を介して複数の信号線が接続されているが、ラン

プバッファ 5 1 からの距離が長いほど、ランプ配線 5 5 上の配線抵抗が大きくなる。このため、例えば、ランプバッファ 5 1 がランプ配線 5 5 にランプ波電圧を供給する場合、ランプ配線 5 5 と複数の電圧保持部 5 6 との接続経路 5 5 a の電圧が、接続経路 5 5 a の位置によって変動する場合がある。

[0066] 図 5 はランプ配線 5 5 に 3 つの電圧保持部 5 6 を接続した場合の等価回路図である。図 5 では省略しているが、各電圧保持部 5 6 には、対応する信号線を介して画素回路 1 5 が接続されている。実際には、ランプ配線 5 5 に多数の電圧保持部 5 6 が接続されるが、図 5 では簡略化して 3 つの電圧保持部 5 6 のみを図示している。各電圧保持部 5 6 は、等価的にはスイッチ 5 6 a と容量図 4 1 で表される。容量図 4 1 は、信号線 5 0 上の寄生容量である。

[0067] 図 5 では、ランプ配線 5 5 上の配線抵抗 R が、ランプバッファ 5 1 と 3 つの電圧保持部 5 6 との接続経路 5 5 a ですべて等しいと仮定している。例えば、各画素回路 1 5 に白色の輝度を設定する場合、補正電流源 5 8 からの補正電流が接続経路 5 5 a に流れないように、複数の補正電流源 5 8 と各接続経路 5 5 a との間のスイッチ 6 1 はオフである。各電圧保持部 5 6 は、ランプ波電圧が十分に小さいときの電圧レベルを保持する。このとき、各電圧保持部 5 6 からランプ配線 5 5 を介してランプバッファ 5 1 に電流が流れる。図 5 では、各電圧保持部 5 6 とランプ配線 5 5 との接続経路 5 5 a に流れる電流 I が等しいと仮定している。ランプバッファ 5 1 から最遠端の接続経路 5 5 a と 2 番目に遠い接続経路 5 5 a との間には、電流 I が流れるため、この区間内の電圧降下は $I \times R$ である。ランプバッファ 5 1 から最近端の接続経路 5 5 a と 2 番目に遠い接続経路 5 5 a との間には、 $2I$ の電流が流れるため、この区間内の電圧降下は $2I \times R$ である。ランプバッファ 5 1 の出力オードから最近端の接続経路 5 5 a との間には、 $3I$ の電流が流れるため、この区間内の電圧降下は $3I \times R$ である。

[0068] このように、各画素に白色の輝度を設定する場合には、複数の電圧保持部 5 6 との接続経路 5 5 a 間に電圧降下が生じるために、各接続経路 5 5 a の電圧が相違し、ランプバッファ 5 1 から遠い接続経路 5 5 a ほど、電圧レベ

ルが高くなる。ランプ配線 5 5 上の複数の電圧保持部 5 6 との接続経路 5 5 a の電圧にばらつきがあると、表示画面の輝度ばらつきが生じる要因になる。

[0069] 例えば、図 6 は表示画面の上半分に白色輝度の画像を表示し、下半分の水平方向一端側の領域に白色輝度の画像を表示し、下半分の残りの領域に黒色輝度の画像を表示する例を示している。水平方向一端側は、ランプバッファ 5 1 から最遠端の場所であるとする。

[0070] 図 6 の例では、表示画面の上半分の白色輝度と、下半分の水平方向一端側の白色輝度とに明るさの違いが生じる。実際には、下半分の水平方向一端側の白色輝度が、上半分の白色輝度よりも暗くなる例を示している。場合によっては、下半分の水平方向一端側の白色輝度が、上半分の白色輝度よりも明るくなる場合もありうる。

[0071] このような輝度差は、ランプ配線 5 5 上の配線抵抗と、補正電流源 5 8 から各接続経路 5 5 a に補正電流を供給するか否かによって生じる。本明細書では、このような輝度差を便宜上、水平方向クロストークと呼ぶ。

[0072] 本実施形態は、図 6 のような水平方向クロストークが生じないように対策を行うものである。本実施形態では、ランプ配線 5 5 上の複数の電圧保持部 5 6 との各接続経路 5 5 a に、複数の補正電流源 5 8 から最適な電流量の補正電流を供給することで、水平方向クロストークを抑制する。

[0073] 図 7 A 及び図 8 は電流調整部 6 0 の動作を模式的に示す図である。図 7 A 及び図 8 に示すように、ランプ配線 5 5 上の複数の電圧保持部 5 6 が接続される接続経路 5 5 a 上に、複数のスイッチ 6 1 を介して複数の補正電流源 5 8 が接続されている。図 7 A と図 8 は、簡略化のために、3 つの接続経路 5 5 a に 3 つのスイッチ 6 1 を介して 3 つの補正電流源 5 8 が接続されている例を示している。複数の補正電流源 5 8 が出力する補正電流は、電流調整部 6 0 で調整される。複数の補正電流源 5 8 は、同一の補正電流を出力する。各補正電流源 5 8 と、対応する接続経路 5 5 a との間には、スイッチ 6 1 が設けられており、各スイッチ 6 1 は個別にオン又はオフすることができる。

よって、各接続経路55aに補正電流を流すか否かは、接続経路55aごとに設定することができる。

[0074] 図7Aは各画素回路15に白色輝度を設定する例を示している。この場合、補正電流源58のスイッチ61をすべてオフし、かつ3つの電圧保持部56のスイッチ56aをオンする。これにより、図6と同様に、電圧保持部56から接続経路55aを介してランプバッファ51に電流が流れる。このため、ランプバッファ51から最遠端の接続経路55aの電圧が最も高くなる。図7Bは、ランプ配線55上の各電圧保持部56との接続経路55aの電圧レベルを模式的に示す図である。図7Bの横軸は時間、縦軸は電圧レベルである。図示のように、ランプバッファ51から遠い接続経路55aほど、電圧レベルが高くなる。図7Bは、VG0からVG255まで電圧レベルが一定の傾きで下がるランプ波電圧の一例を示しているが、VG0からVG255まで電圧レベルが一定の傾きで上がるランプ波電圧を用いてもよい。その場合でも、ランプバッファ51から遠い接続経路55aほど、ランプ波電圧の電圧レベルが高くなる。

[0075] 図8はランプ配線55上の最遠端の画素回路15には白色輝度を設定し、それ以外の画素回路15には黒色輝度を設定する例を示している。この場合、黒色輝度を設定する画素回路15に接続される電圧保持部56のスイッチ56aはオフし、補正電流源58のスイッチ61はオンする。このため、黒色輝度を設定する画素回路15には各電流源から電流Iが流れ、白色輝度を設定する画素回路15には電圧保持部56からランプ配線55を介して電流Iが流れる。これらから分かる様に、図5、図7A、図8のいずれの状態でも、各接続経路55aの電圧は同等に維持される。これにより、図6のように、上半分が白色輝度で、下半分の水平方向一端側が白色輝度で残りの領域が黒色輝度の場合に、上半分の白色輝度と下半分の水平方向一端側の白色輝度との明るさの違いがなくなる。

[0076] このように、本実施形態による電流調整部60は、図8の場合にランプバッファ51に流れる電流と、図7Aにランプバッファ51に流れる電流が一

致するように、補正電流源 5 8 から出力される補正電流を調整する。すなわち、黒輝度の設定時（黒ラスト時）に、意図的に最遠端の接続経路 5 5 a の電圧を引き上げる。

[0077] 図 9 は本実施形態による電流調整部 6 0 の構成例を示すブロック図である。電流調整部 6 0 は、電流電圧変換部 6 0 0 と、電圧比較器 6 1 0 と、調整信号生成部 6 2 0 と、バイアス回路 6 3 0 とを有する。

[0078] 電流電圧変換部 6 0 0 は、ソース接地トランジスタ 6 0 2 と、複数のスイッチ 6 0 4、6 0 8 と、コンデンサ 6 0 6 とを有する。スイッチ 6 0 4 とスイッチ 6 0 8 とは、制御信号 T、X T に応じて、ON、OFF する。

[0079] ソース接地トランジスタ 6 0 2 は、ランプバッファ 5 1 からカレントミラー的に分岐させた経路 5 6 0 がゲートに接続される。また、ソース接地トランジスタ 6 0 2 は、電圧源がドレインに接続され、ソースがスイッチ 6 0 4 とスイッチ 6 0 8 との一端に接続される。

[0080] これにより、ソース接地トランジスタ 6 0 2 は、差動段 5 1 0 の指示信号に応じて、ランプ配線 5 5 に流れる電流に比例する比例電流をスイッチ 6 0 4 とスイッチ 6 0 8 とのいずれかの一端に供給する。つまり、スイッチ 6 0 4 が ON の時には、ソース接地トランジスタ 6 0 2 はカレントミラーとして作用し、ランプ配線 5 5 に流れる電流に比例する比例電流をコンデンサ 6 0 6 に供給する。なお、ソース接地トランジスタ 6 0 2 の特性により、比例電流の比例定数は、調整可能である。

[0081] これらから分かるように、スイッチ 6 0 4 が ON の時には、比例電流に応じた電荷がコンデンサ 6 0 6 に蓄積され、スイッチ 6 0 8 が ON の時には、コンデンサ 6 0 6 の電荷が 0 にリセットされる。なお、スイッチ 6 0 4 は、信号 T がハイの時に ON し、スイッチ 6 0 8 は、信号 X T がハイの時にリセット時間後に ON する。このように、電流電圧変換部 6 0 0 では、スイッチ 6 0 4 が ON の間に流れる比例電流を、コンデンサ 6 0 6 により電圧に変換する。

[0082] 電圧比較器 6 1 0 は、例えば逐次比較型アナログデジタルコンバータ（S

AR ADC)である。電圧比較器610は、複数のスイッチ612、614を介して、電流電圧変換部600から電位が供給される。スイッチ612がOFFであり、スイッチ614がONである場合に、参照電位REFが電流電圧変換部600から端子REFに供給される。一方で、スイッチ612がONであり、スイッチ614がOFFである場合に、比較電位INが電流電圧変換部600から端子INに供給される。そして、電圧比較器610は、参照電位と、比較電位との電圧差に応じた信号を出力する。なお、スイッチ612は、信号INSWENがハイの時にONし、スイッチ614は、信号REFSWENがハイの時にONする。すなわち、信号INSWENと、信号REFSWENとは排他的である。なお、電圧比較器610は、SAR ADCの代わりにパイプラインアナログデジタルコンバータを用いてもよい。パイプラインアナログデジタルコンバータ用いる場合の方が、より高精度化が可能である。

[0083] 調整信号生成部620は、電圧比較器610から出力された信号に基づいて、電流調整部60が補正電流を調整するための複数ビットの調整信号を生成する。また、調整信号生成部620は、生成した調整信号を保持する。

[0084] バイアス回路630は、調整信号生成部620が生成する調整信号に基づいてバイアス電圧を生成する。そして、複数の補正電流源58は、バイアス回路630から出力されたバイアス電圧に応じて補正電流を制御する。

[0085] 図10は、図9の電流調整部60の処理動作を示すタイムチャートである。縦軸は、上から順に、第1ランプ波電圧、スイッチ604のON時間信号T、指示信号の値、信号REFSWEN、信号INSWEN、参照電位REFと、比較電位IN、補正電流源58の電流値を示す。横軸は、時間を示す。図11は、図9の電流調整部60の処理動作を示すフローチャートである。

[0086] 図11に示すように、REF取得期間として（図10参照）、ある水平ラインに接続された全画素回路15に白色輝度を設定した状態（白ラスタ時）で、スイッチ604、スイッチ614をONする。これにより、白色輝度を

設定した状態における指示信号が出力される。この際に、白色輝度を設定した状態におけるランプ配線 5 5 に流れる電流に比例する比例電流がコンデンサ 6 0 6 に蓄積される。コンデンサ 6 0 6 に蓄積される電荷に応じて、点線で示される参照電位 R E F が変動し、スイッチ 6 0 4、スイッチ 6 1 4 が O F F した瞬間の電位が R E F 電圧として、電圧比較器 6 1 0 に保持される（ステップ S 1）

[0087] 次に、複数の補正電流源 5 8 の電流量を $K \times 2^{n-1}$ に初期化するとともに、調整回数を示す変数 j を n に初期設定する（ステップ S 2）。次に、 j を 1 だけデクリメントする（ステップ S 3）。

[0088] 次に、 $j = 0$ か否かを判定する（ステップ S 4）。 $j = 0$ であれば処理を終了する。 $j = 0$ でなければ、調整信号の j ビット目を H に固定する（ステップ S 5）。次に、全補正電流源 5 8 を駆動する全電流源駆動時（黒ラスタ時）に、スイッチ 6 0 4、スイッチ 6 1 4 を O N する。これにより、期間 $n - 1$ において、補正電流量が $K \times 2^{n-1}$ での指示信号が出力され、補正電流量が $K \times 2^{n-1}$ における比例電流がコンデンサ 6 0 6 に蓄積される。コンデンサ 6 0 6 に蓄積される電荷に応じて、実線で示される比較電位 $I N$ が変動し、スイッチ 6 0 4、スイッチ 6 1 4 が O F F した瞬間の電位が $I N$ 電圧として、電圧比較器 6 1 0 に入力される。電圧比較器 6 1 0 では、電圧がステップ S 6 で検出された電圧より高いか否かを判定する（ステップ S 7）。ステップ S 7 の判定処理は、電圧比較器 6 1 0 で行われ、電圧比較器 6 1 0 の出力がステップ S 7 の判定結果を示している。なお、スイッチ 6 0 4 が O N である T の期間における指示信号の時間変動と、コンデンサ 6 0 6 に基づく電位の時間変動は相似形をしめす。換言すると、コンデンサ 6 0 6 に基づく電位である R E F 電圧と、比較電位 $I N$ との差は、指示信号の差を示しているのと同等である。

[0089] ステップ S 7 が Y E S の場合、調整信号の j ビット目を L に変更する（ステップ S 8）。これにより、補正電流源 5 8 から出力される補正電流が調整される。その後、ステップ S 3 以降の処理を繰り返す。

- [0090] 一方、ステップS 7がN Oの場合、調整信号のj ビット目をHに固定させて（ステップS 9）、ステップS 3以降の処理を繰り返す。
- [0091] このように、逐次比較方式では、調整信号の複数ビットを1ビットずつ、調整のたびに確定していく。すなわち、ステップS 1の指示信号の時間変動と、黒ラスタ時における指示信号の時間変動とが一致するように、補正電流量が調整される。換言するとステップS 1の補正電流量と、黒ラスタ時における補正電流量が一致すると、ステップS 1の指示信号の時間変動と、黒ラスタ時における指示信号の時間変動とが、一致する。なお、ステップS 1の指示信号の時間変動と、黒ラスタ時における指示信号の時間変動とが一致すると、参照電位R E Fと、比較電位I Nとも一致する。
- [0092] このように、経路5 6 0をランプバッファ5 1から分岐させ、補正の比較対象の情報となる指示信号に基づき、端子T 5 1 2を流れる電流に比例する電流がソース接地トランジスタ6 0 2から出力される。また、この電流をコンデンサ6 0 6に一定期間印加することで電流－電圧変換を行う。これにより、ランプ配線5 5のランプバッファ近端－遠端間に生じる電位差によらず任意の電圧で電圧比較を可能とする。このため、逐次比較型アナログデジタルコンバータの1 b i t補正精度を向上させることができる。また、電圧比較器6 1 0に要求されるスペックが下がるため電圧比較器6 1 0のサイズを抑制する効果も有する。さらにまた、第1ランプ電圧波をR A M P期間中において時間に対して一定の比率で上昇させているため、比例電流のサンプルホールド（S/Hタイミング）の制約がなくなり、1 R A M P期間中である1 H以内に全b i tの補正を行うことが可能となる。
- [0093] 以上説明したように、第1の実施形態では、電流調整部6 0は、補正電流を複数の接続経路5 5 aに流す場合と流さない場合とにおいて、差動段5 1 0の指示信号の差に基づいて、補正電流を調整する。これにより、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立た

なくすることができる。

[0094] (第1実施形態の変形例1)

第1実施形態の変形例1に係る表示装置1は、電流電圧変換部600aの電源電位をコンデンサ606aの一端側に接続したことで、第1実施形態に係る表示装置1と相違する。以下では、第1実施形態に係る表示装置1と相違する点を説明する。

[0095] 図12は第1実施形態の変形例1による電流調整部60の構成例を示すブロック図である。電流調整部60は、電流電圧変換部600aと、電圧比較器610と、調整信号生成部620と、バイアス回路630とを有する。

[0096] 電流電圧変換部600aは、ソース接地トランジスタ602aと、複数のスイッチ604a、608aと、コンデンサ606aとを有する。ソース接地トランジスタ602aは、接地電位がドレインに接続され、ソースがスイッチ604aとスイッチ608aとの一端に接続される。これにより、ソース接地トランジスタ602aは、指示信号に応じて、ランプ配線55に流れる電流に比例する比例電流をスイッチ604とスイッチ608とのいずれかの一端から排出する。つまり、スイッチ604aがONの時には、比例電流に応じた電荷がコンデンサ606から排出され、スイッチ608がONの時には、コンデンサ606の電荷が基準電位に充電される。スイッチ604aは、信号Tがハイの時にONし、スイッチ608aは、信号XTがハイの時にONする。なお、スイッチ608aは、信号Tがハイの時に充電時間が経過した後にOFFする。

[0097] 図13は、図12の電流調整部60の処理動作を示すタイムチャートである。縦軸は、上から順に、第1ランプ波電圧、スイッチ604のON時間、指示信号の値、信号REFSWEN、信号INSWEN、参照電位REFと、比較電位IN、補正電流源58の電流値を示す。横軸は、時間を示す。このように、電流電圧変換部600aでは、ランプバッファ51に流れる電流に比例する電流を、コンデンサ606により電圧に変換する。この場合にも、スイッチ604がONであるTの期間における指示信号の時間変動と、コ

ンデンサ 606 に基づく電位の時間変動は相似形をしめす。換言すると、コンデンサ 606 に基づく電位であるが REF 電圧と、比較電位 IN との差は、指示信号の差を示しているのと同様である。このように、第 1 の実施形態の変形例 1 において、電流調整部 60 は、補正電流を複数の接続経路 55a に流す場合と流さない場合とにおいて、差動段 510 の指示信号の差に基づいて、補正電流を調整することができる。これにより、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0098] (第 1 実施形態の変形例 2)

第 1 実施形態の変形例 2 に係る表示装置 1 は、電流電圧変換部 600b のコンデンサ 606a を抵抗 606b としたことで、第 1 実施形態の変形例 1 に係る表示装置 1 と相違する。以下では、第 1 実施形態の変形例 1 に係る表示装置 1 と相違する点を説明する。

[0099] 図 14 は第 1 実施形態の変形例 2 による電流調整部 60 の構成例を示すブロック図である。電流調整部 60 は、電流電圧変換部 600b と、電圧比較器 610 と、調整信号生成部 620 と、バイアス回路 630 とを有する。

[0100] 電流電圧変換部 600b は、ソース接地トランジスタ 602a と、複数のスイッチ 604a、608a と、抵抗 606b とを有する。ソース接地トランジスタ 602a は、接地電位がドレインに接続され、ソースがスイッチ 604a とスイッチ 608a との一端に接続される。これにより、ソース接地トランジスタ 602a は、指示信号に応じて、ランプ配線 55 に流れる電流に比例する比例電位をスイッチ 604 とスイッチ 608 とのいずれかの一端から供給する。

[0101] 図 15 は、図 14 の電流調整部 60 の処理動作を示すタイムチャートである。縦軸は、上から順に、第 1 ランプ波電圧、スイッチ 604 の ON 時間、指示信号の値、信号 REF SWEN、信号 IN SWEN、参照電位 REF と

、比較電位 I_N、補正電流源 58 の電流値を示す。横軸は、時間を示す。このように、電流電圧変換部 600a では、ランプバッファ 51 に流れる電流に比例する電流を、抵抗 606b により電圧に変換する。

[0102] 以上説明したように、本実施形態によれば、コンデンサ 606a を抵抗 606b としたことで、コンデンサ 606a への蓄積時間が不要となり、スイッチ 604 の ON、OFF 時間をより短縮可能となり、調整時間がより短縮されることが可能となる。このように、第 1 の実施形態の変形例 2 においても、電流調整部 60 は、補正電流を複数の接続経路 55a に流す場合と流さない場合とにおいて、差動段 510 の指示信号の差に基づいて、補正電流を調整することができる。これにより、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0103] (第 1 実施形態の変形例 3)

第 1 実施形態の変形例 3 に係る表示装置 1 は、電流電圧変換部 600b を有しないことで、第 1 実施形態に係る表示装置 1 と相違する。以下では、第 1 実施形態の変形例 1 に係る表示装置 1 と相違する点を説明する。

[0104] 図 16 は第 1 実施形態の変形例 3 による電流調整部 60 の構成例を示すブロック図である。電流調整部 60 は、電圧比較器 610 と、調整信号生成部 620 と、バイアス回路 630 を有する。

[0105] 図 17 は、図 16 の電流調整部 60 の処理動作を示すフローチャートである。

[0106] まず、ある水平ラインに接続された全画素回路 15 に白色輝度を設定した状態（白ラスタ時）で、スイッチ 604、スイッチ 614 を ON する。これにより、白色輝度を設定した状態における指示信号が出力される。この際の指示信号が REF 電圧として、電圧比較器 610 に保持される（ステップ S100）。

[0107] 次に、複数の補正電流源 58 の電流量を $K \times 2^{n-1}$ に初期化するとともに、

調整回数を示す変数 j を n に初期設定する（ステップ S 2）。次に、 j を 1 だけディクリメントする（ステップ S 3）。

[0108] 次に、 $j = 0$ か否かを判定する（ステップ S 4）。 $j = 0$ であれば処理を終了する。 $j = 0$ でなければ、調整信号の j ビット目を H に固定する（ステップ S 5）。次に、全補正電流源 5 8 を駆動する全電流源駆動時（黒ラスタ時）に、スイッチ 6 0 4、スイッチ 6 1 4 を ON する。これにより、補正電流量が $K \times 2^{n-1}$ における指示信号が出力され、補正電流量が $K \times 2^{n-1}$ における指示信号が出力される。この指示信号が I N 電圧として、電圧比較器 6 1 0 に入力される（ステップ S 6 0 0）。電圧比較器 6 1 0 では、電圧がステップ S 6 で検出された電圧より高いか否かを判定する（ステップ S 7）。ステップ S 7 の判定処理は、電圧比較器 6 1 0 で行われ、電圧比較器 6 1 0 の出力がステップ S 7 の判定結果を示している。

[0109] ステップ S 7 が Y E S の場合、調整信号の j ビット目を L に変更する（ステップ S 8）。これにより、補正電流源 5 8 から出力される補正電流が調整される。その後、ステップ S 3 以降の処理を繰り返す。

[0110] 一方、ステップ S 7 が N O の場合、調整信号の j ビット目を H に固定させて（ステップ S 9）、ステップ S 3 以降の処理を繰り返す。

[0111] 以上説明したように、第 1 の実施形態の変形例 3 において、電流調整部 6 0 は、補正電流を複数の接続経路 5 5 a に流す場合と流さない場合とにおいて、差動段 5 1 0 の指示信号の差に基づいて、補正電流を調整することができる。これにより、電流電圧変換部 6 0 0 b を有さないため、より簡易な構成により、表示装置 1 を構成することが可能となる。このように、差動段 5 1 0 の指示信号の差に基づいて、補正電流を調整することにより、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0112] （第 1 実施形態の変形例 4）

第1実施形態の変形例4に係る表示装置1は、積分器640を有することで、第1実施形態の変形例3に係る表示装置1と相違する。以下では、第1実施形態の変形例3に係る表示装置1と相違する点を説明する。

[0113] 図18は第1実施形態の変形例4による電流調整部60の構成例を示すブロック図である。電流調整部60は、電圧比較器610と、調整信号生成部620と、バイアス回路630と、積分器640と、を有する。積分器640により、指示信号を所定に期間に積分した電圧を電圧比較器610に供給する。なお、本実施形態に係る積分器640が電流電圧変換部に対応する。積分器640の帰還抵抗は、帰還コンデンサに置換してもよい。

[0114] 以上説明したように、第1の実施形態の変形例4では、指示信号の積分器640による積分値を電圧比較器610に供給するので、時間T内の指示信号の変動を、補正電流の調整に反映することが可能となる。このように、差動段510の指示信号の積分値の差に基づいて、補正電流を調整することにより、指示信号のノイズの影響を低減した状態で、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0115] (第1実施形態の変形例5)

第1実施形態の変形例5に係る表示装置1は増幅部645を有することで、第1実施形態の変形例3に係る表示装置1と相違する。以下では、第1実施形態の変形例3に係る表示装置1と相違する点を説明する。

[0116] 図19は第1実施形態の変形例5による電流調整部60の構成例を示すブロック図である。電流調整部60は、電圧比較器610と、調整信号生成部620と、バイアス回路630と、増幅部645と、を有する。増幅部645は、トランジスタであり、ランプバッファ51からカレントミラー的に分岐させた経路560がゲートに接続される。また、トランジスタ645は、ドレインが電圧比較器610に接続され、ソースが接地される。増幅部64

5により、指示信号を増幅した電圧を電圧比較器610に供給する。なお、本実施形態に係る増幅部645が電流電圧変換部に対応する。

[0117] 以上説明したように、第1の実施形態の変形例5では、トランジスタ645により増幅した指示信号を電圧比較器610に供給するので、電圧比較器610を小型化することが可能となる。このように、差動段510の指示信号の増幅値の差に基づいて、補正電流を調整することにより、指示信号を増幅した状態で、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0118] (第1実施形態の変形例6)

第1実施形態の変形例6に係る表示装置1は、アナログ回路で構成した電圧比較器660と、バイアス回路630aとを有することで、第1実施形態の変形例2に係る表示装置1と相違する。以下では、第1実施形態の変形例3に係る表示装置1と相違する点を説明する。

[0119] 図20は第1実施形態の変形例6による電流調整部60の構成例を示すブロック図である。電流調整部60は、電流電圧変換部600bと、電圧比較器660と、バイアス回路630aとを有する。バイアス回路630aは、コンデンサであり、更にスイッチ680を有する。電圧比較器660は、基準コンデンサ662を有する。

[0120] 電圧比較器660は、例えばエラーアンプであり、基準コンデンサ662に蓄積された電荷による基準電位REFと、スイッチ612がONである場合の比較電位INとの電位差を出力する。

[0121] バイアス回路630aは、NMOSトランジスタ58aのゲート(図4B参照)にバイアス電圧を供給する。これにより、補正電流源58は、同一の補正電流を、スイッチ61を介して各接続経路55aに供給する。

[0122] 図21は、図20の電流調整部60の処理動作を示すタイムチャートである。縦軸は、上から順に、第1ランプ波電圧、スイッチ604のON時間、

指示信号の値、信号REFSWEN、信号INSWEN、参照電位REFと、比較電位IN、スイッチ680のON信号SMPL、バイアス回路630aの電位である補正電流源ゲート電位、補正電流源58の電流値を示す。横軸は、時間を示す。

[0123] まず、ある水平ラインに接続された全画素回路15に白色輝度を設定した状態（白ラスタ時）で、スイッチ604a、スイッチ614をONする。これにより、白色輝度を設定した状態における指示信号が出力される。この際に、白色輝度を設定した状態におけるランプ配線55に流れる電流に比例する比例電位がコンデンサ662に蓄積される。コンデンサ606に蓄積される電荷に応じて、点線で示される参照電位REFが変動し、保持される。

[0124] 次に、全補正電流源58を駆動する全電流源駆動時（黒ラスタ時）に、スイッチ604a、スイッチ614をONする。これにより、黒色輝度を設定した状態における指示信号が出力される。この際に、黒色輝度を設定した状態におけるランプ配線55に流れる電流に比例する比例電位INが電圧比較器660に入力される。電圧比較器660の出力する電位差に応じて、スイッチ680のONの時にバイアス回路630aの電位が変動し、NMOSトランジスタ58aのゲートに印可される。これらから分かる様に、参照電位REFと、比較電位INとが等しくなるように、バイアス回路630aの電位が制御される。

[0125] 以上説明したように、第1の実施形態の変形例6によれば、電流調整部60は、補正電流を複数の接続経路55aに流す場合と流さない場合とにおいて、差動段510の指示信号の差に基づいて、補正電流を調整することができる。この場合、アナログ回路のみで電流調整部60を構成でき、電流調整部60をより小型することが可能となる。このように、差動段510の指示信号の差に基づいて、補正電流を調整することにより、補正電流の値をアナログ回路により帰還させ、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の

領域の白色輝度との輝度差を目立たなくすることができる。

[0126] (第1実施形態の変形例7)

第1実施形態の変形例7に係る表示装置1は、電圧比較器662がコンパレータで構成されることで、第1実施形態の変形例2に係る表示装置1と相違する。以下では、第1実施形態の変形例2に係る表示装置1と相違する点を説明する。

[0127] 図22は第1実施形態の変形例7による電流調整部60の構成例を示すブロック図である。電圧比較器662は、コンパレータで構成される。白表示時の差動段510の出力電圧をコンパレータ662の負入力にサンプルホールドする。そして、調整信号生成部620は、Nビット(Nbit)補正値を逐次的に変化させる。これにより、調整信号生成部620が逐次的に変化させた調整信号に応じた補正電流がランプ配線55に供給される。この際の、差動段510の出力する指示信号に比例する電位をコンパレータの正入力に印加する。そして、コンパレータ662の出力値が反転したところでNビットの補正値を確定させる。Nビット補正値を確定させる際の探索方法は線形探索、二分探索などを用いることが可能である。

[0128] 以上説明したように、第1の実施形態の変形例7によれば、電流調整部60は、補正電流を複数の接続経路55aに流す場合と流さない場合とにおいて、差動段510の指示信号の差に基づいて、補正電流を調整することができる。この場合、比較部をコンパレータ662により構成し、電流調整部60をより小型することが可能となる。このように、差動段510の指示信号の差に基づいて、補正電流を調整することにより、補正電流の値をアナログ回路により帰還させ、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0129] (第1実施形態の変形例8)

第1実施形態の変形例8に係る表示装置1は、電圧比較器662がコンパ

レータで構成され更に位相比較器 680 とチャージポンプ 690 を備えることで、第 1 実施形態の変形例 2 に係る表示装置 1 と相違する。以下では、第 1 実施形態の変形例 2 に係る表示装置 1 と相違する点を説明する。

[0130] 図 23 は第 1 実施形態の変形例 8 による電流調整部 60 の構成例を示すブロック図である。コンパレータ 662 の出力経路に接続された位相比較器 680 と、チャージポンプ 690 と、カスコードカレントミラー回路 700 とを有する。補正電流源 58 は、図 20 と同様に、同一のゲート電圧で動作する複数の NMOS トランジスタを有する。

[0131] 位相比較器 680 は、コンパレータ 662 の出力信号と、水平ラインごとに決まったタイミングでパルス出力する基準パルス信号との位相差パルスを出力する。チャージポンプ 690 は、位相比較器 680 から出力された位相差パルスの期間内は、チャージポンプ 690 の電流源が定電流を流すように制御する。

[0132] 図 24 は図 23 の電流調整部 60 の処理動作を示すフローチャートである。まず、ある水平ラインに接続された全画素回路 15 に白色輝度を設定した状態（白ラスタ時）で、スイッチ 604、スイッチ 614 を ON する。これにより、白色輝度を設定した状態における指示信号が出力される。この際に、白色輝度を設定した状態におけるランプ配線 55 に流れる電流に比例する比例電流がコンデンサ 606a に蓄積される。コンデンサ 606a に蓄積される電荷に応じて、参照電位 REF が変動し、スイッチ 604a、スイッチ 614a が OFF した瞬間の電位が REF 電圧として、電圧比較器 662 に保持される（ステップ S11）。

[0133] 次に、全補正電流源 58 を駆動する全電流源駆動時（黒ラスタ時）に、スイッチ 604a、スイッチ 614a を ON する。この際に、黒色輝度を設定した状態におけるランプ配線 55 に流れる電流に比例する比例電流がコンデンサ 606a に蓄積される。コンデンサ 606a に蓄積される電荷に応じて、比較電位 IN が変動し、スイッチ 604a、スイッチ 614a が OFF した瞬間の電位が比較電位 IN として、電圧比較器 662 に保持される（ステッ

プS 1 2)。

[0134] 次に、ステップS 1 1で検出された電圧がステップS 1 2で検出された電圧より高いか否かを判定する(ステップS 1 3)。ステップS 1 3の判定処理は、電圧比較器6 6 2で行われ、電圧比較器6 6 2の出力がステップS 1 3の判定結果を示している。

[0135] ステップS 1 3がY E Sの場合、補正電流を増やす制御を行い(ステップS 1 4)、ステップS 1 2以降の処理を繰り返す。一方、ステップS 1 3がN Oの場合、補正電流を減らす制御を行う(ステップS 1 5)。

[0136] 次に、規定回数だけ補正電流の調整を行ったか否かを判定する(ステップS 1 6)。規定回数に達していなければ、ステップS 1 2以降の処理を繰り返す。規定回数に達していれば、処理を終了する。

[0137] このように、第1実施形態の変形例8では、補正電流を複数の接続経路5 5 aに流す場合と流さない場合とにおいて、差動段5 1 0の指示信号の差に基づいて、補正電流を調整することができる。

[0138] (第1実施形態の変形例9)

第1実施形態の変形例9に係る表示装置1は、V o f s用D A C 5 3の電圧の全画素書き込み時の出力段電流と補正電流源の合計電流量が一致するように補正電流を調整する点で第1実施形態に係る表示装置1と相違する。以下では、第1実施形態に係る表示装置1と相違する点を説明する。

[0139] 図2 5は第1実施形態の変形例9による電流調整部6 0の構成例を示すブロック図である。補正電流源5 8は、図2 0と同様に、同一のゲート電圧で動作する複数のN M O Sトランジスタを有する。ランプ電源4 9 0は、セレクタ4 9 (図4 A参照)と、ランプ波生成回路5 2 (図4 A参照)と、V o f s用D A C 5 3 (図4 A参照)と、を有する。電圧比較器6 6 2 aは、例えばエラーアンプであり、基準コンデンサ6 6 2に蓄積された電荷による基準電位R E Fと、スイッチ6 1 2がO Nである場合の比較電位I Nとの電位差を出力する。

[0140] 図2 6は、図2 5の電流調整部6 0の処理動作を示すタイムチャートであ

る。縦軸は、上から順に、ランプ配線電圧、スイッチ604のON時間信号T、差動段510（エラーアンプ）の出力、信号REFSWEN、信号INSWEN、スイッチ61のON信号である信号SIGON、スイッチ56aのON信号である信号CALON、参照電位REFと、比較電位IN、スイッチ680のON信号である信号SMPL、補正電流源58におけるゲート電圧、及び補正電流源58の電流値を示す。横軸は、時間を示す。本実施形態では図7Bと同様に、VG0からVG255まで電圧レベルが一定の傾きで下がるランプ波電圧の場合で説明する。なお、第1実施形態と同様に、VG0からVG255まで電圧レベルが一定の傾きで上がるランプ波電圧を用いてもよい。

[0141] 本実施形態に係る第1状態は、例えばスイッチ56aが全てオン、スイッチ61が全てオフした状態である。この第1状態は、Vofs用DAC53（図4A参照）の全画素に対するオフセット電圧V0FSの設定時であり、基準電圧の書き込み状態に対応する。本実施形態に係る第2状態は、例えばスイッチ56aが全てオフ、スイッチ61が全てオンした状態である。この第2輝度は、例えば黒色輝度であり、黒階調書き込み状態に対応する。

[0142] 図26に示すように、REF取得期間では、全画素回路15にVofs用DAC53のオフセット電圧V0FSを設定する状態で、ON時間信号T、信号REFSWEN、及び信号SIGONが同期してハイレベルとなり、スイッチ604、スイッチ614をONする。これにより、V0FS書き込み時の差動段510の指示信号が出力される。この際に、V0FS書き込み時の状態におけるランプ配線55に流れる電流に比例する比例電流がコンデンサ606に蓄積される。コンデンサ606に蓄積される電荷に応じて、点線で示される参照電位REFが変動し、スイッチ604、スイッチ614がOFFした瞬間の電位がREF電圧として、エラーアンプ662aに保持される。

[0143] 次に、全補正電流源58を駆動する全電流源駆動時（黒ラスタ時）にランプ波生成回路52（図4A参照）からランプ波が出力され、ON時間信号Tがハイレベルとなり、スイッチ604、スイッチ614をONする。ON時

間信号Tがハイレベルとなる瞬間に、信号INSWEN及び信号SAMPLが同期してハイレベルとなる。信号INSWEN、信号CAKON、及び信号SAMPLは、ランプ波生成回路52のランプ波電圧が所定値になるまで、ハイレベルを維持する。

[0144] この際に、ランプ波生成回路52のランプ波の出力状態におけるランプ配線55に流れる電流に比例する比例電流がコンデンサ606に蓄積される。コンデンサ606に蓄積される電荷に応じて、点線で示される電位INが瞬時に変動し、スイッチ604、スイッチ614がOFFした瞬間の電位がIN電圧として、エラーアンプ662aに保持される。

[0145] エラーアンプ662aでは、REF電圧とIN電圧との差に基づく信号を調整信号生成部620に出力する。これにより、全電流源駆動時（黒ラスタ時）と、V0FS書き込み時の補正電流が同一となるように、補正電流源58から出力される補正電流が調整される。このように、第1実施形態の変形例9では、補正電流を複数の接続経路55aに流す場合と流さない場合とにおいて、差動段510の指示信号の差に基づいて、補正電流を調整することができる。

[0146] （第1実施形態の変形例10）

以下の図27乃至図33を用いて画素11の構成例を説明する。以下では、画素11を画素PIXと記する場合がある。図27は、画素PIXの一構成例を表すものである。画素PIXは、トランジスタMN02～MN03と、キャパシタC01と、発光素子ELとを有している。トランジスタMN02～MN03は、N型のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）である。トランジスタMN02のゲートは制御線WSLに接続され、ドレインは信号線SGLに接続され、ソースはトランジスタMN03のゲートおよびキャパシタC01に接続される。キャパシタC01の一端はトランジスタMN02のソースおよびトランジスタMN03のゲートに接続され、他端はトランジスタMN03のソースおよび発光素子ELのアノードに接続される。トランジスタMN03のゲートはトランジスタMN0

2のソースおよびキャパシタC01の一端に接続され、ドレインは電源線VCCPに接続され、ソースはキャパシタC01の他端および発光素子ELのアノードに接続される。発光素子ELは例えば有機EL発光素子であり、アノードはトランジスタMN03のソースおよびキャパシタC01の他端に接続され、カソードは電源線Vcathに接続される。

[0147] この構成により、画素PIXでは、トランジスタMN02がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC01の両端間の電圧が設定される。トランジスタMN03は、キャパシタC01の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMN03から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。

[0148] 図28は、画素PIXの他の一構成例を表すものである。この画素PIXは、キャパシタC11、C12と、トランジスタMP12~MP15と、発光素子ELとを有している。トランジスタMP12~MP15はP型のMOSFETである。トランジスタMP12のゲートは制御線WSLに接続され、ソースは信号線SGLに接続され、ドレインはトランジスタMP14のゲートおよびキャパシタC12に接続される。キャパシタC11の一端は電源線VCCPに接続され、他端はキャパシタC12、トランジスタMP13のドレイン、およびトランジスタMP14のソースに接続される。キャパシタC12の一端はキャパシタC11の他端、トランジスタMP13のドレイン、およびトランジスタMP14のソースに接続され、他端はトランジスタMP12のドレインおよびトランジスタMP14のゲートに接続される。トランジスタMP13のゲートは制御線DSLに接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP14のソース、キャパシタC11の他端、およびキャパシタC12の一端に接続される。トランジスタMP14のゲートはトランジスタMP12のドレインおよびキャパシタC12の他端に接続され、ソースはトランジスタMP13のドレイン、キャパシタC11の他端、およびキャパシタC12の一端に接続され、ドレインは発光

素子E LのアノードおよびトランジスタMP 1 5のソースに接続される。トランジスタMP 1 5のゲートは制御線A Z S Lに接続され、ソースはトランジスタMP 1 4のドレインおよび発光素子E Lのアノードに接続され、ドレインは電源線V S Sに接続される。

[0149] この構成により、画素P I Xでは、トランジスタMP 1 2がオン状態になることにより、信号線S G Lから供給された画素信号に基づいてキャパシタC 1 2の両端間の電圧が設定される。トランジスタMP 1 3は、制御線D S Lの信号に基づいてオンオフする。トランジスタMP 1 4は、トランジスタMP 1 3がオン状態である期間において、キャパシタC 1 2の両端間の電圧に応じた電流を発光素子E Lに流す。発光素子E Lは、トランジスタMP 1 4から供給された電流に基づいて発光する。このようにして、画素P I Xは、画素信号に応じた輝度で発光する。トランジスタMP 1 5は、制御線A Z S Lの信号に基づいてオンオフする。トランジスタMP 1 5がオン状態である期間において、発光素子E Lのアノードの電圧は電源線V S Sの電圧に設定されることにより初期化される。

[0150] 図2 9は、画素P I Xの他の一構成例を表すものである。この画素P I Xは、キャパシタC 2 1と、トランジスタMN 2 2～MN 2 5と、発光素子E Lとを有している。トランジスタMN 2 2～MN 2 5はN型のM O S F E Tである。トランジスタMN 2 2のゲートは制御線W S Lに接続され、ドレインは信号線S G Lに接続され、ソースはトランジスタMN 2 4のゲートおよびキャパシタC 2 1に接続される。キャパシタC 2 1の一端はトランジスタMN 2 2のソースおよびトランジスタMN 2 4のゲートに接続され、他端はトランジスタMN 2 4のソース、トランジスタMN 2 5のドレイン、および発光素子E Lのアノードに接続される。トランジスタMN 2 3のゲートは制御線D S Lに接続され、ドレインは電源線V C C Pに接続され、ソースはトランジスタMN 2 4のドレインに接続される。トランジスタMN 2 4のゲートはトランジスタMN 2 2のソースおよびキャパシタC 2 1の一端に接続され、ドレインはトランジスタMN 2 3のソースに接続され、ソースはキャパ

シタC 2 1の他端、トランジスタMN 2 5のドレイン、および発光素子E Lのアノードに接続される。トランジスタMN 2 5のゲートは制御線A Z S Lに接続され、ドレインはトランジスタMN 2 4のソース、キャパシタC 2 1の他端、および発光素子E Lのアノードに接続され、ソースは電源線V S Sに接続される。

[0151] この構成により、画素P I Xでは、トランジスタMN 2 2がオン状態になることにより、信号線S G Lから供給された画素信号に基づいてキャパシタC 2 1の両端間の電圧が設定される。トランジスタMN 2 3は、制御線D S Lの信号に基づいてオンオフする。トランジスタMN 2 4は、トランジスタMN 2 3がオン状態である期間において、キャパシタC 2 1の両端間の電圧に応じた電流を発光素子E Lに流す。発光素子E Lは、トランジスタMN 2 4から供給された電流に基づいて発光する。このようにして、画素P I Xは、画素信号に応じた輝度で発光する。トランジスタMN 2 5は、制御線A Z S Lの信号に基づいてオンオフする。トランジスタMN 2 5がオン状態である期間において、発光素子E Lのアノードの電圧は電源線V S Sの電圧に設定されることにより初期化される。

[0152] 図3 0は、画素P I Xの他の一構成例を表すものである。この画素P I Xは、キャパシタC 3 1と、トランジスタMP 3 2～MP 3 6と、発光素子E Lとを有している。トランジスタMP 3 2～MP 3 6はP型のM O S F E Tである。トランジスタMP 3 2のゲートは制御線W S Lに接続され、ソースは信号線S G Lに接続され、ドレインはトランジスタMP 3 3のゲート、トランジスタMP 3 4のドレイン、およびキャパシタC 3 1に接続される。キャパシタC 3 1の一端は電源線V C C Pに接続され、他端はトランジスタM P 3 2のドレイン、トランジスタMP 3 3のゲート、およびトランジスタM P 3 4のドレインに接続される。トランジスタMP 3 4のゲートは制御線A Z S L 1に接続され、ソースはトランジスタMP 3 3のドレインおよびトランジスタMP 3 5のソースに接続され、ドレインはトランジスタMP 3 2のドレイン、トランジスタMP 3 3のゲート、およびキャパシタC 3 1の他端

に接続される。トランジスタMP 3 5のゲートは制御線DSLに接続され、ソースはトランジスタMP 3 3のドレインおよびトランジスタMP 3 4のソースに接続され、ドレインはトランジスタMP 3 6のソースおよび発光素子ELのアノードに接続される。トランジスタMP 3 6のゲートは制御線AZSL 2に接続され、ソースはトランジスタMP 3 5のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0153] この構成により、画素PIXでは、トランジスタMP 3 2がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC 3 1の両端間の電圧が設定される。トランジスタMP 3 5は、制御線DSLの信号に基づいてオンオフする。トランジスタMP 3 3は、トランジスタMP 3 5がオン状態である期間において、キャパシタC 3 1の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP 3 3から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP 3 4は、制御線AZSL 1の信号に基づいてオンオフする。トランジスタMP 3 4がオン状態である期間において、トランジスタMP 3 3のドレインおよびゲートが互いに接続される。トランジスタMP 3 6は、制御線AZSL 2の信号に基づいてオンオフする。トランジスタMP 3 6がオン状態になる期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0154] 図31は、画素PIXの他の一構成例を表すものである。キャパシタC 4 8の一端は信号線SGL 1に接続され、他端は電源線VSSに接続される。キャパシタC 4 9の一端は信号線SGL 1に接続され、他端は信号線SGL 2に接続される。トランジスタMP 4 9はP型のMOSFETであり、ゲートは制御線WSL 2に接続され、ソースは信号線SGL 1に接続され、ドレインは信号線SGL 2に接続される。

[0155] 画素PIXは、キャパシタC 4 1と、トランジスタMP 4 2～MP 4 6と、発光素子ELとを有している。トランジスタMP 4 2～MP 4 6は、P型

のMOSFETである。トランジスタMP42のゲートは制御線WSL1に接続され、ソースは信号線SGL2に接続され、ドレインはトランジスタMP43のゲートおよびキャパシタC41に接続される。キャパシタC41の一端は電源線VCCPに接続され、他端はトランジスタMP42のドレインおよびトランジスタMP43のゲートに接続される。トランジスタMP43のゲートはトランジスタMP42のドレインおよびキャパシタC41の他端に接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP44、MP45のソースに接続される。トランジスタMP44のゲートは制御線AZSL1に接続され、ソースはトランジスタMP43のドレインおよびトランジスタMP45のソースに接続され、ドレインは信号線SGL2に接続される。トランジスタMP45のゲートは制御線DSLに接続され、ソースはトランジスタMP43のドレインおよびトランジスタMP44のソースに接続され、ドレインはトランジスタMP46のソースおよび発光素子ELのアノードに接続される。トランジスタMP46のゲートは制御線AZSL2に接続され、ソースはトランジスタMP45のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

- [0156] この構成により、画素PIXでは、トランジスタMP42がオン状態になることにより、信号線SGL1からキャパシタC49を介して供給された画素信号に基づいてキャパシタC41の両端間の電圧が設定される。トランジスタMP45は、制御線DSLの信号に基づいてオンオフする。トランジスタMP43は、トランジスタMP45がオン状態である期間において、キャパシタC41の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMP43から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP44は、制御線AZSL1の信号に基づいてオンオフする。トランジスタMP44がオン状態である期間において、トランジスタMP43のドレインおよび信号線SGL2が互いに接続される。トランジスタMP46は、制御線AZSL2の信号に基づいてオンオフする。トランジスタMP46

がオン状態になる期間において、発光素子E Lのアノードの電圧は電源線V S Sの電圧に設定されることにより初期化される。

[0157] 図32は、画素P I Xの他の一構成例を表すものである。この画素P I Xは、キャパシタC 5 1と、トランジスタMP 5 2～MP 6 0と、発光素子E Lとを有している。トランジスタMP 5 2～MP 6 0はP型のMOS FETである。トランジスタMP 5 2のゲートは制御線W S Lに接続され、ソースは信号線S G Lに接続され、ドレインはトランジスタMP 5 3のドレインおよびトランジスタMP 5 4のソースに接続される。トランジスタMP 5 3のゲートは制御線D S Lに接続され、ソースは電源線V C C Pに接続され、ドレインはトランジスタMP 5 2のドレインおよびトランジスタMP 5 4のソースに接続される。トランジスタMP 5 4のゲートはトランジスタMP 5 5のソース、トランジスタMP 5 7のドレイン、およびキャパシタC 5 1に接続され、ソースはトランジスタMP 5 2、MP 5 3のドレインに接続され、ドレインはトランジスタMP 5 8、MP 5 9のソースに接続される。キャパシタC 5 1の一端は電源線V C C Pに接続され、他端はトランジスタMP 5 4のゲート、トランジスタMP 5 5のソース、およびトランジスタMP 5 7のドレインに接続される。キャパシタC 5 1は、互いに並列に接続された2つのキャパシタを含んでいてもよい。トランジスタMP 5 5のゲートは制御線A Z S L 1に接続され、ソースはトランジスタMP 5 4のゲート、トランジスタMP 5 7のドレイン、およびキャパシタC 5 1の他端に接続され、ドレインはトランジスタMP 5 6のソースに接続される。トランジスタMP 5 6のゲートは制御線A Z S L 1に接続され、ソースはトランジスタMP 5 5のドレインに接続され、ドレインは電源線V S Sに接続される。トランジスタMP 5 7のゲートは制御線W S Lに接続され、ドレインはトランジスタMP 5 4のゲート、トランジスタMP 5 5のソース、およびキャパシタC 5 1の他端に接続され、ソースはトランジスタMP 5 8のドレインに接続される。トランジスタMP 5 8のゲートは制御線W S Lに接続され、ドレインはトランジスタMP 5 7のソースに接続され、ソースはトランジスタMP 5 4の

ドレインおよびトランジスタMP 5 9のソースに接続される。トランジスタMP 5 9のゲートは制御線DSLに接続され、ソースはトランジスタMP 5 4のドレインおよびトランジスタMP 5 8のソースに接続され、ドレインはトランジスタMP 6 0のソースおよび発光素子ELのアノードに接続される。トランジスタMP 6 0のゲートは制御線AZSL 2に接続され、ソースはトランジスタMP 5 9のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0158] この構成により、画素PIXでは、トランジスタMP 5 2, MP 5 4, MP 5 8, MP 5 7がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC 5 1の両端間の電圧が設定される。トランジスタMP 5 3, MP 5 9は、制御線DSLの信号に基づいてオンオフする。トランジスタMP 5 4は、トランジスタMP 5 3, MP 5 9がオン状態である期間において、キャパシタC 5 1の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP 5 4から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP 5 5, MP 5 6は、制御線AZSL 1の信号に基づいてオンオフする。トランジスタMP 5 5, MP 5 6がオン状態である期間において、トランジスタMP 5 4のゲートの電圧は電源線VSSの電圧に設定されることにより初期化される。トランジスタMP 6 0は、制御線AZSL 2の信号に基づいてオンオフする。トランジスタMP 6 0がオン状態である期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0159] 図33は、画素PIXの他の一構成例を表すものである。制御線WSNLの信号および制御線WSPLの信号は、互いに反転した信号である。

[0160] 画素PIXは、キャパシタC 6 1, C 6 2と、トランジスタMN 6 3, MP 6 4, MN 6 5~MN 6 7と、発光素子ELとを有している。トランジスタMN 6 3, MN 6 5~MN 6 7はN型のMOSFETであり、トランジスタMP 6 4はP型のMOSFETである。トランジスタMN 6 3のゲートは

制御線WSNLに接続され、ドレインは信号線SGLおよびトランジスタMP64のソースに接続され、ソースはトランジスタMP64のドレイン、キャパシタC61、C62、およびトランジスタMN65のゲートに接続される。トランジスタMP64のゲートは制御線WSPに接続され、ソースは信号線SGLおよびトランジスタMN63のドレインに接続され、ドレインはトランジスタMN63のソース、キャパシタC61、C62、およびトランジスタMN65のゲートに接続される。キャパシタC61は、例えばMOM (Metal Oxide Metal) キャパシタを用いて構成され、一端はトランジスタMN63のソース、トランジスタMP64のドレイン、キャパシタC62、およびトランジスタMN65のゲートに接続され、他端は電源線VSS2に接続される。なお、キャパシタC61は、例えばMOSキャパシタやMIM (Metal Insulator Metal) キャパシタを用いて構成されてもよい。キャパシタC62は、例えばMOSキャパシタを用いて構成され、一端はトランジスタMN63のソース、トランジスタMP64のドレイン、キャパシタC61の一端、およびトランジスタMN65のゲートに接続され、他端は電源線VSS2に接続される。なお、キャパシタC62は、例えば、MOMキャパシタやMIMキャパシタを用いて構成されてもよい。トランジスタMN65のゲートはトランジスタMN63のソース、トランジスタMP64のドレイン、およびキャパシタC61、C62の一端に接続され、ドレインは電源線VCCPに接続され、ソースはトランジスタMN66、MN67のドレインに接続される。トランジスタMN66のゲートは制御線AZLに接続され、ドレインはトランジスタMN65のソースおよびトランジスタMN67のドレインに接続され、ソースは電源線VSS1に接続される。トランジスタMN67のゲートは制御線DSLに接続され、ドレインはトランジスタMN65のソースおよびトランジスタMN66のドレインに接続され、ソースは発光素子ELのアノードに接続される。

[0161] この構成により、画素PIXでは、トランジスタMN63、MP64のうちの少なくとも一方がオン状態になることにより、信号線SGLから供給さ

れた画素信号に基づいてキャパシタC 6 1, C 6 2の両端間の電圧が設定される。トランジスタMN 6 7は、制御線DSLの信号に基づいてオンオフする。トランジスタMN 6 5は、トランジスタMN 6 7がオン状態である期間において、キャパシタC 6 1, C 6 2の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP 6 5から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMN 6 6は、制御線AZLの信号に基づいてオンオフしてもよい。また、トランジスタMN 6 6は、制御線AZLの信号に応じた抵抗値を有する抵抗素子として機能してもよい。この場合、トランジスタMN 6 5およびトランジスタMN 6 6はいわゆるソースフォロワ回路を構成する。

[0162] <適用例>

次に、上記実施の形態および変形例で説明した表示システムの適用例について説明する。

[0163] (適用例1)

図34は、ヘッドマウントディスプレイ110の外観の一例を表すものである。ヘッドマウントディスプレイ110は、例えば、眼鏡形の表示部111の両側に、使用者の頭部に装着するための耳掛け部112を有する。このようなヘッドマウントディスプレイ110に、上記実施の形態等に係る技術を適用することができる。

[0164] (適用例2)

図35は、他のヘッドマウントディスプレイ120の外観の一例を表すものである。ヘッドマウントディスプレイ120は、本体部121と、アーム部122と、鏡筒部123とを有する、透過式のヘッドマウントディスプレイである。このヘッドマウントディスプレイ120は、眼鏡128に装着されている。本体部121は、ヘッドマウントディスプレイ120の動作を制御するための制御基板や表示部を有している。この表示部は、表示画像の画像光を射出する。アーム部122は、本体部121と鏡筒部123とを連結

し、鏡筒部 1 2 3 を支持する。鏡筒部 1 2 3 は、本体部 1 2 1 からアーム部 1 2 2 を介して供給された画像光を、眼鏡 1 2 8 のレンズ 1 2 9 を介して、ユーザの目に向かって投射する。このようなヘッドマウントディスプレイ 1 2 0 に、上記実施の形態等に係る技術を適用することができる。

[0165] なお、このヘッドマウントディスプレイ 1 2 0 は、いわゆる導光板方式のヘッドマウントディスプレイであるが、これに限定されるものではなく、例えば、いわゆるバードバス方式のヘッドマウントディスプレイであってもよい。このバードバス方式のヘッドマウントディスプレイは、例えば、ビームスプリッタと、部分的に透明なミラーとを備えている。ビームスプリッタは、画像情報でエンコードされた光をミラーに向けて出力し、ミラーは、光をユーザの目に向かって反射させる。ビームスプリッタおよび部分的に透明なミラーの両方は、部分的に透明である。これにより、周囲環境からの光がユーザの目に到達する。

[0166] (適用例 3)

図 3 6、図 3 7 は、デジタルスチルカメラ 1 3 0 の外観の一例を表すものであり、図 3 6 は正面図を示し、図 3 7 は背面図を示す。このデジタルスチルカメラ 1 3 0 は、レンズ交換式一眼レフレックスタイプのカメラであり、カメラ本体部（カメラボディ） 1 3 1 と、撮影レンズユニット 1 3 2 と、グリップ部 1 3 3 と、モニタ 1 3 4 と、電子ビューファインダ 1 3 5 とを有する。撮像レンズユニット 3 1 2 は、交換式のレンズユニットであり、カメラ本体部 3 1 1 の正面のほぼ中央付近に設けられる。グリップ部 1 3 3 は、カメラ本体部 3 1 1 の正面の左側に設けられ、撮影者は、このグリップ部 1 3 3 を把持するようになっている。モニタ 1 3 4 は、カメラ本体部 1 3 1 の背面のほぼ中央よりも左側に設けられる。電子ビューファインダ 1 3 5 は、カメラ本体部 1 3 1 の背面において、モニタ 1 4 の上部に設けられる。撮影者は、この電子ビューファインダ 1 3 5 を覗くことにより、撮影レンズユニット 1 3 2 から導かれた被写体の光像を視認し、構図を決定することができる。電子ビューファインダ 1 3 5 に、上記実施の形態等に係る技術を適用する。

ことができる。

[0167] (適用例 4)

図 38 は、テレビジョン装置 140 の外観の一例を表すものである。テレビジョン装置 140 は、フロントパネル 142 およびフィルターガラス 143 を含む映像表示画面部 141 を有する。この映像表示画面部 141 に、上記実施の形態等に係る技術を適用することができる。

[0168] (適用例 5)

図 39 は、スマートフォン 150 の外観の一例を表すものである。スマートフォン 150 は、各種情報を表示する表示部 151 と、ユーザによる操作入力を受け付けるボタンなどを含む操作部 152 とを有する。この表示部 151 に、上記実施の形態等に係る技術を適用することができる。

[0169] (適用例 6)

図 40、図 41 は、本開示の技術が適用された車両の一構成例を表すものであり、図 40 は、車両 200 の後部から見た車両の内部の一例を示し、図 41 は、車両 200 の左後方からみた車両の内部の一例を示す。

[0170] 図 40、図 41 の車両は、センターディスプレイ 201 と、コンソールディスプレイ 202 と、ヘッドアップディスプレイ 203 と、デジタルリアミラー 204 と、ステアリングホイールディスプレイ 205 と、リアエンタテインメントディスプレイ 106 とを有する。

[0171] センターディスプレイ 201 は、ダッシュボード 261 における、運転席 262 及び助手席 263 に対向する場所に配置されている。図 40 では、運転席 262 側から助手席 263 側まで延びる横長形状のセンターディスプレイ 201 の例を示すが、センターディスプレイ 201 の画面サイズや配置場所はこれに限定されるものではない。センターディスプレイ 201 は、種々のセンサで検知された情報を表示可能である。具体的な一例として、センターディスプレイ 201 には、イメージセンサで撮影した撮影画像、ToF センサで計測された、車両前方や側方の障害物までの距離画像、赤外線センサで検出された乗員の体温などを表示可能である。センターディスプレイ 20

1 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。

[0172] 安全関連情報は、センサの検出結果に基づく、居眠り検知、よそ見検知、同乗している子供のいたずら検知、シートベルト装着有無、乗員の置き去り検知などの情報である。操作関連情報は、センサを用いて検出された、乗員の操作に関するジェスチャの情報である。ジェスチャは、車両内の種々の設備の操作を含んでいてもよく、例えば、空調設備、ナビゲーション装置、A V (Audio Visual) 装置、照明装置等の操作を含む。ライフログは、乗員全員のライフログを含む。例えば、ライフログは、各乗員の行動記録を含む。ライフログを取得し保存することにより、事故が生じた際、乗員がどのような状態であったかを確認できる。健康関連情報は、温度センサを用いて検出された乗員の体温や、検出された体温に基づいて推測された乗員の健康状態の情報を含む。あるいは、乗員の健康状態の情報は、イメージセンサにより撮像された乗員の顔に基づいて推測されてもよい。また、乗員の健康状態の情報は、乗員と自動音声を用いて会話を行うことにより得られた乗員の回答内容に基づいて推測されてもよい。認証／識別関連情報は、センサを用いて顔認証を行うキーレスエントリ機能や、顔識別でシート高さや位置の自動調整機能などの情報を含む。エンタテインメント関連情報は、センサにより検出された乗員によるA V装置の操作情報や、センサにより検出され認識された乗員に適した、表示すべきコンテンツの情報などを含む。

[0173] コンソールディスプレイ202は、例えばライフログ情報の表示に用いることができる。コンソールディスプレイ202は、運転席262と助手席263の間のセンターコンソール264における、シフトレバー265の近くに配置されている。コンソールディスプレイ202も、種々のセンサで検出された情報を表示可能である。また、コンソールディスプレイ202は、イメージセンサで撮像された車両周辺の画像を表示してもよいし、車両周辺の障害物までの距離画像を表示してもよい。

- [0174] ヘッドアップディスプレイ 203 は、運転席 262 の前方のフロントガラス 266 の奥に仮想的に表示される。ヘッドアップディスプレイ 203 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。ヘッドアップディスプレイ 203 は、運転席 262 の正面に仮想的に配置されることが多いため、車両の速度、燃料の残量、バッテリーの残量などの車両の操作に直接関連する情報を表示するのに適している。
- [0175] デジタルリアミラー 204 は、車両の後方を表示できるだけでなく、後部座席の乗員の様子も表示できるため、例えば後部座席の乗員のライフログ情報の表示に用いることができる。
- [0176] ステアリングホイールディスプレイ 205 は、車両のステアリングホイール 267 の中心付近に配置されている。ステアリングホイールディスプレイ 205 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、ステアリングホイールディスプレイ 205 は、運転者の手の近くにあるため、運転者の体温等のライフログ情報を表示したり、AV 装置や空調設備等の操作に関する情報などを表示するのに適している。
- [0177] リアエンタテインメントディスプレイ 206 は、運転席 262 や助手席 263 の背面側に取り付けられており、後部座席の乗員が視聴するためのものである。リアエンタテインメントディスプレイ 206 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、リアエンタテインメントディスプレイ 206 は、後部座席の乗員の目の前にあるため、後部座席の乗員に関連する情報が表示される。リアエンタテインメントディスプレイ 206 は、例えば、AV 装置や空調設備の操作に関する情報を表示したり、後部座席の乗員の体温等を温度センサ 5 で計測

した結果を表示してもよい。

[0178] これらのセンターディスプレイ 201、コンソールディスプレイ 202、ヘッドアップディスプレイ 203、デジタルリアミラー 204、ステアリングホイールディスプレイ 205、リアエンタテインメントディスプレイ 206 に、上記実施の形態等に係る技術を適用することができる。

[0179] なお、本技術は以下のような構成を取ることができる。

(1) 少なくとも一方向に配置される複数の画素回路と、
前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

電圧レベルが時間に応じて変化する第 1 ランプ波電圧と、ランプ配線の所定の電位である第 2 ランプ波電圧との差分に応じた指示信号を出力するエラーアンプと、

前記指示信号に応じて、前記第 1 ランプ波電圧に基づく前記第 2 ランプ波電圧を前記ランプ配線に出力する出力部と、

前記ランプ配線と前記複数の信号線との間に接続されたスイッチにより、前記複数の画素回路の輝度に応じたタイミングで前記第 2 ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記指示信号に基づき、前記補正電流を調整する電流調整部と、
を備える表示装置。

[0180] (2) 前記複数の補正電流源は、前記第 2 ランプ波電圧を前記ランプ配線に供給する際には、前記複数の画素回路に設定される輝度によらず、同一の前記補正電流を前記複数の接続経路に供給する、(1)に記載の表示装置。

[0181] (3) 前記電流調整部は、前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合の前記指示信号と、流さない場合における前記指示信号とが一致するように前記補正電流を調整する、(1)又は(2)に記載の表示装置。

- [0182] (4) 前記電流調整部は、前記複数の接続経路が第1状態である場合に前記エラーアンプが出力する第1指示信号と、前記複数の接続経路が第1状態と異なる第2状態である場合に前記エラーアンプが出力する第2指示信号と、の差に基づいて、前記補正電流を調整する(1)に記載の表示装置。
- [0183] (5) 前記電流調整部は、前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とが一致するように前記補正電流を調整する、(4)に記載の表示装置。
- [0184] (6) 前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とは、前記第1状態である場合に前記ランプ配線の所定部に流れる電流値と、第2状態である場合に前記ランプ配線の所定部に流れる電流値とに、相関する、(5)に記載の表示装置。
- [0185] (7) 前記第1状態における前記複数の画素回路は、白階調書き込み状態であり、前記第2状態における前記複数の画素回路は、黒階調書き込み状態である(4)に記載の表示装置。
- [0186] (8) 前記第1指示信号は、前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合の前記指示信号であり、前記第2指示信号は、流さない場合における前記指示信号である、(4)に記載の表示装置。
- [0187] (9) 前記電流調整部は、前記第2指示信号に基づく電圧が前記第1指示信号に基づく電圧よりも低い場合には、前記補正電流をより大きくし、前記第2指示信号に基づく電圧が前記第1指示信号に基づく電圧よりも高い場合には、前記補正電流をより小さくする処理を行う、(4)に記載の表示装置。
- [0188] (10) 前記電流調整部は、
前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧との電圧差に応じた信号を出力する電圧比較器と、
前記電圧比較器から出力された信号に基づいて、前記電流調整部が前記補正電流を調整するための複数ビットの調整信号を生成する調整信号生成部と、を有し、

前記電流調整部は、前記調整信号に基づいて前記補正電流を調整する、（４）に記載の表示装置。

[0189] （１１） 前記調整信号生成部は、前記補正電流の調整のたびに、前記調整信号を１ビットずつ調整する、（１０）に記載の表示装置。

[0190] （１２） 前記電流調整部は、

前記第１指示信号に基づく電圧と、前記第２指示信号に基づく電圧とに変換する電流電圧変換部を更に有する、（１１）に記載の表示装置。

[0191] （１３） 前記第１指示信号に基づく電圧と、前記第２指示信号に基づく電圧とは、前記ランプ配線の所定部に流れる電流値に相関する、（１１）に記載の表示装置。

[0192] （１４） 前記電圧比較器は、逐次比較型アナログデジタルコンバータ、パイプラインアナログデジタルコンバータ、コンパレータ、エラーアンプのいずれかである、（１２）に記載の表示装置。

[0193] （１５） 前記電流調整部は、前記調整信号に応じたバイアス電位を生成し、前記補正電流源に供給するバイアス回路を更に有し、

前記補正電流源は、前記バイアス電位に応じた前記補正電流を出力する、（１４）に記載の表示装置。

[0194] （１６） 前記バイアス回路は、コンデンサを有する、（１５）に記載の表示装置。

[0195] （１７） 前記電流調整部は、

前記第１指示信号に基づく電圧と、前記第２指示信号に基づく電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号と、所定の基準信号との位相差に応じた信号を出力する位相比較器と、

前記位相比較器から出力された信号に応じた電圧を出力するチャージポンプと、を有し、

前記電流調整部は、前記チャージポンプから出力された電圧に基づいて、前記補正電流を調整する、（４）に記載の表示装置。

[0196] (18) 前記出力部は、前記ランプ配線に前記第2ランプ波電圧を出力する前に、前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧を前記ランプ配線に出力し、

前記電流調整部は、前記第2ランプ波電圧を出力する際に、前記指示信号の差に基づいて、前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する、(1)に記載の表示装置。

[0197] (19) 前記電流調整部は、連続する2つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、前記補正電流を調整する、(1)に記載の表示装置。

[0198] (20) 前記第1ランプ波電圧は、電圧レベルが時間に対して線形変動する、(1)に記載の表示装置。

[0199] (21) 前記第1状態における前記複数の画素回路は、基準電圧の書き込み状態であり、前記第2状態における前記複数の画素回路は、黒階調書き込み状態である、(4)に記載の表示装置。

[0200] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0201] 1：表示装置、2：表示システム、11：画素アレイ部、13：H-D R V部、51：ランプバッファ、55：ランプ配線、56：電圧保持部、56a：スイッチ、57：レベルシフタ、58：補正電流源、59：コンパレータ、60：電流調整部、61：スイッチ、510：差動段（エラーアンプ）、512：出力部、600、600a、600b：電流電圧変換部、610、660、662：電圧比較器、620：調整信号生成部、630、630a：バイアス回路、645：増幅部、690：チャージポンプ、700：カスコードカレントミラー回路。

請求の範囲

- [請求項1] 少なくとも一方向に配置される複数の画素回路と、
前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、
電圧レベルが時間に応じて変化する第1ランプ波電圧と、ランプ配線の所定の電位である第2ランプ波電圧との差分に応じた指示信号を出力するエラーアンプと、
前記指示信号に応じて、前記第1ランプ波電圧に基づく前記第2ランプ波電圧を前記ランプ配線に出力する出力部と、
前記ランプ配線と前記複数の信号線との間に接続されたスイッチにより、前記複数の画素回路の輝度に応じたタイミングで前記第2ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、
前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、
前記指示信号に基づき、前記補正電流を調整する電流調整部と、
を備える表示装置。
- [請求項2] 前記複数の補正電流源は、前記第2ランプ波電圧を前記ランプ配線に供給する際には、前記複数の画素回路に設定される輝度によらず、同一の前記補正電流を前記複数の接続経路に供給する、請求項1に記載の表示装置。
- [請求項3] 前記電流調整部は、前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合の前記指示信号と、流さない場合における前記指示信号とが一致するように前記補正電流を調整する、請求項1に記載の表示装置。
- [請求項4] 前記電流調整部は、前記複数の接続経路が第1状態である場合に前記エラーアンプが出力する第1指示信号と、前記複数の接続経路が第1状態と異なる第2状態である場合に前記エラーアンプが出力する第2指示信号と、の差に基づいて、前記補正電流を調整する請求項1に

記載の表示装置。

[請求項5] 前記電流調整部は、前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とが一致するように前記補正電流を調整する、請求項4に記載の表示装置。

[請求項6] 前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とは、前記第1状態である場合に前記ランプ配線の所定部に流れる電流値と、第2状態である場合に前記ランプ配線の所定部に流れる電流値とに、相関する、請求項5に記載の表示装置。

[請求項7] 前記第1状態における前記複数の画素回路は、白階調書き込み状態であり、前記第2状態における前記複数の画素回路は、黒階調書き込み状態である請求項4に記載の表示装置。

[請求項8] 前記第1指示信号は、前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合の前記指示信号であり、前記第2指示信号は、流さない場合における前記指示信号である、請求項4に記載の表示装置。

[請求項9] 前記電流調整部は、前記第2指示信号に基づく電圧が前記第1指示信号に基づく電圧よりも低い場合には、前記補正電流をより大きくし、前記第2指示信号に基づく電圧が前記第1指示信号に基づく電圧よりも高い場合には、前記補正電流をより小さくする処理を行う、請求項4に記載の表示装置。

[請求項10] 前記電流調整部は、
前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧との電圧差に応じた信号を出力する電圧比較器と、
前記電圧比較器から出力された信号に基づいて、前記電流調整部が前記補正電流を調整するための複数ビットの調整信号を生成する調整信号生成部と、を有し、
前記電流調整部は、前記調整信号に基づいて前記補正電流を調整する、請求項4に記載の表示装置。

- [請求項11] 前記調整信号生成部は、前記補正電流の調整のために、前記調整信号を1ビットずつ調整する、請求項10に記載の表示装置。
- [請求項12] 前記電流調整部は、
前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とに変換する電流電圧変換部を更に有する、請求項11に記載の表示装置。
- [請求項13] 前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧とは、前記ランプ配線の所定部に流れる電流値に相関する、請求項11に記載の表示装置。
- [請求項14] 前記電圧比較器は、逐次比較型アナログデジタルコンバータ、パイプラインアナログデジタルコンバータ、コンパレータ、エラーアンプのいずれかである、請求項12に記載の表示装置。
- [請求項15] 前記電流調整部は、前記調整信号に応じたバイアス電位を生成し、前記補正電流源に供給するバイアス回路を更に有し、
前記補正電流源は、前記バイアス電位に応じた前記補正電流を出力する、請求項14に記載の表示装置。
- [請求項16] 前記バイアス回路は、コンデンサを有する、請求項15に記載の表示装置。
- [請求項17] 前記電流調整部は、
前記第1指示信号に基づく電圧と、前記第2指示信号に基づく電圧との電圧差に応じた信号を出力する電圧比較器と、
前記電圧比較器から出力された信号と、所定の基準信号との位相差に応じた信号を出力する位相比較器と、
前記位相比較器から出力された信号に応じた電圧を出力するチャージポンプと、を有し、
前記電流調整部は、前記チャージポンプから出力された電圧に基づいて、前記補正電流を調整する、請求項4に記載の表示装置。
- [請求項18] 前記出力部は、前記ランプ配線に前記第2ランプ波電圧を出力する

前に、前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧を前記ランプ配線に出力し、

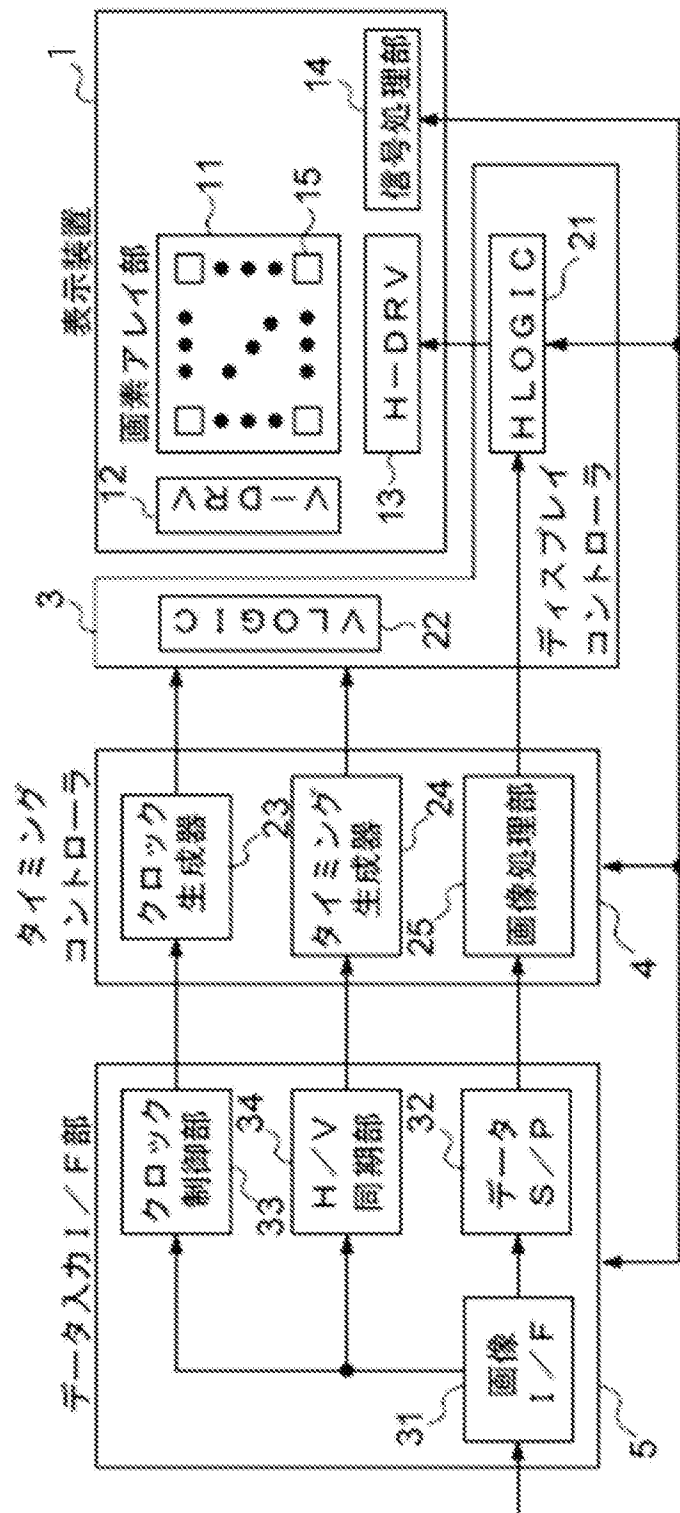
前記電流調整部は、前記第2ランプ波電圧を出力する際に、前記指示信号の差に基づいて、前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する、請求項1に記載の表示装置。

[請求項19] 前記電流調整部は、連続する2つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、前記補正電流を調整する、請求項1に記載の表示装置。

[請求項20] 前記第1ランプ波電圧は、電圧レベルが時間に対して線形変動する、請求項1に記載の表示装置。

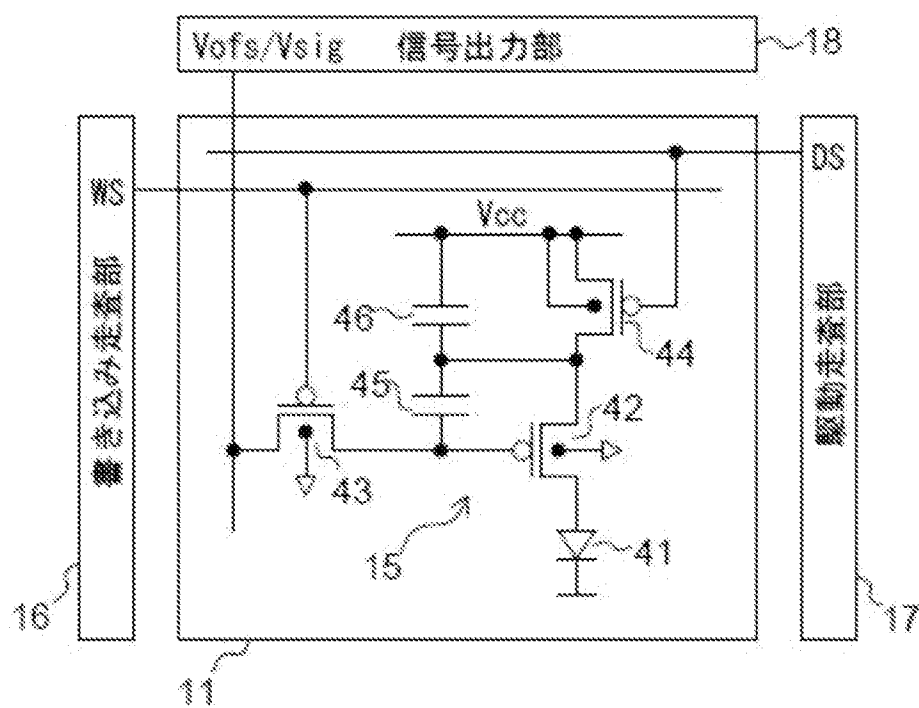
[請求項21] 前記第1状態における前記複数の画素回路は、基準電圧の書き込み状態であり、前記第2状態における前記複数の画素回路は、黒階調書き込み状態である、請求項4に記載の表示装置。

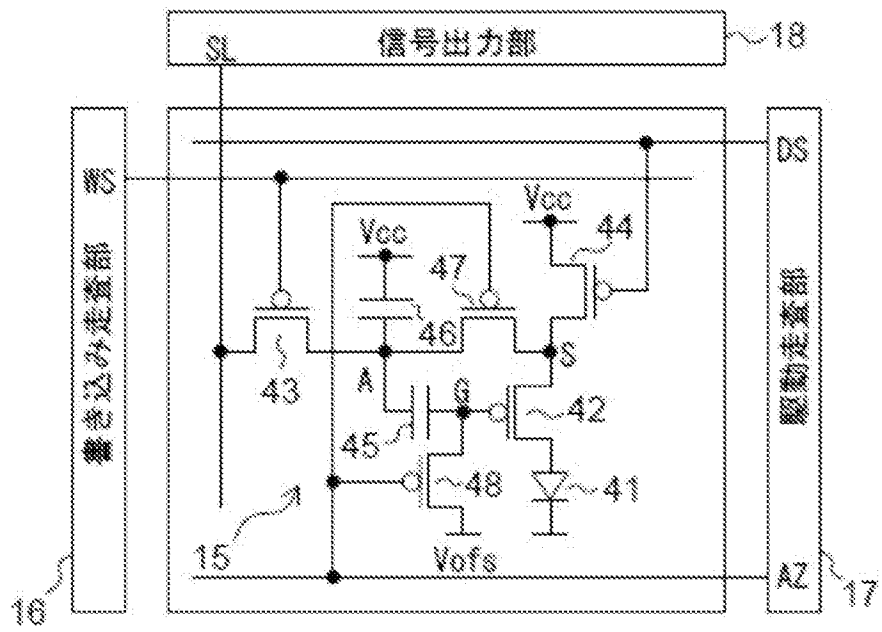
[図1]



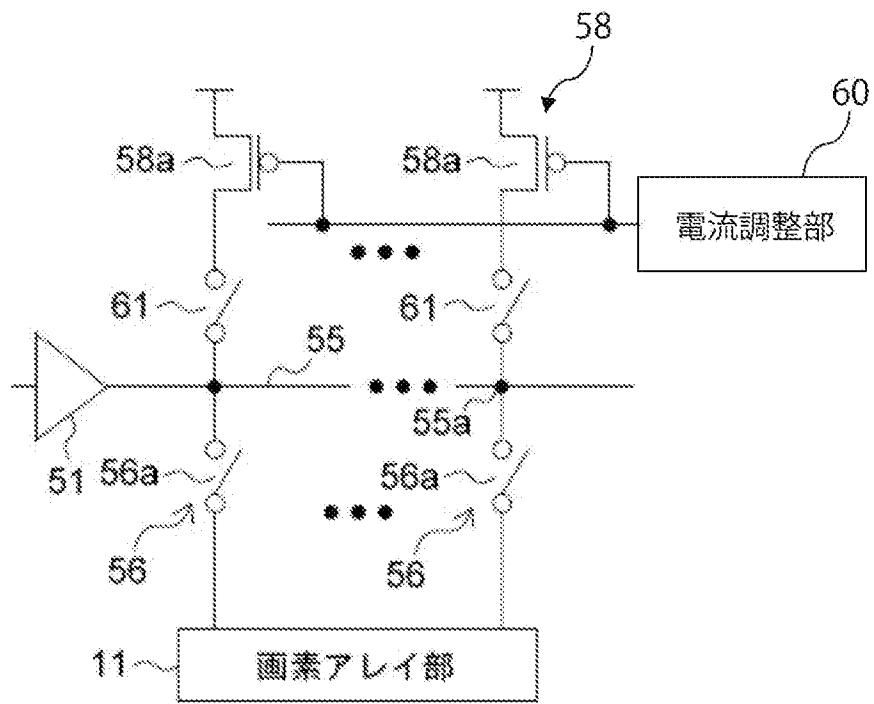
2: 表示システム

[図2]

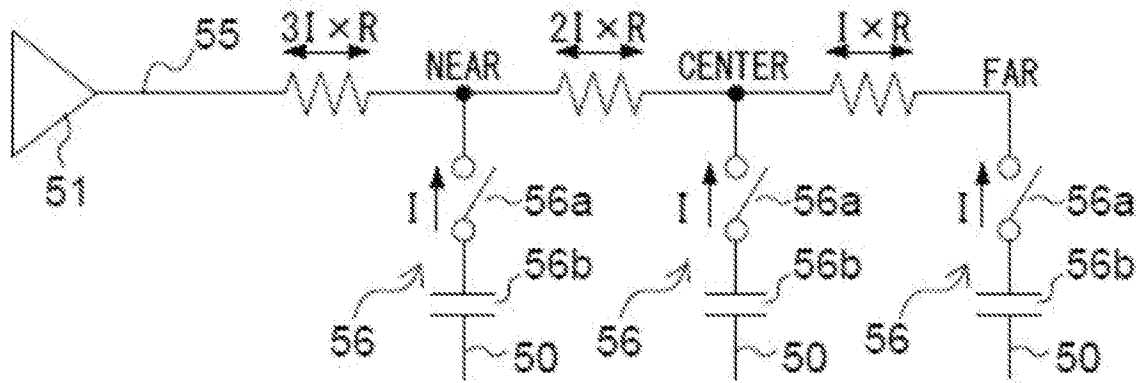




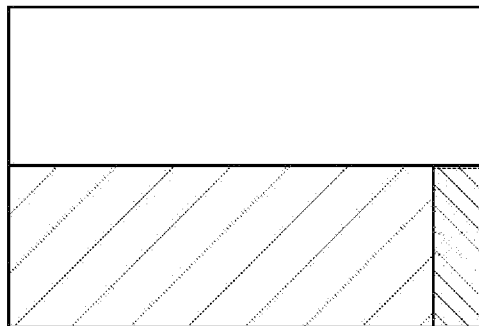
[図4B]



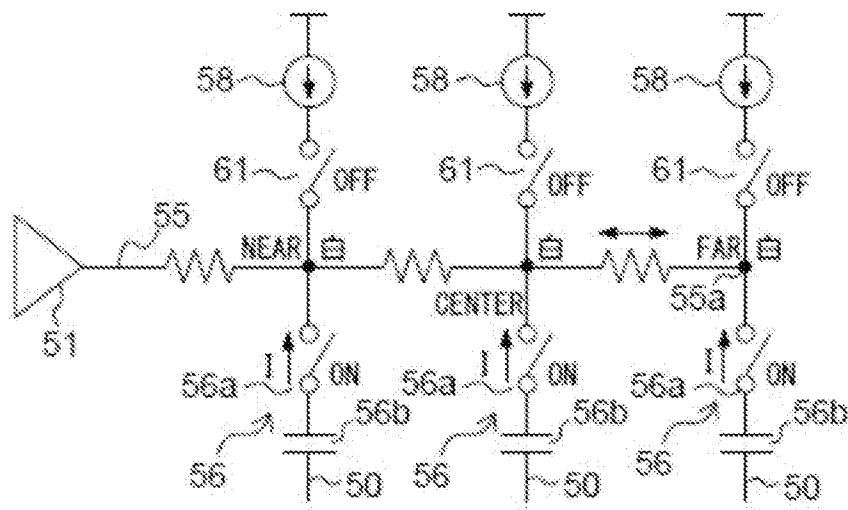
[図5]



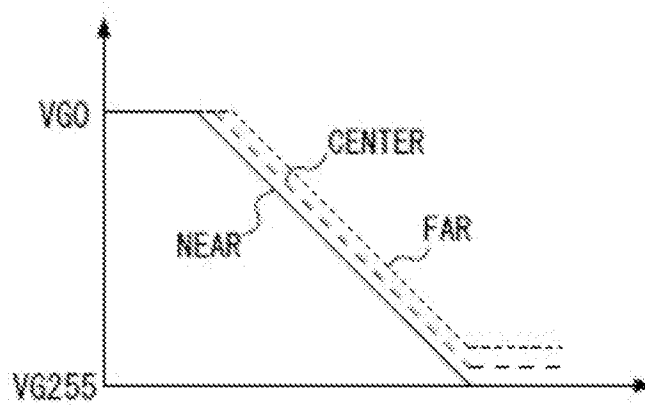
[図6]



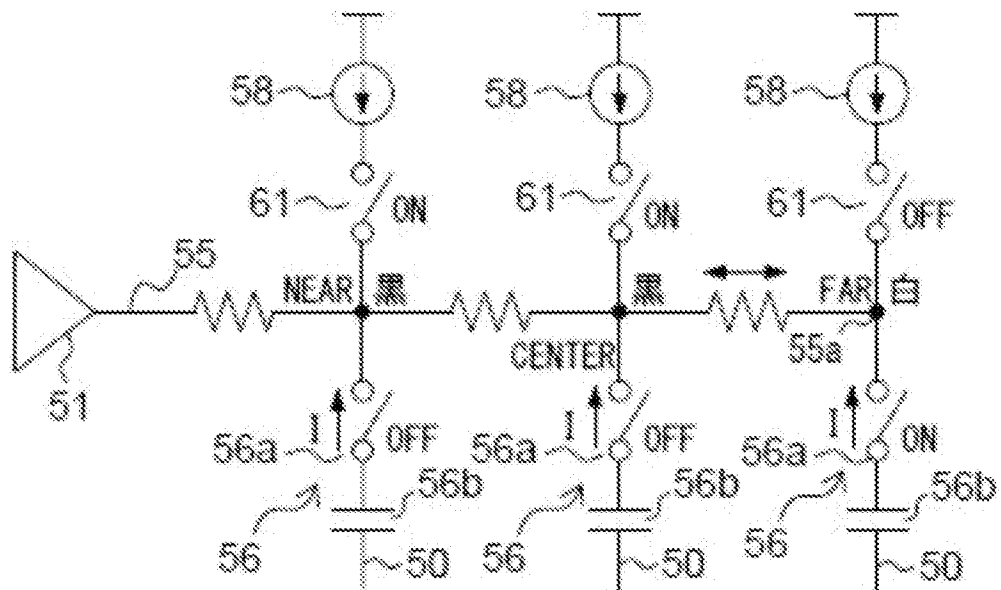
[図7A]



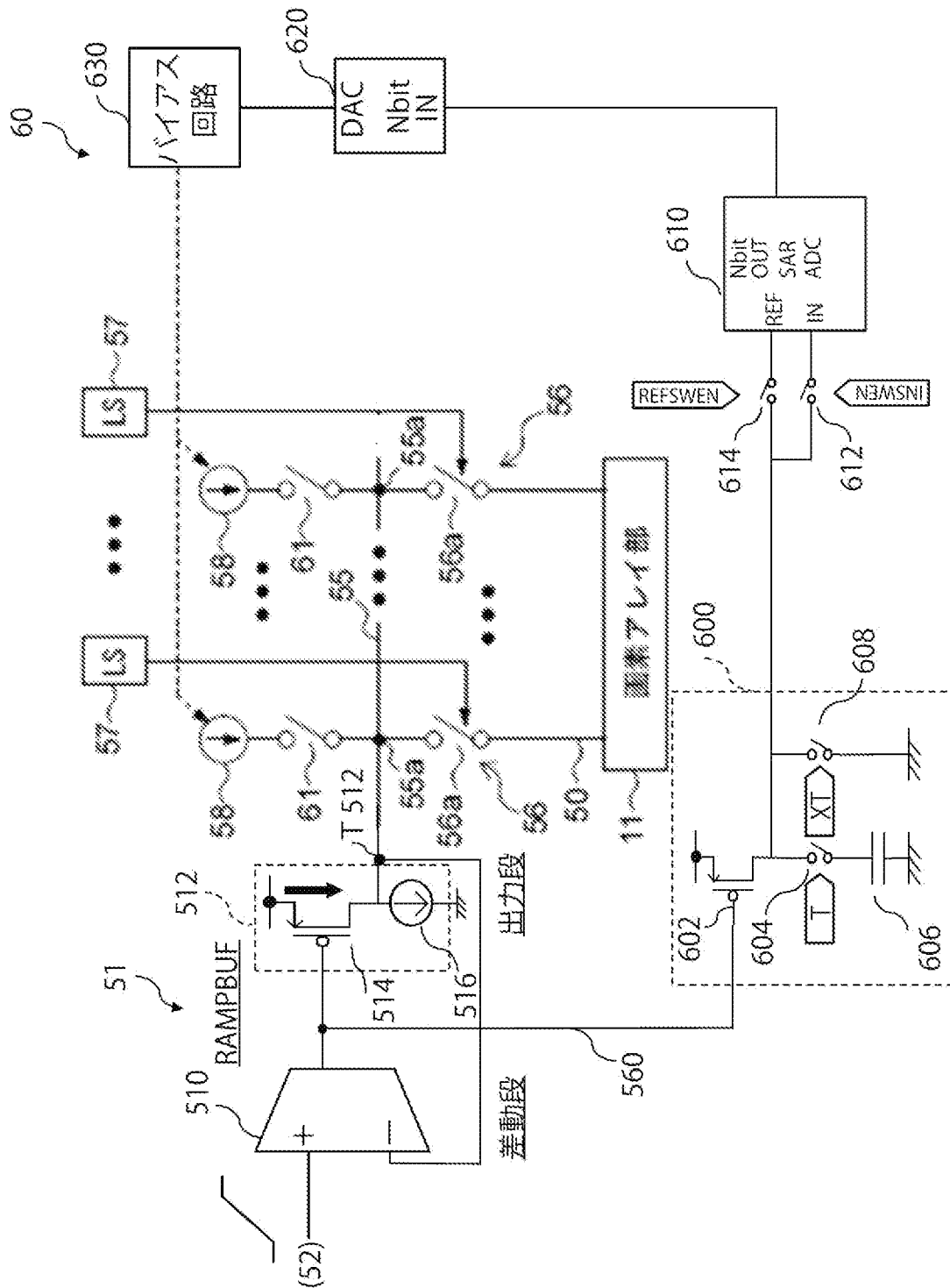
[図7B]



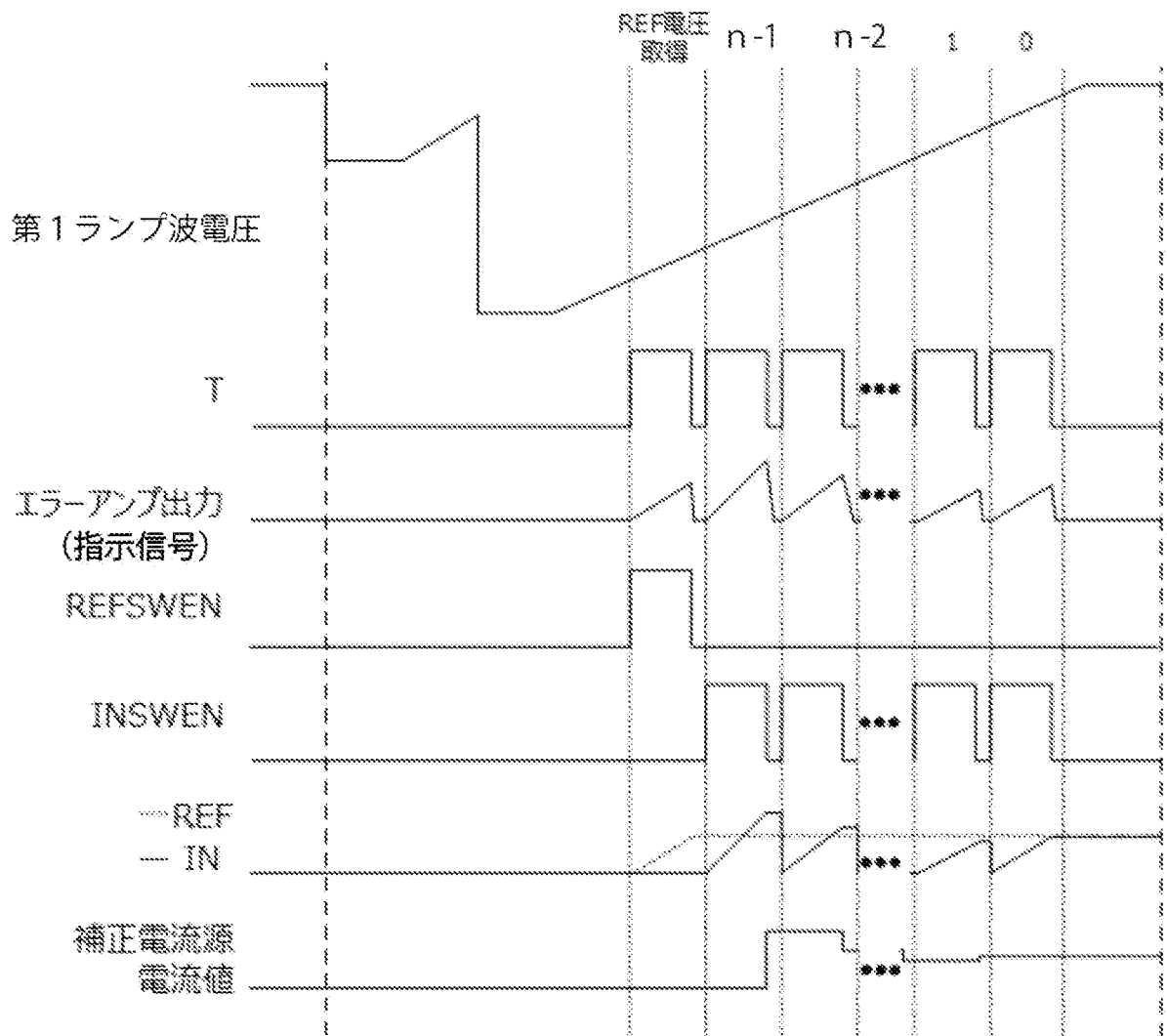
[図8]



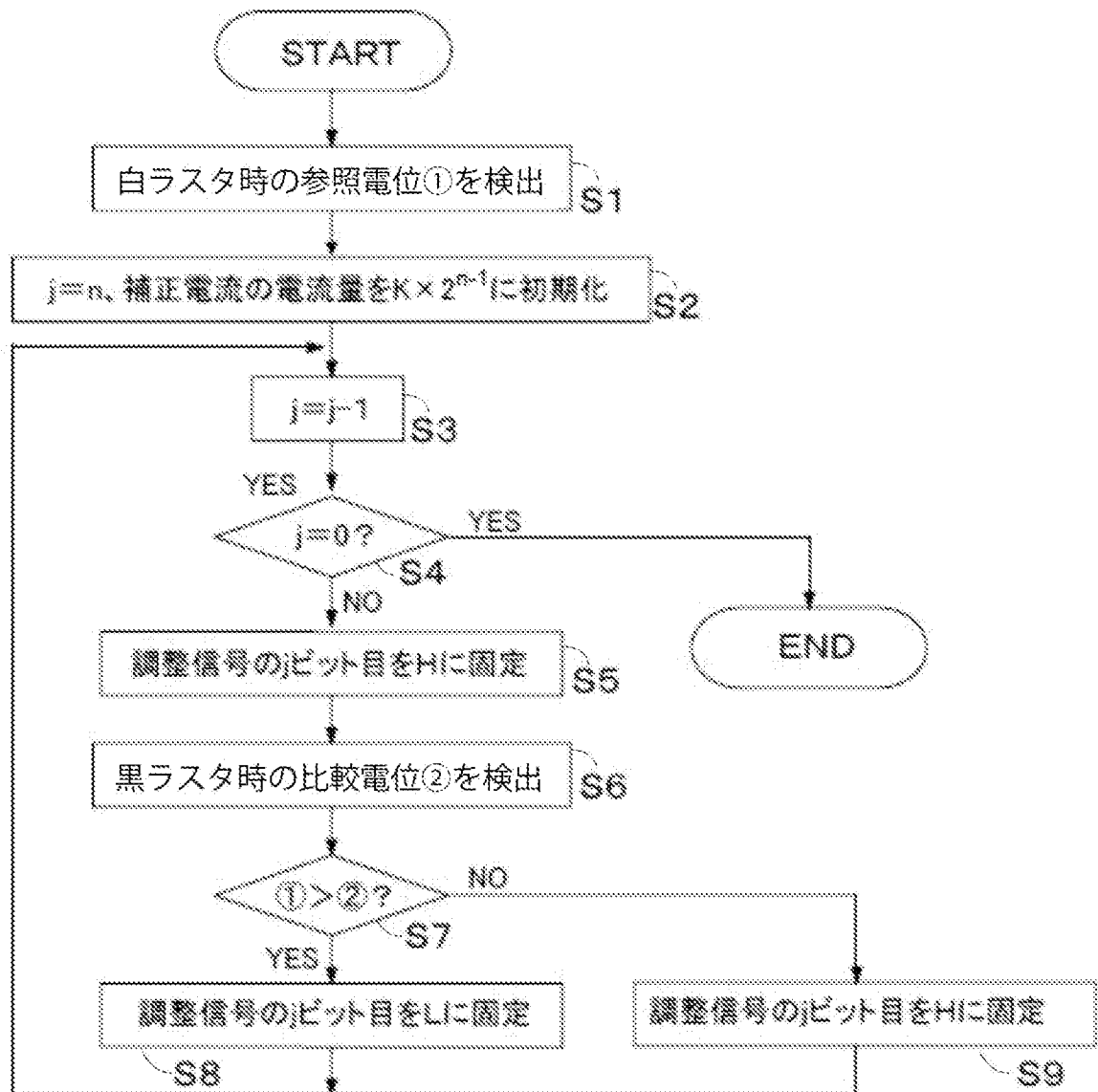
[図9]



[図10]

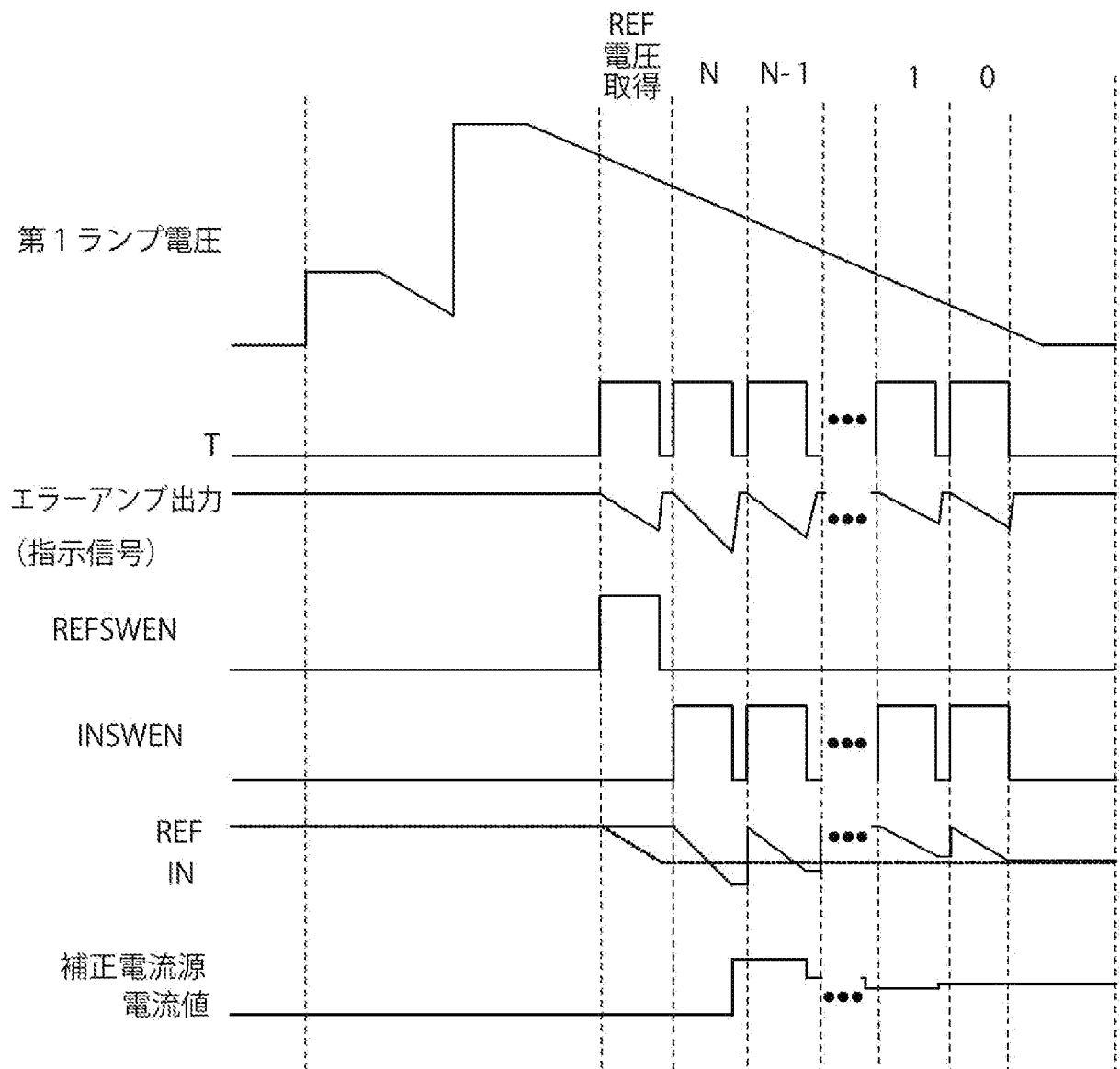


[図11]



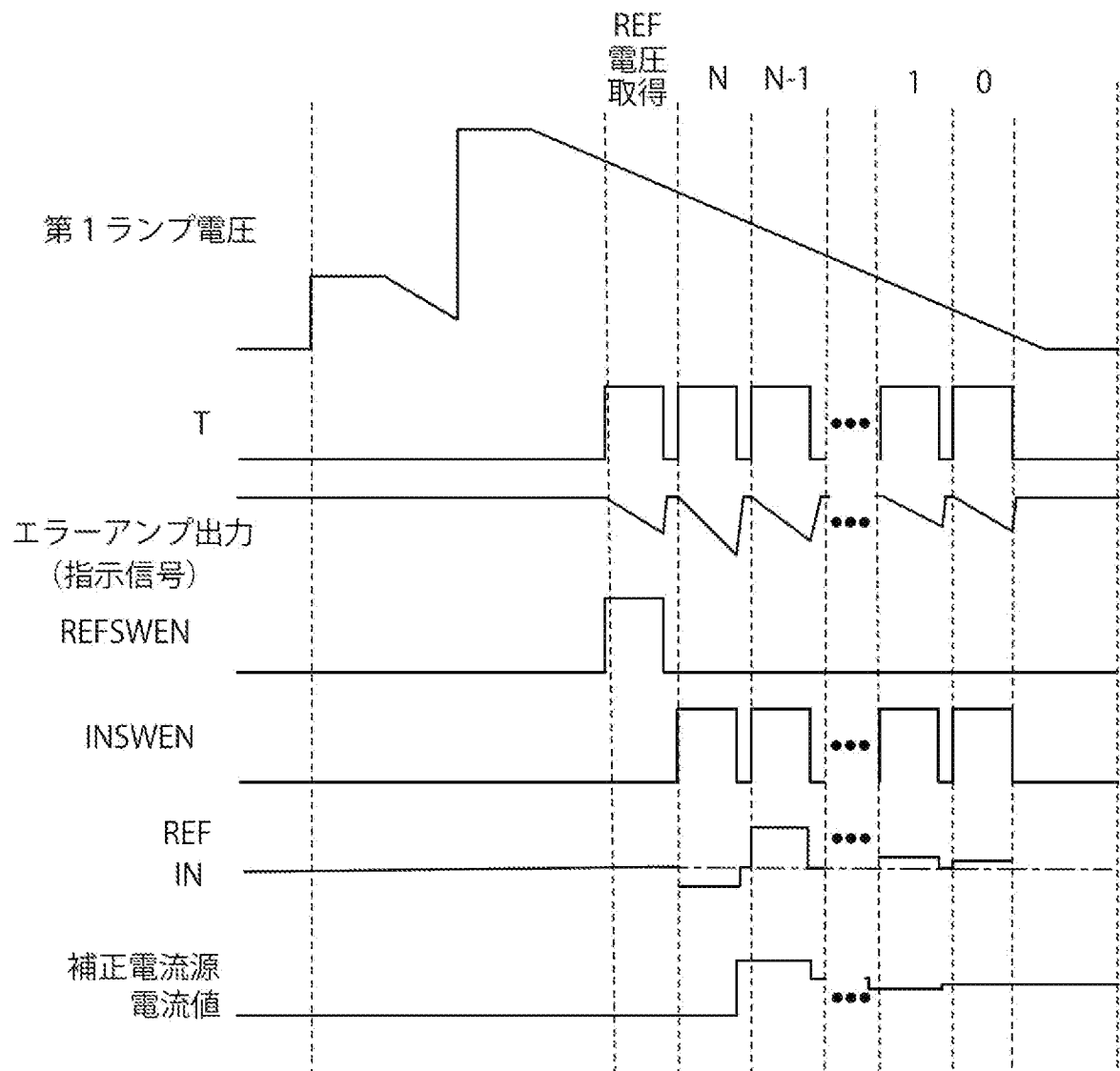
[illegible]

[図13]

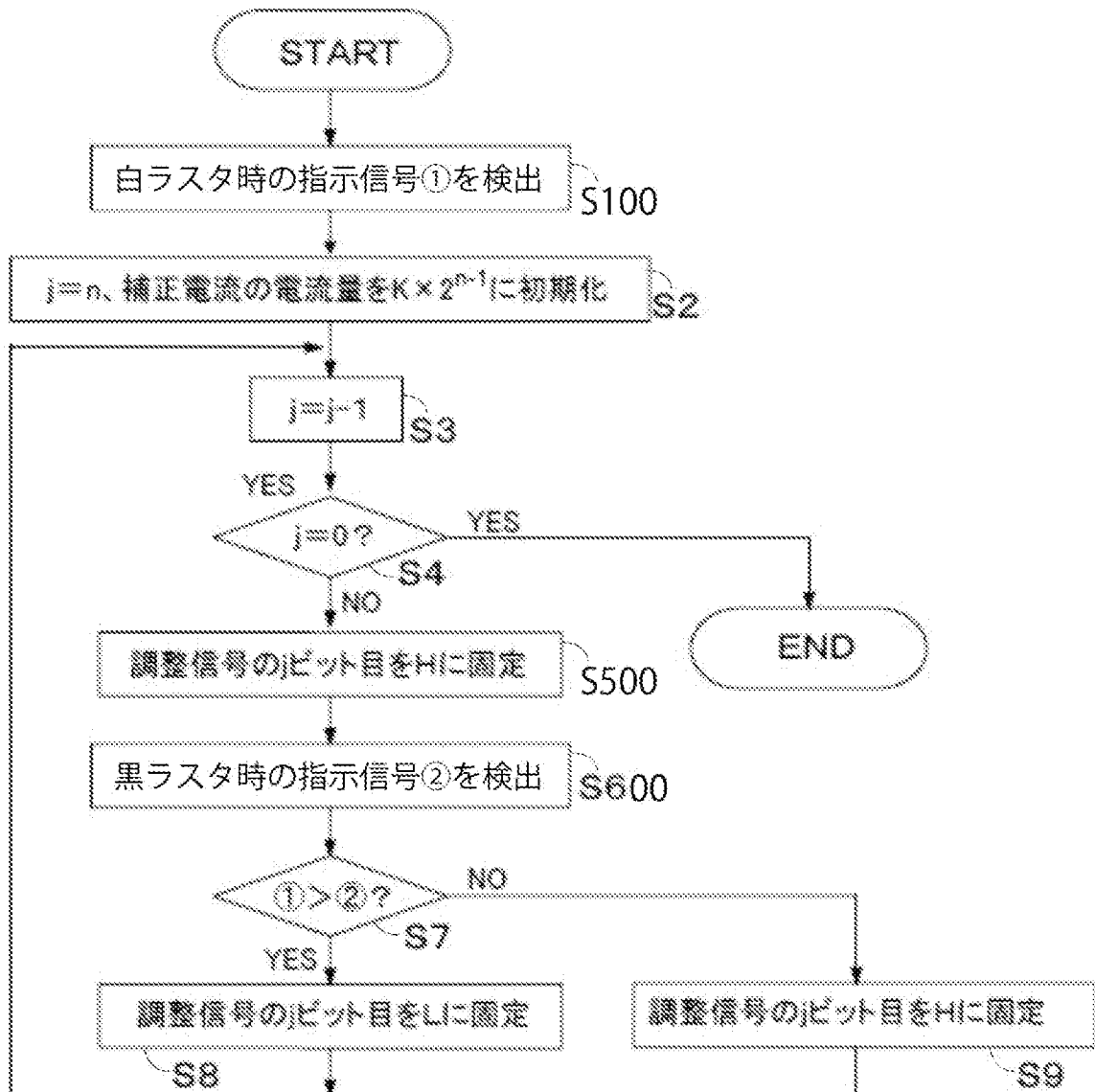


[illegible]

[図15]

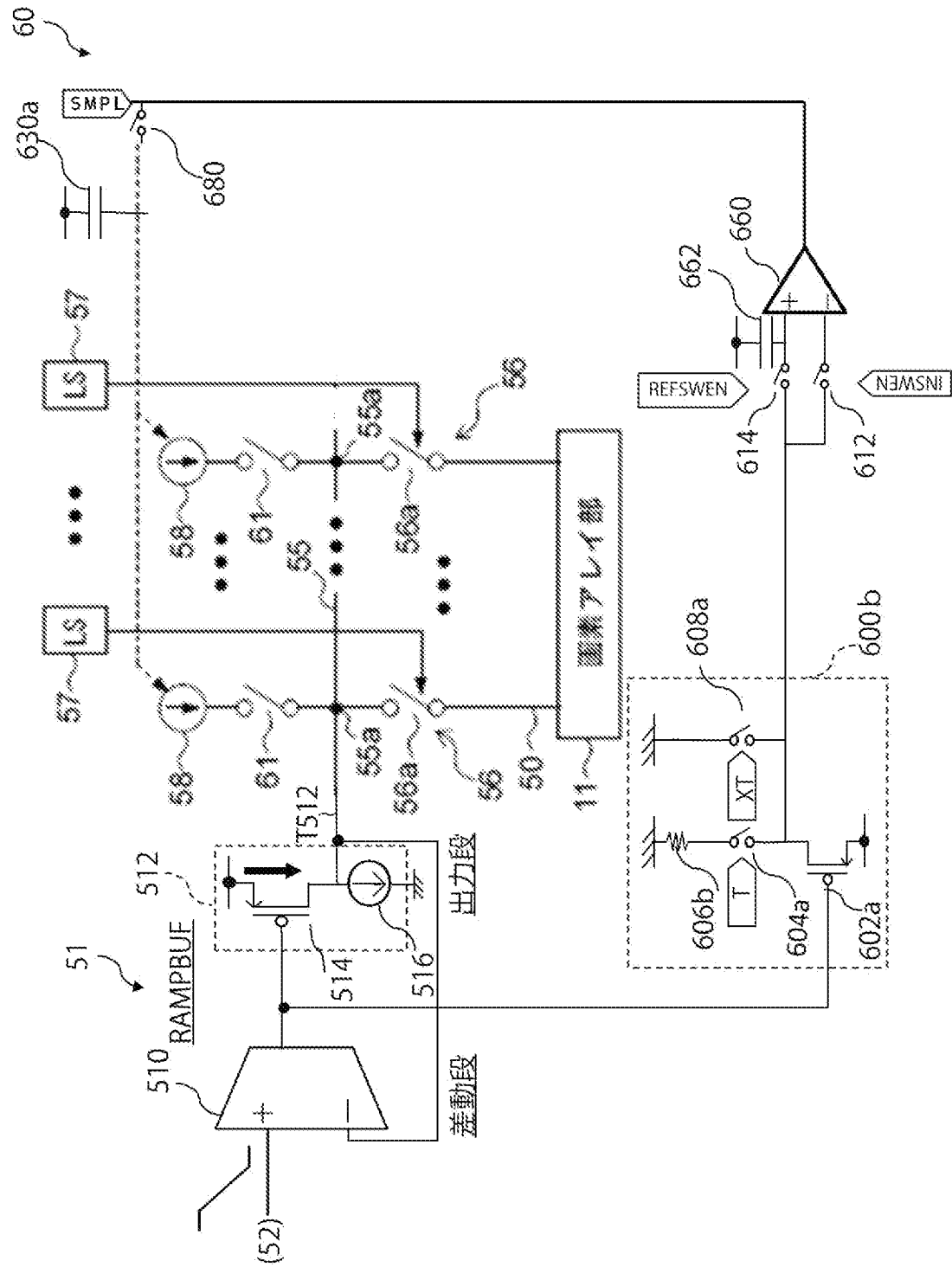


[図17]

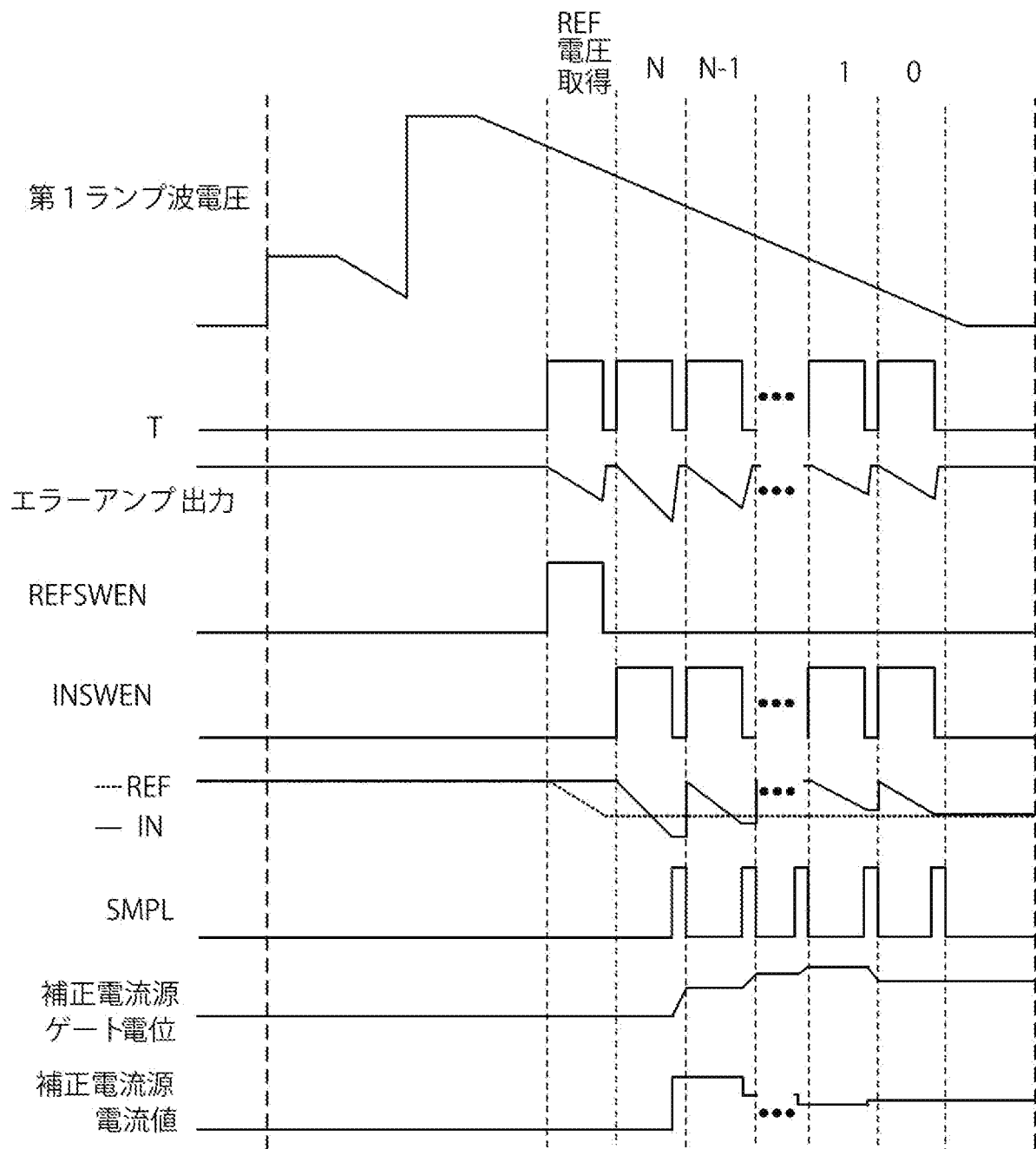


[illegible]

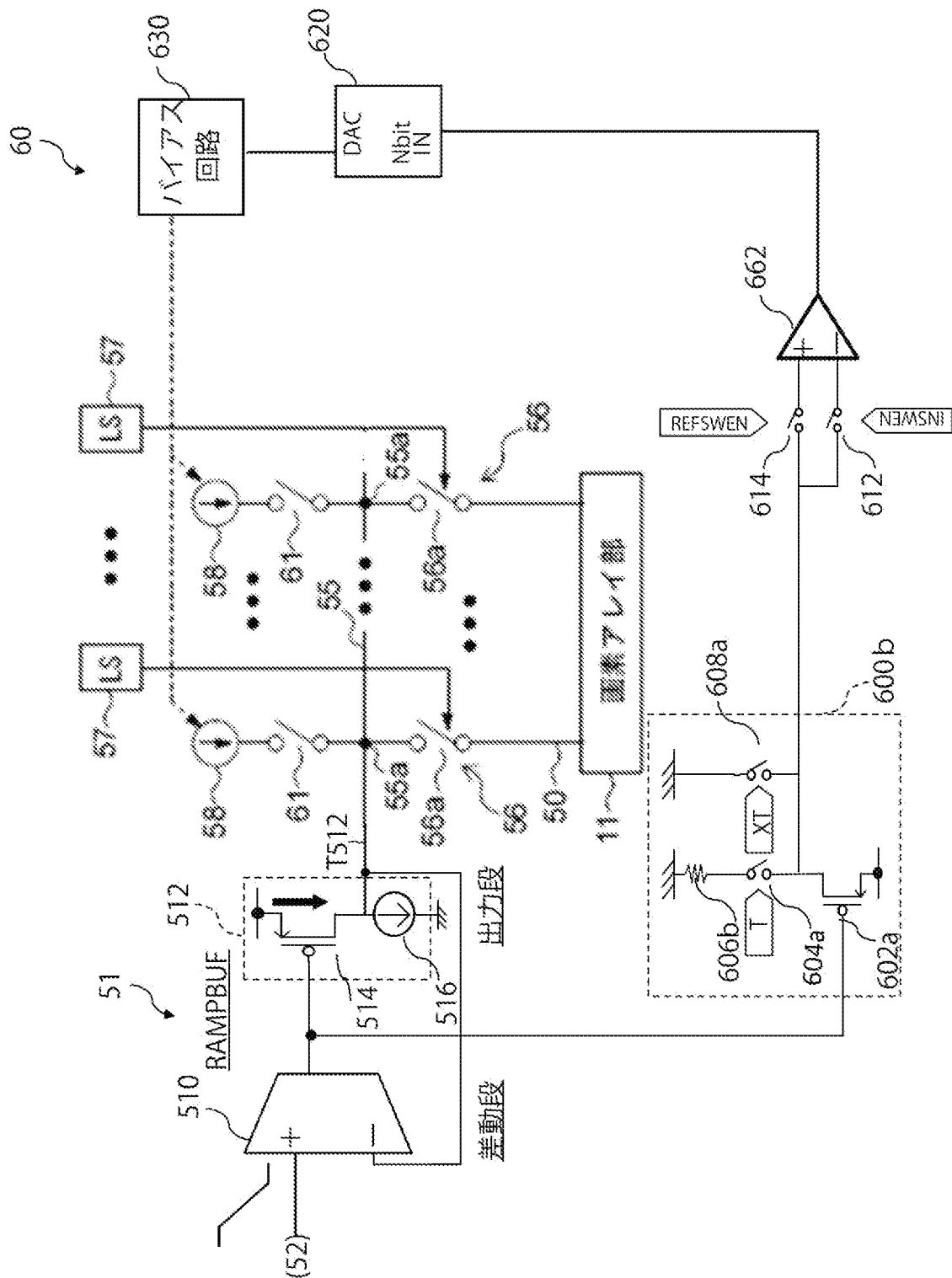
[図20]



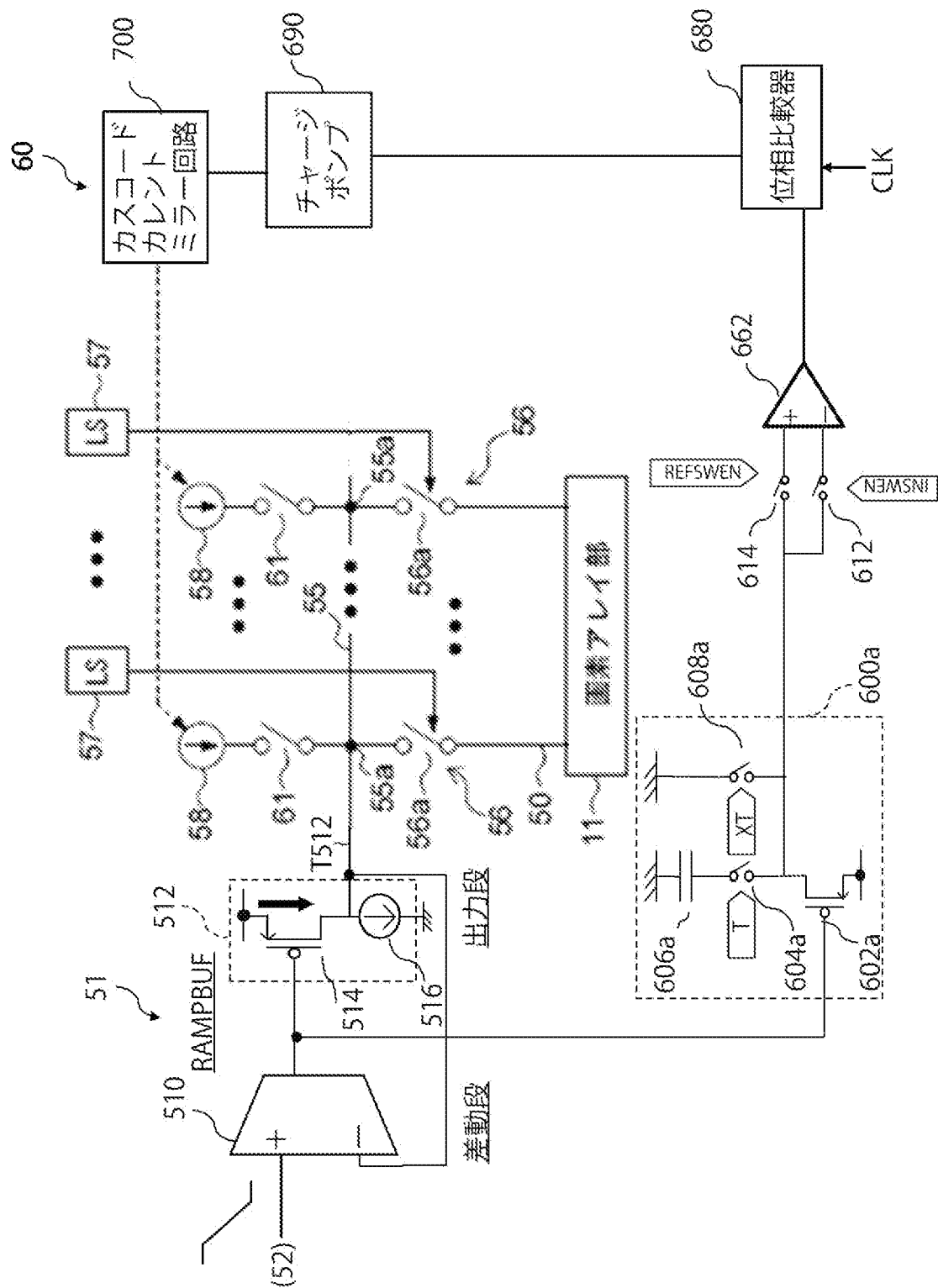
[図21]



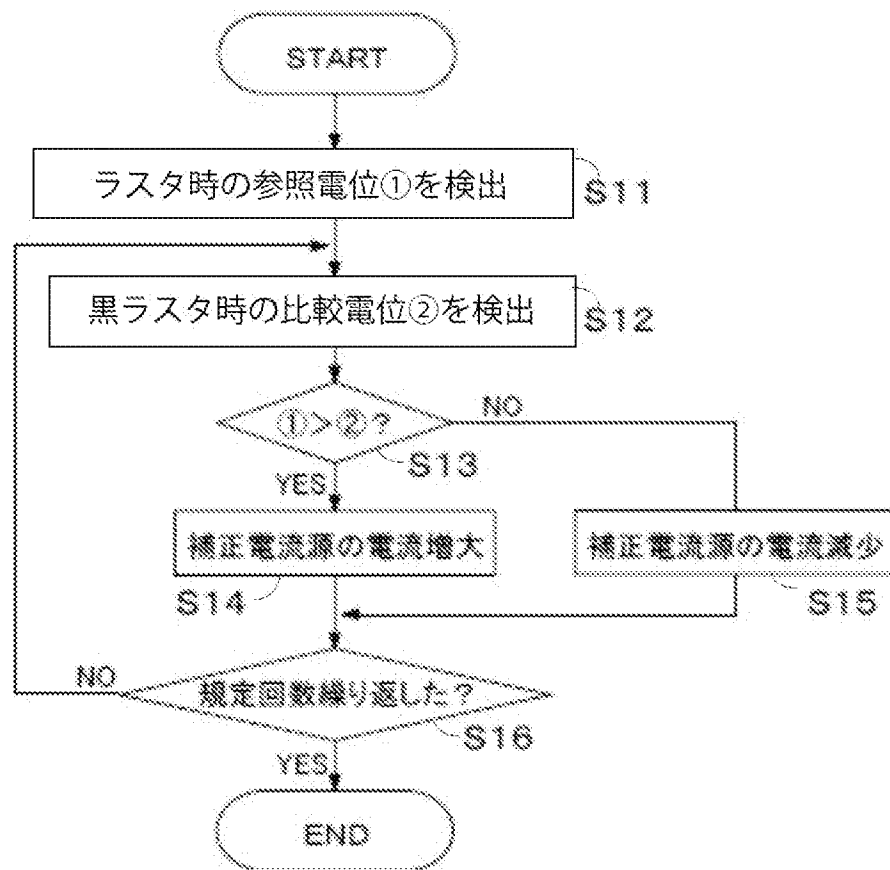
[図22]



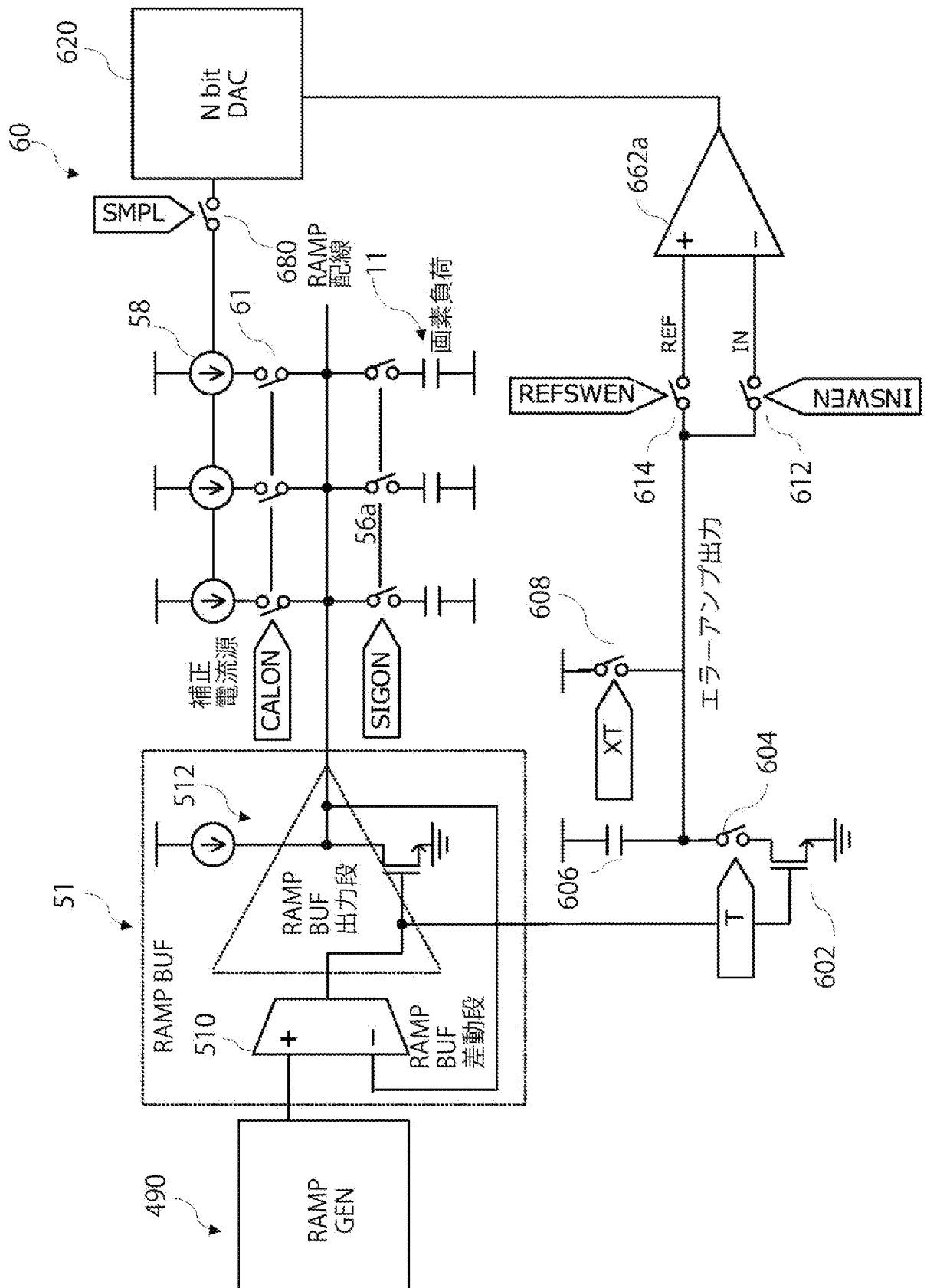
[図23]



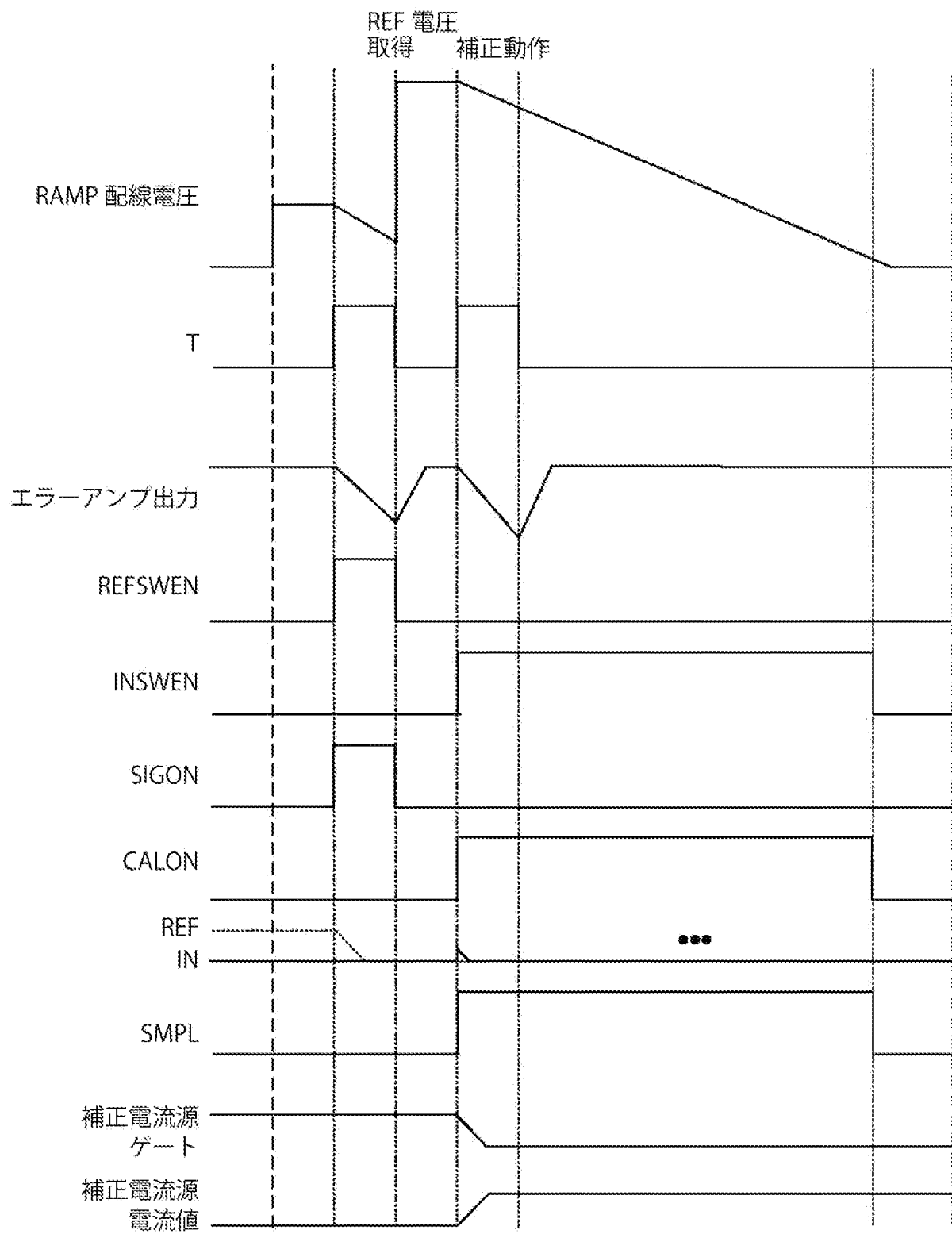
[図24]



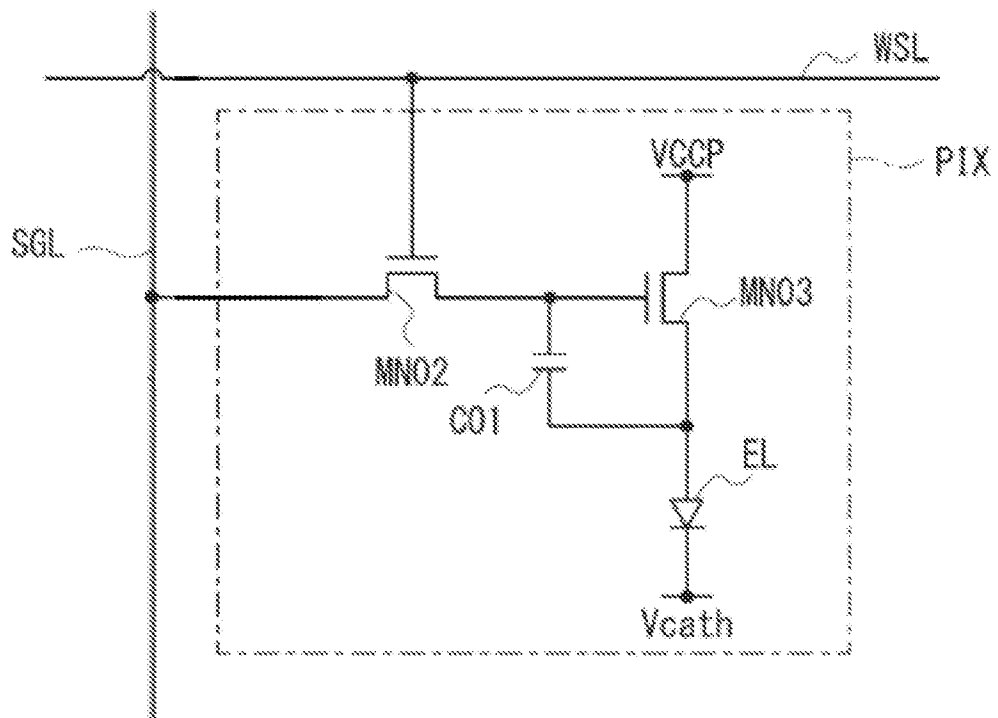
[図25]



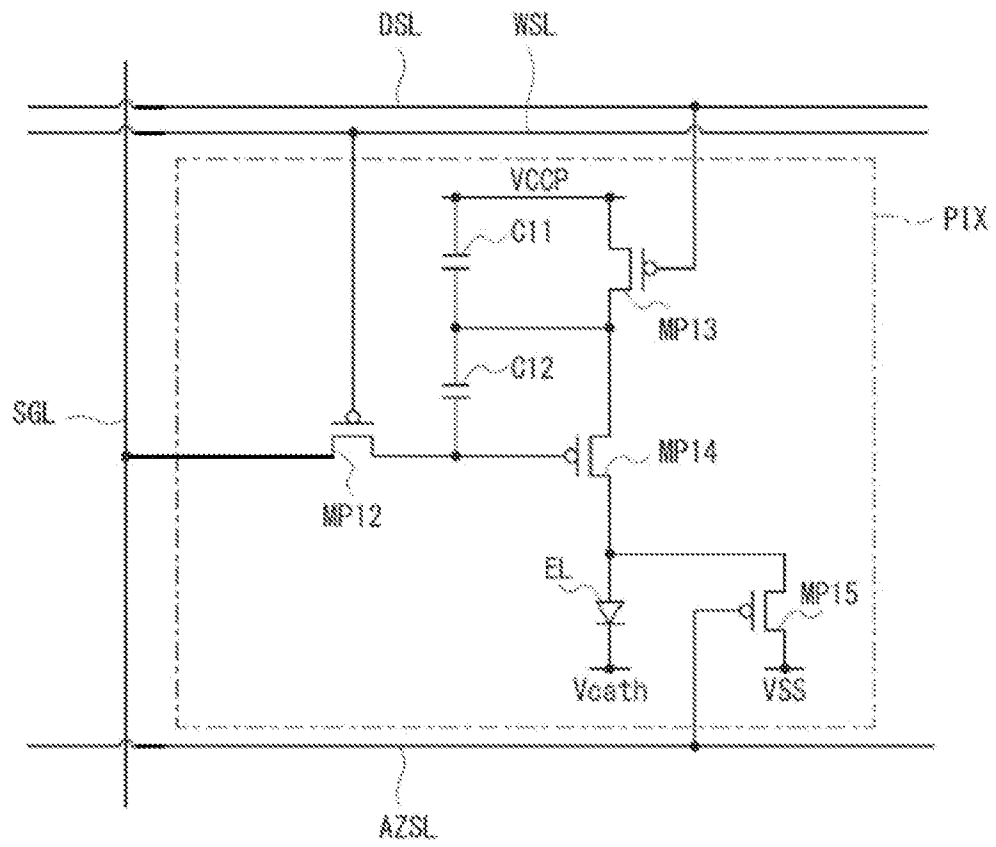
[図26]



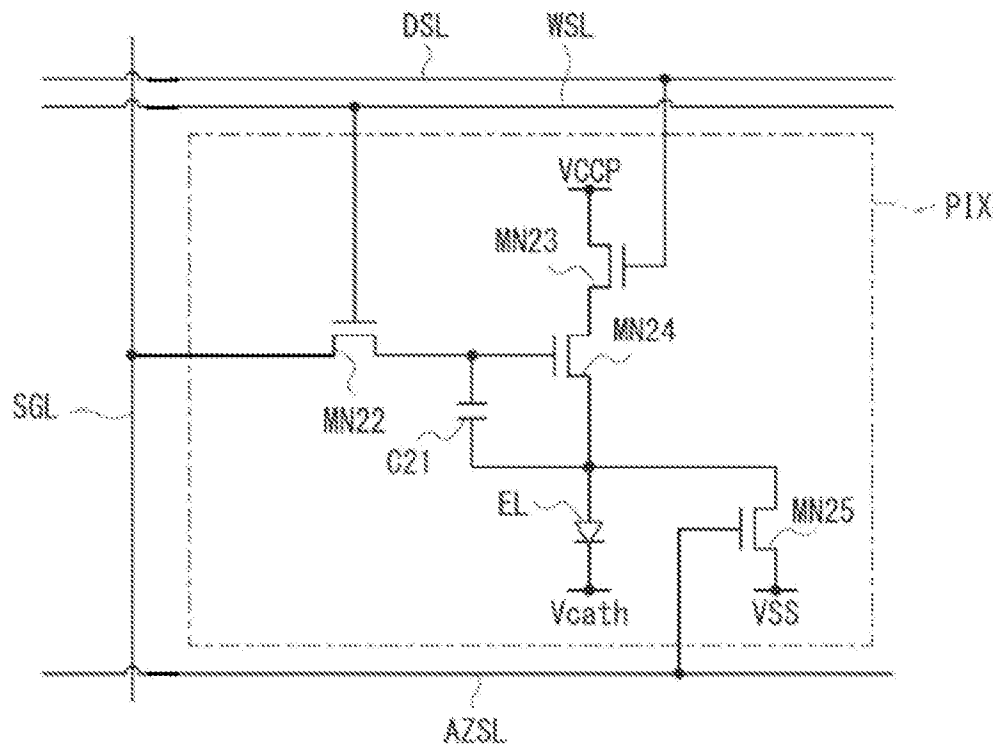
[図27]



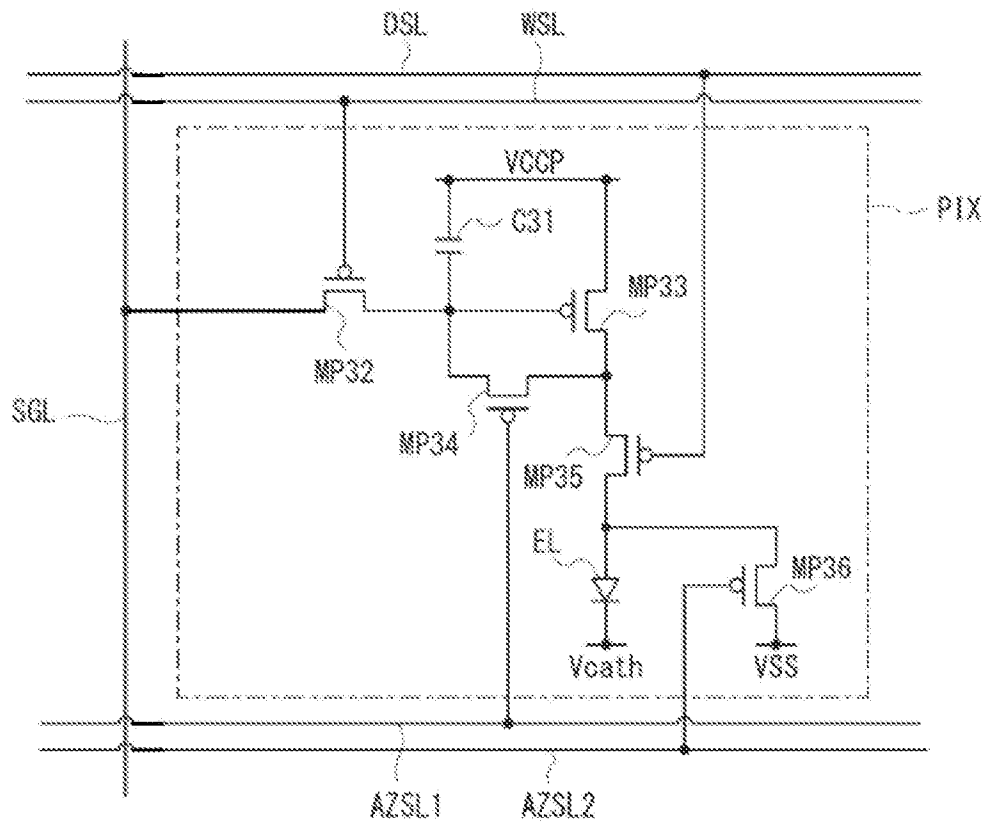
[図28]



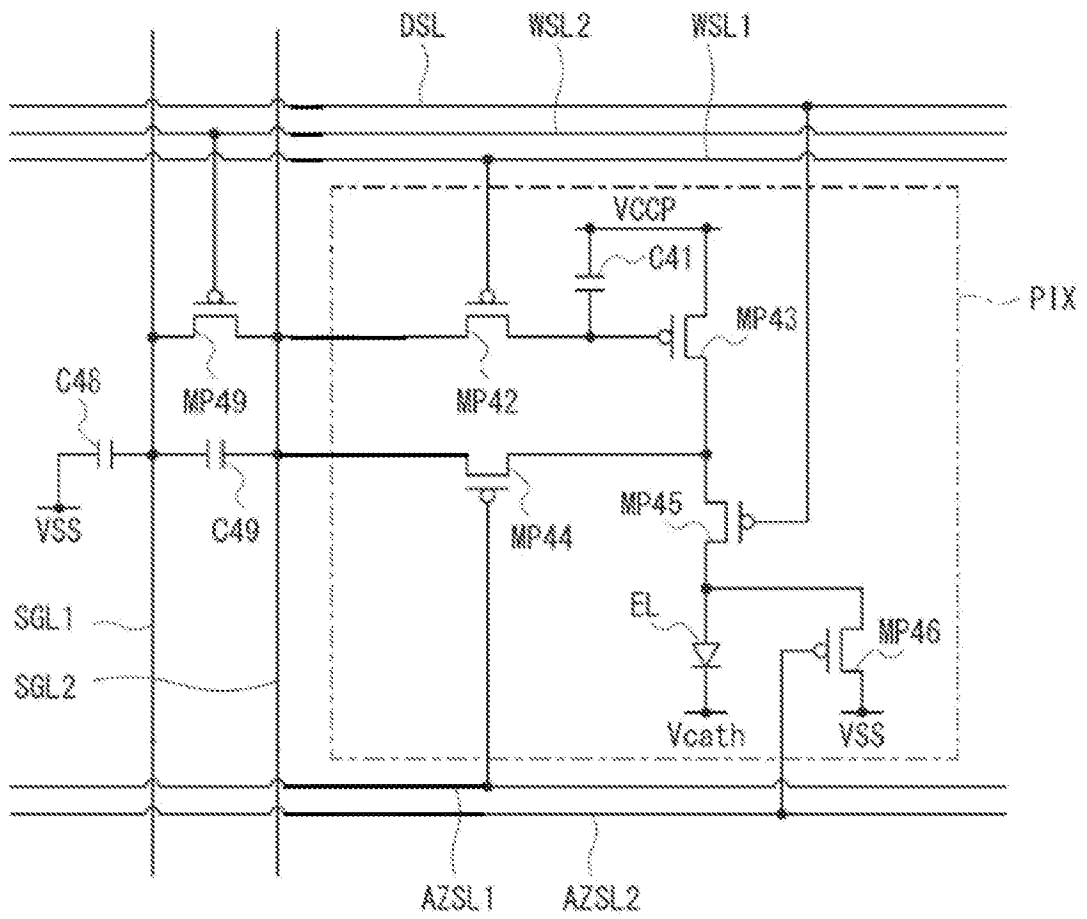
[図29]



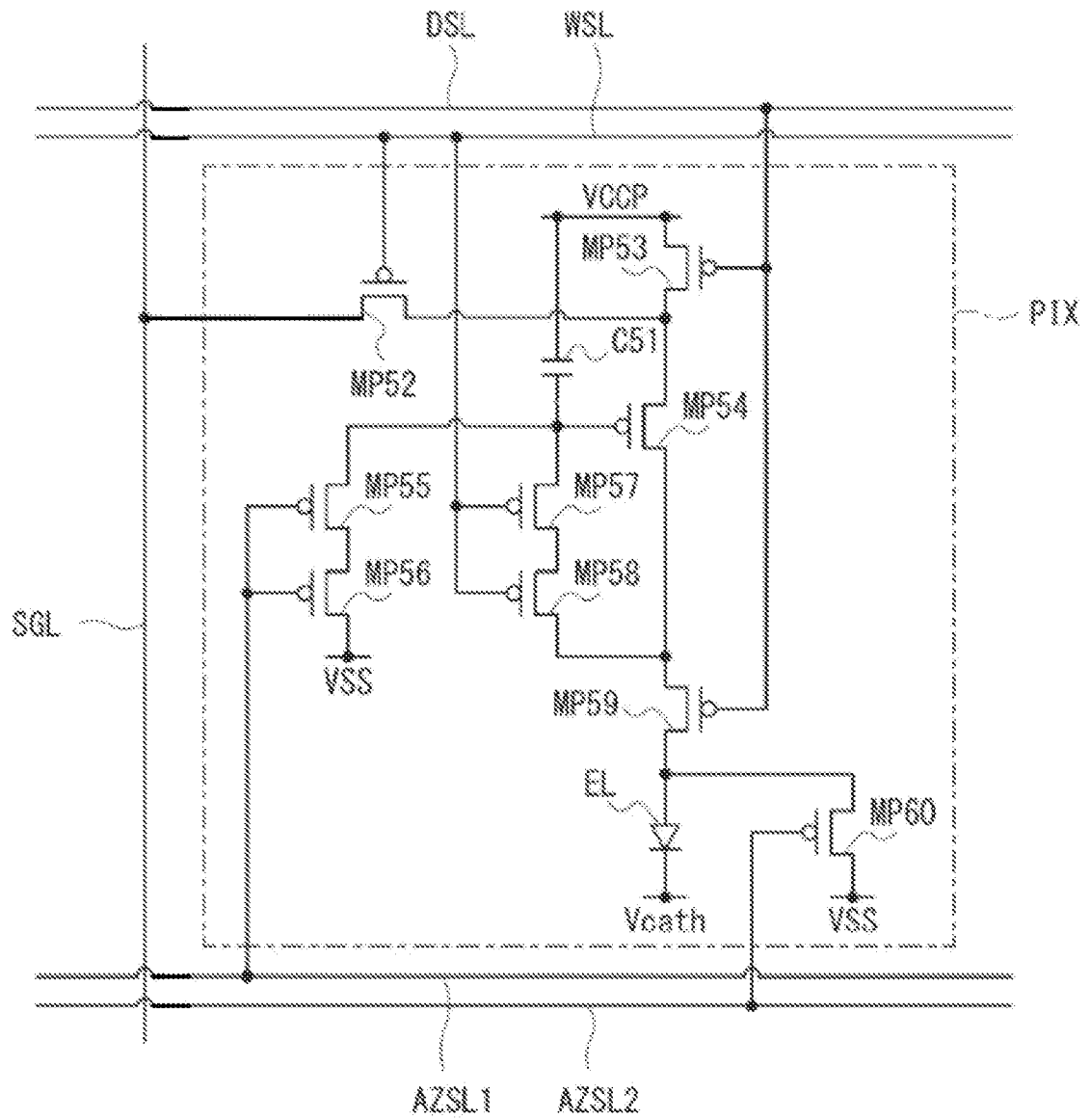
[図30]



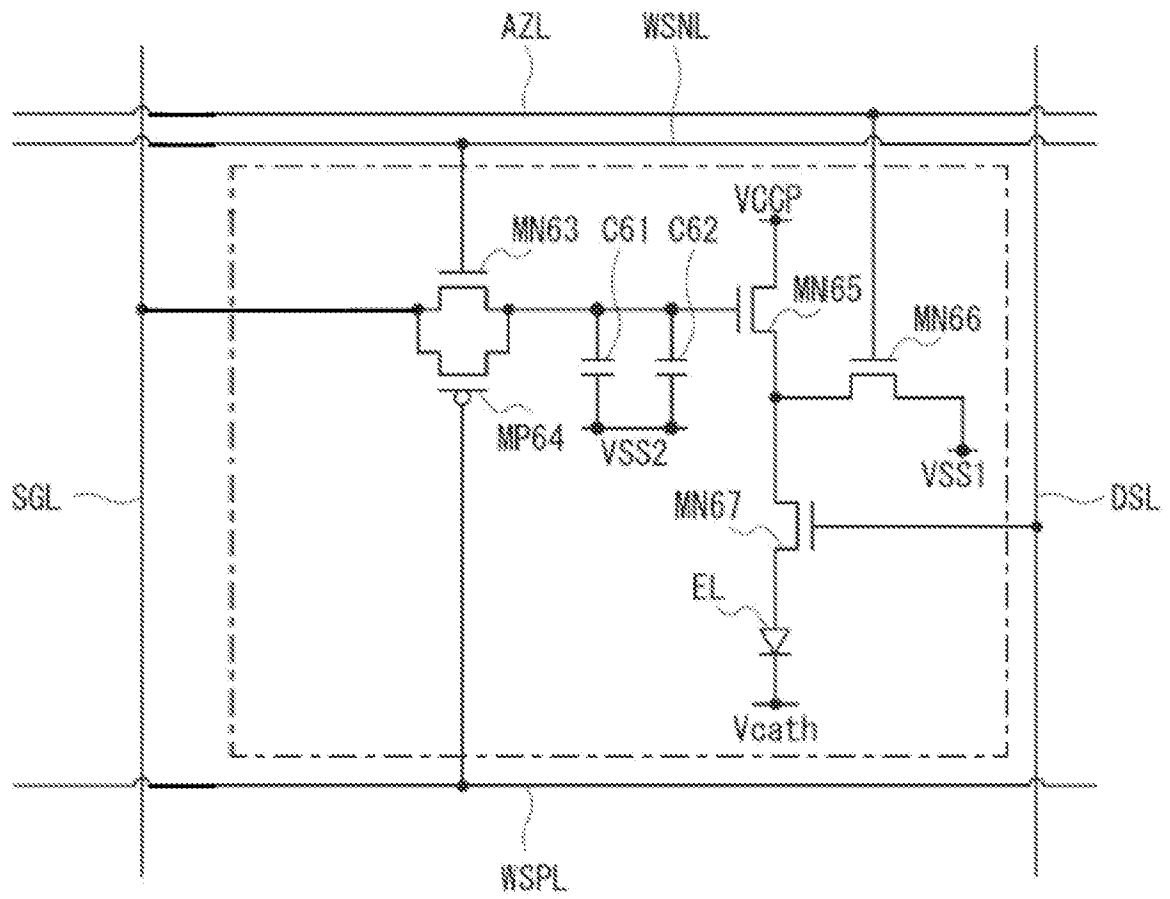
[図31]



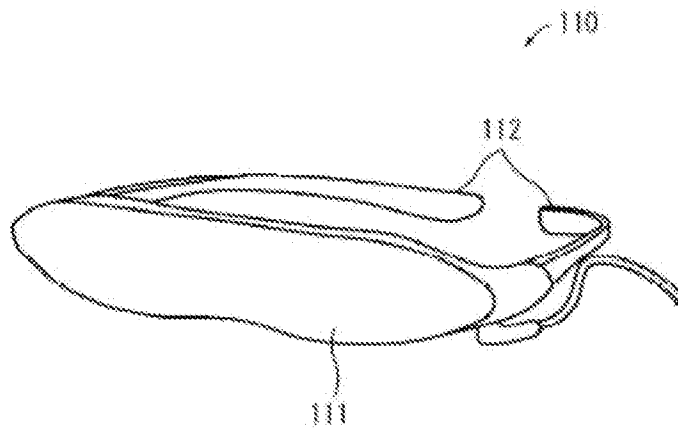
[図32]



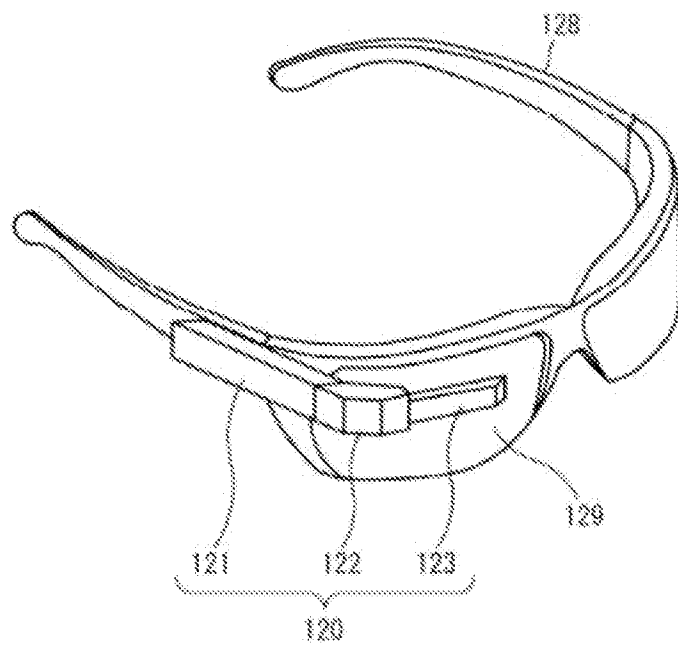
[図33]



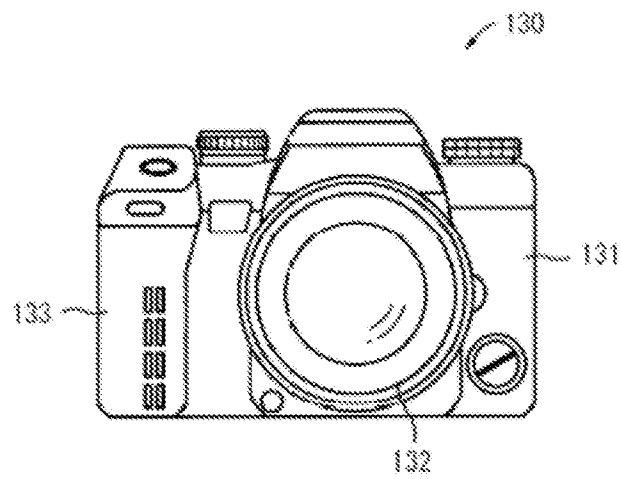
[図34]



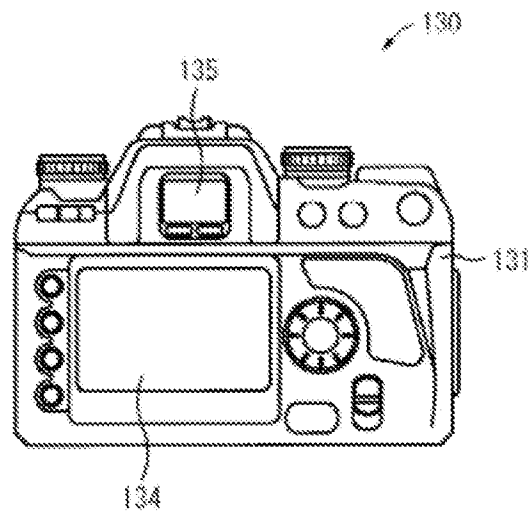
[図35]



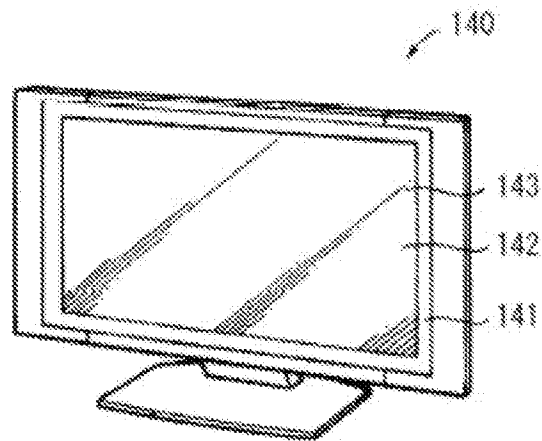
[図36]



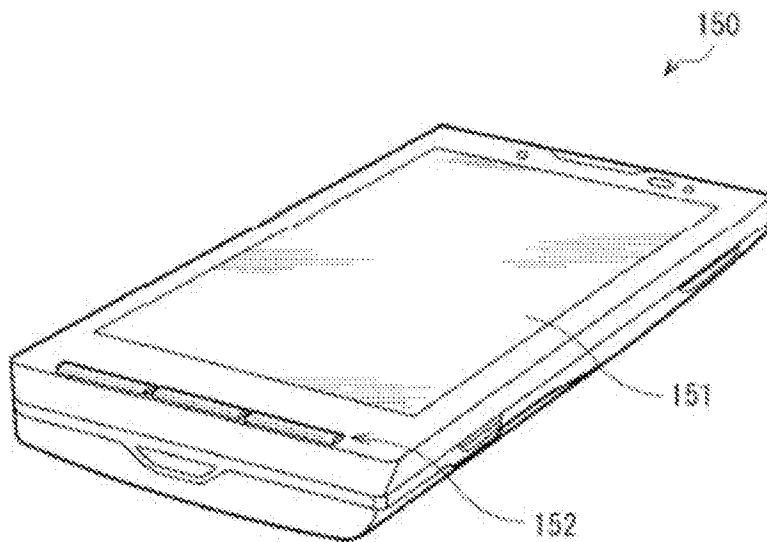
[図37]



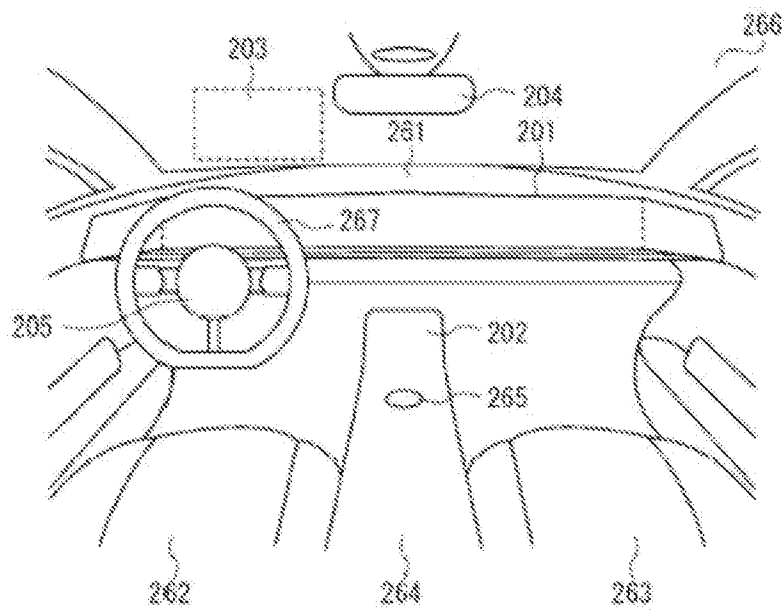
[図38]



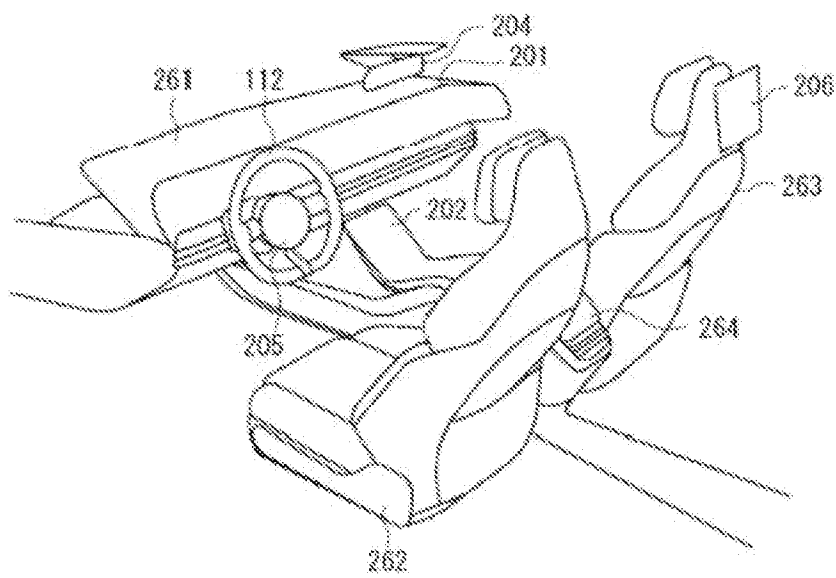
[図39]



[図40]



[図41]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/023012

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/3233 (2016.01)i; G09G 3/20 (2006.01)i; H01L 51/50 (2006.01)i FI: G09G3/3233; G09G3/20 611D; G09G3/20 612D; G09G3/20 612E; G09G3/20 612T; G09G3/20 623C; G09G3/20 623D; G09G3/20 623F; G09G3/20 642A; H05B33/14 A According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/3233; G09G3/20; H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2003-526807 A (KONINKLIJKE PHILIPS ELECTRONICS N.V) 09 September 2003 (2003-09-09) entire text, all drawings</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>JP 2011-53644 A (VICTOR CO OF JAPAN LTD) 17 March 2011 (2011-03-17) entire text, all drawings</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>US 2019/0279562 A1 (RAYDIUM SEMICONDUCTOR CORPORATION) 12 September 2019 (2019-09-12) entire text, all drawings</td> <td>1-21</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	JP 2003-526807 A (KONINKLIJKE PHILIPS ELECTRONICS N.V) 09 September 2003 (2003-09-09) entire text, all drawings	1-21	A	JP 2011-53644 A (VICTOR CO OF JAPAN LTD) 17 March 2011 (2011-03-17) entire text, all drawings	1-21	A	US 2019/0279562 A1 (RAYDIUM SEMICONDUCTOR CORPORATION) 12 September 2019 (2019-09-12) entire text, all drawings	1-21
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	JP 2003-526807 A (KONINKLIJKE PHILIPS ELECTRONICS N.V) 09 September 2003 (2003-09-09) entire text, all drawings	1-21												
A	JP 2011-53644 A (VICTOR CO OF JAPAN LTD) 17 March 2011 (2011-03-17) entire text, all drawings	1-21												
A	US 2019/0279562 A1 (RAYDIUM SEMICONDUCTOR CORPORATION) 12 September 2019 (2019-09-12) entire text, all drawings	1-21												
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family														
Date of the actual completion of the international search 10 August 2022		Date of mailing of the international search report 23 August 2022												
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.												

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/023012

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2003-526807	A	09 September 2003	US	6384817	B1	
				WO	01/46938	A2	
				KR	2002-0026862	A	
				TW	578133	B	
JP	2011-53644	A	17 March 2011	(Family: none)			
US	2019/0279562	A1	12 September 2019	CN	110246452	A	
				TW	201939474	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/3233(2016.01)i; G09G 3/20(2006.01)i; H01L 51/50(2006.01)i FI: G09G3/3233; G09G3/20 611D; G09G3/20 612D; G09G3/20 612E; G09G3/20 612T; G09G3/20 623C; G09G3/20 623D; G09G3/20 623F; G09G3/20 642A; H05B33/14 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/3233; G09G3/20; H01L51/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-526807 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ） 09.09.2003（2003-09-09） 全文、全図	1-21
A	JP 2011-53644 A（日本ビクター株式会社）17.03.2011（2011-03-17） 全文、全図	1-21
A	US 2019/0279562 A1（RAYDIUM SEMICONDUCTOR CORPORATION）12.09.2019（2019-09-12） 全文、全図	1-21
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.08.2022		国際調査報告の発送日 23.08.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 武田 悟 21 9307 電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/023012

引用文献			公表日	パテントファミリー文献			公表日
JP	2003-526807	A	09.09.2003	US	6384817	B1	
				WO	01/46938	A2	
				KR	2002-0026862	A	
				TW	578133	B	
JP	2011-53644	A	17.03.2011	(ファミリーなし)			
US	2019/0279562	A1	12.09.2019	CN	110246452	A	
				TW	201939474	A	