(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 105393227 B
(45)授权公告日 2019.03.22

(21)申请号 201480038337.X
(22)申请日 2014.06.20
(65)同一申请的已公布的文献号
申请公布号 CN 105393227 A
(43)申请公布日 2016.03.09
(30)优先权数据
13/935,303 2013.07.03 US
(85)PCT国际申请进入国家阶段日
2016.01.04
(86)PCT国际申请的申请数据
PCT/US2014/043384 2014.06.20
(87)PCT国际申请的公布数据
WO2015/002753 EN 2015.01.08
(73)专利权人 美光科技公司
地址 美国爱达荷州
(72)发明人 理查德·C·墨菲
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 路勇
(51)Int.Cl.
G06F 12/00(2006.01)
G06F 9/06(2006.01)
(56)对比文件
US 5708849 A,1998.01.13,
US 5239639 A,1993.08.24,
US 2012/0158682 A1,2012.06.21,
TW 201246065 A1,2012.11.16,
审查员 徐菲

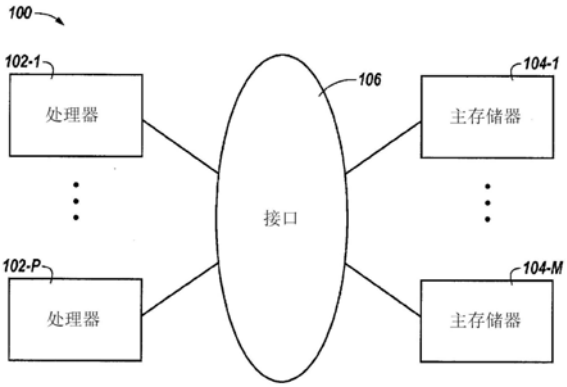
权利要求书2页 说明书7页 附图3页

(54)发明名称

存储器控制的数据移动及时序

(57)摘要

本发明包含用于存储器控制的数据移动及时序的设备、电子装置可读媒体及方法。若干个电子装置可读媒体可存储可由电子装置执行以提供对存储器内的数据移动操作的可编程控制的指令。所述存储器可独立于任何相关联处理器而针对所述存储器与所述相关联处理器之间的交互提供时序控制。



CN 105393227 B

1.一种发送数据的方法,其包括:

从多个初始请求装置(102-1、102-P、202、302、318、321)中的任一者接收对存储于主存储器装置(104-1、104-M、204、304)中的数据(216)的请求,其中所请求数据(216)分布于所述主存储器装置(104-1、104-M、204、304)中,其中所述多个初始请求装置包括多个类型的初始请求装置;

从所述主存储器装置(104-1、104-M、204、304)收集所述所请求数据(216);

独立于所述多个初始请求装置(102-1、102-P、202、302、318、321)经由所述请求的读取循环时间、写入循环时间和存取时间而控制使用所述主存储器装置(104-1、104-M、204、304)收集所述所请求数据(216)的时序,以使得所述主存储器装置(104-1、104-M、204、304)确定何时响应所述请求;及

在不发送环绕所述所请求数据(216)的非请求数据的情况下,将所述所请求数据(216)共同地发送到所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者。

2.根据权利要求1所述的方法,其中:

所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者包括基于高速缓冲存储器的处理器(102-1、102-P、202、302);

所述所请求数据(216)非连续地分布于所述主存储器装置(104-1、104-M、204、304)中,使得所述所请求数据(216)及环绕所述所请求数据的所述非请求数据包括多个高速缓存行(212)大小的数据部分;且

发送所述所请求数据(216)包括发送单个高速缓存行(212)大小的数据部分中的所述所请求数据(216)。

3.根据权利要求1所述的方法,其中所述请求包括直接存储器存取DMA请求。

4.根据权利要求1到3中任一权利要求所述的方法,其中所述方法包含与收集所述所请求数据(216)相关联地提供所述主存储器装置(104-1、104-M、204、304)中的位置的指示,所述位置中的所述所请求数据(216)不可用直到由所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者释放所述所请求数据(216)为止。

5.根据权利要求1到3中任一权利要求所述的方法,其中所述方法包含在将所述所请求数据(216)发送到所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者之后:

从所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者接收对应于所述所请求数据(216)的经修改数据;及

将所述经修改数据分散于所述主存储器装置(104-1、104-M、204、304)中,使得所述经修改数据存储于其中先前存储所述所请求数据(216)的相同位置中。

6.根据权利要求1到3中任一权利要求所述的方法,其中所述请求包含选自由基于地址的请求(440)、基于偏移的请求(444)、跨步请求及基于指针的请求所组成的群组中的至少一个请求。

7.根据权利要求1到3中任一权利要求所述的方法,其中所述请求包含选自由搜索请求和筛选请求所组成的群组中的至少一个请求。

8.一种非易失性计算装置可读介质,其存储指令的集合以:

从多个初始请求装置(102-1、102-P、202、302、318、321)中的任一者接收对存储于主存

储器装置(104-1、104-M、204、304)中的数据(216)的请求,其中所请求数据(216)分布于所述主存储器装置(104-1、104-M、204、304)中,其中所述多个初始请求装置包括多个类型的初始请求装置;

从所述主存储器装置(104-1、104-M、204、304)收集所述所请求数据(216);

独立于所述多个初始请求装置(102-1、102-P、202、302、318、321)经由所述请求的读取循环时间、写入循环时间和存取时间而控制使用所述主存储器装置(104-1、104-M、204、304)收集所述所请求数据(216)的时序,以使得所述主存储器装置(104-1、104-M、204、304)确定何时响应所述请求;及

在不发送环绕所述所请求数据(216)的非请求数据的情况下,将所述所请求数据(216)共同地发送到所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者。

9.一种发送数据的设备,其包括:

主存储器装置(104-1、104-M、204、304),其经配置以:

从多个初始请求装置(102-1、102-P、202、302、318、321)中的任一者接收对存储于主存储器装置(104-1、104-M、204、304)中的数据(216)的请求,其中所请求数据(216)分布于所述主存储器装置(104-1、104-M、204、304)中,其中所述多个初始请求装置包括多个类型的初始请求装置;

收集所述所请求数据(216);

独立于所述多个初始请求装置(102-1、102-P、202、302、318、321)经由所述请求的读取循环时间、写入循环时间和存取时间而控制收集所述所请求数据(216)的时序,以使得所述主存储器装置(104-1、104-M、204、304)确定何时响应所述请求;

及

在不发送环绕所述所请求数据(216)的非请求数据的情况下,将所述所请求数据(216)共同地发送到所述多个初始请求装置(102-1、102-P、202、302、318、321)中的所述一者。

10.根据权利要求9所述的设备,其中所述主存储器装置(104-1、104-M、204、304)是混合存储器立方体HMC(304)。

11.根据权利要求10所述的设备,其中所述主存储器装置(104-1、104-M、204、304)包括在单个封装中形成的硬件逻辑装置(322)和多个存储器装置(320-1、320-2、320-3、320-B)。

12.根据权利要求11所述的设备,其中所述硬件逻辑装置(322)和所述多个存储器装置(320-1、320-2、320-3、320-B)彼此堆叠。

13.根据权利要求11或12所述的设备,其中所述多个存储器装置(320-1、320-2、320-3、320-B)被组织成库(324);以及其中所述硬件逻辑装置(322)包含各自耦合到所述多个存储器装置(320-1、320-2、320-3、320-B)的相应库的多个逻辑单元(328)。

14.根据权利要求11或12所述的设备,其中所述硬件逻辑装置(322)经配置以通过提供对所述多个存储器装置(320-1、320-2、320-3、320-B)的行地址选通RAS或列地址选通CAS中的至少一者的时序控制而提供时序控制。

存储器控制的数据移动及时序

技术领域

[0001] 本发明一般来说涉及半导体存储器及方法，且更特定来说涉及用于存储器控制的数据移动及时序的设备、电子装置可读媒体及方法。

背景技术

[0002] 存储器装置通常被提供作为计算装置或其它电子装置中的内部半导体集成电路。存在包含易失性及非易失性存储器的许多不同类型的存储器。易失性存储器可需要电力来维持其数据(例如，用户数据、错误数据等)，且包含随机存取存储器(RAM)、动态随机存取存储器(DRAM)及同步动态随机存取存储器(SDRAM)以及其它存储器。非易失性存储器可通过在不被供电时存留所存储数据而提供持久数据，且可包含NAND快闪存储器、NOR快闪存储器、只读存储器(ROM)、电可擦除可编程ROM(EEPROM)、可擦除可编程ROM(EPROM)及电阻可变存储器，例如相变随机存取存储器(PCRAM)、电阻式随机存取存储器(RRAM)及磁阻式随机存取存储器(MRAM)以及其它。

[0003] 计算装置通常包含耦合到主存储器(例如，DRAM)及辅助存储器(例如，存储装置，例如硬盘驱动器或固态驱动器)的若干个处理器。主存储器接口通常紧紧地耦合到或从属于处理器。在DRAM中，这是通过处理器的存储器控制器管理明确定时的接口(例如，经由行地址选通(RAS)/列地址选通(CAS)协议)来完成。存储器通常已针对密度优化且处理器通常已针对速度优化，从而在两者之间造成称为存储器墙或冯·诺伊曼(von Neumann)瓶颈的差异。此差异通常使得处理器与存储器之间的带宽成为比处理器的速度或存储器的密度更具限制性的资源。

附图说明

[0004] 图1图解说明根据本发明的若干个实施例呈计算装置的形式的设备的框图，所述计算装置包含若干个处理器、若干个主存储器装置及其之间的接口。

[0005] 图2图解说明根据本发明的若干个实施例的处理器与主存储器之间的数据移动操作。

[0006] 图3包含根据本发明的若干个实施例耦合于存储器装置与请求装置之间的逻辑装置的较详细视图的图解说明。

[0007] 图4图解说明根据本发明的若干个实施例的若干个基于地址及偏移的请求及响应的框图。

具体实施方式

[0008] 处理器与主存储器之间的抽象存储器接口可提供与处理器的显式控制解耦的定时(及在一些实例中，解耦的命名)。具有抽象接口的主存储器的实例是混合存储器立方体(HMC)。在HMC中，此功能是通过与硬件逻辑(例如，逻辑层存储器控制件)耦合的经包化网络协议而实现。此些接口可允许简化的处理器侧存储器控制器接口、主存储器请求的无序返

回、主存储器的局部RAS及/或CAS管理、多处理器设备(同构及异构两者)中的高级存储器拓扑及共享策略、局部管理的同步功能及元数据存储以及复原力(例如,其中可(例如)由存储器中的逻辑层重新映射存储器的有故障部分(例如字或块))。

[0009] 例如高性能计算、基于图表的分析、数据挖掘、国家安全、数据库技术及其它商业驱动器等应用展现出不适合于许多处理器的基于高速缓冲存储器的架构的稀疏存储器存取模式,其中数据通常展现不良空间局部性及/或时间局部性。主存储器的一般化数据移动功能可提供较好地利用存储器带宽及基于高速缓冲存储器的架构的机会。

[0010] 本发明包含用于存储器控制的数据移动及时序的设备、电子装置(例如,计算装置)可读媒体及方法。若干个电子装置可读媒体存储可由电子装置执行以提供对存储器(例如,主存储器)内的数据移动操作的可编程控制的指令。主存储器可独立于任何相关联处理器而针对存储器与相关联处理器之间的交互提供时序控制。如所属领域的技术人员将了解,“主存储器”是描述存储可由处理器直接存取及操纵的数据的存储器的技术术语。主存储器的实例是DRAM。主存储器提供数据的初级存储且可为易失性存储器或非易失性存储器(例如,在非易失性RAM经管理作为主存储器的情况中,例如非易失性双列直插式存储器模块(DIMM))。次级存储可用以提供数据的次级存储且可不被处理器直接存取。然而,如本文中所使用,“主存储器”未必一定是易失性存储器,且在一些实施例中可为非易失性存储器。

[0011] 在本发明的以下详细说明中,参考形成其一部分且其中以图解说明方式展示可如何实践本发明的一或多个实施例的附图。足够详细地描述这些实施例旨在使得所属领域的技术人员能够实践本发明的实施例,且应理解,可在不背离本发明的范围的情况下利用其它实施例并可做出过程、电及/或结构改变。如本文中所使用,尤其是相对于图式中的参考编号的标示符“B”、“L”、“M”、“N”及“P”指示可包含若干个如此标示的特定特征。如本文中所使用,“若干个”特定事物可指代此些事物中的一或多者(例如,若干个存储器装置可指代一或多个存储器装置)。

[0012] 本文中的各图遵循其中第一个数字或前几个数字对应于图式图编号且其余数字识别图式中的元件或组件的编号惯例。不同图之间的类似元件或组件可通过使用类似数字来识别。举例来说,在图1中,106可指代元件“06”,且在图2中类似元件可指代为206。如将了解,可添加、交换及/或消除本文中的各种实施例中所展示的元件以便提供本发明的若干个额外实施例。另外,如将了解,各图中所提供的元件的比例及相对标度打算图解说明本发明的某些实施例且不应视为具有限制性意义。

[0013] 图1图解说明根据本发明的若干个实施例呈计算装置100的形式的设备的框图,计算装置100包含若干个处理器102-1、…、102-P、若干个主存储器装置104-1、…、104-M及其之间的接口106。如本文中所使用,计算装置100、处理器102、存储器装置104或接口106也可单独地视为“设备”。计算装置100可为包含处理器及存储由所述处理器存取的数据的主存储器的任何电子装置。计算装置100的实例包含超级计算机、个人计算机、视频卡、声卡及移动电子装置,例如膝上型计算机、平板计算机、智能电话等等。

[0014] 处理器102-1、…、102-P可为任何类型的通用处理器。举例来说,处理器102-1、…、102-P可为基于高速缓冲存储器的处理器、向量处理器(例如,单指令多数据(SIMD))、标量处理器(例如,单指令单数据(SISD)、多指令单数据(MISD)、多指令多数据(MIMD)处理器)等。在一些实施例中,处理器102-1、…、102-P不提供对主存储器装置104-1、…、104-M的时

序控制。处理器102-1、…、102-P可经配置以在不知晓与请求相关联的读取时间(例如,处理器102-1、…、102-P可不控制及/或不知晓何时将由处理器102-1、…、102-P接收所请求数据)的情况下经由接口106将所述请求发送到主存储器装置104-1、…、104-M。来自处理器102-1、…、102-P的请求可不具有与其相关联的时序,从而将何时对请求做出响应的确定留给主存储器装置104-1、…、104-M。

[0015] 主存储器装置104-1、…、104-M可存储由处理器102-1、…、102-P操作的数据。主存储器装置的实例包含DRAM及HMC以及其它。然而,根据本发明的若干个实施例,主存储器装置104-1、…、104-M可独立于处理器102-1、…、102-P而针对主存储器装置104-1、…、104-M与处理器102-1、…、102-P之间的交互而控制其时序。举例来说,主存储器装置104-1、…、104-M可提供其自身对行地址选通(RAS)及/或列地址选通(CAS)的时序控制,以存取主存储器装置104-1、…、104-M。此时序控制的实例包含随机读取或写入循环时间、存取时间等。

[0016] 在一些实施例中,可(例如,通过由程序员所提供的可执行指令)提供对主存储器装置104-1、…、104-M内的数据移动操作的可编程控制。此些操作的实例包含收集/分散操作、基于地址的操作、基于偏移的操作、跨步操作、基于指针的操作等。增强的数据移动语义可对程序员揭露(根据一些先前方法,程序员不具备控制主存储器204中的数据移动操作的能力)。此些实施例可有益于允许编写通过在将数据跨越接口106传送到处理器以供进一步操作之前在主存储器装置104-1、…、104-M内移动所述数据而减少对接口106的带宽的使用的指令。益处可包含减少计算或此些操作的序列的总等待时间。本文中描述主存储器装置104-1、…、104-M内的此些移动操作的更特定实例。举例来说,主存储器装置104-1、…、104-M可存储数据结构且独立于来自处理器102-1、…、102-P的指令流而遍历所述数据结构。尽管处理器102-1、…、102-P可向主存储器装置104-1、…、104-M请求某些数据,但主存储器装置104-1、…、104-M可独立地遍历所述数据结构且移动数据以便对来自处理器102-1、…、102-P的对数据的请求较有效地(例如,就对接口106的带宽的使用来说)做出响应,但来自处理器102-1、…、102-P的请求并不具体地请求数据移动。除较有效地利用接口106的带宽以外,本发明的实施例可通过跨越接口106较少次传输(例如,传输密集数据,此需要比传输稀疏数据少的传送)实现等效结果而减少与接口106的使用相关联的功率消耗。

[0017] 图2图解说明根据本发明的若干个实施例的处理器202与主存储器204之间的数据移动操作。处理器202可类似于图1中所图解说明的处理器102-1、…、102-P。处理器202可为基于高速缓冲存储器的处理器且可包含(举例来说)处理单元208(例如,中央处理单元“CPU”)、耦合到处理单元208的第一级高速缓冲存储器“L1”210-1、耦合到第一级高速缓冲存储器210-1的第二级高速缓冲存储器“L2”210-2及耦合到第二级高速缓冲存储器210-2的若干个额外级高速缓冲存储器“LN”210-L。第一级高速缓冲存储器210-1、第二级高速缓冲存储器210-2及额外级高速缓冲存储器210-L可在本文中统称为高速缓冲存储器210。实施例并不限于高速缓冲存储器级的特定数目且可包含比图2中所图解说明的数目多或少的数目。可由处理单元208使用高速缓冲存储器210通过存储来自主存储器204的频繁使用的数据来减少存取主存储器204的平均时间。由处理单元208存取高速缓冲存储器210的等待时间小于由处理单元208经由接口206存取主存储器204的等待时间。接口206可类似于图1中所图解说明的接口106且主存储器204可类似于图1中所图解说明的主存储器装置104-1、…、104-M。

[0018] 图2还图解说明高速缓冲存储器210中的高速缓存行212的表示。图式中位于高速缓冲存储器210下方的每一行表示一高速缓存行且以由每一块中的“x”指示的数据来图解说明特定高速缓存行212。高速缓冲存储器210可具有固定高速缓存行大小(例如,可存储于高速缓存行中的某一数目个数据字节)。与高速缓冲存储器(例如,来自主存储器204)的交互可以等于单个高速缓存行大小的数据部分的固定数据增量发生。根据本发明的若干个实施例,主存储器204可经配置以通过将分布于主存储器204中的数据收集到单个高速缓存行大小的数据部分216中而对来自处理器202的对数据的请求做出响应。关于图2,由主存储器204的行214中的“x”条目表示分布于主存储器204中的数据。所述主存储器可经配置以在将如所展示的数据(x)跨越接口206传送到处理器202之前将所述数据收集到单个高速缓存行大小的数据部分216中。如所图解说明,所请求数据可非连续地分布于主存储器204中,使得所请求数据及周围数据包括多个高速缓存行大小的数据部分。如本文中所描述,主存储器204可控制操作(例如,收集操作)的时序且处理器202可能不知晓与对数据的请求相关联的读取时间(例如,处理器可不知道或不控制数据何时将被从主存储器204发送到处理器202)。

[0019] 相比之下,用以存取主存储器204的一些先前方法包含处理器202控制操作的时序。此外,此种对数据的请求原本是以通过传送含有所请求数据(x)的每一行214而非首先将数据收集到单个高速缓存行大小的数据部分216中而来自主存储器204的多个响应来满足。此些先前方法将消耗接口206的较大带宽,因为每一行214将可能与非请求数据(例如,并未由处理器202请求的周围数据(由空白方框表示))一起跨越接口被单独地发送。接着将由处理器202来处理(例如,筛选)从主存储器204接收的数据以隔离并进一步操作所请求数据(例如x)。然而,根据本发明,可在不发送非请求数据的情况下将所请求数据发送到处理器。

[0020] 根据本发明的若干个实施例,来自处理器的请求可包含若干个属性的指示。属性可为定义对象、元素或文件的性质的规格。属性可指代给定数据实例的特定值。举例来说,在主存储器存储包括图像的数据的情况下,所述图像的属性可为具有特定色彩的像素值(其中所述特定色彩是属性)。响应于来自处理器的对存储于主存储器204中的属性的请求,主存储器204可检查存储于主存储器中的数据结构以确定所述数据结构是否包含所述属性。主存储器204可响应于确定数据结构包含所述属性而将指示所述属性的数据(例如,指示图像中的特定色彩的数据)返回到处理器202。所述若干个属性可为将从主存储器204收集的属性或将分散到主存储器204的属性。其中收集操作可尤其有益的请求(来自处理器202)的类型的实例可为搜索请求(例如,“在存储于数据结构中的数据当中,请返回匹配准则的值”,其中“x”表示匹配所述准则的数据)及筛选请求(例如,“在存储于数据结构中的数据当中,请返回给定谓词针对其返回布林(Boolean)真值的值”,其中“x”表示针对谓词返回布林真值的数据)。

[0021] 根据本发明的一些实施例,在处理器202已修改所请求数据之后,其可将经修改数据返回到主存储器装置204。主存储器装置204可接收经修改数据(例如,单个高速缓存行大小的经修改数据部分216)、分散经修改数据,使得其在与从中收集所请求数据的位置相同的位置中存储于主存储器装置204的数据结构中。因此,可经由主存储器204内的数据移动操作(例如,收集及/或分散操作)而提供可编程控制。

[0022] 主存储器204(例如,与主存储器204相关联的硬件逻辑)可经配置以提供主存储器204中从中收集数据的位置不可用直到由处理器202释放所收集数据为止的指示。此些实施例可提供同步机制(例如,使得不会响应于例如直接存储器存取(DMA)请求或来自另一处理器的请求的另一请求而递送过期数据)。所述指示可为表、满/空位或一系列基址寄存器及界限寄存器以及其它指示。

[0023] 在若干个实施例中,来自处理器202的请求可为由主存储器204修改数据,其中所述数据分布于主存储器204的数据结构中。主存储器204(例如,其硬件逻辑)可经配置以提供对主存储器204内的数据的修改(例如,经由存储器中处理(PIM))。响应于所述请求,主存储器204可基于所述数据结构而在主存储器204中发起并执行数据收集操作。主存储器204可经配置以在所述主存储器中发起并执行对所收集数据的数据修改操作(例如,并不跨越存储器接口206传送数据及/或并不使用处理器)。修改操作的实例包含调整所收集数据(例如,所收集数据的每一单元)的值。此一实例在以下情况中可为有益的:设备是(举例来说)视频卡且所请求修改是(举例来说)在处理器202对包括存储于主存储器204中的图像的数据执行较复杂操作或将其传送到外围装置(例如,监视器)之前增加所述图像中的特定色彩的亮度。主存储器204可经配置以在完成修改之后将经修改数据发送到处理器202。如本文中所描述,主存储器204可独立于处理器202而控制主存储器204的时序。对于其中主存储器204包含在无直接处理器202控制的情况下修改数据(以及移动数据)的能力的那些实施例,主存储器204可被视为处理器202的同级装置(例如,主存储器204可被视为处理器202的高速缓冲存储器210的扩展以扩展地址空间)。

[0024] 图3图解说明根据本发明的若干个实施例呈计算装置300的形式的设备的框图,计算装置300包含主存储器装置304及若干个请求装置302、318、321。请求装置的实例可包含处理器302、DMA装置318及/或存储器单元321以及其它。处理器302可类似于图1中所图解说明的处理器102-1、…、102-P。存储器单元321可类似于图1中所图解说明的主存储器104及/或类似于除主存储器之外的另一存储器单元。计算装置300可类似于图1中所图解说明的计算装置100。在图3中,展示关于为混合存储器立方体(HMC)的主存储器304的特定实例的更多细节。图3中所图解说明的主存储器HMC 304可类似于图1中所图解说明的主存储器装置104-1、…、104-M。

[0025] HMC 304可为包含使用穿硅通孔(TSV)堆叠在一起的多个存储器装置320-1、320-2、320-3、…、320-B(例如,DRAM裸片)及硬件逻辑装置322(例如,逻辑裸片、专用集成电路(ASIC)、另一装置中的对应逻辑等)的单个封装,但其它实施例可不同(例如,硬件逻辑装置322可未必与存储器装置320堆叠在一起)。HMC 304内的存储器可被组织成若干子组324(例如,库),其中每一库324在功能上及操作上独立于其它库324。每一库324可包含来自存储器装置320中的每一者的存储器分区。每一库324可包含逻辑装置322中的硬件逻辑单元328(例如,库控制器),硬件逻辑单元328类似于用于库324的存储器控制器而起作用。每一库控制器328可耦合到所述多个存储器装置320的相应子组。举例来说,库控制器328可管理针对库324的存储器操作,包含确定其自身时序要求(例如,代替由例如处理器等请求装置来管理)。库控制器328可包含用于针对处理器302的请求及响应的若干个缓冲器且可利用所述若干个缓冲器将响应相对于从处理器302接收请求的次序无序地发送到处理器302。因此,处理器302可经配置以在不知晓与请求相关联的读取时间的情况下经由接口将请求发送到

HMC 304。

[0026] 图3包含耦合于存储器装置320与请求装置302、318、321之间的逻辑装置322的较详细视图的图解说明。逻辑库322可包含用于每一库的存储器控制逻辑328(例如,库控制件)。库控制器328可耦合到用于HMC 304的可加强库324的功能的共享存储器控制逻辑330。然而,共享存储器控制逻辑330在传统意义上未必包括中央存储器控制器,因为库324中的每一者可独立于彼此直接受控制(例如,受控制时序、存取等)且因为共享存储器控制逻辑330未必与请求装置302、318、321介接(例如,直接介接)。因此,在一些实施例中,计算装置300及/或主存储器304不包含中央存储器控制器。存储器控制逻辑330可耦合到交换器332(例如,纵横式交换器)。交换器332可将来自库324的集体内部带宽的可用性提供到输入/输出(I/O)链路336。交换器332可耦合到链路接口控制器334,链路接口控制器334控制到请求装置302、318、321的I/O链路336。举例来说,I/O链路336可为串行全双工输入/输出链路。逻辑装置322可提供用于主存储器304的逻辑/物理接口。

[0027] 主存储器304可从例如处理器302、DMA装置318及/或存储器单元321以及其它的请求装置接收请求。如本文中所描述,在一些实施例中,主存储器304可经配置以提供主存储器304中的从中收集数据的位置不可用直到由请求装置302、318、321释放所收集数据为止的指示。此些实施例可提供同步机制(例如,使得在正由处理器302操作数据时不会响应于来自DMA装置318的请求而递送过期数据)。

[0028] 图4图解说明根据本发明的若干个实施例的若干个基于地址及偏移的请求及响应的框图。请求装置(例如,若干个基于高速缓冲存储器的处理器)可将请求提供到主存储器装置,且在一些实施例中,所述请求可包含标签448以允许由请求装置进行的缓冲直到主存储器装置对请求做出响应为止。由于主存储器装置响应于来自请求装置的请求而控制操作的时序,因此请求装置可受益于针对其请求保持对标签448的追踪,使得在主存储器装置对请求做出响应时,请求装置可基于标签448快速地识别所述响应适用于哪个请求。主存储器装置可存储数据结构(例如,链接列表、树及图表以及其它)且经配置以响应于来自请求装置的请求而遍历数据结构。请求可包含基于地址的请求440、基于偏移的请求444、跨步请求及基于指针的请求以及其它。主存储器装置可经配置以依种类做出响应(例如,可以基于地址的响应442来满足基于地址的请求440且可以基于偏移的响应446来满足基于偏移的请求444等)。

[0029] 基于地址的请求可包含识别请求的标签448、所请求元素的类型及/或大小(例如,字节、字的数目等)的指示450、所请求元素的数目的指示452及其中存储所述元素的若干个地址454-1、…、454-N。基于地址的响应可包含对应于所述请求的标签448及数据元素456-1、…、456-N。

[0030] 基于偏移的请求可包含识别请求的标签448、所请求元素的类型及/或大小(例如,字节、字的数目等)的指示450、基地址458、所请求元素的数目的指示452及其中存储元素的若干个偏移索引460-1、…、460-N。基于偏移的响应可包含对应于所述请求的标签448及数据元素456-1、…、456-N。

[0031] 尽管未具体图解说明,但跨步请求与基于偏移的请求的类似之处可在于所述请求可包含识别请求的标签、所请求元素的类型及/或大小(例如,字节、字的数目等)的指示、基地址及若干个所请求元素的指示。然而,代替包含偏移,跨步请求包含步幅(例如,可加到基

地址或先前存取的地址以找到下一个所要地址的数目)。跨步响应可包含对应于所述请求的标签及数据元素。

[0032] 尽管未具体图解说明,但基于指针的请求可包含指向主存储器中的数据结构的指针、若干个属性(例如,将由主存储器从数据结构收集并返回到请求装置的若干个属性)的指示及待解参考的指针列表的指示(例如,包含多少个指针将被解参考的指示)以及针对请求的若干个条件及对应操作。主存储器可根据指针、若干个属性的指示及指针列表的指示而检查数据结构,且响应于对应条件被满足而执行操作。主存储器可通过解参考指针列表直到到达列表的末尾为止或直到已解参考阈值数目个指针为止来检查数据结构。解参考指针可包含检索由指针指示的数据(例如,从主存储器中的由指针指示的位置检索数据)。检查数据结构可包含确定由特定指针参考的数据结构是否包含所述属性且主存储器可响应于确定由所述指针参考的数据结构包含所述属性而将包含所述属性的数据返回到请求装置。在一些实施例中,主存储器可响应于确定由所述指针参考的数据结构包含所述属性而通过复制来自请求装置的请求而产生新请求。

[0033] 条件及对应操作的实例包含响应于数据匹配设定值或搜索关键字而将包含属性的数据返回到请求装置。另一实例包含响应于匹配执行对包含属性的数据的原子更新。另一实例包含响应于指针的剩余数目是标记值(致使操作结束的值,举例来说,零)或已解参考阈值数目个指针而结束针对所述请求的操作。数据结构的实例包含链接列表、树及图表。

[0034] 尽管未如此具体地图解说明,但用于存储可执行指令的非暂时性计算装置可读媒体可包含所有形式的易失性存储器及非易失性存储器,包含(通过实例方式)半导体存储器装置、DRAM、HMC、EPROM、EEPROM、快闪存储器装置、磁盘(例如固定磁盘、软磁盘及可装卸磁盘)、包含磁带的其它磁性媒体、光学媒体(例如紧密光盘(CD)、数字多功能光盘(DVD)及蓝光光盘(BD))。指令可由ASIC来补充或并入于ASIC中。

[0035] 尽管本文中已图解说明及描述了特定实施例,但所属领域的技术人员将了解,旨在实现相同结果的布置可替代所展示的特定实施例。本发明打算涵盖本发明的一或多个实施例的更改或变化形式。应理解,已以说明性方式而非限制性方式做出上文说明。在审阅上文说明之后,所属领域的技术人员将明了上文实施例与本文中未具体描述的其它实施例的组合。本发明的一或多个实施例的范围包含其中使用上文结构及方法的其它应用。因此,本发明的一或多个实施例的范围应参考所附权利要求书连同授权此权利要求书的等效内容的全部范围来确定。

[0036] 在前述实施方式中,出于简化本发明的目的,将一些特征一起聚集于单个实施例中。本发明的此方法不应解释为反映本发明的所揭示实施例必须使用比明确陈述于每一权利要求中更多的特征的意图。而是,如所附权利要求书反映:发明性标的物在于少于单个所揭示实施例的所有特征。因此,特此将所附权利要求书并入到具体实施方式中,其中每一权利要求独立地作为单独实施例。

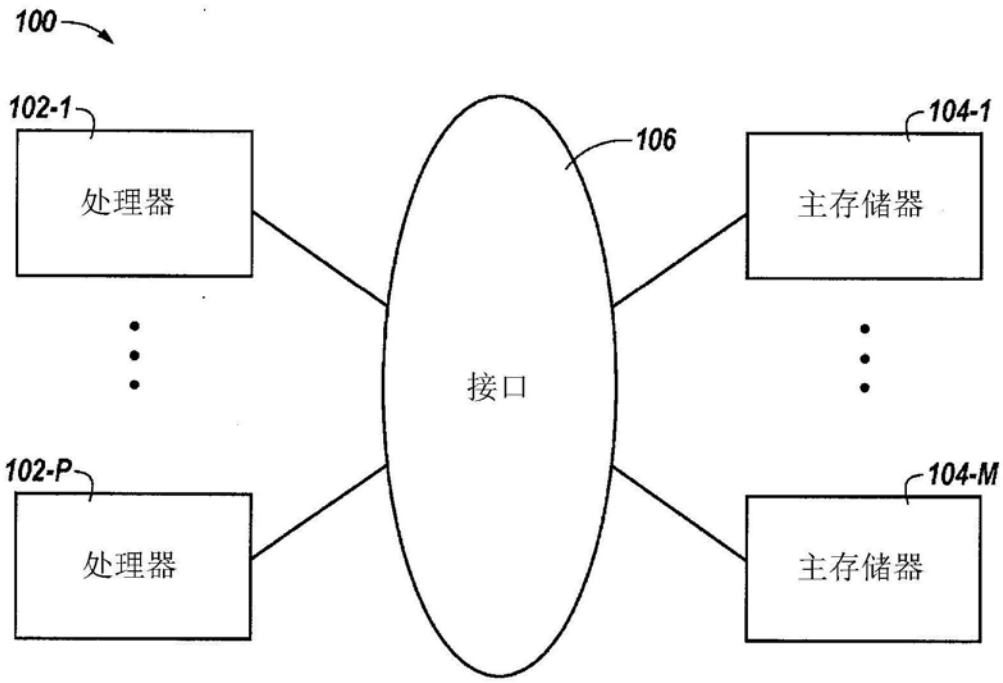

100
102-1
处理器
102-P
处理器
106
接口
104-1
主存储器
104-M
主存储器

图1

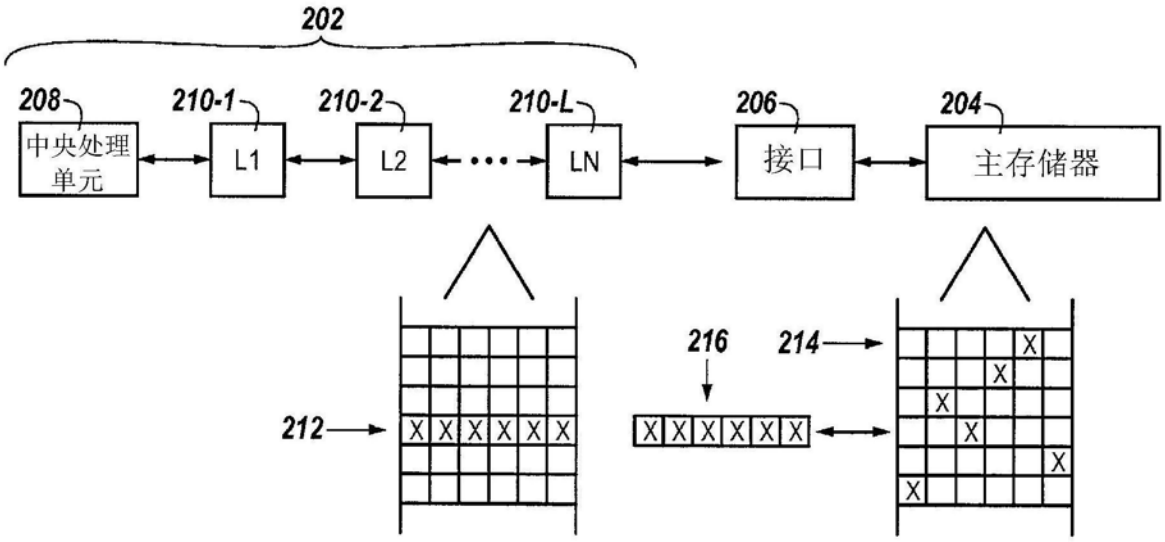

202
208
中央处理单元
210-1
L1
210-2
L2
210-L
LN
206
接口
204
主存储器
212
216
214

图2

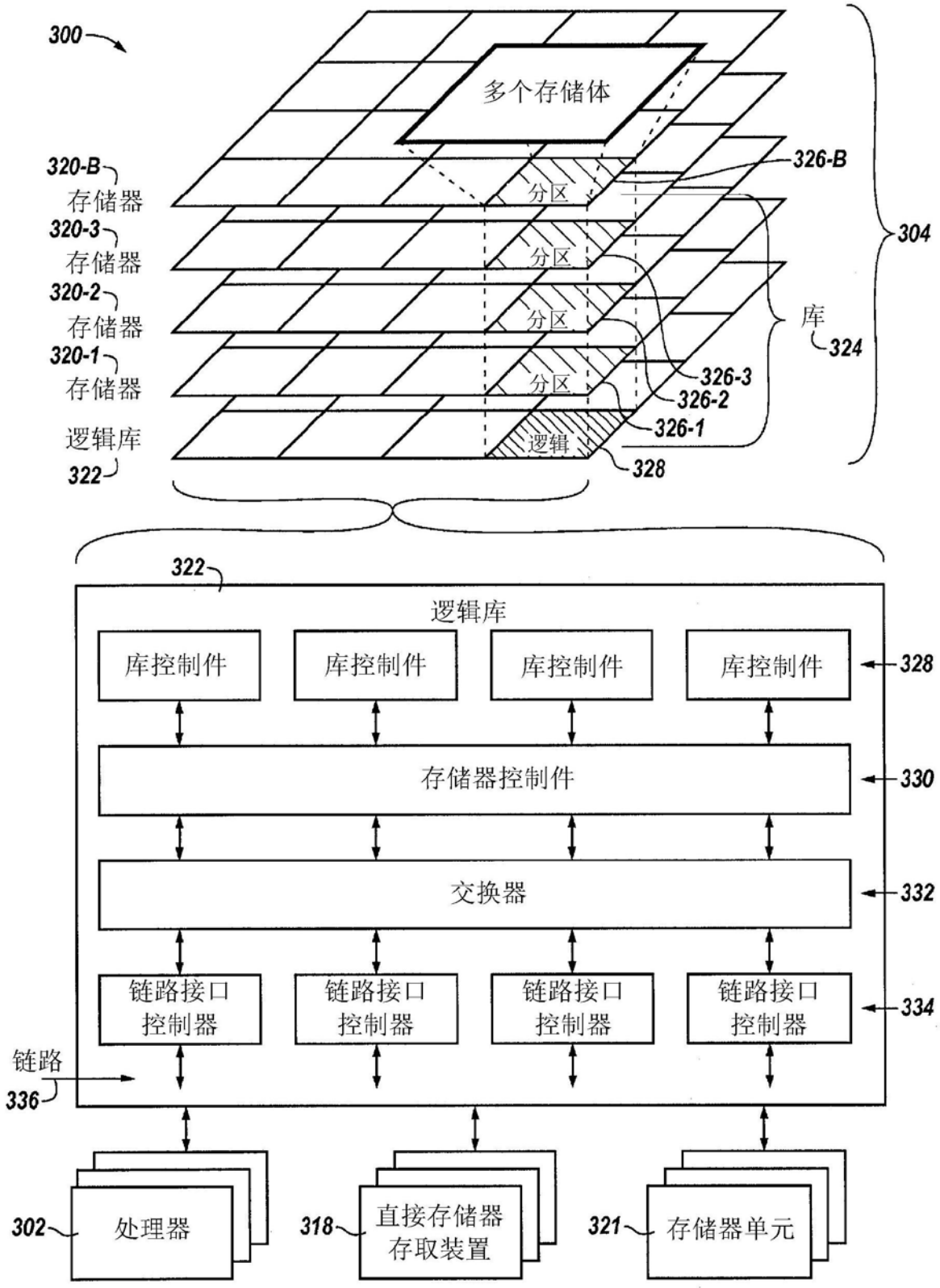

300
多个存储体
320-B
存储器
320-3
存储器
320-2
存储器
320-1
存储器
逻辑库
322
分区
分区
分区
分区
逻辑
326-B
326-3
326-2
326-1
328
304
库
324
322
逻辑库
库控制件
库控制件
库控制件
库控制件
328
存储器控制件
330
交换器
332
链路接口
控制器
链路接口
控制器
链路接口
控制器
链路接口
控制器
334
链路
336
302
处理器
318
直接存储器
存取装置
321
存储器单元

图3

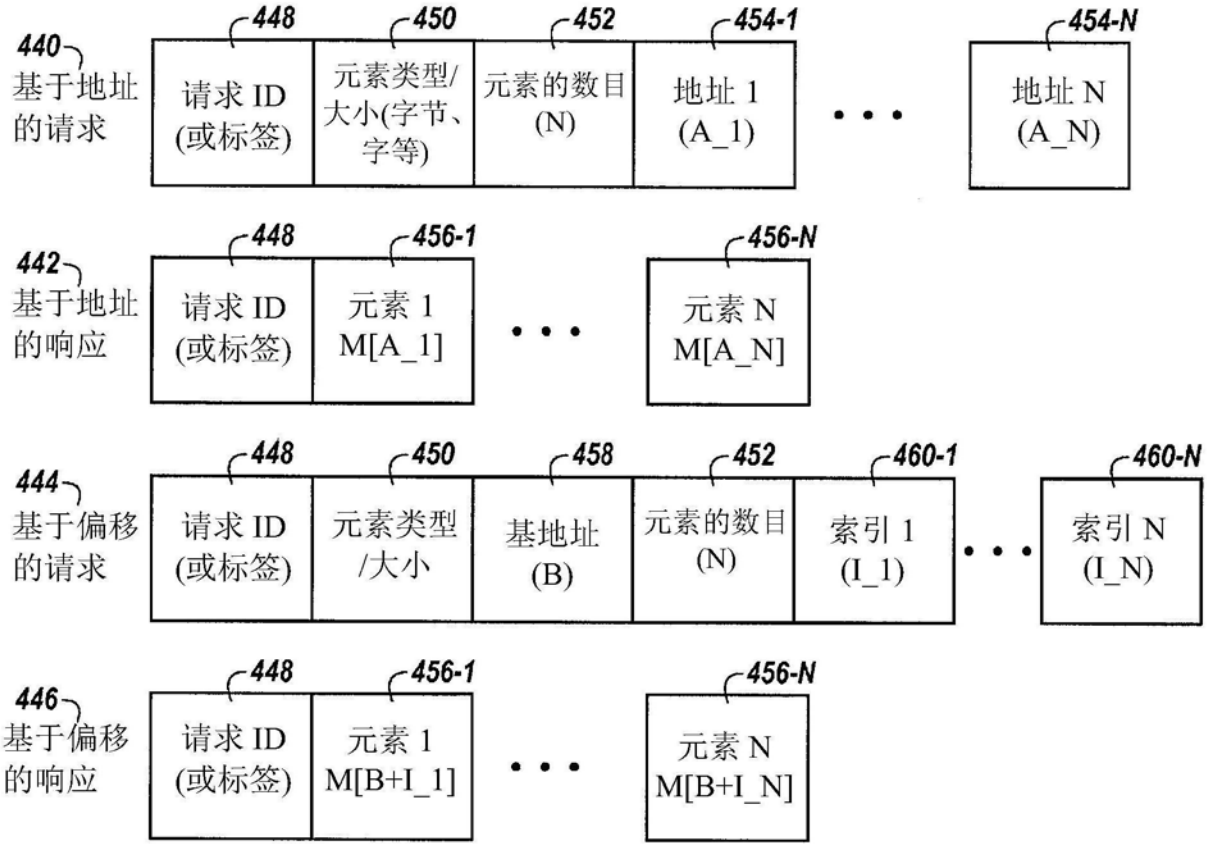

440
基于地址的请求
448
请求 ID (或标签)
450
元素类型/大小(字节、字等)
452
元素的数目 (N)
454-1
地址 1 (A_1)
454-N
地址 N (A_N)
442
基于地址的响应
448
请求 ID (或标签)
456-1
元素 1 M[A_1]
456-N
元素 N M[A_N]
444
基于偏移的请求
448
请求 ID (或标签)
450
元素类型/大小
458
基地址 (B)
452
元素的数目 (N)
460-1
索引 1 (I_1)
460-N
索引 N (I_N)
446
基于偏移的响应
448
请求 ID (或标签)
456-1
元素 1 M[B+I_1]
456-N
元素 N M[B+I_N]

图4