

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)



(10) 国際公開番号

WO 2025/062837 A1

(51) 国際特許分類:

H01L 21/66 (2006.01) H01L 21/822 (2006.01)
G01R 27/02 (2006.01) H01L 27/04 (2006.01)
G01R 27/26 (2006.01) H01L 27/144 (2006.01)
G01R 31/26 (2020.01) H01L 27/146 (2006.01)
H01L 21/02 (2006.01)

(21) 国際出願番号: PCT/JP2024/027233

(22) 国際出願日: 2024年7月30日(30.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-150946 2023年9月19日(19.09.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION)

[JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

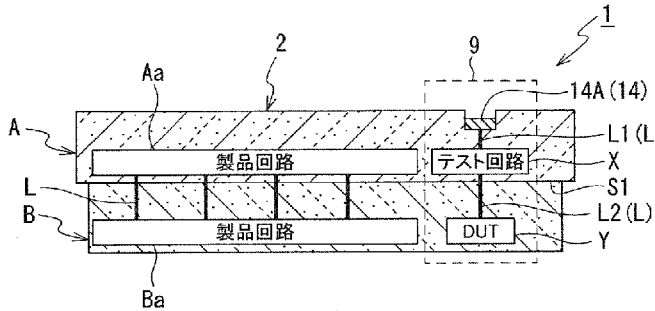
(72) 発明者: 北原 暁(KITAHARA Gyo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 岡野 仁志(OKANO Hitoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 弁理士法人日栄国際特許事務所 Tokyo (JP).

(54) Title: SEMICONDUCTOR CHIP AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体チップ及び電子機器

[図2]



Aa, Ba... PRODUCT CIRCUIT
X... TEST CIRCUIT

(57) Abstract: Provided is a semiconductor chip in which pressure by a TEG is minimized in a region where a product circuit is formed. The semiconductor chip comprises: a first semiconductor substrate that has a first circuit formed thereon; a second semiconductor substrate that has a second circuit formed thereon and is overlaid and bonded to a first surface of the first semiconductor substrate; and a test element group that includes a device to be measured and a test circuit for testing the device to be measured, and that is formed on the first semiconductor substrate and the second semiconductor substrate. Of the device to be measured and the test circuit, only the device to be measured is formed on the second semiconductor substrate, and the test circuit is formed on the first semiconductor substrate.

(57) 要約: 製品回路が構成される領域がTEGにより圧迫されるのが抑制された半導体チップを提供する。半導体チップは、第1回路が構成された第1半導体基板と、第2回路が構成され且つ第1半導体基板の第1の面に重ねて接合された第2半導体基板と、被測定デバイス及び被測定デバイスに対するテストを行うテスト回路を有し且つ第1半導体基板及び第2半導体基板に構成されたテストエレメントグループと、を備え、第2半導体基板には、被測定デバイスとテスト回路との中の被測定デバイスのみが構成され、第1半導体基板には、テスト回路が構成されている。

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：半導体チップ及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、半導体チップ及び電子機器に関し、特に、ＴＥＧを有する半導体チップ及び電子機器に関する。

背景技術

[0002] 特許文献１は、ＣｏＷ、ＷｏＷのプロセスモニタ向けテスト構造を開示している。特許文献１では、テスト回路及びＤＵＴが同一平面内に設けられている。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１５－４６５６９号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献１では、テスト回路及びＤＵＴが同一平面内に設けられているので、製品回路が構成される領域がＴＥＧにより圧迫される可能性があった。

[0005] 本技術は、製品回路が構成される領域がＴＥＧにより圧迫されるのが抑制された半導体チップ及び電子機器を提供することを目的とする。

課題を解決するための手段

[0006] 本技術の一態様に係る半導体チップは、第１回路が構成された第１半導体基板と、第２回路が構成され且つ上記第１半導体基板の第１の面に重ねて接合された第２半導体基板と、被測定デバイス及び上記被測定デバイスに対するテストを行うテスト回路を有し且つ上記第１半導体基板及び上記第２半導体基板に構成されたテストエレメントグループと、を備え、上記第２半導体基板には、上記被測定デバイスと上記テスト回路との中の上記被測定デバイスのみが構成され、上記第１半導体基板には、上記テスト回路が構成されている。

[0007] 本技術の一態様に係る電子機器は、上記半導体チップと、上記半導体チップに被写体からの像光を結像させる光学系と、を備える。

図面の簡単な説明

[0008] [図1]本技術の第1実施形態に係る半導体チップの一構成例を示すチップレイアウト図である。

[図2]本技術の第1実施形態に係る半導体チップの断面構成を示す縦断面図である。

[図3]本技術の第1実施形態に係るOCMTの構成を示すブロック図である。

[図4]本技術の第1実施形態に係る半導体チップの製造方法を示すフローチャートである。

[図5]本技術の第1実施形態に係る第1半導体ウエハを示す平面図である。

[図6]図5の一部領域を拡大して示す部分拡大図である。

[図7]本技術の第1実施形態に係る第2半導体ウエハを個片化して得られた第2半導体基板を示す平面図である。

[図8]比較例に係る半導体チップの断面構成を示す縦断面図である。

[図9]本技術の第1実施形態の変形例1に係る半導体チップの断面構成を示す縦断面図である。

[図10]図9に示す半導体チップをインターポーザにマウントした状態を示す説明図である。

[図11]本技術の第1実施形態の変形例2に係る半導体チップの断面構成を示す縦断面図である。

[図12]本技術の第1実施形態の変形例3に係る半導体チップの断面構成を示す縦断面図である。

[図13]本技術の第1実施形態の変形例4に係る半導体チップの断面構成を示す縦断面図である。

[図14]本技術の第1実施形態の変形例5に係る半導体チップの製造方法を示すフローチャートである。

[図15]本技術の第2実施形態に係る半導体チップの一構成例を示すチップレ

イアウト図である。

[図16]本技術の第2実施形態に係る半導体チップの一構成例を示すブロック図である。

[図17]本技術の第2実施形態に係る半導体チップの画素の等価回路図である。

[図18]本技術の第2実施形態に係る半導体チップの積層構造を示す説明図である。

[図19]本技術の第2実施形態に係る半導体チップの一部の断面構成を示す縦断面図である。

[図20]本技術の第2実施形態の変形例1に係る半導体チップの一部の断面構成を示す縦断面図である。

[図21]本技術の第2実施形態の変形例1に係る半導体チップの一部の断面構成を示す縦断面図である。

[図22]本技術の第2実施形態の変形例2に係る半導体チップの断面構成を示す縦断面図である。

[図23]電子機器の概略的な構成の一例を示すブロック図である。

発明を実施するための形態

[0009] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。

[0010] 以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。又、本技術を説明するのに適した図面を採用しているため、図面相互間において構成の相違がある場合がある。

[0011] また、以下に示す実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであって、本技術の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本技術の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

[0012] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0013] 説明は以下の順序で行う。

1. 第1実施形態
2. 第2実施形態
3. 第3実施形態
4. 第4実施形態

電子機器への応用例

[0014] [第1実施形態]

この実施形態では、チップオンウエハ（C o W）により複数の半導体基板が積層された構造を有する半導体チップに本技術を適用した一例について説明する。

[0015] 《オンチップモニタ T E G》

複数の半導体基板の積層構造を有する半導体チップの製造方法として、半導体ウエハ同士を接合させるウエハオンウエハ（W o W）という技術と、個片化した半導体チップを半導体ウエハに接合するチップオンウエハ（C o W）という技術がある。また、半導体チップでは、一般的に、回路特性の評価や管理等を行うために、T E G（T e s t E l e m e n t G r o u p）と呼ばれるテストパターンを設ける。

[0016] 単層の半導体チップ又はW o Wで半導体チップを製造する場合、一般的に、T E Gをスクライブ領域に設けておき（スクライブ T E G）、スクライブ

T E Gを用いてテストを行う。スクライブ領域には、被検査デバイス毎にスクライブパッドが設けられている。テストは、被検査デバイス毎にスクライブパッドに検査装置のプロブを接触させて行う。そして、スクライブT E Gを用いてテストを行った後にダイシング工程を行い、個片化された半導体チップを得る。スクライブT E Gは、ダイシング工程によって破壊され、それ以降は使用することができない。

[0017] C o Wで半導体チップを製造する場合、半導体ウエハに接合される半導体チップはすでに個片化され、スクライブ領域が失われている。そのため、C o Wでは、スクライブ領域ではなく製品回路を設ける領域にT E Gを設ける必要がある。そのようなT E Gは、オンチップモニタT E G（以下、O C M Tと呼ぶ）として知られている。O C M Tは個片化の際に破壊されないため、個片化後もT E Gを利用したテストを行うことができる。そのため、半導体チップの回路特性を継続的に監視することが可能である。図8は、比較例に係る半導体チップ2 Xの縦断面構成を示す図である。半導体チップ2 Xは、第1半導体基板Aと第2半導体基板Bとを積層した積層構造を有する。半導体チップ2 Xには、製品回路B aに加えて、テスト回路X及び被測定デバイスYを備えたO C M T 9 Xが構成されている。第2半導体基板Bにはテスト回路Xと被測定デバイスYとの両方が構成されているため、O C M T 9 Xは、第2半導体基板Bにおいて製品回路B aが設けられる領域を圧迫する場合があった。

[0018] ≪半導体装置の全体構成≫

まず、半導体装置1の全体構成について説明する。図1に示すように、本技術の第1実施形態に係る半導体装置1は、平面視したときの二次元平面形状が方形状の半導体チップ2を主体に構成されている。すなわち、半導体装置1は、半導体チップ2に搭載されている。半導体チップ2の縁部には、複数のボンディングパッド1 4が配置されている。複数のボンディングパッド1 4は、例えば、半導体チップ2の二次元平面における4つの辺に沿って配列されている。複数のボンディングパッド1 4は、半導体チップ2を外部装

置と電氣的に接続する際に用いられる入出力端子である。半導体装置 1 は、オンチップモニタ T E G である O C M T 9 を含む。O C M T 9 はテストエレメントグループである。

[0019] 図 2 に示すように、半導体チップ 2 は、複数の半導体基板を積層した積層構造を有する。例えば、半導体チップ 2 は、第 1 半導体基板 A と第 2 半導体基板 B とを積層した積層構造を有する。第 2 半導体基板 B の一方の面は、第 1 半導体基板 A の第 1 の面 S 1 に重ねて接合されている。第 1 半導体基板 A は第 1 半導体基板の一例であり、第 2 半導体基板 B は第 2 半導体基板の一例である。本実施形態では、第 1 半導体基板 A が社内で製造した基板であり、第 2 半導体基板 B が他の会社から購入した基板であるとして、説明する。図示は省略するが、第 1 半導体基板 A 及び第 2 半導体基板 B はそれぞれ、半導体層と多層配線層との積層構造を有している。また、半導体装置 1 は、製品回路として、互いに電氣的に接続された製品回路 A a と製品回路 B a とを含む。製品回路 A a は第 1 回路の一例であり、製品回路 B a は第 2 回路の一例である。第 1 半導体基板 A には製品回路 A a が構成され、第 2 半導体基板 B には製品回路 B a が構成されている。製品回路 A a は製品回路 B a と同じ種類の電気回路であっても良いし、異なる種類の電気回路であっても良い。これには限定されないが、例えば、製品回路 A a はロジック回路であり、製品回路 B a は D R A M (Dynamic Random Access Memory) 等の記憶回路、又は人工知能、(A I, artificial intelligence)、C P U 等のシステムオンチップ (S o C : system on chip) の回路である。半導体チップ 2 内には、各種回路の接続配線を構成する配線 L が設けられている。配線 L の一部は、例えば、製品回路 A a と製品回路 B a とを接続するのに用いられている。

[0020] O C M T 9 は、第 1 半導体基板 A と第 2 半導体基板 B とに亘って構成されている。O C M T 9 は、テスト回路 X と、テスト回路 X に電氣的に接続された被測定デバイス (D U T, Device Under Test) Y と、テスト回路 X に電氣的に接続された測定パッド 1 4 A と、を備える。第 2 半導体基板 B には、被測定デバイス Y とテスト回路 X とのうちの被測定デバイ

スYのみが構成されている。第1半導体基板Aには、テスト回路Xが構成されている。より具体的には、第1半導体基板Aには、被測定デバイスYとテスト回路Xとのうちのテスト回路Xのみが構成されている。OCMT9は、テスト回路Xと被測定デバイスYとがそれぞれ異なる半導体基板に構成された積層型のテストエレメントグループである。また、OCMT9は、半導体チップ2に構成された製品回路（製品回路Aa, Ba等）と電氣的に分離されている。

[0021] OCMT9は、テスト回路Xと測定パッド14Aとの間を電氣的に接続する配線L1と、テスト回路Xと被測定デバイスYとの間を電氣的に接続する配線L2と、を備える。配線L2は、第1半導体基板Aと第2半導体基板Bとに亘って設けられている。配線L1及び配線L2は配線Lの他の一部である。配線L1と、配線L2と、それ以外の配線Lとを互いに区別ない場合、単に配線Lと呼ぶ。配線Lは、導体により構成されている。配線Lを構成する材料として、例えば、金属材料を挙げることができる。

[0022] テスト回路Xと被測定デバイスYとのうち、まず、被測定デバイスYから説明する。被測定デバイスYは、製品回路の一部分をテスト用に別途設けたデバイスである。図示は省略するが、第2半導体基板Bには被測定デバイスYが複数設けられていて、複数の被測定デバイスYのそれぞれは配線L2を介してテスト回路Xと接続されている。被測定デバイスYは、トランジスタ、抵抗素子等の素子単体であっても良く、複数の素子を組み合わせた回路であっても良い。また、被測定デバイスYは、ある要素の製造プロセスを評価するためのテストパターンであっても良い。本実施形態では、被測定デバイスYが素子単体である場合について、説明する。被測定デバイスYは被測定素子であり、素子単位で設けられている。被測定デバイスYは、製品回路Baに含まれる素子のうち、テストを行いたい素子と同種の素子である。また、被測定デバイスYは、例えば、製品回路Baaに含まれる素子と同じ技術ノードを有する素子である。一例として、製品回路Baに含まれる素子のうちのn型のMOSFETをテストしたい場合、n型のMOSFETを被測定

デバイスYとして第2半導体基板Bに別途設ける。製品回路Baが設けられた半導体基板と同じ半導体基板に被測定デバイスYを別途設ける。図3に示すように、被測定デバイスYは、例えば、トランジスタY1、キャパシタY2、抵抗素子Y3等の素子である。複数種類の被測定デバイスYを第2半導体基板Bに設けても良い。また、再現性を確認するために、被測定デバイスYとして同種の素子を複数個第2半導体基板Bに設けても良い。例えば、トランジスタY1、キャパシタY2、及び抵抗素子Y3を複数個ずつ設けても良いし、トランジスタY1であるp型のMOSFETを複数設けても良い。

[0023] テスト回路Xは、被測定デバイスYに対するテストを行う機能を有する電気回路である。図3に示すように、テスト回路Xは、例えば、選択回路X1と、スイッチX2と、発振回路X3とを含む。選択回路X1は、第2半導体基板Bに設けられた複数の被測定デバイスYのうちの一部を選択する機能を有する。スイッチX2も被測定デバイスYを切り替える切り替え機能等を有する。テスト回路Xは、選択された又は切り替えられた被測定デバイスYに対して、テストを行う。以下、選択回路X1を例に説明する。測定パッド14Aを介して選択回路X1に信号が入力されると、選択回路は入力された信号に応じて複数の被測定デバイスYのうちの1つ又は複数を選択する。そして、テスト回路Xは、外部から測定パッド14Aを介して選択回路X1に入力された信号に基づき、選択された被測定デバイスYに対してテストを行う機能を有する。例えば、選択された素子がトランジスタY1である場合、テスト回路XはトランジスタY1の動作をテストする。また、例えば、選択された素子がキャパシタY2である場合、テスト回路Xは発振回路X3によりキャパシタY2の容量をテストする。また、例えば、選択された素子が抵抗素子Y3である場合、テスト回路Xは抵抗素子Y3をテストする。そして、テスト回路Xは、テスト結果を、測定パッド14Aを介して外部に出力する。なお、テスト回路Xと被測定デバイスYは、図2に示すように、厚み方向に重なっていても良いし、厚み方向に重なっていなくても良い。

[0024] テスト回路Xと電氣的に接続された測定パッド14Aは、一方の面が外部

に露出するように半導体チップ2に設けられている。本実施形態では、測定パッド14Aは第1半導体基板Aに設けられている。測定パッド14Aは、図1に示したボンディングパッド14の一部をOCMT9専用として割り当てたものである。測定パッド14Aを他のボンディングパッド14と区別しない場合、単にボンディングパッド14と呼ぶ。測定パッド14Aは、金属等の導体により構成されている。測定パッド14Aを構成する材料として、例えば、銅（Cu）、アルミニウム（Al）等の金属を挙げることができる。

[0025] 《半導体チップの製造方法》

以下、図4から図7までを参照して、半導体チップ2の製造方法について説明する。なお、本実施形態では、CoWの接合を中心に説明し、それ以外の部分については説明を省略する場合がある。説明は、主に図4に示すフローチャートに沿って説明する。

[0026] まず、第1半導体ウエハWA及び第2半導体ウエハWBを準備し（ステップS101）、第2半導体ウエハWBを第2半導体基板Bへ個片化する（ステップS102）。図5は第1半導体ウエハWAを示し、図6は図5の領域WA1のより具体的な構成を示す。図6に示すように、第1半導体ウエハWAには、行方向及び列方向に沿って、個片化された場合に第1半導体基板Aになる基板部分がすでに形成済みである。個片化された場合に第1半導体基板Aになる基板部分のそれぞれには、テスト回路Xが形成されている。同様に、第2半導体ウエハWBにも、行方向及び列方向に沿って、個片化されると第2半導体基板Bになる基板部分がすでに形成済みである。図7は、第2半導体ウエハWBを個片化して得られた第2半導体基板Bの基板部分の一部を示している。個片化された第2半導体基板Bの基板部分のそれぞれには、被測定デバイスYが形成されている。

[0027] 次に、図4に示すように、個片化された第2半導体基板Bを第1半導体ウエハWAに接合する（ステップS103）。より具体的には、個片化された第2半導体基板Bのうち、基準を満たす良品基板（KGD, Known Good Die

）のみを選別して第1半導体ウエハWAに接合する。第2半導体基板Bを第1半導体ウエハWAに接合することにより、個片化された場合に半導体チップ2になる基板部分に、積層型のOCMT9が形成される。

[0028] その後、OCMT9を用いてテストを行う（ステップS104）。テストは、検査装置のプロブを測定パッド14Aに接触させて、個片化された場合に半導体チップ2になる基板部分毎に行う。選択回路X1及びスイッチX2の少なくとも一方を用いることにより任意の被測定デバイスYを選択できるので、検査装置のプロブを移動することなく複数の被測定デバイスYに対するテストを行うことができる。

[0029] そして、個片化された場合に半導体チップ2になる基板部分毎に、被測定デバイスYのテスト結果が基準値を満たすか否か、判定する（ステップS105）。基準値を満たすと判定された（ステップS105，YES）基板部分は、最終製品まで順次工程が行われる（ステップS106）。基準値を満たさないと判定された（ステップS105，NO）基板部分は、最終製品まで工程が行われることはない。なお、基準値を満たさないと判定された場合のテストの結果は、これまでの製造工程にフィードバックされる（ステップS107）。

[0030] 《第1実施形態の主な効果》

以下、第1実施形態の主な効果を説明するが、その前に、概要について説明する。図8に示す比較例に係る半導体チップ2Xでは、第2半導体基板Bにテスト回路Xと被測定デバイスYとの両方が構成されているため、OCMT9Xは、第2半導体基板Bにおいて製品回路Baが設けられる領域を圧迫する場合があった。また、第2半導体基板Bとして、例えば、DRAM、SoC等の汎用品を利用する場合、汎用品の生産を他の会社に委託し、生産されたウエハ又はチップを購入する場合がある。委託生産されたチップに対して設計難易度が低くはないテスト回路Xを構成するのは、容易ではなかった。また、委託生産されたチップにテスト回路Xを構成することにより、委託先の会社に技術が流出する可能性があった。

[0031] これに対して、本技術の第1実施形態に係る半導体チップ2は、被測定デバイスY及び被測定デバイスYに対するテストを行うテスト回路Xを有し且つ第1半導体基板A及び第2半導体基板Bに構成されたOCMT9を備え、第2半導体基板Bには、被測定デバイスYとテスト回路Xとのうちの被測定デバイスYのみが構成され、第1半導体基板Aには、テスト回路Xが構成されている。テスト回路Xと被測定デバイスYとをそれぞれ異なる半導体基板に分散して構成する。そのため、OCMT9により製品回路Aa、Baが構成される領域が圧迫されるのを抑制できる。また、第1半導体基板A及び第2半導体基板Bそれぞれにおいて製品回路等の回路が未形成の空き領域を活用してOCMT9を構成するので、製品回路Aa、Baが構成される領域が圧迫されるのを抑制しつつOCMT9を構成できる。

[0032] また、本技術の第1実施形態に係る半導体チップ2は、上述の構成を有するので、第2半導体基板Bに対してテスト回路Xと被測定デバイスYとの両方を設けた場合と比べて、第2半導体基板BにおいてOCMT9が占める面積が大きくなり過ぎるのを抑制できる。これにより、第2半導体基板Bにおいて製品回路Baが構成される領域が圧迫されるのを抑制できる。より具体的には、チップサイズが同じであれば、第2半導体基板Bにおいて製品回路Baを構成する領域が不足するのを抑制できる。また、製品回路Baを構成する領域を確保した場合において、チップサイズが大きくなるのを抑制できる。

[0033] また、本技術の第1実施形態に係る半導体チップ2は、上述の構成を有するので、第2半導体基板Bの領域に余裕が生じ、被測定デバイスYの数を増やすことができる。これにより、様々な種類の被測定デバイスYを配置でき、より多様な測定項目を採用することができる。また、これにより、同じ種類の被測定デバイスYの個数を増やすことができ、テストの信頼性を高めることができる。

[0034] また、本技術の第1実施形態に係る半導体チップ2は、上述の構成を有するので、生産委託先の会社の設計負担を減らす事ができ、また、生産委託先

の会社に技術が流出するのを抑制できる。

[0035] また、本技術の第1実施形態に係る半導体チップ2では、OCMT9は、テスト回路Xと電氣的に接続され且つ一方の面が露出するように設けられた測定パッド14A有する。そのため、テストを行う際に、検査装置のプロープを移動することなく複数の被測定デバイスYに対するテストを行うことができる。

[0036] また、本技術の第1実施形態に係る半導体チップ2では、第2半導体基板Bに被測定デバイスYが複数構成され、複数の被測定デバイスYの一部を選択する選択回路X1、被測定デバイスYを切り替えるスイッチX2等を含む。選択回路X1及びスイッチX2により任意の被測定デバイスYを選択できるので、検査装置のプロープを移動することなく複数の被測定デバイスYに対するテストを行うことができる。

[0037] また、本技術の第1実施形態に係る半導体チップ2では、テスト回路Xが構成された第1半導体基板Aに、被測定デバイスYが構成された第2半導体基板Bが重ねて接合されている。そのため、第1半導体基板Aと第2半導体基板Bとを横並びに設けた場合と比べて、配線L2の長さを短くすることができる。これにより、テスト回路Xと被測定デバイスYとの間の電気抵抗を減らす事ができ、消費電力を抑制できる。また、平面視でテスト回路Xと被測定デバイスYとが重なるように配置することで、平面視においてOCMT9が占める領域が大きくなり過ぎるのを抑制できる。

[0038] また、本技術の第1実施形態に係る半導体チップ2では、スクライブTEGではなくOCMT9を有するので、個片化した後にもテストを行うことができる。また、スクライブTEGでは、スクライブのパッドから配線を延ばしてテスト回路に接続する場合がありますが、配線は半導体チップ2の周縁部に設けられたガードリングを破壊せずにはすり抜けるように設ける必要があった。これに対して本技術の第1実施形態に係る半導体チップ2では、OCMT9がスクライブラインに設けられておらず、全体がチップ内に収まっているので、ガードリングに影響し難い。

[0039] 《第1実施形態の変形例》

以下、第1実施形態の変形例について、説明する。

[0040] ＜変形例1＞

第1実施形態に係る半導体チップ2では、図2に示すように、測定パッド14Aは第1半導体基板Aに設けられていたが、本技術はこれには限定されない。図9に示す第1実施形態の変形例1に係る半導体チップ2では、測定パッド14Aは第2半導体基板Bに設けられている。配線L1は、第1半導体基板Aと第2半導体基板Bとに亘って設けられている。本変形例に係る半導体チップ2は、図10に示すように、半導体チップ2をインターポーザPにマウントして被測定デバイスYに対するテストを行うことができる。インターポーザPは、電氣的配線が引き回された基板である。半導体チップ2がインターポーザPにマウントされると、測定パッド14AがインターポーザPの上面端子Paに接触する。

[0041] この第1実施形態の変形例1に係る半導体チップ2であっても、上述の第1実施形態に係る半導体チップ2と同様の効果が得られる。

[0042] また、第1実施形態の変形例1に係る半導体チップ2では、半導体チップ2をインターポーザPにマウントして被測定デバイスYに対するテストを行うので、検査がより容易になる。

[0043] なお、上述の変形例では個片化した半導体チップ2をインターポーザPにマウントして被測定デバイスYに対するテストを行っていたが、個片化する前のウエハをインターポーザPにマウントして被測定デバイスYに対するテストを行っても良い。

[0044] ＜変形例2＞

第1実施形態に係る半導体チップ2が備える第2半導体基板Bは、図2に示すように単数であったが、本技術はこれには限定されない。図11に示す第1実施形態の変形例2に係る半導体チップ2は、第2半導体基板Bを複数備えている。すなわち、複数の第2半導体基板Bが平面視で並べて第1半導体基板Aに接合されている。

[0045] 図11は、半導体チップ2が第2半導体基板B1、B2の2つの第2半導体基板を備えた例を示しているが、半導体チップ2が備える第2半導体基板の数は3以上であっても良い。第2半導体基板B1、B2の一方の面は、第1半導体基板Aの第1の面S1に重ねて接合されている。第2半導体基板B1と第2半導体基板B2とを互いに区別しない場合、単に第2半導体基板Bと呼ぶ。第2半導体基板B1、B2は、第2半導体基板Bと同様な構成を有する。

[0046] 第2半導体基板B1には製品回路B1aが構成され、第2半導体基板B2には製品回路B2aが構成されている。製品回路B1aは製品回路B2aと同じ種類の電気回路であっても良いし、異なる種類の電気回路であっても良い。これには限定されないが、例えば、製品回路B1aはDRAM等の記憶回路であり、製品回路B2aは人工知能、CPU等のSOCの回路である。半導体チップ2内には、各種回路の接続配線を構成する配線Lが設けられている。製品回路B1aと製品回路Aaとの間、及び製品回路B2aと製品回路Aaとの間は、配線Lにより接続されている。

[0047] 第2半導体基板B1及び第2半導体基板B2のそれぞれには、被測定デバイスYが複数構成されている。第2半導体基板B1に構成された被測定デバイスYと、第2半導体基板B2に構成された被測定デバイスYとを互いに区別するために、第2半導体基板B1に構成された被測定デバイスYを被測定デバイスYaと呼び、第2半導体基板B2に構成された被測定デバイスYを被測定デバイスYbと呼ぶ。被測定デバイスYaと被測定デバイスYbとを区別しない場合、単に被測定デバイスYと呼ぶ。OCMT9は、被測定デバイスYa、Ybを含む。被測定デバイスYaとテスト回路Xとの間は配線L21より接続され、被測定デバイスYbとテスト回路Xとの間は配線L22より接続されている。配線L21と配線L22とを互いに区別しない場合、単に配線L2と呼ぶ。被測定デバイスYaは、製品回路B1aに含まれる素子のうち、テストを行いたい素子と同種の素子である。被測定デバイスYbは、製品回路B2aに含まれる素子のうち、テストを行いたい素子と同種の

素子である。

[0048] テスト回路Xは、複数の第2半導体基板B 1, B 2のうちのいずれかの半導体基板に構成された被測定デバイスYを選択し且つ選択された被測定デバイスYに対してテストを行う機能を有する。例えば、テスト回路Xは、第2半導体基板B 1に構成された被測定デバイスY aと、第2半導体基板B 2に構成された被測定デバイスY bと、のうちの一方を選択する。テスト回路Xは、選択回路X 1及びスイッチX 2の少なくとも一方を用いることにより被測定デバイスYを選択する。

[0049] この第1実施形態の変形例2に係る半導体チップ2であっても、上述の第1実施形態に係る半導体チップ2と同様の効果が得られる。

[0050] また、第1実施形態の変形例2に係る半導体チップ2は、第2半導体基板Bを複数備え、テスト回路Xは、複数の第2半導体基板Bのうちのいずれかの半導体基板に構成された被測定デバイスYを選択し且つ選択された被測定デバイスYに対してテストを行う機能を有する。このように複数の第2半導体基板Bに設けられた複数の被測定デバイスYで1つのテスト回路Xを共有しているので、第1半導体基板Aに対して複数のテスト回路Xを設ける必要がなく、第1半導体基板Aにおいて製品回路A aが構成される領域が圧迫されるのを抑制できる。

[0051] <変形例3>

第1実施形態に係る半導体チップ2が備える第1半導体基板Aは、図2に示すように単数であったが、本技術はこれには限定されない。図12に示す第1実施形態の変形例3に係る半導体チップ2は、第1半導体基板Aを複数備えている。すなわち、複数の第1半導体基板Aが厚み方向に積層されて接合されている。

[0052] 図12は、半導体チップ2が第1半導体基板A 1, A 2の2つの第1半導体基板を備えた例を示しているが、半導体チップ2が備える第1半導体基板の数は3以上であっても良い。第1半導体基板A 2は、第1半導体基板A 1の第1の面S 1とは反対側の面である第2の面S 2に対して重ねて接合され

ている。第1半導体基板A1と第1半導体基板A2とを互いに区別しない場合、単に第1半導体基板Aと呼ぶ。

[0053] 第1半導体基板A1には製品回路A1aが構成され、第1半導体基板A2には製品回路A2aが構成されている。製品回路A1aは製品回路A2aと同じ種類の電気回路であっても良いし、異なる種類の電気回路であっても良い。これには限定されないが、例えば、製品回路A1a及び製品回路A2aは、両方ともロジック回路である。半導体チップ2内には、各種回路の接続配線を構成する配線Lが設けられている。製品回路A2aと製品回路A1aとの間、及び製品回路A1aと製品回路A2aとの間は、配線Lにより接続されている。

[0054] テスト回路Xは、複数の第1半導体基板Aのうちの一つに構成されている。例えば、テスト回路Xは、第1半導体基板A1と第1半導体基板A2とのうちの第1半導体基板A2のみに構成されている。複数の第1半導体基板Aのうちどの半導体基板にテスト回路Xを設けるかは、例えば、半導体基板の技術ノードに応じて決定しても良い。例えば、能力が高い基板が第1半導体基板A2であれば、第1半導体基板A2にテスト回路Xを構成することにより、テスト回路Xが占める領域を省面積にすることができる。配線L2は、第1半導体基板A2から第2半導体基板Bまでに亘って設けられ、テスト回路Xと被測定デバイスYとを電氣的に接続している。

[0055] この第1実施形態の変形例3に係る半導体チップ2であっても、上述の第1実施形態に係る半導体チップ2と同様の効果が得られる。

[0056] <変形例4>

第1実施形態の変形例3に係る半導体チップ2では、図12に示すように、テスト回路Xは、複数の第1半導体基板Aのうちの一つに構成されているが、本技術はこれには限定されない。図13に示す第1実施形態の変形例4に係る半導体チップ2では、テスト回路Xは、複数の第1半導体基板Aに分散されて設けられている。

[0057] 図13は、半導体チップ2が第1半導体基板A1、A2の2つの第1半導

体基板を備えた例を示している。テスト回路Xは、例えば、第1半導体基板A1と第1半導体基板A2とに分散されて構成されている。テスト回路Xのうち第1半導体基板A1に構成されている部分をテスト回路Xaと呼び、テスト回路Xのうち第1半導体基板A2に構成されている部分をテスト回路Xbと呼んで、互いを区別する。テスト回路Xaとテスト回路Xbとを区別しない場合、単にテスト回路Xと呼ぶ。また、テスト回路Xaとテスト回路Xbと合わせてテスト回路Xと呼ぶ場合もある。OCMT9は、テスト回路Xbと測定パッド14Aとの間を電氣的に接続する配線L1と、テスト回路Xbとテスト回路Xaとの間を電氣的に接続する配線L3と、テスト回路Xaと被測定デバイスYとの間を電氣的に接続する配線L2と、を備える。

[0058] この第1実施形態の変形例4に係る半導体チップ2であっても、上述の第1実施形態の変形例3に係る半導体チップ2と同様の効果が得られる。また、第1実施形態の変形例4に係る半導体チップ2では、テスト回路Xを複数の第1半導体基板Aに分散して設けているので、第1半導体基板A1、A2それぞれにおいてテスト回路Xが占める領域が大きくなり過ぎるのを抑制できる。これにより、製品回路A1a、A2aが構成される領域がテスト回路Xにより圧迫されるのをさらに抑制できる。

[0059] <変形例5>

第1実施形態に係る半導体チップ2の製造方法では、図4に示すように、CoWにより半導体チップ2を形成していたが、本技術はこれには限定されない。図14に示す第1実施形態の変形例5に係る半導体チップ2の製造方法では、WoWにより半導体チップ2を形成している。

[0060] まず、第1半導体ウエハWA及び第2半導体ウエハWBを準備し（ステップS201）、準備した第1半導体ウエハWAに第2半導体ウエハWBを接合する（ステップS202）。その後、OCMT9を用いてテストを行う（ステップS203）。ステップS203の処理はすでに説明したステップS104の処理と同様であるので、説明を省略する。その後、個片化された場合に半導体チップ2になる基板部分毎に、被測定デバイスYのテスト結果が基

準値を満たすか否か、判定する（ステップS204）。基準値を満たすと判定された（ステップS204，YES）基板部分は、最終製品まで順次工程が行われる（ステップS205）。基準値を満たさないと判定された（ステップS204，NO）基板部分は、最終製品まで工程が行われることはない。なお、基準値を満たさないと判定された場合のテストの結果は、これまでの製造工程にフィードバックされる（ステップS206）。

[0061] この第1実施形態の変形例5に係る半導体チップ2であっても、上述の第1実施形態に係る半導体チップ2と同様の効果が得られる。

[0062] また、第1実施形態の変形例5に係る半導体チップ2では、スクライプトEGに代えてOCMTを構成しているので、WoWにより半導体チップ2を形成した場合であっても、個片化後にOCMT9を用いたテストを行うことができる。

[0063] [第2実施形態]

図15から図19に示す本技術の第2実施形態について、以下に説明する。本実施形態では、裏面照射型のCMOS（Complementary Metal Oxide Semiconductor）イメージセンサである光検出装置に本技術を適用した一例について説明する。すなわち、半導体装置1は、光検出装置である。

[0064] ≪半導体装置の全体構成≫

まず、光検出装置である半導体装置1の全体構成について説明する。図15に示すように、本技術の第1実施形態に係る半導体装置1は、平面視したときの二次元平面形状が方形状の半導体チップ2を主体に構成されている。すなわち、半導体装置1は、半導体チップ2に搭載されている。この半導体装置1は、図23に示すように、光学系（光学レンズ）102を介して被写体からの像光（入射光106）を取り込み、撮像面上に結像された入射光106の光量を画素単位で電気信号に変換して画素信号として出力する。

[0065] 図15に示すように、半導体装置1が搭載された半導体チップ2は、互いに交差するX方向及びY方向を含む二次元平面において、中央部に設けられた方形状の画素領域2Aと、この画素領域2Aの外側に画素領域2Aを囲む

ようにして設けられた周辺領域 2 B とを備えている。

[0066] 画素領域 2 A は、例えば図 2 3 に示す光学系 1 0 2 により集光される光を受光する受光面である。そして、画素領域 2 A には、X 方向及び Y 方向を含む二次元平面において複数の画素 3 が行列状に配置されている。換言すれば、画素 3 は、二次元平面内で互いに交差する X 方向及び Y 方向のそれぞれの方向に繰り返し配置されている。なお、本実施形態においては、一例として X 方向と Y 方向とが直交している。また、X 方向と Y 方向との両方に直交する方向が Z 方向（厚み方向、積層方向）である。また、Z 方向に垂直な方向が水平方向である。

[0067] 図 1 5 に示すように、周辺領域 2 B には、複数のボンディングパッド 1 4 が配置されている。複数のボンディングパッド 1 4 の各々は、例えば、半導体チップ 2 の二次元平面における 4 つの辺の各々の辺に沿って配列されている。複数のボンディングパッド 1 4 の各々は、半導体チップ 2 を外部装置と電氣的に接続する際に用いられる入出力端子である。

[0068] <ロジック回路>

図 1 6 に示すように、半導体チップ 2 は、ロジック回路 1 3 を備えている。ロジック回路 1 3 は、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6、出力回路 7 及び制御回路 8 などを含んでいる。ロジック回路 1 3 は、電界効果トランジスタとして、例えば、n チャネル導電型の MOS FET（Metal Oxide Semiconductor Field Effect Transistor）及び p チャネル導電型の MOS FET を有する CMOS（Complementary MOS）回路で構成されている。

[0069] 垂直駆動回路 4 は、例えばシフトレジスタによって構成されている。垂直駆動回路 4 は、所望の画素駆動線 1 0 を順次選択し、選択した画素駆動線 1 0 に画素 3 を駆動するためのパルスを供給し、各画素 3 を行単位で駆動する。即ち、垂直駆動回路 4 は、画素領域 2 A の各画素 3 を行単位で順次垂直方向に選択走査し、各画素 3 の光電変換素子が受光量に応じて生成した信号電荷に基づく画素 3 からの画素信号を、垂直信号線 1 1 を通してカラム信号処

理回路 5 に供給する。

[0070] カラム信号処理回路 5 は、例えば画素 3 の列毎に配置されており、1 行分の画素 3 から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路 5 は、画素固有の固定パターンノイズを除去するための CDS (Correlated Double Sampling : 相関 2 重サンプリング) 及び AD (Analog Digital) 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には水平選択スイッチ (図示せず) が水平信号線 12 との間に接続されて設けられる。

[0071] 水平駆動回路 6 は、例えばシフトレジスタによって構成されている。水平駆動回路 6 は、水平走査パルスのカラム信号処理回路 5 に順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から信号処理が行われた画素信号を水平信号線 12 に出力させる。

[0072] 出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 12 を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0073] 制御回路 8 は、垂直同期信号、水平同期信号、及びマスタクロック信号に基づいて、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、生成したクロック信号や制御信号を、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等に出力する。

[0074] <画素>

図 17 は、画素 3 の一構成例を示す等価回路図である。画素 3 は、光電変換素子 PD と、この光電変換素子 PD で光電変換された信号電荷を蓄積 (保持) する電荷蓄積領域 (フローティングディフュージョン : Floating Diffusion) FD と、この光電変換素子 PD で光電変換された信号電荷を電荷蓄積領域 FD に転送する転送トランジスタ TR と、を備えている。また、画素 3

は、電荷蓄積領域FDに電氣的に接続された読出し回路15を備えている。

[0075] 光電変換素子PDは、受光量に応じた信号電荷を生成する。光電変換素子PDはまた、生成された信号電荷を一時的に蓄積（保持）する。光電変換素子PDは、カソード側が転送トランジスタTRのソース領域と電氣的に接続され、アノード側が基準電位線（例えばグラウンド）と電氣的に接続されている。光電変換素子PDとしては、例えばフォトダイオードが用いられている。

[0076] 転送トランジスタTRのドレイン領域は、電荷蓄積領域FDと電氣的に接続されている。転送トランジスタTRのゲート電極は、画素駆動線10（図16参照）のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0077] 電荷蓄積領域FDは、光電変換素子PDから転送トランジスタTRを介して転送された信号電荷を一時的に蓄積して保持する。

[0078] 読出し回路15は、電荷蓄積領域FDに蓄積された信号電荷を読み出し、信号電荷に基づく画素信号を出力する。読出し回路15は、これに限定されないが、画素トランジスタとして、例えば、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTと、を備えている。これらのトランジスタ（AMP、SEL、RST）は、例えば、酸化シリコン膜（SiO₂膜）からなるゲート絶縁膜と、ゲート電極と、ソース領域及びドレイン領域として機能する一対の主電極領域と、を有するMOSFETで構成されている。また、これらのトランジスタとしては、ゲート絶縁膜が窒化シリコン（Si₃N₄、SiN）膜、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなるMISFET（Metal Insulator Semiconductor FET）でも構わない。また、読出し回路15は、光電変換素子PD毎に設けられていても良いし、1つの読出し回路15が複数の光電変換素子PDにより共有されていても良い。同様に、電荷蓄積領域FDは、光電変換素子PD毎に設けられていても良いし、1つの電荷蓄積領域FDが複数の光電変換素子PDにより共有されていても良い。

[0079] 増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレ

イン領域と電氣的に接続され、ドレイン領域が電源線V d d及びリセットトランジスタのドレイン領域と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、電荷蓄積領域F D及びリセットトランジスタR S Tのソース領域と電氣的に接続されている。

[0080] 選択トランジスタS E Lは、ソース領域が垂直信号線1 1 (V S L)と電氣的に接続され、ドレインが増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタS E Lのゲート電極は、画素駆動線1 0 (図1 6参照)のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0081] リセットトランジスタR S Tは、ソース領域が電荷蓄積領域F D及び増幅トランジスタAMPのゲート電極と電氣的に接続され、ドレイン領域が電源線V d d及び増幅トランジスタAMPのドレイン領域と電氣的に接続されている。リセットトランジスタR S Tのゲート電極は、画素駆動線1 0 (図1 6参照)のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0082] 《半導体チップの具体的な構成》

次に、半導体装置1が搭載された半導体チップ2の具体的な構成について、図1 8及び1 9を用いて説明する。

[0083] <半導体チップの積層構造>

図1 8に示すように、半導体チップ2は、第1半導体基板Aと、第1半導体基板Aの第2の面S 2側に接合された第3半導体基板Cと、第2半導体基板B 1, B 2の2つの第2半導体基板を備えている。第1の面S 1及び第2の面S 2は、第1半導体基板Aの一方及び他方の面である。図1 9は、画素領域2 Aの一部及び周辺領域2 Bの縦断面構成を示す。第3半導体基板Cの一方側には、例えば、カラーフィルタF tと、マイクロレンズ(オンチップレンズ)L zとが設けられている。カラーフィルタF tは、半導体チップ2に入射した光を色分離する。カラーフィルタF tは、例えば、赤色光用のフィルタ、緑色光用のフィルタ、及び青色光用のフィルタ等、異なる色用のものがある。マイクロレンズL zは、半導体チップ2に入射した光を画素3に

集光する。カラーフィルタ F_t 及びマイクロレンズ L_z は、例えば、樹脂材料製である。

[0084] <第3半導体基板>

第3半導体基板 C は、第3半導体基板の一例である。第3半導体基板 C は、半導体層 $20C$ と、半導体層 $20C$ の他方側に積層された多層配線層 $30C$ とを有する。第3半導体基板 C の画素領域 $2A$ に相当する部分には、製品回路 Ca が構成されている。製品回路 Ca は第3製品回路の一例であり、図17に示す光電変換素子 PD を含む。製品回路 Ca は、第3半導体基板 C の画素領域 $2A$ に相当する部分において、図17に示す転送トランジスタ TR 、電荷蓄積領域 FD 、読出し回路15等を含む。

[0085] 半導体層 $20C$ は、半導体基板で構成されている。半導体層 $20C$ は、これには限定されないが、例えば、シリコン (Si) 基板で構成されている。半導体層 $20C$ の画素領域 $2A$ に相当する部分には、平面視で行方向 (X 方向) 及び列方向 (Y 方向) に沿って行列状に配列された複数の画素3が設けられている。半導体層 $20C$ 内には、例えば、第1導電型 (例えば p 型) の半導体領域及び第2導電型 (例えば n 型) の半導体領域が構成されている。光電変換素子 PD は、例えば、画素3毎に半導体層 $20C$ に構成されている。そして、光電変換素子 PD により光電変換が行われ、受光量に応じた信号電荷が生成される。第3半導体基板 C には、テスト回路 X は構成されていない。

[0086] 多層配線層 $30C$ は、これには限定されないが、例えば、絶縁膜と、絶縁膜内に設けられた配線 L と、を有する多層配線層である。絶縁膜は、例えば酸化シリコン (SiO_2 、 SiO) 膜、窒化シリコン (Si_3N_4 、 SiN) 膜、酸窒化シリコン ($SiON$) 膜等の公知の絶縁膜を複数層積層した構成である。配線 L は、例えば、銅 (Cu)、タングステン (W)、アルミニウム (Al) 等の金属材料など、公知の導電材料である。このような構成は、以下に説明する多層配線層 $30A1$ 、 $30A2$ 、 $30B$ についても、同様である。

[0087] <第1半導体基板>

第1半導体基板Aは、半導体層20Aと、半導体層20Aの一方側に積層され且つ多層配線層30Cに重ねて接合された多層配線層30A1と、半導体層20Aの他方側に積層された多層配線層30A2とを有する。多層配線層30A1, 30A2には、配線Lが設けられている。第1半導体基板Aの画素領域2Aに相当する部分には、製品回路Aaが構成されている。製品回路Aaは、例えば、ロジック回路13を含む。半導体層20Aは、半導体基板で構成されている。半導体層20Aは、これには限定されないが、例えば、シリコン(Si)基板で構成されている。

[0088] <第2半導体基板>

半導体チップ2は、複数の第2半導体基板B、すなわち、第2半導体基板B1, B2を備えている。第2半導体基板B1, B2を区別しない場合、単に第2半導体基板Bと呼ぶ。第2半導体基板Bは、半導体層20Bと、半導体層20Bの一方側に積層され且つ多層配線層30A2に重ねて接合された多層配線層30Bとを有する。多層配線層30Bには、配線Lが設けられている。第2半導体基板B1には製品回路B1aが構成され、第2半導体基板B2には製品回路B2aが構成されている。製品回路B1aはDRAM等の記憶回路を含み、製品回路B2aは、例えば人工知能、CPU等のSoCの回路を含む。半導体層20Bは、これには限定されないが、例えば、シリコン(Si)基板で構成されている。

[0089] <貫通導体>

半導体チップ2は、半導体層20Aを厚み方向に沿って貫通する貫通導体TSVを備える。貫通導体TSVも、配線Lの一部である。貫通導体TSVは、多層配線層30A1内に設けられた配線Lと、多層配線層30A2内に設けられた配線Lとを電氣的に接続する。貫通導体TSVも、配線Lの一部である。半導体チップ2は、半導体層20B又は半導体層20Cを厚み方向に沿って貫通する貫通導体TSVを備えていても良い。

[0090] <接続パッド>

半導体チップ2は、接続パッドCCa, CCbの対を複数対備える。接続パッドCCa, CCbも、配線Lの一部である。複数対の一部の対は、接続パッドCCa, CCbの各パッドが第1半導体基板Aと第2半導体基板Bとの接合面を挟んで互いに接触し、多層配線層30A2内に設けられた配線Lと多層配線層30B内に設けられた配線Lとを電氣的に接続している。複数対の他の一部の対は、接続パッドCCa, CCbの各パッドが第1半導体基板Aと第3半導体基板Cとの接合面を挟んで互いに接触し、多層配線層30A1内に設けられた配線Lと多層配線層30C内に設けられた配線Lとを電氣的に接続している。

[0091] <OCMT>

OCMT9のテスト回路X及び測定パッド14Aは第1半導体基板Aに設けられ、被測定デバイスYは第2半導体基板Bに設けられている。テスト回路Xと被測定デバイスYとを接続する配線L2は、貫通導体TSVと接続パッドCCa, CCbの対とを含む。テスト回路Xと被測定デバイスYとの間は、貫通導体TSVと接続パッドCCa, CCbの対とを介して電氣的に接続されている。

[0092] <第2実施形態の主な効果>

この第2実施形態に係る半導体チップ2であっても、上述の第1実施形態に係る半導体チップ2と同様の効果が得られる。

[0093] なお、第3半導体基板Cは、一層の半導体層20Cのみを含んでいたが、2層の半導体層を含んでも良い。その場合、光電変換素子PDと読出し回路15は、2層の半導体層の一方及び他方に分けて形成されていても良い。

[0094] <第2実施形態の変形例>

以下、第2実施形態の変形例について、説明する。

[0095] <変形例1>

第2実施形態に係る半導体チップ2では、図19に示すように、測定パッド14Aは第1半導体基板Aに設けられていたが、本技術はこれには限定さ

れない。第2実施形態の変形例1に係る半導体チップ2では、測定パッド14Aが第2半導体基板B又は第3半導体基板Cに設けられていても良い。

[0096] 図20に示す半導体チップ2では、測定パッド14Aは第3半導体基板Cに設けられている。配線L1は、第1半導体基板Aと第3半導体基板Cとに亘って設けられている。配線L1は、図示を省略する貫通導体TSVと接続パッドCCa、CCbの対とを含む。テスト回路Xと測定パッド14Aとの間は、貫通導体TSVと接続パッドCCa、CCbの対とを介して電氣的に接続されている。

[0097] 図21に示す半導体チップ2では、測定パッド14Aは第2半導体基板Bに設けられている。配線L2は、第1半導体基板Aと第2半導体基板Bとに亘って設けられている。配線L1は、図示を省略する貫通導体TSVと接続パッドCCa、CCbの対とを含む。テスト回路Xと測定パッド14Aとの間は、貫通導体TSVと接続パッドCCa、CCbの対とを介して電氣的に接続されている。

[0098] この第2実施形態の変形例1に係る半導体チップ2であっても、上述の第2実施形態に係る半導体チップ2と同様の効果が得られる。

[0099] <変形例2>

図22に示す第2実施形態の変形例2に係る半導体チップ2では、図11に示す第1実施形態の変形例2の場合と同様に、複数の第2半導体基板Bに設けられた複数の被測定デバイスYで1つのテスト回路Xを共有している。

[0100] この第2実施形態の変形例2に係る半導体チップ2であっても、上述の第2実施形態に係る半導体チップ2と同様の効果が得られる。

[0101] <変形例3>

第2実施形態の変形例3に係る半導体チップ2では、図示は省略するが、テスト回路Xは第3半導体基板Cに構成されていても良い。

[0102] この第2実施形態の変形例3に係る半導体チップ2であっても、上述の第2実施形態に係る半導体チップ2と同様の効果が得られる。

[0103] [第3実施形態]

本技術の第3実施形態について、以下に説明する。本実施形態では、上述の第1実施形態に係る半導体チップ2が、裏面照射型のCMOS（Complementary Metal Oxide Semiconductor）イメージセンサである光検出装置を搭載している。より具体的には、第1実施形態及びその変形例1、変形例2に記載の第1半導体基板Aには、第3半導体基板Cの場合と同様に、光電変換素子PDが構成されている。すなわち、製品回路Aaは、製品回路Caと同様の構成を有する。また、第1実施形態の変形例3、変形例4に記載の第1半導体基板A2には、第3半導体基板Cの場合と同様に、光電変換素子PDが構成されている。すなわち、製品回路A2aは、製品回路Caと同様の構成を有する。

[0104] この第3実施形態に係る半導体チップ2であっても、上述の第1実施形態に係る半導体チップ2と同様の効果が得られる。

[0105] [第4実施形態]

<1. 電子機器への応用例>

次に、図23に示す本技術の第4実施形態に係る電子機器100について説明する。電子機器100は、固体撮像装置101と、光学レンズ102と、シャッタ装置103と、駆動回路104と、信号処理回路105とを備えている。電子機器100は、これに限定されないが、例えば、カメラ等の電子機器である。また、電子機器100は、固体撮像装置101として、上述の光検出装置を搭載した半導体チップ2を備えている。

[0106] 光学レンズ（光学系）102は、被写体からの像光（入射光106）を固体撮像装置101の撮像面上に結像させる。これにより、固体撮像装置101内に一定期間にわたって信号電荷が蓄積される。シャッタ装置103は、固体撮像装置101への光照射期間及び遮光期間を制御する。駆動回路104は、固体撮像装置101の転送動作及びシャッタ装置103のシャッタ動作を制御する駆動信号を供給する。駆動回路104から供給される駆動信号（タイミング信号）により、固体撮像装置101の信号転送を行う。信号処理回路105は、固体撮像装置101から出力される信号（画素信号）に各

種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0107] なお、電子機器100は、カメラに限られるものではなく、他の電子機器であっても良い。例えば、携帯電話機等のモバイル機器向けカメラモジュール等の撮像装置であっても良い。

[0108] また、電子機器100は、固体撮像装置101として、第2実施形態から第3実施形態まで、及びそれら実施形態の変形例のいずれかに係る光検出装置、又は第2実施形態から第3実施形態まで、及びそれら実施形態の変形例のうちの少なくとも2つの組み合わせに係る光検出装置を備えることができる。

[0109] [その他の実施形態]

上記のように、本技術は第1実施形態から第4実施形態までによって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。この開示から当業者には様々な代替の実施形態、実施例及び運用技術が明らかとなろう。

[0110] 例えば、第1実施形態から第4実施形態までにおいて説明したそれぞれの技術的思想を互いに組み合わせることも可能である。例えば、複数の第1半導体基板Aに関する第1実施形態の変形例3及び変形例4と、複数の第2半導体基板Bに関する第1実施形態の変形例2と組み合わせても良い。このように、それぞれの技術的思想に沿った種々の組み合わせが可能である。

[0111] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF (Time of Flight) センサともよばれる距離を測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射され返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサの構造として、上述した構造を採用することができる。

[0112] また、例えば、上述の構成要素を構成するとして挙げられた材料は、添加

物や不純物等を含んでいても良い。

[0113] このように、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本技術の技術的範囲は上記の説明から妥当な特許請求の範囲に記載された発明特定事項によってのみ定められるものである。

[0114] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があっても良い。

[0115] なお、本技術は、以下のような構成としてもよい。

(1)

第1回路が構成された第1半導体基板と、
第2回路が構成され且つ前記第1半導体基板の第1の面に重ねて接合された第2半導体基板と、

被測定デバイス及び前記被測定デバイスに対するテストを行うテスト回路を有し且つ前記第1半導体基板及び前記第2半導体基板に構成されたテストエレメントグループと、

を備え、

前記第2半導体基板には、前記被測定デバイスと前記テスト回路とのうちの前記被測定デバイスのみが構成され、

前記第1半導体基板には、前記テスト回路が構成されている、
半導体チップ。

(2)

前記被測定デバイスは、素子単位で設けられている、

(1)に記載の半導体チップ。

(3)

前記テストエレメントグループは、前記テスト回路と電氣的に接続され且つ一方の面が露出するように設けられた測定パッドを有する、

(1)又は(2)に記載の半導体チップ。

(4)

前記測定パッドは、前記第 1 半導体基板又は前記第 2 半導体基板に設けられている、

(3) に記載の半導体チップ。

(5)

前記第 2 半導体基板には前記被測定デバイスが複数構成され、

前記テスト回路は、複数の前記被測定デバイスの一部を選択する選択回路を含み、且つ選択された前記被測定デバイスに対してテストを行う機能を有する、

(1) から (4) のいずれかに記載の半導体チップ。

(6)

前記第 2 半導体基板には前記被測定デバイスが複数構成され、

前記テスト回路は、前記被測定デバイスを切り替えるスイッチを含み、且つ切り替えられた前記被測定デバイスに対してテストを行う機能を有する、

(1) から (4) のいずれかに記載の半導体チップ。

(7)

前記被測定デバイスはキャパシタであり、

前記テスト回路は、前記キャパシタの容量をテストする発振回路を含む、

(1) から (6) のいずれかに記載の半導体チップ。

(8)

前記被測定デバイスは、トランジスタ又は抵抗素子である、

(1) から (6) のいずれかに記載の半導体チップ。

(9)

前記第 2 半導体基板を複数備えた、

(1) から (8) のいずれかに記載の半導体チップ。

(10)

前記テスト回路は、複数の前記第 2 半導体基板のうちのいずれかの半導体基板に構成された前記被測定デバイスを選択し且つ選択された前記被測定デバイスに対してテストを行う機能を有する、

(9) に記載の半導体チップ。

(11)

複数の前記第2半導体基板それぞれに構成された前記第2回路は、互いに異なる種類の電気回路である、

(9) 又は(10) に記載の半導体チップ。

(12)

前記第1半導体基板を複数備え、複数の前記第1半導体基板は互いに重ねて接合され、

前記テスト回路は、複数の前記第1半導体基板のうちの少なくとも1つに構成されている、

(1) から(11) のいずれかに記載の半導体チップ。

(13)

前記第1回路と前記第2回路は、互いに異なる種類の電気回路である、

(1) から(12) のいずれかに記載の半導体チップ。

(14)

光電変換素子が構成され且つ前記第1半導体基板の前記第1の面とは反対側の面に接合された第3半導体基板を備える、

(1) から(13) のいずれかに記載の半導体チップ。

(15)

貫通導体と、接続パッドの対とを備え、

前記貫通導体は、前記第1半導体基板から前記第3半導体基板までのいずれかに含まれる半導体層を厚み方向に貫通し、

前記接続パッドの対の各パッドは、前記第1半導体基板と前記第2半導体基板との接合面又は前記第1半導体基板と前記第3半導体基板との接合面を挟んで互いに接触し、

前記テスト回路と前記被測定デバイスとの間は、前記貫通導体と前記接続パッドの対とのうちの少なくとも一方を介して電氣的に接続されている、

(14) に記載の半導体チップ。

(16)

前記テスト回路と電氣的に接続され且つ一方の面が露出するように設けられた測定パッドを有し、

前記測定パッドは、前記第1半導体基板、前記第2半導体基板、又は前記第3半導体基板に設けられている、

(14)又は(15)に記載の半導体チップ。

(17)

半導体チップと、前記半導体チップに被写体からの像光を結像させる光学系と、を備え、

前記半導体チップは、

第1回路が構成された第1半導体基板と、

第2回路が構成され且つ前記第1半導体基板の第1の面に重ねて接合された第2半導体基板と、

被測定デバイス及び前記被測定デバイスに対するテストを行うテスト回路を有し且つ前記第1半導体基板及び前記第2半導体基板に構成されたテストエレメントグループと、

を備え、

前記第2半導体基板には、前記被測定デバイスと前記テスト回路とのうちの前記被測定デバイスのみが構成され、

前記第1半導体基板には、前記テスト回路が構成されている、

電子機器。

[0116] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

[0117] 2 半導体チップ

1 4 A 測定パッド
2 0 A, 2 0 B, 2 0 C 半導体層
1 0 0 電子機器
1 0 2 光学系
A, A 1, A 2 第 1 半導体基板
AMP トランジスタ
B, B 1, B 2 第 2 半導体基板
C 第 3 半導体基板
C C a, C C b 接続パッド
P D 光電変換素子
S 1 第 1 の面
T S V 貫通導体
X, X a, X b テスト回路
X 1 選択回路
X 2 スイッチ
X 3 発振回路
Y, Y a, Y b 被測定デバイス
Y 1 トランジスタ
Y 2 キャパシタ
Y 3 抵抗素子

請求の範囲

- [請求項1] 第1回路が構成された第1半導体基板と、
第2回路が構成され且つ前記第1半導体基板の第1の面に重ねて接合された第2半導体基板と、
被測定デバイス及び前記被測定デバイスに対するテストを行うテスト回路を有し且つ前記第1半導体基板及び前記第2半導体基板に構成されたテストエレメントグループと、
を備え、
前記第2半導体基板には、前記被測定デバイスと前記テスト回路とのうちの前記被測定デバイスのみが構成され、
前記第1半導体基板には、前記テスト回路が構成されている、
半導体チップ。
- [請求項2] 前記被測定デバイスは、素子単位で設けられている、
請求項1に記載の半導体チップ。
- [請求項3] 前記テストエレメントグループは、前記テスト回路と電氣的に接続され且つ一方の面が露出するように設けられた測定パッドを有する、
請求項1に記載の半導体チップ。
- [請求項4] 前記測定パッドは、前記第1半導体基板又は前記第2半導体基板に設けられている、
請求項3に記載の半導体チップ。
- [請求項5] 前記第2半導体基板には前記被測定デバイスが複数構成され、
前記テスト回路は、複数の前記被測定デバイスの一部を選択する選択回路を含み、且つ選択された前記被測定デバイスに対してテストを行う機能を有する、
請求項1に記載の半導体チップ。
- [請求項6] 前記第2半導体基板には前記被測定デバイスが複数構成され、
前記テスト回路は、前記被測定デバイスを切り替えるスイッチを含み、且つ切り替えられた前記被測定デバイスに対してテストを行う機

能を有する、

請求項 1 に記載の半導体チップ。

[請求項7]

前記被測定デバイスはキャパシタであり、

前記テスト回路は、前記キャパシタの容量をテストする発振回路を含む、

請求項 1 に記載の半導体チップ。

[請求項8]

前記被測定デバイスは、トランジスタ又は抵抗素子である、

請求項 1 に記載の半導体チップ。

[請求項9]

前記第 2 半導体基板を複数備えた、

請求項 1 に記載の半導体チップ。

[請求項10]

前記テスト回路は、複数の前記第 2 半導体基板のうちのいずれかの半導体基板に構成された前記被測定デバイスを選択し且つ選択された前記被測定デバイスに対してテストを行う機能を有する、

請求項 9 に記載の半導体チップ。

[請求項11]

複数の前記第 2 半導体基板それぞれに構成された前記第 2 回路は、互いに異なる種類の電気回路である、

請求項 9 に記載の半導体チップ。

[請求項12]

前記第 1 半導体基板を複数備え、複数の前記第 1 半導体基板は互いに重ねて接合され、

前記テスト回路は、複数の前記第 1 半導体基板のうちの少なくとも 1 つに構成されている、

請求項 1 に記載の半導体チップ。

[請求項13]

前記第 1 回路と前記第 2 回路は、互いに異なる種類の電気回路である、

請求項 1 に記載の半導体チップ。

[請求項14]

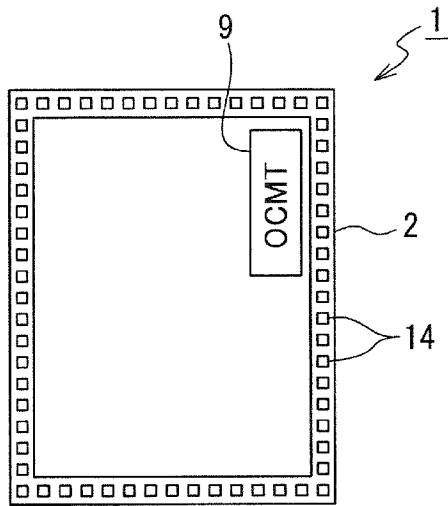
光電変換素子が構成され且つ前記第 1 半導体基板の前記第 1 の面とは反対側の面に接合された第 3 半導体基板を備える、

請求項 1 に記載の半導体チップ。

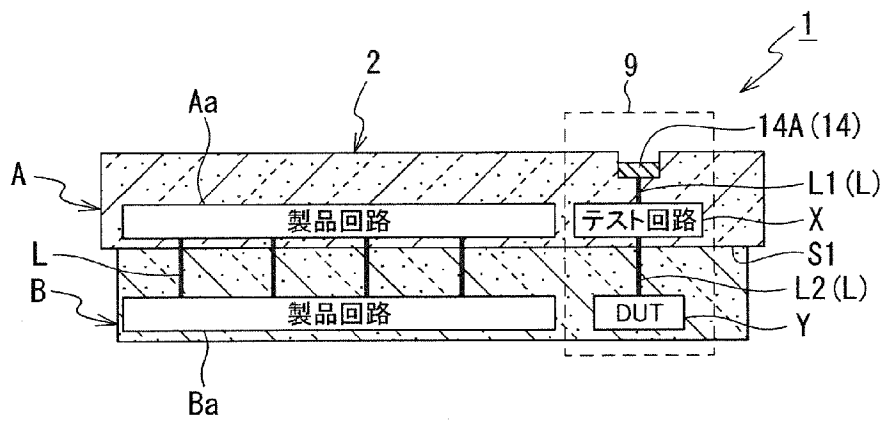
- [請求項15] 貫通導体と、接続パッドの対とを備え、
前記貫通導体は、前記第1半導体基板から前記第3半導体基板までのいずれかに含まれる半導体層を厚み方向に貫通し、
前記接続パッドの対の各パッドは、前記第1半導体基板と前記第2半導体基板との接合面又は前記第1半導体基板と前記第3半導体基板との接合面を挟んで互いに接触し、
前記テスト回路と前記被測定デバイスとの間は、前記貫通導体と前記接続パッドの対とのうちの少なくとも一方を介して電氣的に接続されている、
請求項14に記載の半導体チップ。
- [請求項16] 前記テスト回路と電氣的に接続され且つ一方の面が露出するように設けられた測定パッドを有し、
前記測定パッドは、前記第1半導体基板、前記第2半導体基板、又は前記第3半導体基板に設けられている、
請求項14に記載の半導体チップ。
- [請求項17] 半導体チップと、前記半導体チップに被写体からの像光を結像させる光学系と、を備え、
前記半導体チップは、
第1回路が構成された第1半導体基板と、
第2回路が構成され且つ前記第1半導体基板の第1の面に重ねて接合された第2半導体基板と、
被測定デバイス及び前記被測定デバイスに対するテストを行うテスト回路を有し且つ前記第1半導体基板及び前記第2半導体基板に構成されたテストエレメントグループと、
を備え、
前記第2半導体基板には、前記被測定デバイスと前記テスト回路とのうちの前記被測定デバイスのみが構成され、
前記第1半導体基板には、前記テスト回路が構成されている、

電子機器。

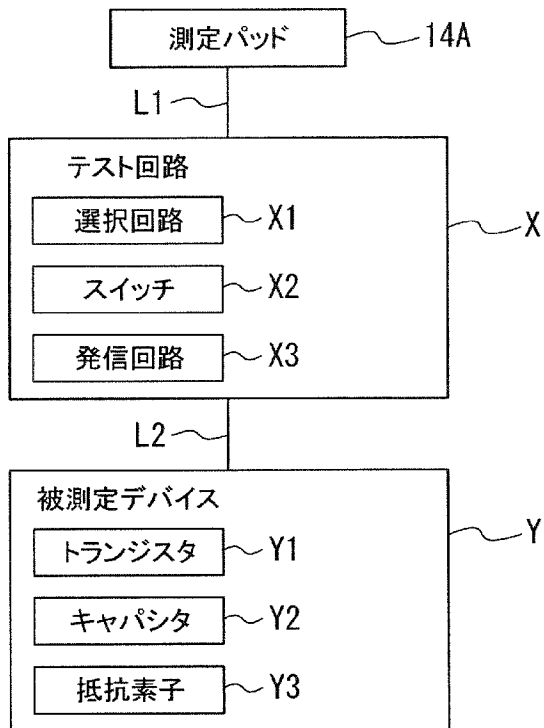
[図1]



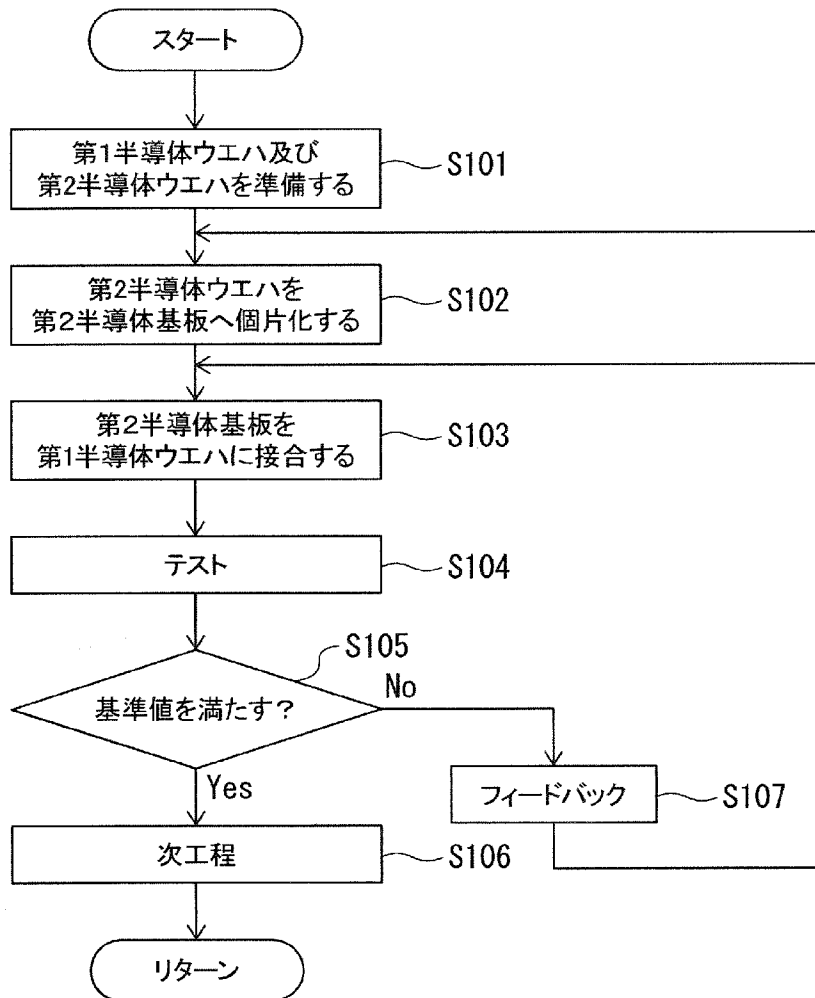
[図2]



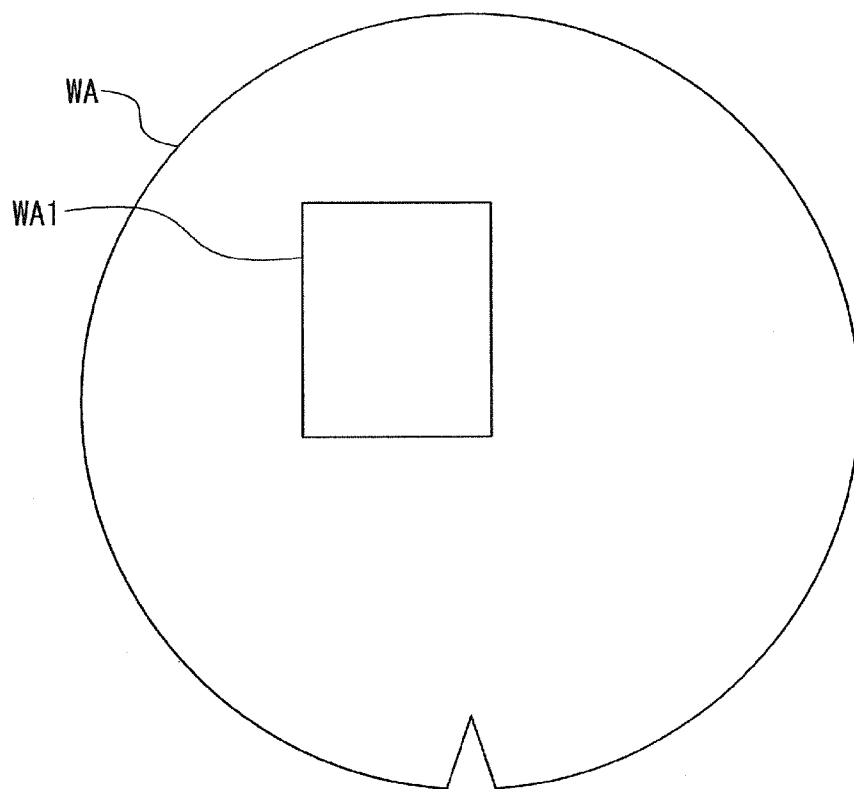
[図3]



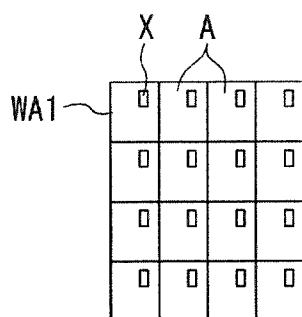
[図4]



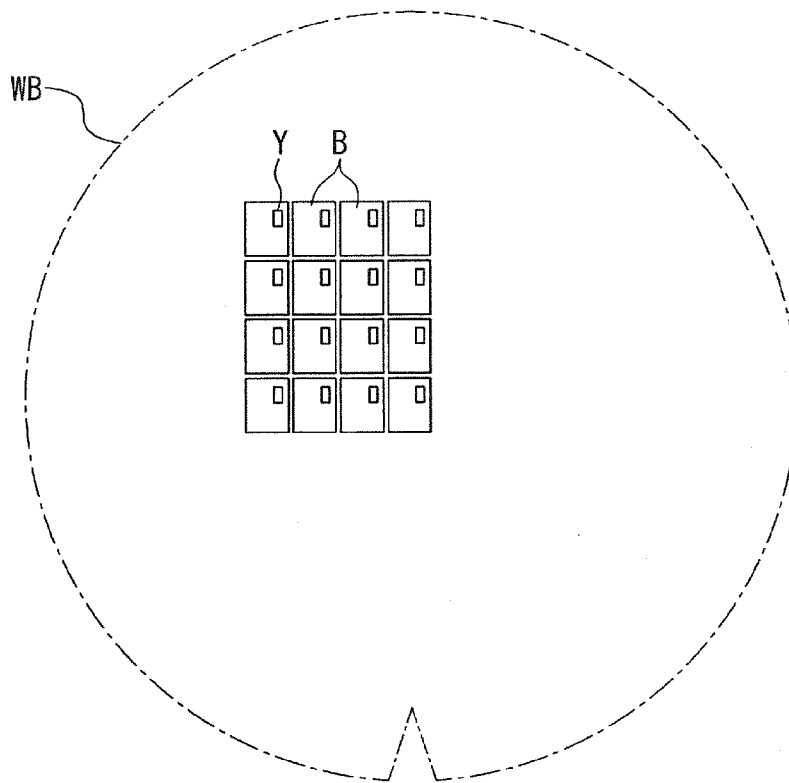
[図5]



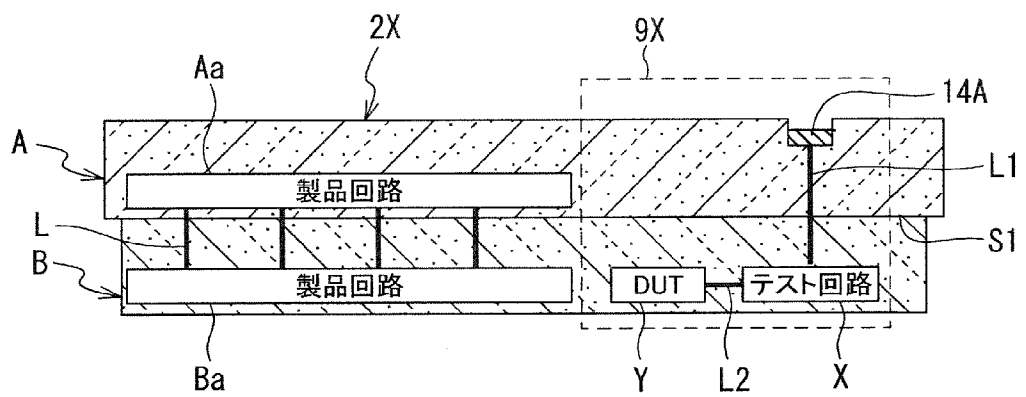
[図6]



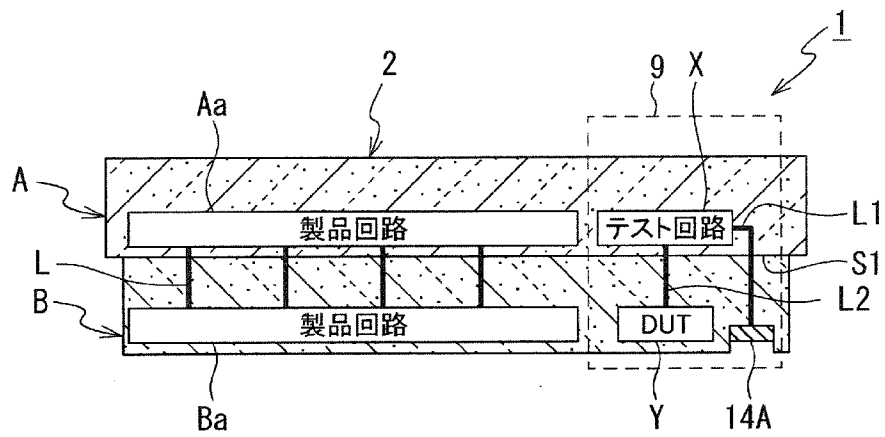
[図7]



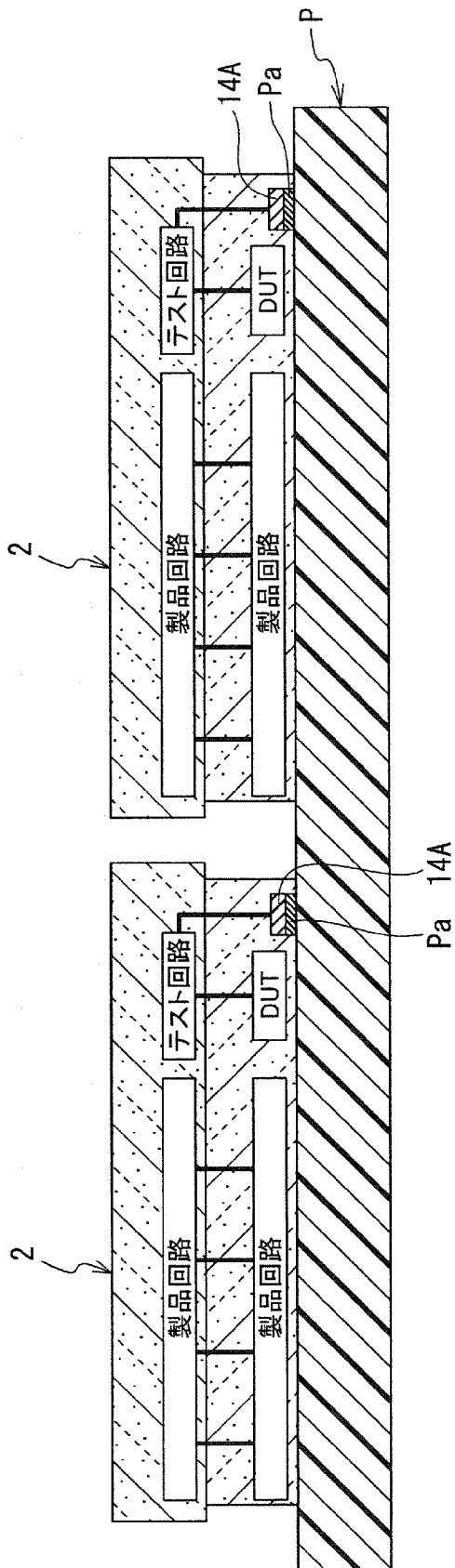
[図8]



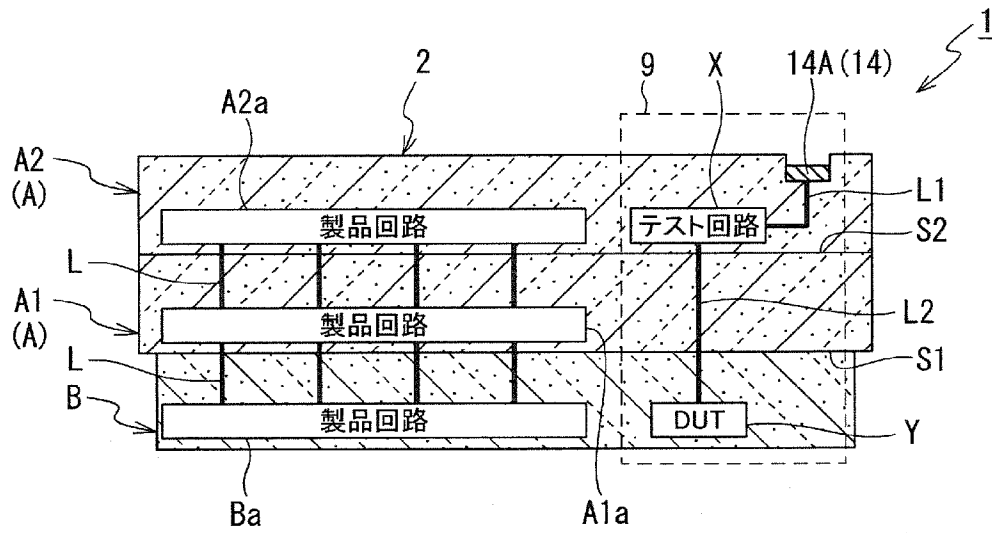
[図9]



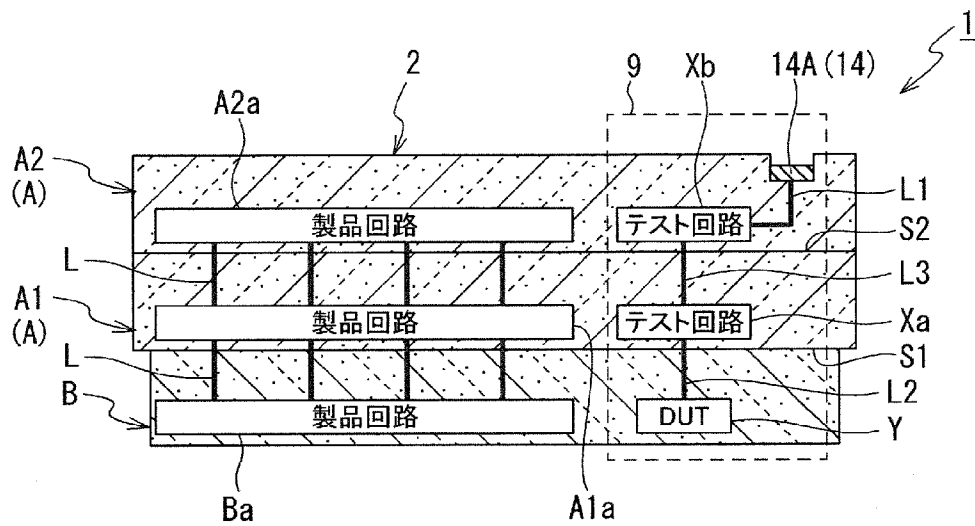
[図10]



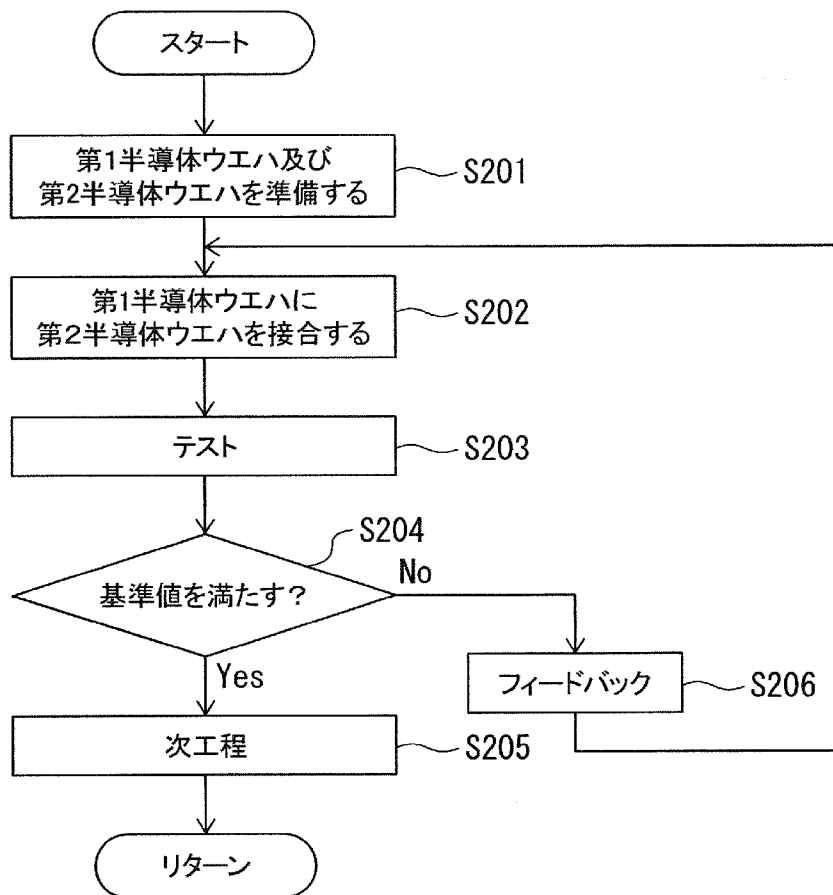
[図12]



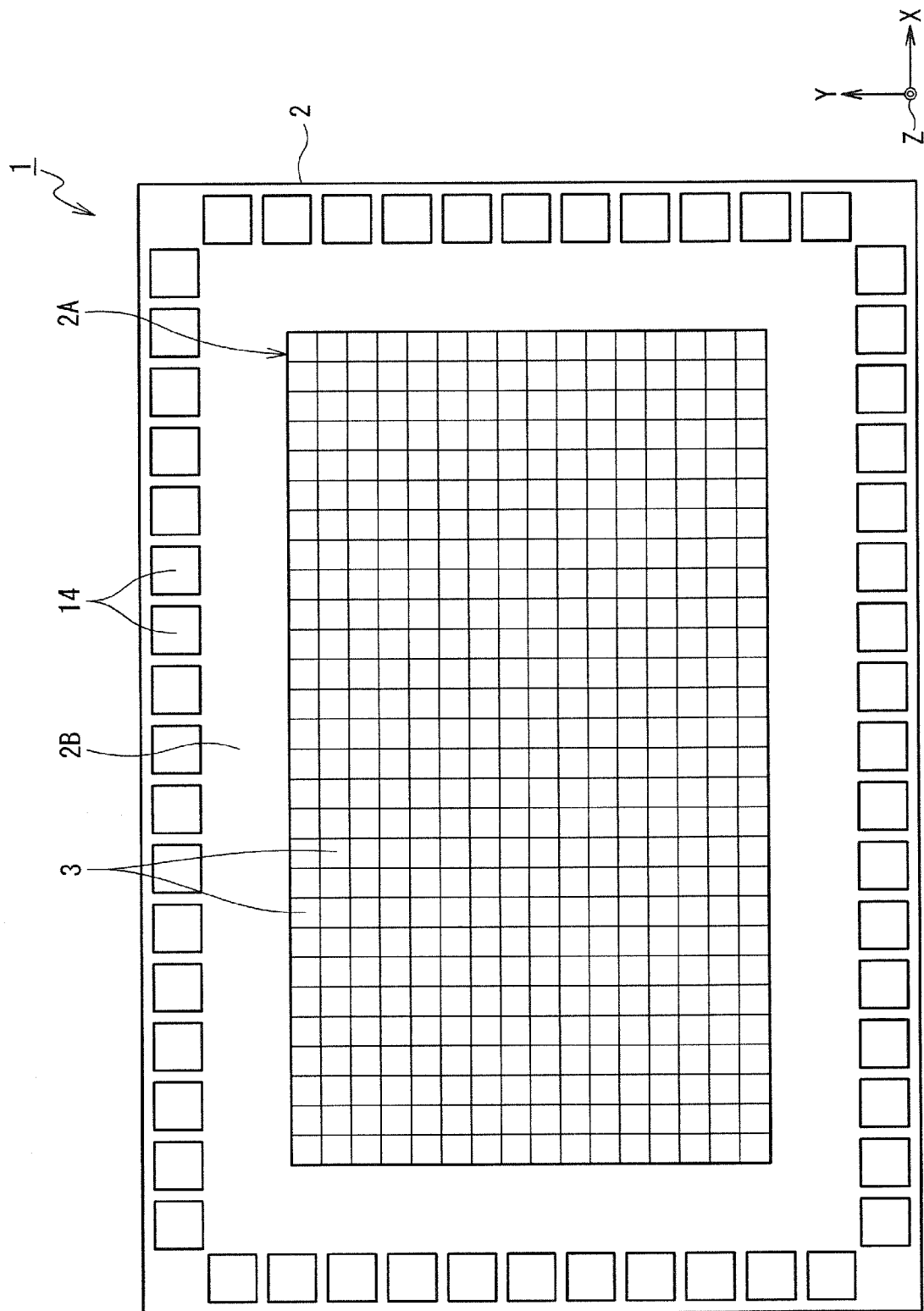
[図13]

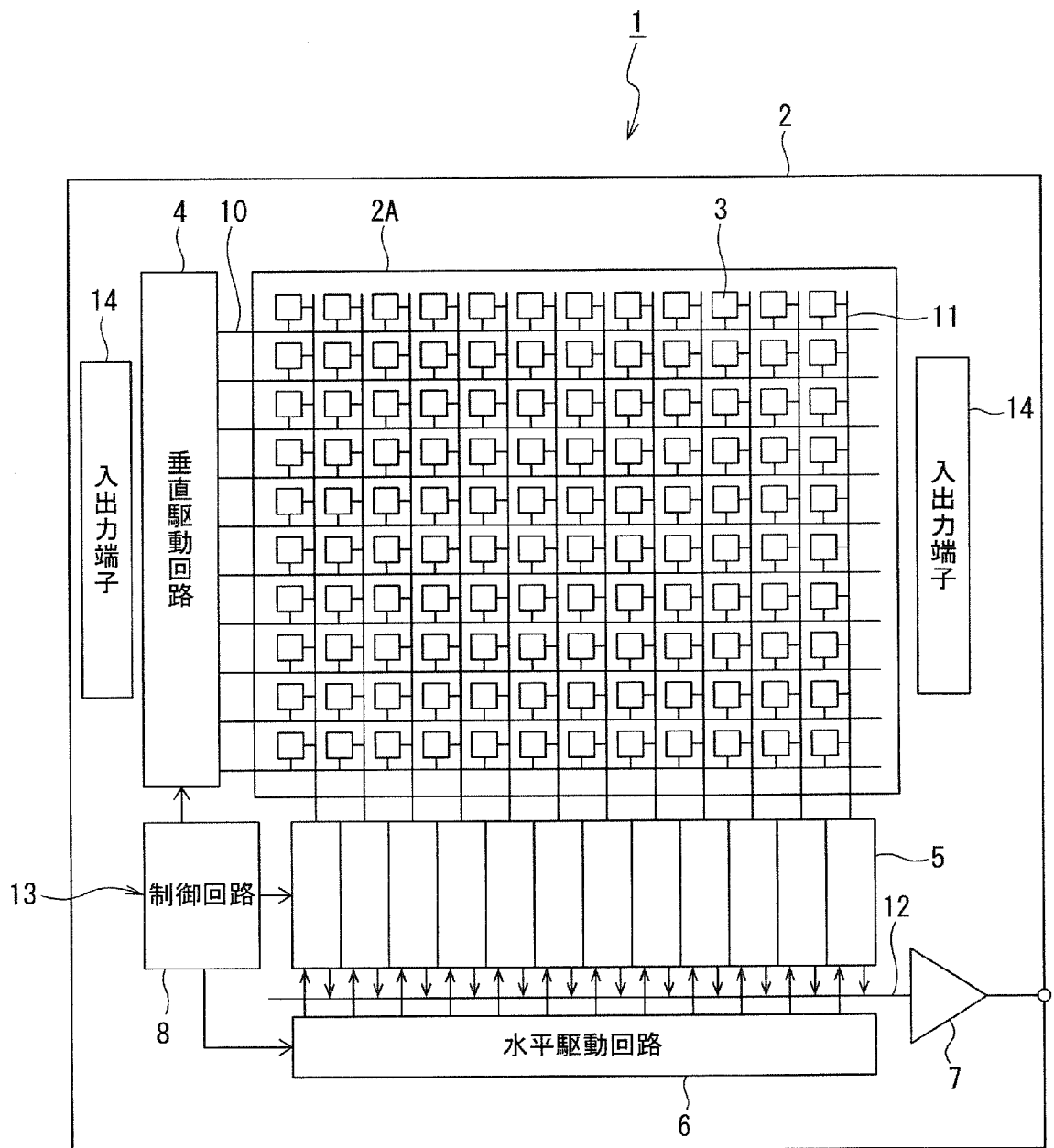


[図14]

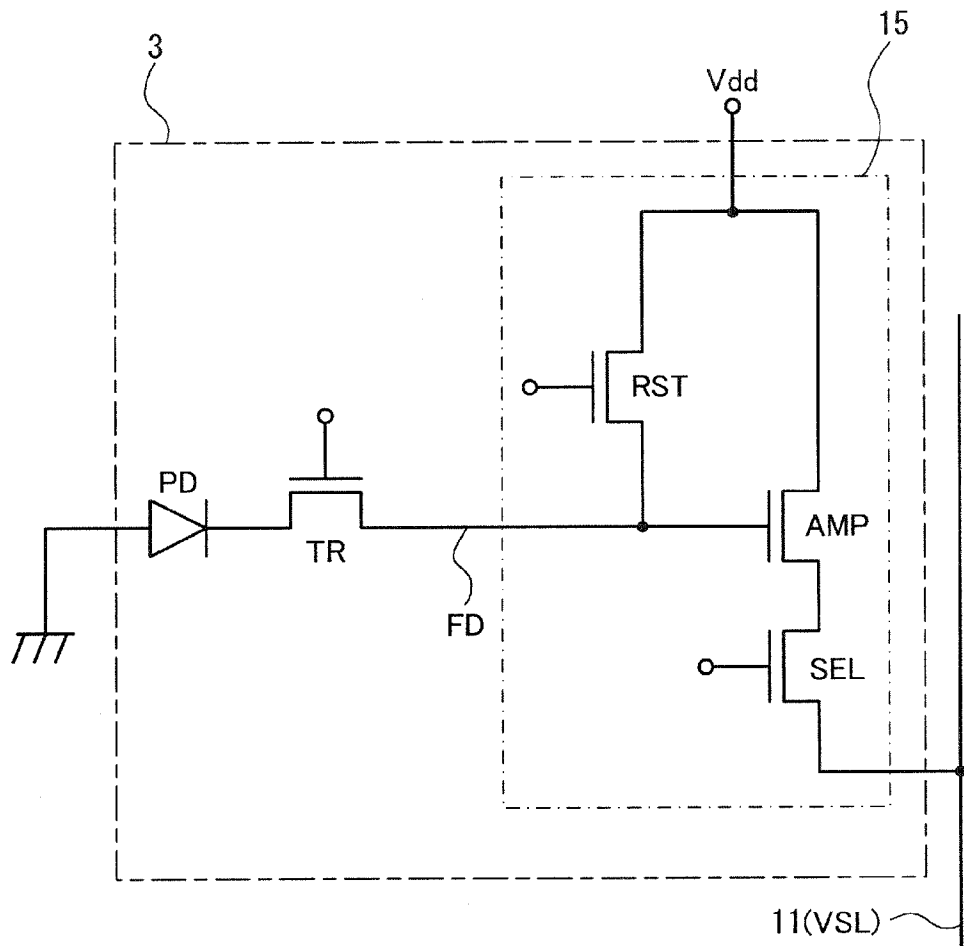


[図15]

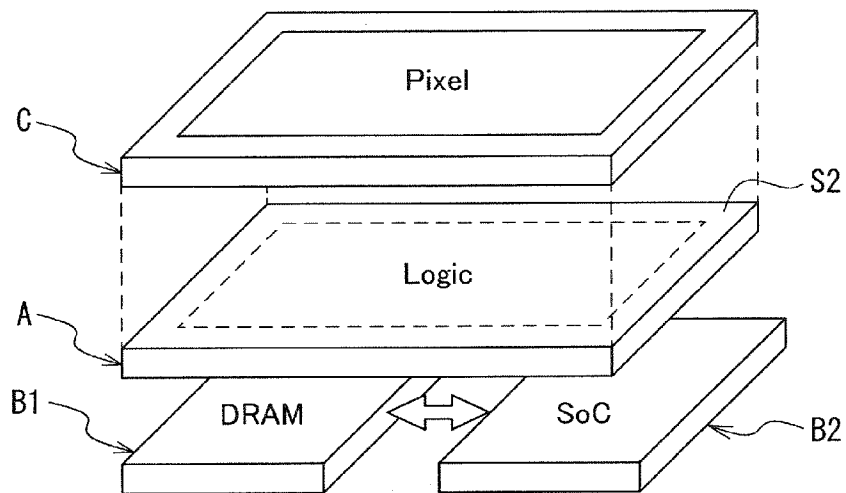




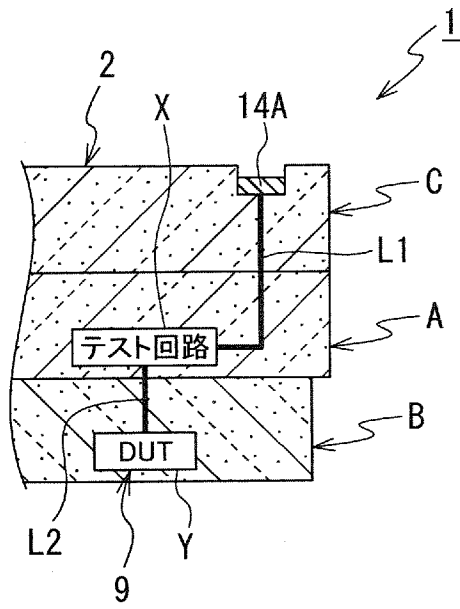
[図17]



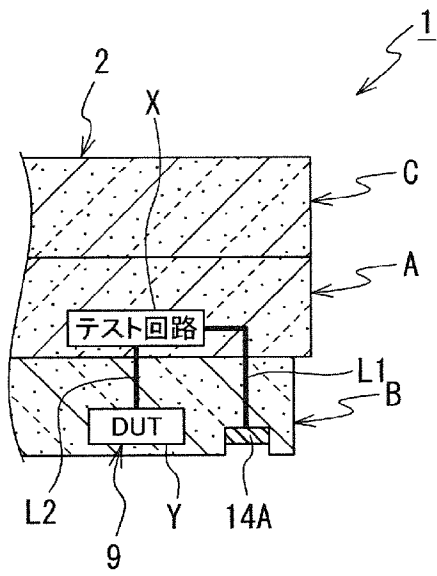
[図18]



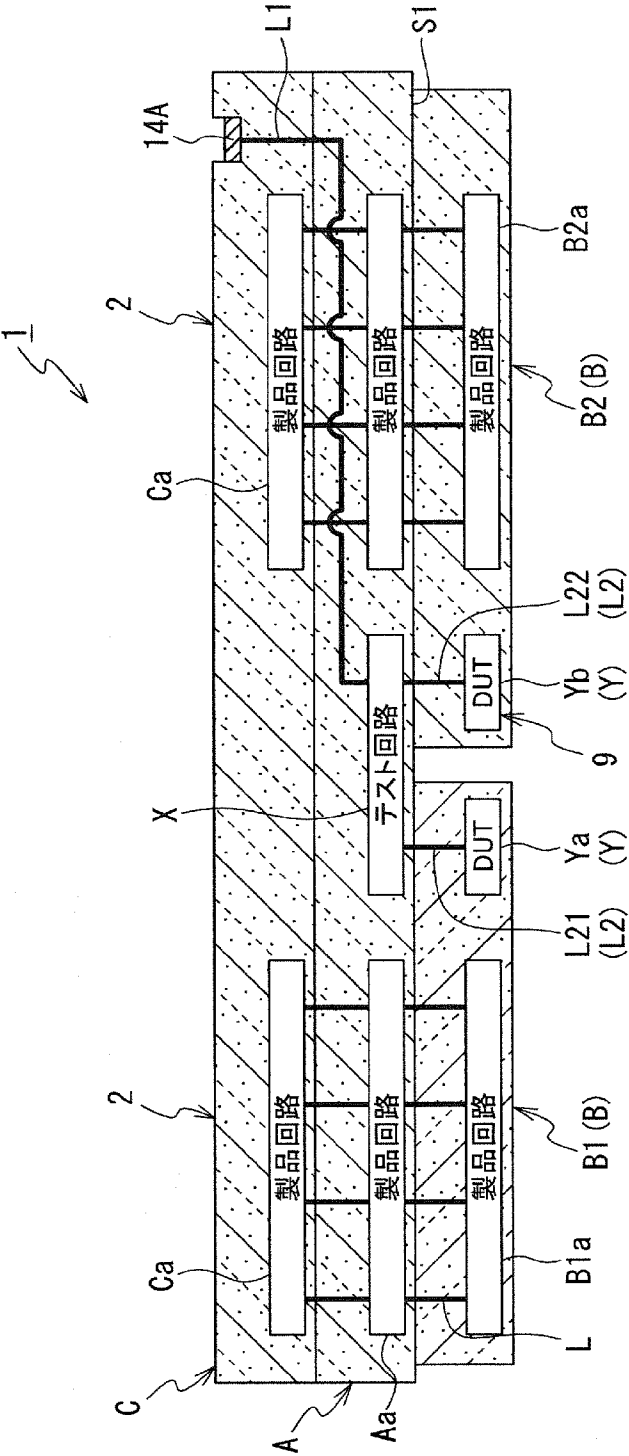
[図20]



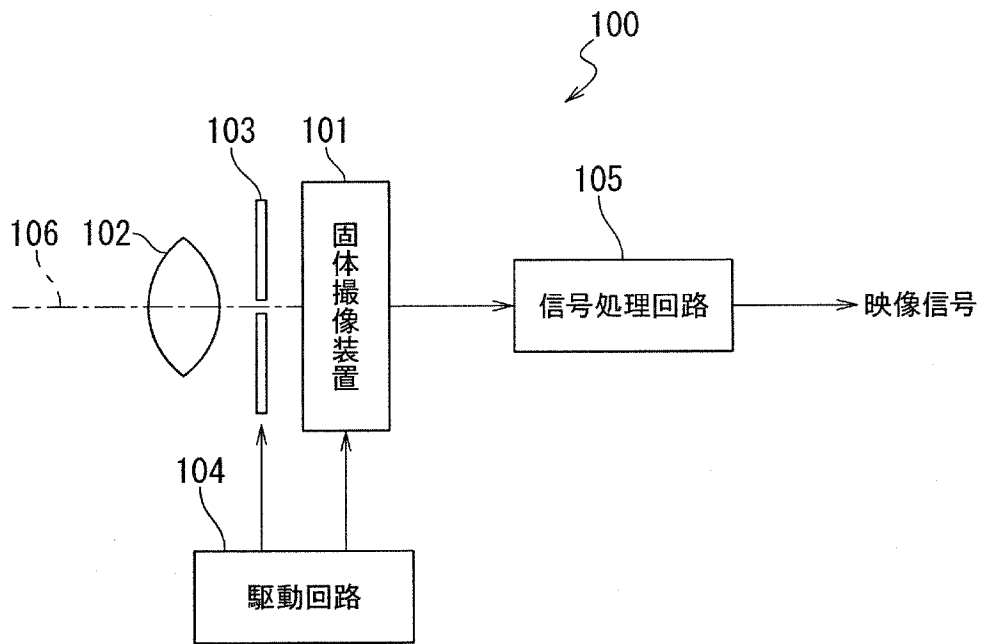
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/027233

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 21/66</i> (2006.01)i; <i>G01R 27/02</i> (2006.01)i; <i>G01R 27/26</i> (2006.01)i; <i>G01R 31/26</i> (2020.01)i; <i>H01L 21/02</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i; <i>H01L 27/04</i> (2006.01)i; <i>H01L 27/144</i> (2006.01)i; <i>H01L 27/146</i> (2006.01)i FI: H01L21/66 F; H01L27/146 D; H01L27/144 Z; H01L21/02 B; H01L27/04 T; G01R31/26 B; G01R27/02 R; G01R27/26 C According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/66; G01R27/02; G01R27/26; G01R31/26; H01L21/02; H01L21/822; H01L27/04; H01L27/144; H01L27/146 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/159766 A1 (SONY CORPORATION) 22 October 2015 (2015-10-22) paragraphs [0137]-[0144], fig. 17-18	1-17
A	JP 2015-29138 A (PS4 LUXCO SARL) 12 February 2015 (2015-02-12)	1-17
A	JP 2013-89871 A (SONY CORPORATION) 13 May 2013 (2013-05-13)	1-17
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 27 September 2024		Date of mailing of the international search report 08 October 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/027233

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2015/159766	A1	22 October 2015	US 2017/0033144 A1 paragraphs [0156]-[0163], fig. 17-18 CN 106165099 A TW 201541621 A	
JP	2015-29138	A	12 February 2015	(Family: none)	
JP	2013-89871	A	13 May 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/66(2006.01)i; G01R 27/02(2006.01)i; G01R 27/26(2006.01)i; G01R 31/26(2020.01)i;
H01L 21/02(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/144(2006.01)i;
H01L 27/146(2006.01)i
FI: H01L21/66 F; H01L27/146 D; H01L27/144 Z; H01L21/02 B; H01L27/04 T; G01R31/26 B; G01R27/02 R;
G01R27/26 C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/66; G01R27/02; G01R27/26; G01R31/26; H01L21/02; H01L21/822; H01L27/04; H01L27/144; H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/159766 A1（ソニー株式会社） 22.10.2015（2015-10-22） 段落[0137]-[0144]、図17-18	1-17
A	JP 2015-29138 A（ピーエスフォー ルクスコ エスエイアールエル） 12.02.2015 （2015-02-12）	1-17
A	JP 2013-89871 A（ソニー株式会社） 13.05.2013（2013-05-13）	1-17

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に
公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
くは他の特別な理由を確立するために引用する文献（理由を
付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
触するものではなく、発明の原理又は理論の理解のために引
用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性
又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献
との、当業者にとって自明である組合せによって進歩性がな
いと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
27.09.2024

国際調査報告の発送日
08.10.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

堀江 義隆 5F 9172

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/027233

引用文献			公表日	パテントファミリー文献	公表日
WO	2015/159766	A1	22.10.2015	US 2017/0033144 A1 段落[0156]-[0163]、図 17-18 CN 106165099 A TW 201541621 A	
JP	2015-29138	A	12.02.2015	(ファミリーなし)	
JP	2013-89871	A	13.05.2013	(ファミリーなし)	