(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0020022
(43) 공개일자 2022년02월18일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) *H01L 49/02* (2006.01)
H03M 1/14 (2006.01) *H03M 1/46* (2006.01)
(52) CPC특허분류
H03M 1/38 (2013.01)
H01L 28/40 (2013.01)
(21) 출원번호 10-2020-0100449
(22) 출원일자 2020년08월11일
심사청구일자 2020년08월11일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울특별시 용산구 이촌로 310, 101동 2303호(이촌동, 래미안첼리투스)
박준상
서울특별시 동작구 사당로2길 2-32, 102동 1203호(상도동, 상도현대아파트)
(뒷면에 계속)
(74) 대리인
특허법인로얄

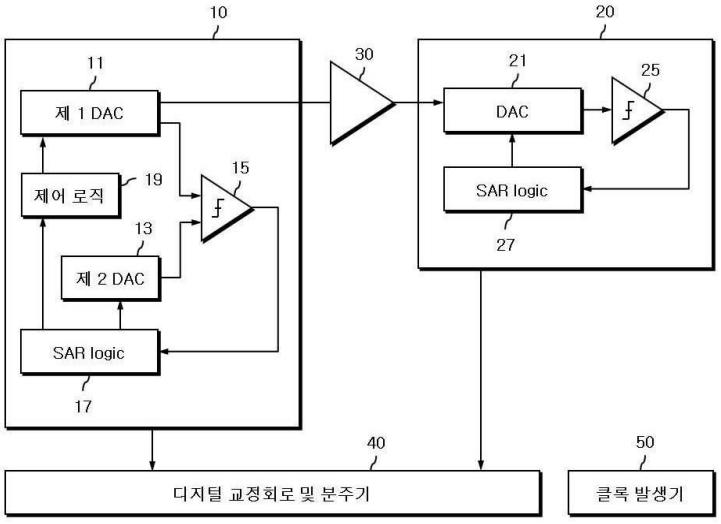
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **동적 레지스터에 기반한 스위칭을 이용하는 아날로그 디지털 컨버터**

(57) 요 약

본 발명은 동적 레지스터에 기반한 스위칭을 이용하는 아날로그 디지털 컨버터 기술에 관한 것으로, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter) 및 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기를 포함하고, SAR ADC는 비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어한다.

대 표 도



(52) CPC특허분류
H03M 1/14 (2013.01)
H03M 1/46 (2013.01)
(72) 발명자
전제민
경기도 군포시 용호1로21번길 15, 120동 602호(당동, 용호마을 e-편한세상)
김용태
서울특별시 송파구 잠실로 88, 131동 2803호(잠실동, 레이크팰리스)
부준호
서울특별시 마포구 마포대로24길 16,102동 805호(아현동, 공덕자이 아파트)
임재근
서울특별시 서대문구 이화여대1길 33, 603호(대현동)
임윤빈
서울특별시 양천구 목동동로 100, 1328동 1302호(신정동, 목동신시가지아파트13단지)
이재혁
경기도 성남시 분당구 판교로 421, 201동 1303호(야탑동, 탑마을대우아파트)
조강일
서울특별시 서초구 서운로 11, 1303호(서초동)
김호진
서울특별시 마포구 새창로 52, 108동 302호(도화동, 도화동현대아파트)
안길초
서울특별시 강남구 남부순환로363길 30, 102동 801호(도곡1동, 도곡쌍용예가)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116161
과제번호	2018-0-01421-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성(R&D)
연구과제명	인공지능 서비스 실현을 위한 지능형 반도체 설계 핵심기술 개발
기 여 율	1/2
과제수행기관명	서강대학교산학협력단
연구기간	2020.01.01 ~ 2020.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	201970066
과제번호	201970066
부처명	삼성전자 주식회사
과제관리(전문)기관명	삼성전자 주식회사
연구사업명	삼성전자 전략산학
연구과제명	차세대 시스템 반도체 응용을 위한 핵심 CMOS 아날로그 IP연구
기 여 율	1/2
과제수행기관명	서강대학교 산학협력단
연구기간	2019.07.01 ~ 2020.06.30

명 세 서

청구범위

청구항 1

2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 및

상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기;를 포함하고,

상기 SAR ADC는,

비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어하는, 아날로그 디지털 컨버터(analog-to-digital converter, ADC).

청구항 2

제 1 항에 있어서,

상기 SAR ADC의 제 1 단은,

입력 신호를 샘플링하는 제 1 DAC와 기준 전압을 생성하여 비교기에 제공하는 제 2 DAC을 포함하되,

상기 제 1 DAC와 상기 제 2 DAC는 서로 다른 구조를 가지며 분리되어 형성되는, 아날로그 디지털 컨버터.

청구항 3

제 2 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC와 상기 제 2 DAC가 SAR 동작시 하나의 비교기를 공유하고, 비교 결과를 SAR 로직(logic)에 출력하되,

상기 제 1 DAC는 동적 레지스터로부터 출력을 전달받은 스위치 제어 로직을 통해 입력신호를 샘플링 및 홀딩, 잔류전압을 증폭하는 동작을 수행하고,

상기 제 2 DAC는 동적 레지스터로부터 직접 DAC의 스위치 구동을 위한 제어신호를 전달받는, 아날로그 디지털 컨버터.

청구항 4

제 3 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 SAR ADC의 제 1 단의 비트 수만큼의 레지스터 쌍(pair)을 갖는 동적 레지스터와 균등 분할 커패시터 구조를 형성하는 상기 제 2 DAC의 단위 커패시터 쌍이 서로 대응하여 전기적으로 연결되며, 각각의 기준전압 스위치가 레지스터 출력에 의해 직접 제어되는, 아날로그 디지털 컨버터.

청구항 5

제 3 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 동적 레지스터가 SAR 로직에 형성되어 비교기의 출력이 레지스터를 직접 구동(trigger)하되, 레지스터 동작(enable) 신호가 설정된 경우에만 각각의 레지스터가 순차적으로 비교기 출력과 연결되고, 상기 비교기의 출력에 대해 한 쌍의 레지스터가 출력단의 인버터를 통해 상보적인 출력을 제공하는, 아날로그 디지털 컨버터.

청구항 6

제 3 항에 있어서,

상기 SAR ADC의 제 1 단은,

상기 제 1 DAC가 이중 가중치 커패시터 구조를 형성하고,

SAR 동작이 종료된 후 결정된 디지털 코드가 상기 동적 레지스터에 저장되어 증폭 동작시 스위치 제어 로직으로 전달되며,

상기 스위치 제어 로직에 의해 상기 제 1 DAC이 상기 디지털 코드에 해당하는 잔류전압을 생성하여 증폭기에 전달하는, 아날로그 디지털 컨버터.

청구항 7

제 3 항에 있어서,

상기 SAR ADC의 제 1 단의 비교기는,

SAR 동작을 수행하기 위해 상기 제 1 DAC 및 상기 제 2 DAC으로부터 각각 신호를 전달받도록 두 쌍의 차동 입력단을 갖는 이중 테일(double tail) 구조를 형성하되,

상기 제 1 DAC에 입력신호가 샘플링된 후 홀딩되는 동안 상기 제 2 DAC가 SAR 동작에 의해 결정된 디지털 코드에 따라 순차적으로 기준전압을 생성하는, 아날로그 디지털 컨버터.

청구항 8

제 1 항에 있어서,

상기 잔류전압 증폭기는,

상기 SAR ADC의 제 1 단의 상기 제 1 DAC에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기인, 아날로그 디지털 컨버터.

청구항 9

제 1 항에 있어서,

상기 SAR ADC의 제 1 단의 제 1 DAC는,

MOM(metal-oxide-metal) 커패시터를 사용하되,

커패시터의 상하좌우 중 적어도 하나를 다른 커패시터가 둘러싸는 캡슐화(encapsulation) 구조를 형성함으로써, 커패시터 간을 연결하는 메탈의 기생 성분에 의한 선형성 저하를 억제하는, 아날로그 디지털 컨버터.

청구항 10

제 1 항에 있어서,

상기 SAR ADC의 제 2 단은,

상기 잔류전압 증폭기에 연결되어 DAC를 스위칭하고,

DAC에 연결된 비교기로부터 비교 결과를 SAR 로직에 출력하며,

동적 레지스터를 구비하는 SAR 로직을 통해 직접 상기 DAC의 스위치를 제어하는, 아날로그 디지털 컨버터.

청구항 11

제 1 항에 있어서,

상기 SAR ADC에 연결되는 디지털 교정회로; 및

클록신호를 생성하는 클록(clock) 발생기;를 더 포함하는, 아날로그 디지털 컨버터.

청구항 12

2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 및

상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기;를 포함하고,

상기 SAR ADC는,

비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어하되, 상기 동적 레지스터에 기반한 비동기(asynchronous) SAR 로직이 출력 전압에 따른 비트를 정확하게 판단하지 못하는 준안정(metastable) 상태를 검출하여 비트를 교정하는, 아날로그 디지털 컨버터(analog-to-digital converter, ADC).

청구항 13

제 12 항에 있어서,

상기 SAR ADC는,

DAC에 연결된 비교기로부터 비교 결과를 SAR 로직에 출력하고,

상기 SAR 로직에 형성된 동적 레지스터를 통해 직접 상기 DAC의 스위치를 제어하는, 아날로그 디지털 컨버터.

청구항 14

제 13 항에 있어서,

상기 비동기 SAR 로직은,

SAR 동작의 수행에 따라 각각의 비트 결정시 비교기의 출력에 의해 레지스터 출력에 변화가 있을 경우, 해당 비트의 결정이 완료된 것으로 인식하고 다음 비트를 결정하기 위한 동작을 수행하는, 아날로그 디지털 컨버터.

청구항 15

제 13 항에 있어서,

상기 비동기 SAR 로직은,

SAR 동작의 수행에 따라 각각의 비트 결정시 SAR 동작(enable) 신호가 종료될 때, 레지스터 출력이 변경되지 않은 위치에 기반하여 준안정 상태가 발생한 비트 지점을 검출하는, 아날로그 디지털 컨버터.

청구항 16

제 15 항에 있어서,

상기 비동기 SAR 로직은,

상기 준안정 상태가 발생한 비트 지점 이후의 모든 비트를 미리 설정된 추정 비트로 대체하고,

상기 준안정 상태의 발생 이전에 결정된 비트와 상기 추정 비트를 결합하여 최종 출력 비트를 생성하는, 아날로그 디지털 컨버터.

청구항 17

제 15 항에 있어서,

상기 비동기 SAR 로직은,

SAR 동작의 수행에 따라 결정하고자 하는 비트의 위치와 상기 레지스터 출력이 일대일로 대응시킴으로써 레지스터 출력의 변경 여부에 따라 준안정 상태의 발생 위치를 검출하는, 아날로그 디지털 컨버터.

청구항 18

제 13 항에 있어서,

상기 SAR ADC는,

상기 SAR ADC의 제 1 단 및 제 2 단 각각의 비트 수만큼의 레지스터 쌍(pair)을 갖는 동적 레지스터와 상기 DAC의 단위 커패시터 쌍이 서로 대응하여 전기적으로 연결되는, 아날로그 디지털 컨버터.

청구항 19

제 13 항에 있어서,

상기 SAR ADC는,

상기 동적 레지스터가 SAR 로직에 형성되어 비교기의 출력이 레지스터를 직접 구동(trigger)하되, 레지스터 동작(enable) 신호가 설정된 경우에만 각각의 레지스터가 순차적으로 비교기 출력과 연결되고, 상기 비교기의 출력에 대해 한 쌍의 레지스터가 출력단의 인버터를 통해 상보적인 출력을 제공하는, 아날로그 디지털 컨버터.

청구항 20

제 1 항 내지 제 19 항 중 어느 한 항의 아날로그 디지털 컨버터를 포함하는 모바일(mobile) 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 아날로그 디지털 컨버터(analog-to-digital Converter, ADC) 기술에 관한 것으로서, 특히 저전력 및 저면적의 환경에서 높은 선형성을 갖는 파이프라인(pipeline)-SAR(successive-approximation register) ADC에 관한 것이다.

배 경 기 술

[0002] 본격적인 스마트폰 및 태블릿 PC의 출현 이후 모바일 트래픽은 폭증하고 있으며, 향후 지금보다 스마트한 무선 단말기기 및 고도화된 통신 기술의 등장은 모바일 트래픽의 폭증을 더욱 가속화시킬 것으로 보인다. 한편, 이러한 모바일 트래픽의 수요를 만족시키기 위한 WiGig(wireless gigabit alliance), WiMAX(worldwide interoperability for microwave access), WLAN(wireless local area network) 장비 및 고속 디지털 수신기 등과 같은 다양한 고성능 통신장비는 고속 및 고해상도의 사양을 동시에 만족시키면서 모바일 시스템 응용을 위해 저전력 및 소면적으로 구현된 ADC(analog-to-digital converter)가 필수적으로 요구된다.

[0003] 공정 기술이 발달함에 따라 고속 고해상도 응용 분야에서도 디지털 회로 기반의 저전력 SAR(successive-approximation register) ADC에 대한 연구가 활발히 진행되고 있지만, 커패시터 부정합 및 비교기 잡음에 의해 해상도가 제한될 뿐만 아니라 SAR ADC의 전력소모를 훨씬 상회하는 기준전압 구동회로의 전력소모는 실제 시스템 상에서의 효율적인 응용을 제한한다. 한편, 고해상도 SAR ADC의 제한사항을 보완하기 위해 커패시터 부정합을 보정하는 연구가 진행되고 있으나, 별도의 보정을 위한 주기 및 데이터를 확보해야 하므로 전력소모를 최소화하기 위해 대기 동작 상태가 빈번한 모바일 시스템 응용에 적용하기는 다소 부적합하다. 이하에서 소개하는 선행기술문헌은 저전력, 소면적 및 고해상도를 동시에 만족시키기 위한 SAR ADC에서 커패시터 부정합을 보정하는 기술적 수단을 소개하고 있다.

[0004] 최근 SAR ADC의 주요 단점을 보완하면서 파이프라인(pipeline) ADC의 장점을 활용하는 파이프라인 SAR ADC 구조에 대한 연구가 활발히 진행되고 있다. 그러나, 각 단을 구성하는 SAR ADC 및 잔류전압 증폭기의 동작 속도의 제한으로 다중 채널 구조에 대한 연구가 활발히 진행되고 있지만, 각 채널 간 부정합은 고해상도 응용에 적용하기에는 어려움이 있다. 이러한 제한사항을 보완하기 위해 채널 간 부정합의 영향을 최소화하는 구조 또는 별도의 보정 기법들에 대한 연구가 진행되고 있으나, 이러한 구조 및 기법 또한 여전히 모바일 시스템 응용에 적용하기는 비효율적이다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) K. Yoshioka, T. Sugimoto, N. Waki, S. Kim, D. Kurose, H. Ishii, M. Furuta, A. Sai, and T. Itakura, "A 0.7V 12b 160MS/s 12.8fJ/conv-step Pipelined-SAR ADC in 28nm CMOS with digital

amplifier technique," in ISSCC Dig. Tech. Papers, Feb. 2017, pp. 478-479.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는, 종래의 SAR ADC가 스위치 제어 로직을 통해 DAC의 스위치를 제어함으로써 그로 인해 야기된 SAR 루프 지연 시간에 따라 동작 속도가 제한되는 한계를 극복하고, 디지털 회로에서 발생하는 준안정(metastable) 상태를 검출하기 위해 비교 동작 시간을 측정하는 램프(ramp) 신호 발생기 및 추가적인 논리 회로로 인해 회로의 복잡도 및 면적, 전력 소모가 함께 증가하는 문제를 해소하고자 한다.

과제의 해결 수단

[0007] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터(analog-to-digital converter, ADC)는, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 및 상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기;를 포함하고, 상기 SAR ADC는, 비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어한다.

[0008] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 입력 신호를 샘플링하는 제 1 DAC와 기준 전압을 생성하여 비교기에 제공하는 제 2 DAC을 포함하되, 상기 제 1 DAC와 상기 제 2 DAC는 서로 다른 구조를 가지며 분리되어 형성될 수 있다.

[0009] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 제 1 DAC와 상기 제 2 DAC가 SAR 동작시 하나의 비교기를 공유하고, 비교 결과를 SAR 로직(logic)에 출력하되, 상기 제 1 DAC는 동적 레지스터로부터 출력을 전달받은 스위치 제어 로직을 통해 입력신호를 샘플링 및 홀딩, 잔류전압을 증폭하는 동작을 수행하고, 상기 제 2 DAC는 동적 레지스터로부터 직접 DAC의 스위치 구동을 위한 제어신호를 전달받을 수 있다.

[0010] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 SAR ADC의 제 1 단의 비트 수만큼의 레지스터 쌍(pair)을 갖는 동적 레지스터와 균등 분할 커패시터 구조를 형성하는 상기 제 2 DAC의 단위 커패시터 쌍이 서로 대응하여 전기적으로 연결되며, 각각의 기준전압 스위치가 레지스터 출력에 의해 직접 제어될 수 있다.

[0011] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 동적 레지스터가 SAR 로직에 형성되어 비교기의 출력이 레지스터를 직접 구동(trigger)하되, 레지스터 동작(enable) 신호가 설정된 경우에만 각각의 레지스터가 순차적으로 비교기 출력과 연결되고, 상기 비교기의 출력에 대해 한 쌍의 레지스터가 출력단의 인버터를 통해 상보적인 출력을 제공할 수 있다.

[0012] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단은, 상기 제 1 DAC가 이중 가중치 커패시터 구조를 형성하고, SAR 동작이 종료된 후 결정된 디지털 코드가 상기 동적 레지스터에 저장되어 증폭 동작시 스위치 제어 로직으로 전달되며, 상기 스위치 제어 로직에 의해 상기 제 1 DAC이 상기 디지털 코드에 해당하는 잔류전압을 생성하여 증폭기에 전달할 수 있다.

[0013] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단의 비교기는, SAR 동작을 수행하기 위해 상기 제 1 DAC 및 상기 제 2 DAC으로부터 각각 신호를 전달받도록 두 쌍의 차동 입력단을 갖는 이중 테일(double tail) 구조를 형성하되, 상기 제 1 DAC에 입력신호가 샘플링된 후 홀딩되는 동안 상기 제 2 DAC가 SAR 동작에 의해 결정된 디지털 코드에 따라 순차적으로 기준전압을 생성할 수 있다.

[0014] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 잔류전압 증폭기는, 상기 SAR ADC의 제 1 단의 상기 제 1 DAC에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기일 수 있다.

[0015] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 1 단의 제 1 DAC는, MOM(metal-oxide-metal) 커패시터를 사용하되, 커패시터의 상하좌우 중 적어도 하나를 다른 커패시터가 둘러싸는 캡슐화(encapsulation) 구조를 형성함으로써, 커패시터 간을 연결하는 메탈의 기생 성분에 의한 선형성 저하를 억제할 수 있다.

[0016] 일 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC의 제 2 단은, 상기 잔류전압 증폭기에 연결되어 DAC를 스위칭하고, DAC에 연결된 비교기로부터 비교 결과를 SAR 로직에 출력하며, 동적 레지스터를 구비하는 SAR 로직을 통해 직접 상기 DAC의 스위치를 제어할 수 있다.

[0017] 일 실시예에 따른 아날로그 디지털 컨버터는, 상기 SAR ADC에 연결되는 디지털 교정회로; 및 클록신호를 생성하는 클록(clock) 발생기;를 더 포함할 수 있다.

[0018] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 실시예에 따른 아날로그 디지털 컨버터(analog-to-digital converter, ADC)는, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter); 및 상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기;를 포함하고, 상기 SAR ADC는, 비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어하되, 상기 동적 레지스터에 기반한 비동기(asynchronous) SAR 로직이 출력 전압에 따른 비트를 정확하게 판단하지 못하는 준안정(metastable) 상태를 검출하여 비트를 교정한다.

[0019] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC는, DAC에 연결된 비교기로부터 비교 결과를 SAR 로직에 출력하고, 상기 SAR 로직에 형성된 동적 레지스터를 통해 직접 상기 DAC의 스위치를 제어할 수 있다.

[0020] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 비동기 SAR 로직은, SAR 동작의 수행에 따라 각각의 비트 결정시 비교기의 출력에 의해 레지스터 출력에 변화가 있을 경우, 해당 비트의 결정이 완료된 것으로 인식하고 다음 비트를 결정하기 위한 동작을 수행할 수 있다.

[0021] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 비동기 SAR 로직은, SAR 동작의 수행에 따라 각각의 비트 결정시 SAR 동작(enable) 신호가 종료될 때, 레지스터 출력이 변경되지 않은 위치에 기반하여 준안정 상태가 발생한 비트 지점을 검출할 수 있다.

[0022] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 비동기 SAR 로직은, 상기 준안정 상태가 발생한 비트 지점 이후의 모든 비트를 미리 설정된 추정 비트로 대체하고, 상기 준안정 상태의 발생 이전에 결정된 비트와 상기 추정 비트를 결합하여 최종 출력 비트를 생성할 수 있다.

[0023] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 비동기 SAR 로직은, SAR 동작의 수행에 따라 결정하고자 하는 비트의 위치와 상기 레지스터 출력이 일대일로 대응시킴으로써 레지스터 출력의 변경 여부에 따라 준안정 상태의 발생 위치를 검출할 수 있다.

[0024] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC는, 상기 SAR ADC의 제 1 단 및 제 2 단 각각의 비트 수만큼의 레지스터 쌍(pair)을 갖는 동적 레지스터와 상기 DAC의 단위 커패시터 쌍이 서로 대응하여 전기적으로 연결될 수 있다.

[0025] 다른 실시예에 따른 아날로그 디지털 컨버터에서, 상기 SAR ADC는, 상기 동적 레지스터가 SAR 로직에 형성되어 비교기의 출력이 레지스터를 직접 구동(trigger)하되, 레지스터 동작(enable) 신호가 설정된 경우에만 각각의 레지스터가 순차적으로 비교기 출력과 연결되고, 상기 비교기의 출력에 대해 한 쌍의 레지스터가 출력단의 인버터를 통해 상보적인 출력을 제공할 수 있다.

[0026] 한편, 이하에서는 상기 기재된 아날로그 디지털 컨버터를 포함하는 모바일(mobile) 장치를 제공한다.

발명의 효과

[0027] 본 발명의 실시예들은, 파이프라인 SAR ADC의 SAR 동작 시 별도의 스위치 제어 로직 없이 비교기의 출력 신호를 저장하는 동적 레지스터가 직접 DAC의 스위치를 구동하여 제어함으로써 SAR 동작 루프 지연 시간을 획기적으로 감소시킬 수 있고, 동적 레지스터를 통해 비동기 SAR 로직의 준안정 상태를 검출하여 비트를 보정할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 동적 레지스터에 기반한 스위칭을 이용하는 ADC의 구조를 도시한 블록도이다.

도 2는 본 발명의 일 실시예에 따른 도 1의 ADC 구조를 12 비트 파이프라인 SAR ADC로 구현한 회로도를 예시한

도면이다

도 3은 도 2의 12 비트 파이프라인 SAR ADC의 주요 블록 동작 타이밍을 나타낸 도면이다.

도 4는 동적 레지스터 기반의 제 1 단(stage) SAR ADC의 구조를 설명하기 위한 도면이다.

도 5는 균등 분할 커패시터 기반의 스위칭 기법을 설명하기 위한 도면이다.

도 6은 동적 레지스터 구조 및 그에 따른 제 1 단 SAR 로직의 주요 타이밍을 나타낸 도면이다.

도 7은 동적 레지스터 기반의 준안정(metastable) 상태 검출 및 교정 로직을 설명하기 위한 도면이다.

도 8은 제 1 단 SAR ADC가 채택하고 있는 비교기 및 이를 이용한 동작예를 도시한 도면이다.

도 9는 본 발명의 일 실시예에 따른 ADC의 잔류전압 증폭기의 구현예를 도시한 도면이다.

도 10은 캡슐화된 커패시터 구조를 설명하기 위한 도면이다.

도 11은 본 발명의 일 실시예에 따른 ADC를 구현한 시제품(prototype)의 칩 레이아웃(chip layout)을 예시한 도면이다.

도 12 내지 도 16은 도 11의 시제품의 성능 실험 결과를 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하에서는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 덧붙여, 명세서 전체에서, 어떤 구성 요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0030] 또한, 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성 요소는 제 2 구성 요소로 명명될 수 있고, 유사하게 제 2 구성 요소도 제 1 구성 요소로 명명될 수 있다.

[0031] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0032] 특별히 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0033] 이하에서, 본 발명의 실시예들이 제안하는 동적 레지스터에 기반한 스위칭을 이용하는 아날로그 디지털 컨버터는, 일례로서 단일 채널 12비트 200MS/s 28nm CMOS 파이프라인(pipelined) SAR ADC로서 구현하였으며, 각 단에서 각각 5비트 및 8비트를 처리하는 2단 파이프라인 구조를 적용하였다. 각 단의 SAR ADC는 단일 채널로 요구되는 동작 속도를 만족시키기 위해 별도의 스위치 제어 로직 없이 비교기의 출력 신호를 저장하는 동적 레지스터가 직접 DAC의 스위치를 구동하여 제어함으로써 SAR 동작 루프 지연 시간을 획기적으로 감소시켰다. 첫 번째 단 5비트 SAR ADC는 스위칭 전력을 줄이며 시스템 응용에 용이하도록 SAR 동작 시 단위 커패시턴스가 작으며 비교기의 결정 임계치(decision threshold)를 생성하는 별도의 DAC(digital-to-analog converter)만이 스위칭 동작을 하도록 구성하였다. 일반적인 파이프라인 구조의 ADC에서 가장 큰 전력을 소모하는 잔류전압 증폭기는 초저전력 저잡음 링(Ring) 증폭기 구조를 채택하였다. 한편, 사용된 커패시터는 별도의 보정기법 없이 인접 커패시터 연결에 의한 선형성 제한을 개선하기 위해 캡슐화된(encapsulated) 커패시터 기반의 커패시터 열 레이아웃 기법을 적용하였다. 이제, 각 구성요소를 도면을 참조하여 순차적으로 소개하도록 한다.

[0034] 도 1은 본 발명의 일 실시예에 따른 동적 레지스터에 기반한 스위칭을 이용하는 ADC의 구조를 도시한 블록도이

다.

[0035] SAR ADC(10, 20)는 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성한다. 이러한 SAR ADC의 제 1 단(10)은, 입력 신호를 샘플링하는 제 1 DAC(11)와 기준 전압을 생성하여 비교기(15)에 제공하는 제 2 DAC(13)을 포함하되, 상기 제 1 DAC(11)와 상기 제 2 DAC(13)는 서로 다른 구조를 가지며 분리되어 형성된다. 특히, SAR ADC(10, 20)는, 비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어한다.

[0036] 보다 구체적으로, 상기 SAR ADC의 제 1 단(10)은, 상기 제 1 DAC(11)와 상기 제 2 DAC(13)가 SAR 동작시 하나의 비교기(15)를 공유하고, 비교 결과를 SAR 로직(logic)(17)에 출력하되, 상기 제 1 DAC(11)는 동적 레지스터로부터 출력을 전달받은 스위치 제어 로직(19)을 통해 입력신호를 샘플링 및 홀딩, 잔류전압을 증폭하는 동작을 수행한다. 이에 반해, 상기 제 2 DAC(13)는 동적 레지스터로부터 직접 DAC의 스위치 구동을 위한 제어신호를 전달받는다. 즉, 상기 SAR ADC의 제 1 단(10)은, SAR 동작 시, 작은 단위 커패시턴스를 가지며 비교기의 결정 임계치(decision threshold)를 생성하는 별도의 제 2 DAC(13)만이 스위칭 동작을 수행하여 스위칭 에너지를 감소시켰다. 이때, SAR 동작 시 별도의 스위치 제어 로직 없이 비교기(15)의 출력 신호를 저장하는 동적 레지스터가 직접 DAC(13)의 스위치를 구동하여 제어함으로써 SAR 동작 루프 지연 시간을 획기적으로 감소시킬 수 있다는 장점을 갖는다.

[0037] 잔류전압 증폭기(30)는, 상기 2개의 단(10, 20) 사이에 연결되어 제 1 단(10)의 잔류전압을 증폭한다. 구현의 관점에서, 상기 잔류전압 증폭기(30)는, 상기 SAR ADC의 제 1 단(10)의 상기 제 1 DAC(11)에 연결되어 2개 채널에서 공유하는 링(Ring) 증폭기로 구성될 수 있는데, 이는 초저전력만으로도 저잡음 성능을 구현할 수 있도록 도와준다.

[0038] 한편, SAR ADC의 제 2 단(20)은, 상기 잔류전압 증폭기(30)에 연결되어 DAC(21)를 스위칭하고, DAC(21)에 연결된 비교기(25)로부터 비교 결과를 SAR 로직(27)에 출력하며, 동적 레지스터를 구비하는 SAR 로직(27)을 통해 직접 상기 DAC(21)의 스위치를 제어한다. 즉, SAR ADC의 제 2 단(20)은, 앞서 설명한 SAR ADC의 제 1 단(10)의 제 2 DAC(13)와 연계된 동적 레지스터에 기반한 스위칭 기법과 유사하게 동작하므로 이하에서는 필요에 따라 중복된 설명을 생략하도록 한다.

[0039] 나아가, 본 발명의 일 실시예에 따른 아날로그 디지털 컨버터는, 상기 SAR ADC(10, 20)에 연결되는 디지털 교정 회로(40) 및 클록신호를 생성하는 클록(clock) 발생기(50)를 더 포함할 수 있다.

[0040] 도 2는 본 발명의 일 실시예에 따른 도 1의 ADC 구조를 12 비트 파이프라인 SAR ADC로 구현한 회로도를 예시한 도면으로서, 동적 레지스터 기반의 고속 SAR 로직을 사용한 단일 채널 12비트 200MS/s 28nm CMOS 파이프라인 SAR ADC의 구조를 설계하였으며, 첫 번째 단 5비트 SAR ADC(10), 잔류전압 증폭기(30), 두 번째 단 8비트 SAR ADC(20), 클록 발생기(50), 디지털 교정회로 및 분주기(40)를 포함한다.

[0041] 첫 번째 단 5비트 SAR ADC(10)는 입력신호를 샘플링, 홀딩 및 잔류전압을 증폭하는 제 1 DAC(SIG DAC)(11)와 비교기(15)의 결정 임계치(decision threshold)를 생성하는 별도의 제 2 DAC(REF DAC)(13)를 분리하는 구조를 적용하였다. 이때, 단위 커패시턴스로 SIG DAC(11)는 입력신호 범위($1.6V_{P-P}$) 및 열잡음을 고려하여 30fF을 사용하였으며, REF DAC(13)는 신호감쇄 및 요구되는 정합성을 고려하여 2fF을 사용하였다. 제안하는 SAR ADC는 SAR 동작 시 2fF의 작은 단위 커패시턴스를 갖는 REF DAC(13)만이 고속 스위칭 동작을 수행함으로써 스위칭 에너지 소모를 감소시켰으며, 이에 따라 기준전압 구동회로 설계의 부담을 완화하여 시스템 응용에 용이하도록 하였다. 고속 SAR 동작을 위해 REF DAC(13)는 동적 레지스터 기반의 SAR 로직을 적용하였으며, 별도의 스위치 제어 로직 없이 비교기(15)의 출력 신호를 저장하는 동적 레지스터가 직접 DAC(13)의 스위치를 구동하여 제어함으로써 SAR 동작 루프 지연 시간을 획기적으로 감소시켰다. 한편, 상대적으로 고속 동작이 요구되지 않는 SIG DAC(11)의 경우, 레지스터 출력을 전달받은 스위치 제어 로직(19)을 통해 입력신호를 샘플링 및 홀딩, 잔류전압을 증폭하는 동작을 수행한다.

[0042] 일반적인 파이프라인 ADC에서 전력소모가 가장 큰 블록 중 하나인 잔류전압 증폭기(30)는 초저전력 저잡음 링(Ring) 증폭기 구조를 채택하여 전력소모를 획기적으로 감소시켰다.

[0043] 두 번째 단 8비트 SAR ADC(20)는 DAC(21)에서 0.8fF의 단위 커패시터를 사용하였으며, 첫 번째 단의 REF DAC(13)와 마찬가지로 동적 레지스터 기반의 SAR 로직이 적용되어 다이나믹 레지스터 기반의 SAR 로직(27)이 직접 스위치를 제어한다.

[0044] 도 3은 도 2의 12 비트 파이프라인 SAR ADC의 주요 블록 동작 타이밍을 나타낸 도면이다. 첫 번째 단의 5비트 SAR ADC의 SIG DAC은 200MHz 클록의 1/4 주기 (Q1) 동안 입력신호를 샘플링하며, 다음 1/4 주기 (Q2) 동안 SAR 동작을 위한 홀딩 동작을 수행한다. SIG DAC가 홀딩 동작을 수행하는 동안 REF DAC는 5비트 디지털 코드 결정을 위한 비교기의 결정 임계치(decision threshold)를 순차적으로 생성하며 SAR 동작을 수행한다. SAR 동작이 완료된 후, SIG DAC는 결정된 5비트의 디지털 코드에 해당하는 잔류전압을 생성하여 200MHz 클록의 1/2 주기 (QA) 동안 증폭기로 전달하며, 이 신호는 증폭되어 두 번째 단 8비트 SAR ADC에 샘플링 된 후, 8비트 디지털 코드로 변환된다.

[0045] 도 4는 동적 레지스터 기반의 제 1 단(stage) SAR ADC의 구조를 설명하기 위한 도면이다. 첫 번째 단 5비트 SAR ADC는 SIG DAC(11), REF DAC(13), 비교기(17), SAR 로직(17) 및 스위치 제어 로직(19)으로 구성된다. 입력신호를 샘플링 및 홀딩하며, 잔류전압을 증폭하는 SIG DAC(11)는 이중 가중치 커패시터 구조를 가지며, 30fF의 단위 커패시터를 사용한다. 한편, SAR 동작 시 비교기(17)의 결정 임계치를 생성하는 REF DAC(13)는 다이나믹 레지스터 기반의 고속 SAR 로직을 적용함으로써 별도의 스위치 제어 로직을 사용하지 않는다. 비교기 출력을 저장하는 레지스터가 REF DAC(13)의 스위치를 직접 제어함으로써 SAR 루프 지연 시간을 획기적으로 감소시켰다. 이러한 구조를 구현하기 위해 REF DAC(13)는 균등 분할 커패시터 구조 기반의 V_{CM} 스위칭 기법을 적용하였으며, 2fF의 단위 커패시터를 사용한다. SAR 동작이 종료된 후, 결정된 5비트 디지털 코드는 레지스터에 저장되며, 증폭 동작 시 스위치 제어 로직(19)으로 전달된다. SIG DAC(11)는 스위치 제어 로직(19)에 의해 5비트 디지털 코드에 해당하는 잔류 전압을 생성하여 증폭기로 전달한다.

[0046] 요약하건대, 본 발명의 일 실시예가 제안하는 SAR ADC의 제 1 단은, SIG DAC(11)가 이중 가중치 커패시터 구조를 형성하고, SAR 동작이 종료된 후 결정된 디지털 코드가 동적 레지스터에 저장되어 증폭 동작시 스위치 제어 로직(19)으로 전달되며, 스위치 제어 로직(19)에 의해 SIG DAC(11)이 상기 디지털 코드에 해당하는 잔류전압을 생성하여 증폭기에 전달하게 된다.

[0047] 종래의 파이프라인 SAR ADC에서 제어 로직을 경유하여 DAC에 제어신호를 전달하였던 것에 반해, 도 4의 실시예에서는 SAR 로직(17)에 구비된 동적 레지스터를 통해 제어신호를 전달함으로써 직접 REF DAC(13)을 고속으로 스위칭할 수 있다는 장점이 나타난다.

[0048] 도 5는 균등 분할 커패시터 기반의 스위칭 기법을 설명하기 위한 도면으로서, 본 발명의 실시예들이 제안하는 REF DAC(13)에 적용되었다. 도 5를 참조하면, 커패시터 하단에 공통모드 전압 V_{CM}을 직접 인가하기 위한 추가적인 스위치 및 디지털 회로를 사용하지 않기 위해 균등 분할된 커패시터에 각각 상보적인 기준전압(V_{REF+} 및 V_{REF-})을 연결함으로써 등가적으로 V_{CM}을 인가한다. 이때, 각각의 기준전압 스위치는 레지스터 출력에 의해 직접적으로 제어된다.

[0049] 즉, 본 발명의 일 실시예에 따른 SAR ADC의 제 1 단은, SAR ADC의 제 1 단의 비트 수(예시된 비트 수는 5 bit) 만큼의 레지스터 쌍(pair)을 갖는 동적 레지스터와 균등 분할 커패시터 구조를 형성하는 상기 제 2 DAC의 단위 커패시터 쌍이 서로 대응하여 전기적으로 연결되며, 각각의 기준전압 스위치가 레지스터 출력에 의해 직접 제어될 수 있다.

[0050] 도 6은 동적 레지스터 구조 및 그에 따른 제 1 단 SAR 로직의 주요 타이밍을 나타낸 도면이다.

[0051] 일반적인 SAR ADC에서 동작속도를 제한하는 가장 큰 요소는 SAR 루프 지연 시간이며, 이를 줄이기 위하여 사용된 SAR 로직(17)의 다이나믹 레지스터의 구조는 도 6에 제시되어 있다. 도 6에서 사용된 다이나믹 레지스터는 기존의 D 플리플롭 구조의 레지스터와 달리 추가적인 지연 시간을 발생시키는 래칭(latching) 클록이 요구되지 않으며, 비교기 출력이 레지스터를 직접적으로 구동(trigger)시킨다. 또한, 레지스터 동작(enable) 신호(EN)가 '1'일 때만, 각각의 레지스터가 순차적으로 비교기 출력과 연결되기 때문에 비교기의 출력 구동 부담을 크게 낮춰 준다. 레지스터 REGxN 및 REGxP는 리셋 상태에서 서로 상보적인 출력을 가지고 같은 입력신호(비교기의 출력)에 대해 서로 상보적인 출력을 가지기 때문에 출력단 인버터 개수의 차이를 가진다.

[0052] 요약하건대, 본 발명의 일 실시예에 따른 SAR ADC의 제 1 단은, 동적 레지스터가 SAR 로직에 형성되어 비교기의 출력이 레지스터를 직접 구동(trigger)하되, 레지스터 동작(enable) 신호가 설정된 경우에만 각각의 레지스터가 순차적으로 비교기 출력과 연결되고, 비교기의 출력에 대해 한 쌍의 레지스터가 출력단의 인버터를 통해 상보적인 출력을 제공할 수 있다.

[0053] 한편, 도 6을 참조하면, 첫 번째 단 SAR 로직의 주요 타이밍도가 제시되어 있다. 리셋 신호(RST)가 'high'에서

'low'가 될 때, 각각의 레지스터는 'high' 또는 'low' 상태가 되며, 동작(enable) 신호(EN)에 따라 각각의 레지스터 쌍이 활성화된다. EN<0>가 'high'가 될 때, SAR 동작에서 첫 번째 비트가 결정되며, 비교기 출력(OUTP 및 OUTN)에 의해 해당 레지스터는 구동(trigger)되고, RP<0>, RN<0>, RP<1> 및 RN<1>이 결정된다. 이 레지스터의 출력은 REF DAC의 기준전압 스위치를 직접적으로 구동하여, 비교기의 결정 임계치를 생성한다. 이후, EN<1>이 'high'일 때, 두 번째 비트가 결정되며, OUTP 및 OUTN에 의해 RP<2>, RN<2>, RP<3> 및 RN<3>가 결정되고, 이 출력은 다시 REF DAC의 기준전압 스위치를 구동하여 다음 비교기의 결정 임계치를 생성한다. 이러한 과정을 반복하며, 첫 번째 단 SAR ADC에서 5비트의 디지털 코드를 결정할 수 있다.

[0054] 본 발명의 실시예들이 제안하는 첫 번째 및 두 번째 단 SAR ADC은 다이나믹 레지스터 기반의 비동기 SAR 로직이 적용되었다. 이러한 비동기 SAR ADC는 비교기에 매우 작은 입력신호가 인가될 경우, 준안정(metastable) 상태가 발생할 수 있으며, 이로 인해 비교기의 출력이 최종 결정되는 데까지 시간이 지연이 발생하여 전체 SAR ADC의 동작 속도 및 성능을 저하시킬 수 있다. 이러한 준안정 상태는, 디지털 회로의 출력 전압에 따라 '0' 또는 '1'을 판단함에 있어서 그 판단 기준에 도달하지 못하는 경우를 의미하며, 이로 인해 클록의 진행을 정확하게 인지하지 못하는 상태에 빠지게 된다.

[0055] 이러한 문제를 해결하기 위해, 준안정 상태를 검출하여 비트를 교정하는 기술적 수단이 필요하다. 이와 관련하여, 종래에는 비교 동작 시간을 측정할 수 있는 램프(ramp) 신호 발생기 및 추가적인 논리 회로를 사용하였는데, 복잡한 아날로그 및 디지털 회로가 추가되면서 면적 및 전력 소모를 증가시키는 점이 문제점으로 지적되었다. 따라서, 이하에서 기술되는 본 발명의 다른 실시예는, 상기된 약점을 일거에 해소할 수 있는 다이나믹 레지스터 기반의 비동기 SAR 로직을 제안한다.

[0056] 도 7은 동적 레지스터 기반의 준안정(metastable) 상태 검출 및 교정 로직을 설명하기 위한 도면이다.

[0057] 개괄적인 구성에 있어서, 본 발명의 다른 실시예에 따른 ADC는, 2개의 단(stage)을 포함하여 파이프라인(pipeline) 구조를 형성하는 SAR(successive-approximation register) ADC(analog-to-digital converter) 및 상기 2개의 단 사이에 연결되어 제 1 단의 잔류전압을 증폭하는 잔류전압 증폭기를 포함하고, 상기 SAR ADC는, 비교기의 출력 신호를 저장하는 동적 레지스터(dynamic register)가 제어 로직(control logic)을 경유하지 않고 직접 DAC(digital-to-analog converter)의 스위치를 구동하여 제어하되, 상기 동적 레지스터에 기반한 비동기(asynchronous) SAR 로직이 출력 전압에 따른 비트를 정확하게 판단하지 못하는 준안정(metastable) 상태를 검출하여 비트를 교정한다. 여기서, 상기 SAR ADC는, DAC(21)에 연결된 비교기(25)로부터 비교 결과를 SAR 로직(27)에 출력하고, 상기 SAR 로직(27)에 형성된 동적 레지스터를 통해 직접 상기 DAC(21)의 스위치를 제어한다.

[0058] 도 7을 참조하면, 일례로서 두 번째 단(20) 8비트 SAR ADC에 다이나믹 레지스터 기반의 SAR 로직(27)을 활용하여 간단한 구조의 준안정 상태 검출 및 교정 회로를 적용하였다. 사용된 비동기 SAR 로직은 각각의 비트 결정시 비교기의 출력에 의해 레지스터 출력이 변화가 있을 경우, 해당 비트 결정이 완료된 것으로 보고 다음 비트를 결정하기 위한 동작을 수행한다. 이러한 동작을 기반으로 SAR 동작(enable) 신호(SAR_EN)가 종료될 때, 변경되지 않은 레지스터 출력의 위치를 통해 준안정 상태가 발생한 비트 지점을 검출한다. 이후, 준안정 상태가 발생하기 이전에 결정이 완료된 비트 이하의 모든 비트를 미리 설정된 추정 비트 '100…'(또는 '011…'이 될 수도 있다)으로 간주한다. 예를 들어 8비트 SAR ADC에서 첫 비트로 '0'이 결정되고, 두 번째 비트에서 준안정 상태가 발생할 경우, 최종 출력 비트로 '01000000'을 출력한다.

[0059] 즉, 비동기 SAR 로직은, SAR 동작의 수행에 따라 각각의 비트 결정시 비교기의 출력에 의해 레지스터 출력에 변화가 있을 경우, 해당 비트의 결정이 완료된 것으로 인식하고 다음 비트를 결정하기 위한 동작을 수행한다. SAR 동작의 수행에 따라 각각의 비트 결정시 SAR 동작(enable) 신호가 종료될 때, 레지스터 출력이 변경되지 않은 위치에 기반하여 준안정 상태가 발생한 비트 지점을 검출할 수 있다. 그런 다음, 준안정 상태가 발생한 비트 지점 이후의 모든 비트를 미리 설정된 추정 비트로 대체하고, 상기 준안정 상태의 발생 이전에 결정된 비트와 상기 추정 비트를 결합하여 최종 출력 비트를 생성할 수 있다.

[0060] 이를 위해, 비동기 SAR 로직은, SAR 동작의 수행에 따라 결정하고자 하는 비트의 위치와 상기 레지스터 출력이 일대일로 대응시킴으로써 레지스터 출력의 변경 여부에 따라 준안정 상태의 발생 위치를 용이하게 검출할 수 있다. 또한, SAR ADC는, SAR ADC의 제 1 단 및 제 2 단 각각의 비트 수만큼의 레지스터 쌍(pair)을 갖는 동적 레지스터와 상기 DAC의 단위 커패시터 쌍이 서로 대응하여 전기적으로 연결되는 것이 바람직하다. 이러한 구조를 통해, SAR ADC는, 상기 동적 레지스터가 SAR 로직에 형성되어 비교기의 출력이 레지스터를 직접 구동(trigger)하되, 레지스터 동작(enable) 신호가 설정된 경우에만 각각의 레지스터가 순차적으로 비교기 출력과 연결되고, 상기 비교기의 출력에 대해 한 쌍의 레지스터가 출력단의 인버터를 통해 상보적인 출력을 제공할 수 있다.

[0061] 한편, 첫 번째 단 SAR ADC는 샘플링된 입력신호를 홀딩하는 SIG DAC의 출력과 비교기의 결정 임계치를 생성하는 REF DAC의 출력을 비교하기 위한 비교기가 요구된다. 본 발명의 실시예들이 제안하는 비교기의 구조는 도 8을 통해 제시된다.

[0062] 도 8은 제 1 단 SAR ADC가 채택하고 있는 비교기(15) 및 이를 이용한 동작예(D='11000')를 도시한 도면으로서, 두 쌍의 차동 입력단을 가지는 이중 테일(double tail) 구조로 설계하였으며, 두 입력단 쌍은 SIG DAC 및 REF DAC의 신호를 각각 전달받는다. 도 8의 동작예를 참조하면, 샘플링 및 SAR 동작을 통해 '11000'의 디지털 코드가 결정되고 있는데, SIG DAC에 입력신호가 샘플링 된 후 INT 및 INC에 홀딩되는 동안, REF DAC는 SAR 동작에 의해 결정된 디지털 코드에 따라 순차적으로 비교기의 결정 임계치를 생성하여 REFT 및 REFC에 전달한다.

[0063] 요약하건대, 제안하는 SAR ADC의 제 1 단의 비교기는, SAR 동작을 수행하기 위해 제 1 DAC(SIG DAC) 및 제 2 DAC(REF DAC)으로부터 각각 신호를 전달받도록 두 쌍의 차동 입력단을 갖는 이중 테일(double tail) 구조를 형성하되, 상기 제 1 DAC에 입력신호가 샘플링된 후 홀딩되는 동안 상기 제 2 DAC가 SAR 동작에 의해 결정된 디지털 코드에 따라 순차적으로 기준전압을 생성할 수 있다.

[0064] 도 9는 본 발명의 일 실시예에 따른 ADC의 잔류전압 증폭기(30)의 구현예를 도시한 도면이다. 일반적인 파이프라인 구조의 ADC의 주요 구성 블록 중, 잔류전압 증폭기는 가장 큰 전력을 소모하며, 높은 선형성 및 저잡음 성능을 가지도록 설계하는 것이 필수적으로 요구된다. 제안하는 ADC는 잔류전압 증폭기로 $1.6V_{P-P}$의 넓은 입력신호 범위에 대해 처리 가능하고, 저잡음 성능을 가지며, 전력소모를 획기적으로 감소키기 위해 도 9와 같은 구조의 링(Ring) 증폭기를 사용하였다. 제안하는 링 증폭기는 차동 구조의 3단 인버터 및 공통모드 피드백(CMFB, common mode feedback) 회로로 구성되어 있으며, 첫 번째 인버터 쌍 단은 200MHz 클록의 반 주기 동안 증폭 동작 및 리셋 동작을 번갈아가며 반복한다. 두 번째 및 세 번째 인터버 쌍 단은 첫 번째 단의 신호를 전달받아 증폭 동작을 수행한다. 두 번째 인터버 쌍은 PMOS와 NMOS 사이의 저항을 사용함으로써 링 증폭기의 데드존(deadzone)을 생성한다.

[0065] 본 발명의 실시예들이 제안하는 또 다른 특징적인 구성은 SAR ADC의 DAC가 캡슐화된(encapsulated) 커패시터 기반의 커패시터 열 레이아웃을 형성함으로써 별도의 보정 기법 없이도 높은 선형성을 확보할 수 있다는 점이다. 이를 위해, 제안하는 SAR ADC의 제 1 단의 제 1 DAC는, MOM(metal-oxide-metal) 커패시터를 사용하되, 커패시터의 상하좌우 중 적어도 하나를 다른 커패시터가 둘러싸는 캡슐화(encapsulation) 구조를 형성함으로써, 커패시터 간을 연결하는 메탈의 기생 성분에 의한 선형성 저하를 억제할 수 있다.

[0066] 도 10은 캡슐화된 커패시터 구조를 설명하기 위한 도면이다. 첫 번째 단 5비트 SAR ADC의 SIG DAC는 공정에서 제공하는 MOM(metal-oxide-metal) 커패시터를 사용하였으며, 별도의 보정 기법을 적용하지 않고 높은 선형성을 확보하기 위해 레이아웃에서 커패시터 상하좌우를 커패시터 하단이 둘러싸는 캡슐화(encapsulation) 구조를 적용하였다. 사용된 MOM 커패시터는 메탈 2부터 메탈 4까지로 구성되었으며, 메탈 5 및 메탈 1이 커패시터의 상단 및 하단을 각각 둘러싸고, MOM 커패시터 하단에 연결되어 캡슐화 구조를 가진다. 커패시터의 측면은 각 층의 메탈이 MOM 커패시터 하단과 연결되어 캡슐화 구조를 가지며, 메탈 4의 일부를 개방하여 인접 MOM 커패시터 상단 간 연결에 사용한다. 인접 MOM 커패시터 하단 간 연결은 메탈 6 및 비아(via) 연결에 따라 결정된다. 이러한 캡슐화된 커패시터는 상단과 연결되는 메탈 4와 하단과 연결되는 메탈 6이 메탈 5에 의해 서로 간섭이 방지된다. 따라서, 커패시터 간을 연결하는 메탈의 기생 성분에 의한 선형성 저하를 최소화할 수 있다. 한편, 더미 커패시터는 MOM 커패시터 상단과 하단이 서로 연결되어 커패시터를 둘러싸는 구조를 가지며, 인접 MOM 커패시터의 상단과 연결된다. 첫 번째 단 5비트 SAR ADC의 REF DAC의 경우, 단위 커패시터가 2fF이므로 메탈 3부터 메탈 4까지로 구성된 MOM 커패시터를 사용하여 캡슐화 구조를 사용하였다. 두 번째 단 8비트 SAR ADC의 DAC의 경우, 단위 커패시터가 0.8fF으로 공정 상에서 제공하는 최소 커패시터보다 작으므로 맞춤형으로 캡슐화된(custom encapsulated) 커패시터를 사용하였다.

[0067] 이상에서, 본 발명의 다양한 실시예들에 따른 동적 레지스터에 기반한 스위칭을 이용하는 ADC의 구조를 설명하였다. 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 이러한 ADC를 포함하는 저전력 및 소면적의 모바일(mobile) 장치를 구현할 수 있으며, 이를 통해 고속 및 고해상도의 사양을 동시에 만족시킬 수 있을 것으로 기대된다.

[0068] 도 11은 본 발명의 일 실시예에 따른 ADC를 구현한 시제품(prototype)의 칩 레이아웃(chip layout)을 예시한 도면이다. 제안하는 12비트 200MS/s 파이프라인 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 전체 면적은 $0.053mm^2$이다. 전력소모는 1.0V 전원전압 조건에서 200MS/s의 샘플링 속도로 동작할 때, 2.2mW의 전력을 소모하

며, 각 블록별 소모 전력은 도 12와 같다.

[0069] 도 13 내지 도 16은 도 11의 시제품의 성능 실험 결과를 예시한 도면이다. 시제품 ADC의 측정된 DNL(differential non-linearity) 및 INL(integral non-linearity)는 도 13과 같이 12비트 해상도에서 각각 최대 0.91LSB 및 0.91LSB 수준을 보인다. 도 14는 200MS/s 의 샘플링 속도에서 3MHz 입력 주파수가 tlwpvna ADC에 인가되었을 때의 FFT 신호 스펙트럼을 나타내며, 도 15는 ADC의 샘플링 동작속도를 200MS/s까지 증가시킬 때, 측정된 SNDR(signal-to-noise-and-distortion ratio) 및 SFDR(spurious-free dynamic range)의 성능 변화를 나타낸다. 동작속도가 200MS/s까지 증가하는 동안 측정된 시제품 ADC의 차동 입력에 대한 SNDR 및 SFDR은 각각 64.8dB 및 77.5dB 이상을 유지한다. 도 16은 200MS/s의 동작속도에서 입력 주파수를 증가시킬 때의 SNDR및 SFDR을 나타낸다. 입력신호를 Nyquist 주파수까지 증가시킬 때, 측정된 SNDR과 SFDR은 각각 63.6dB, 72.1dB 이상의 수준을 유지한다.

[0070] 본 발명의 실시예들에 따르면, 파이프라인 SAR ADC의 SAR 동작 시 별도의 스위치 제어 로직 없이 비교기의 출력 신호를 저장하는 동적 레지스터가 직접 DAC의 스위치를 구동하여 제어함으로써 SAR 동작 루프 지연 시간을 획기적으로 감소시킬 수 있고, 동적 레지스터를 통해 비동기 SAR 로직의 준안정 상태를 검출하여 비트를 보정할 수 있다. 또한, 잔류전압 증폭기로서 링 증폭기 구조를 채택하여 저잡음 성능을 초저전력 소모를 구현하였다. 나아가 각 단의 DAC는 캡슐화된 커패시터 기반의 커패시터 열 레이아웃 기법을 적용함으로써 별도의 보정기법 없이도 높은 선형성을 확보할 수 있었다.

[0071] 이상에서 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명에 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

[0072] 10: SAR ADC의 제 1 단(stage)

20: SAR ADC의 제 2 단

30: 잔류전압 증폭기/링 증폭기

40: 디지털 교정회로 및 분주기

50: 클록 발생기

11: 제 1 DAC(SIG DAC)

13: 제 2 DAC(REF DAC)

21: DAC

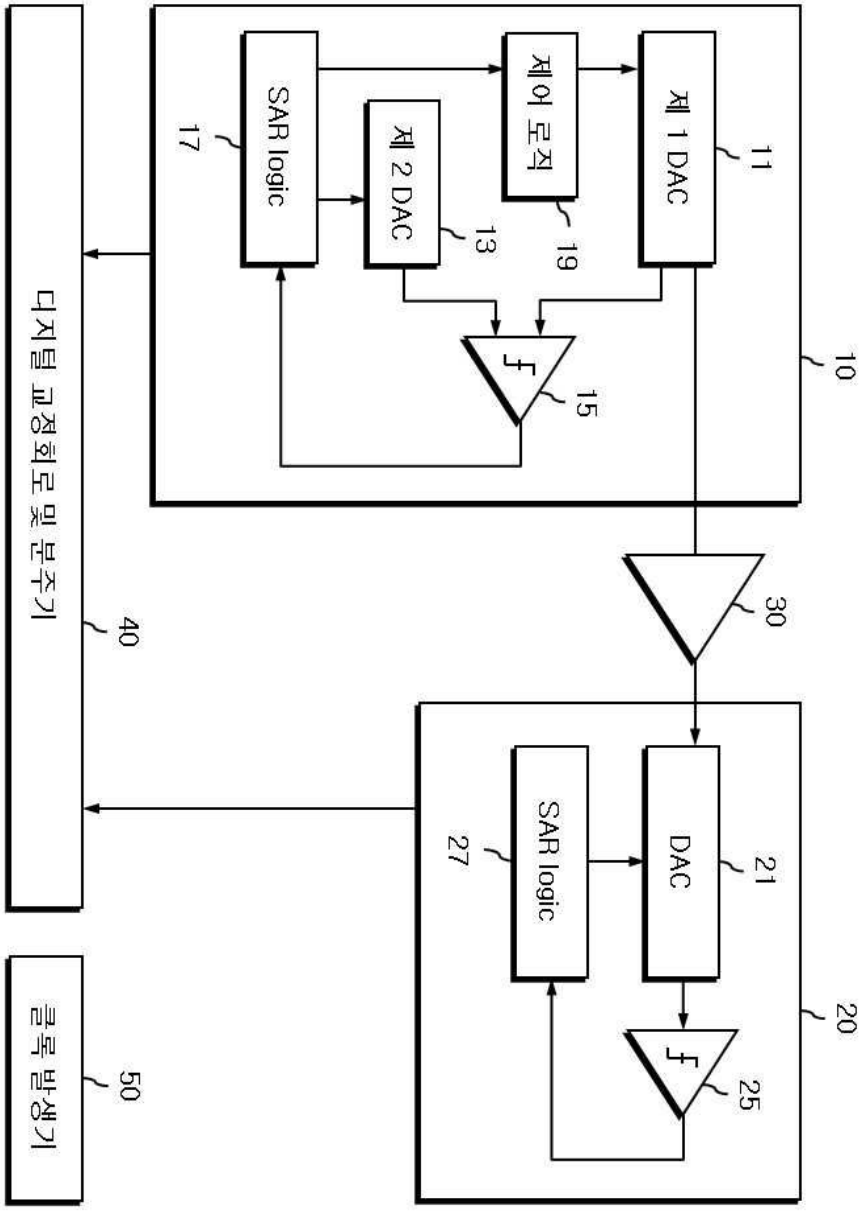
15, 25: 비교기

17, 27: SAR 로직

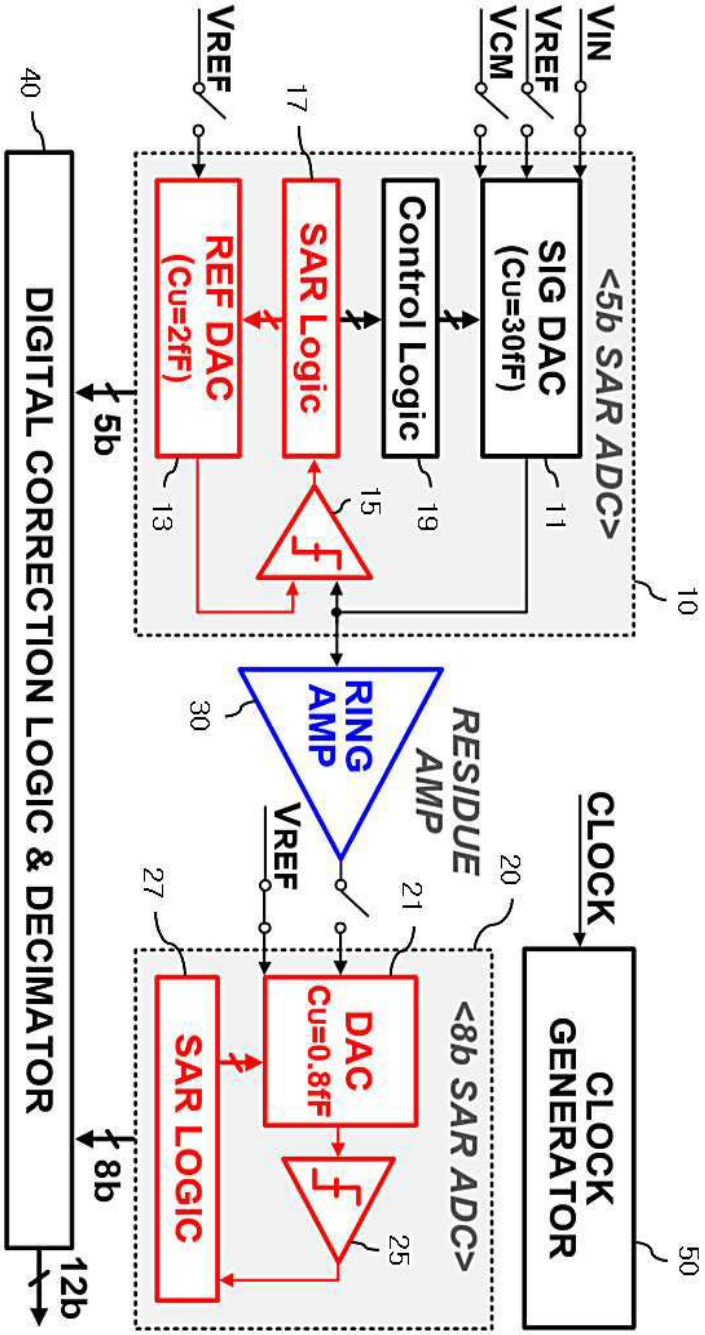
19: 제어 로직

도면

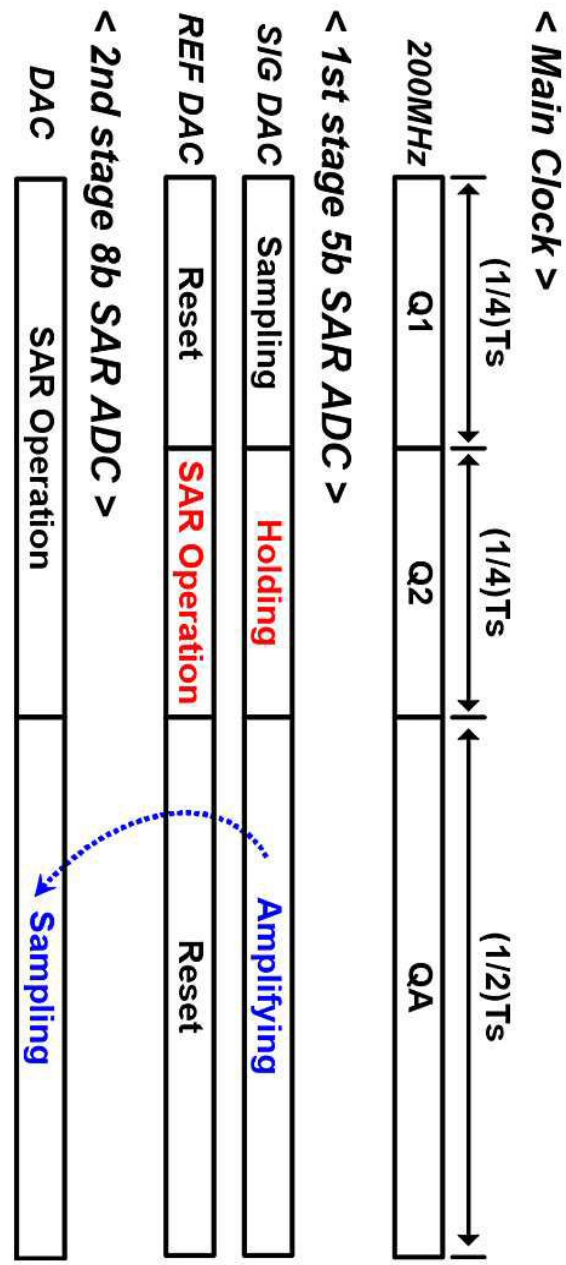
도면1


디지털 교정회로 및 분주기
40
클록 발생기
50
SAR logic
17
제 2 DAC
13
제어 로직
19
제 1 DAC
11
15
10
30
SAR logic
27
DAC
21
25
20

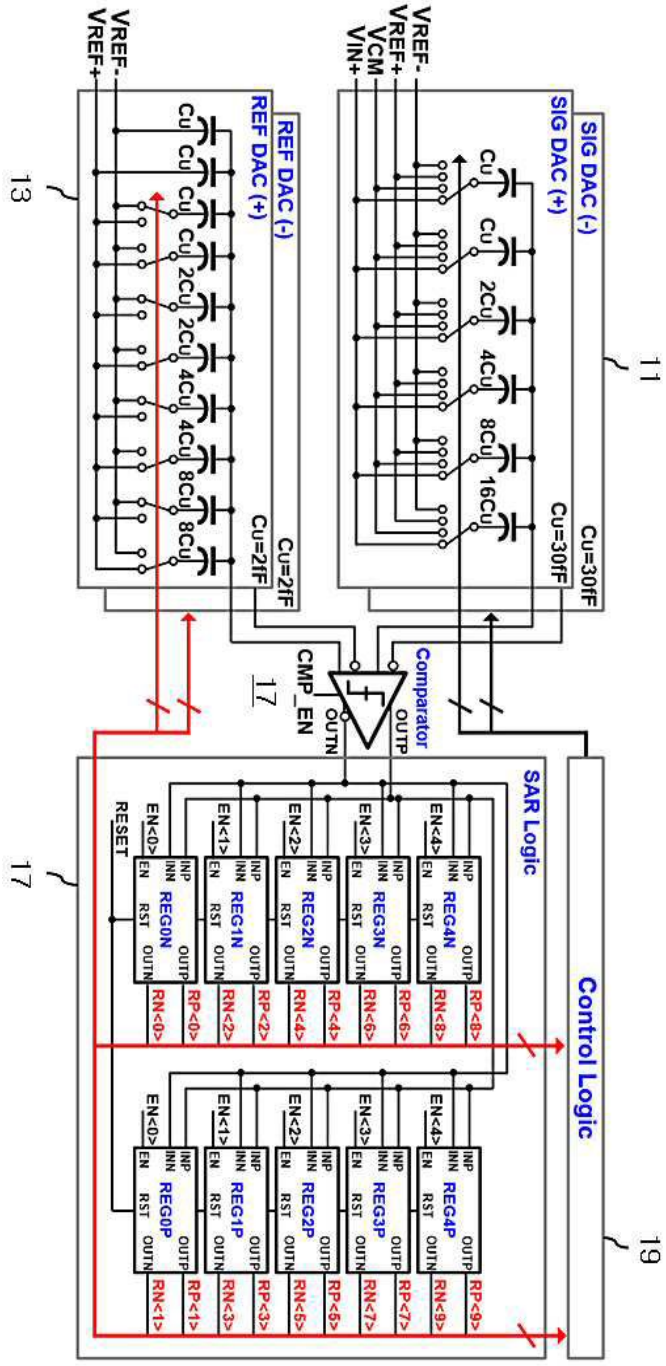
도면2


VIN
VREF
VCM
VREF
17
40
<5b SAR ADC>
SIG DAC
(CU=30fF)
Control Logic
SAR Logic
REF DAC
(CU=2fF)
11
19
15
13
10
5b
DIGITAL CORRECTION LOGIC & DECIMATOR
8b
12b
RING
AMP
30
RESIDUE
AMP
VREF
27
21
20
<8b SAR ADC>
DAC
CU=0.8fF
SAR LOGIC
25
CLOCK
CLOCK
GENERATOR
50

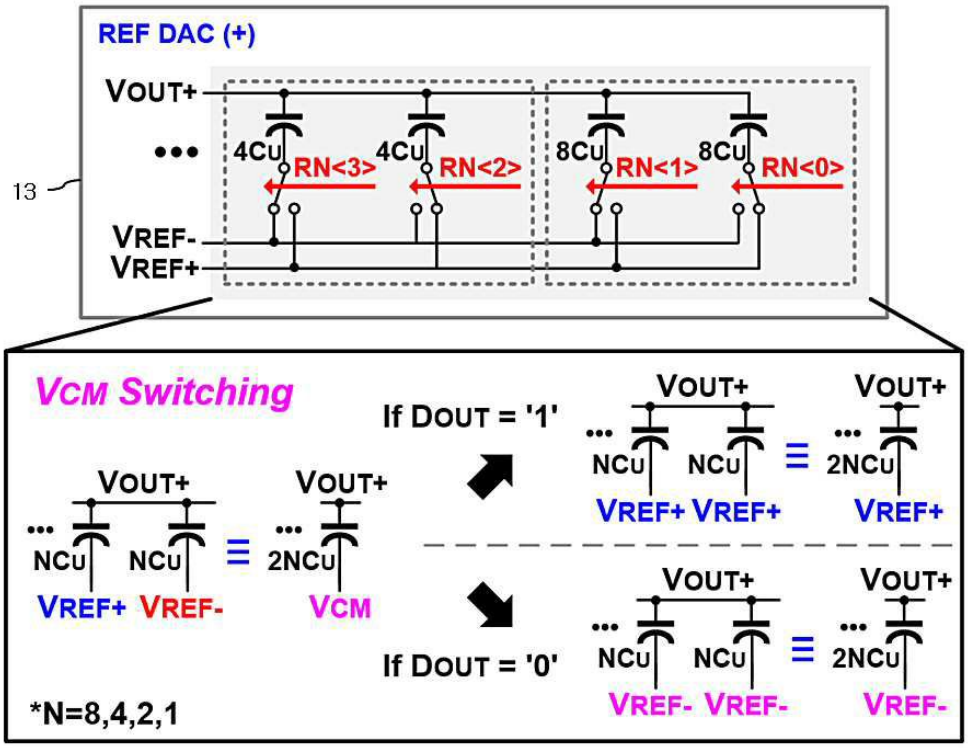
도면3


< Main Clock >
200MHz
(1/4)Ts
(1/4)Ts
(1/2)Ts
Q1
Q2
QA
< 1st stage 5b SAR ADC >
SIG DAC
Sampling
Holding
Amplifying
REF DAC
Reset
SAR Operation
Reset
< 2nd stage 8b SAR ADC >
DAC
SAR Operation
Sampling

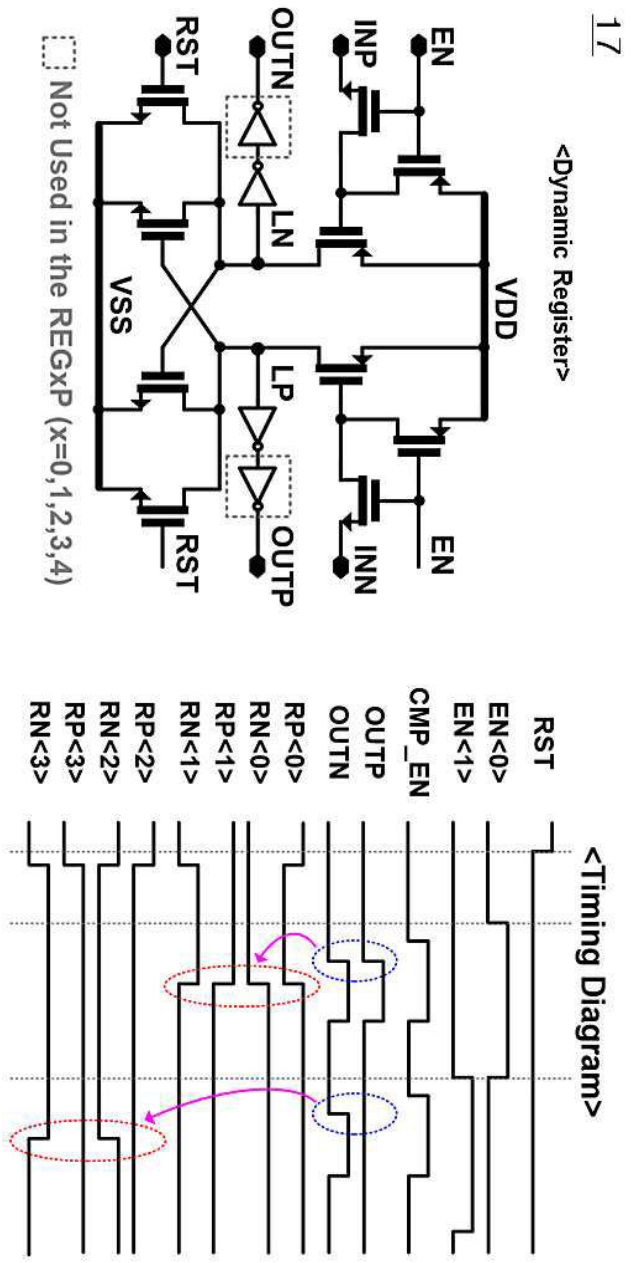
도면4


VREF-
VREF+
VCM
VIN+
SIG DAC (+)
SIG DAC (-)
Cu
2Cu
4Cu
8Cu
16Cu
Cu=30fF
11
VREF-
VREF+
REF DAC (+)
REF DAC (-)
Cu=2fF
13
CMP_EN
17
Comparator
OUTP
OUTN
SAR Logic
RESET
EN<0>
EN<1>
EN<2>
EN<3>
EN<4>
INP
INN
EN
RST
OUTP
OUTN
REG0N
REG1N
REG2N
REG3N
REG4N
REG0P
REG1P
REG2P
REG3P
REG4P
RN<0>
RP<0>
RN<2>
RP<2>
RN<4>
RP<4>
RN<6>
RP<6>
RN<8>
RP<8>
RN<1>
RP<1>
RN<3>
RP<3>
RN<5>
RP<5>
RN<7>
RP<7>
RN<9>
RP<9>
17
Control Logic
19

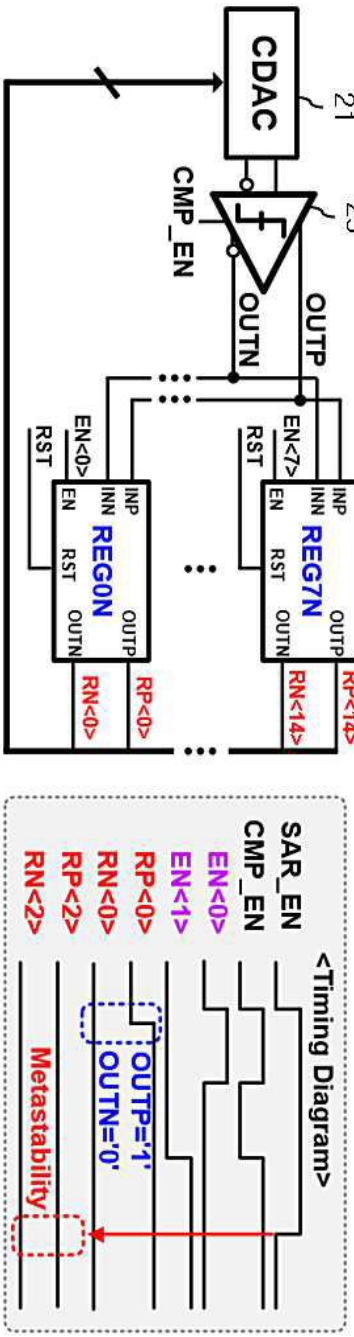
도면5


REF DAC (+)
VOUT+
4CU
RN<3>
4CU
RN<2>
8CU
RN<1>
8CU
RN<0>
13
VREF-
VREF+
VCM Switching
If DOUT = '1'
VOUT+
NCU
NCU
VREF+ VREF+
≡
VOUT+
2NCU
VREF+
VOUT+
NCU
NCU
VREF+ VREF-
≡
VOUT+
2NCU
VCM
If DOUT = '0'
VOUT+
NCU
NCU
VREF- VREF-
≡
VOUT+
2NCU
VREF-
*N=8,4,2,1

도면6


17
<Dynamic Register>
EN
INP
OUTN
RST
LN
VDD
VSS
LP
OUTP
INN
EN
RST
Not Used in the REGxP (x=0,1,2,3,4)
<Timing Diagram>
RST
EN<0>
EN<1>
CMP_EN
OUTP
OUTN
RP<0>
RN<0>
RP<1>
RN<1>
RP<2>
RN<2>
RP<3>
RN<3>

도면7



<Metastability Detection> : $E_{MSB-X/2} = \overline{RP<X> + RN<X>}$ (X = 0, 2, 4, 6, 8, 10, 12, 14)

$E_{MSB-X/2}$ = '1' ⟶ Metastable State

$E_{MSB-X/2}$ = '0' ⟶ Normal Operation

<Digital Output Correction> : $D_{MSB-X/2} = EN<X/2>E_X + RP<X>\overline{E_X}$

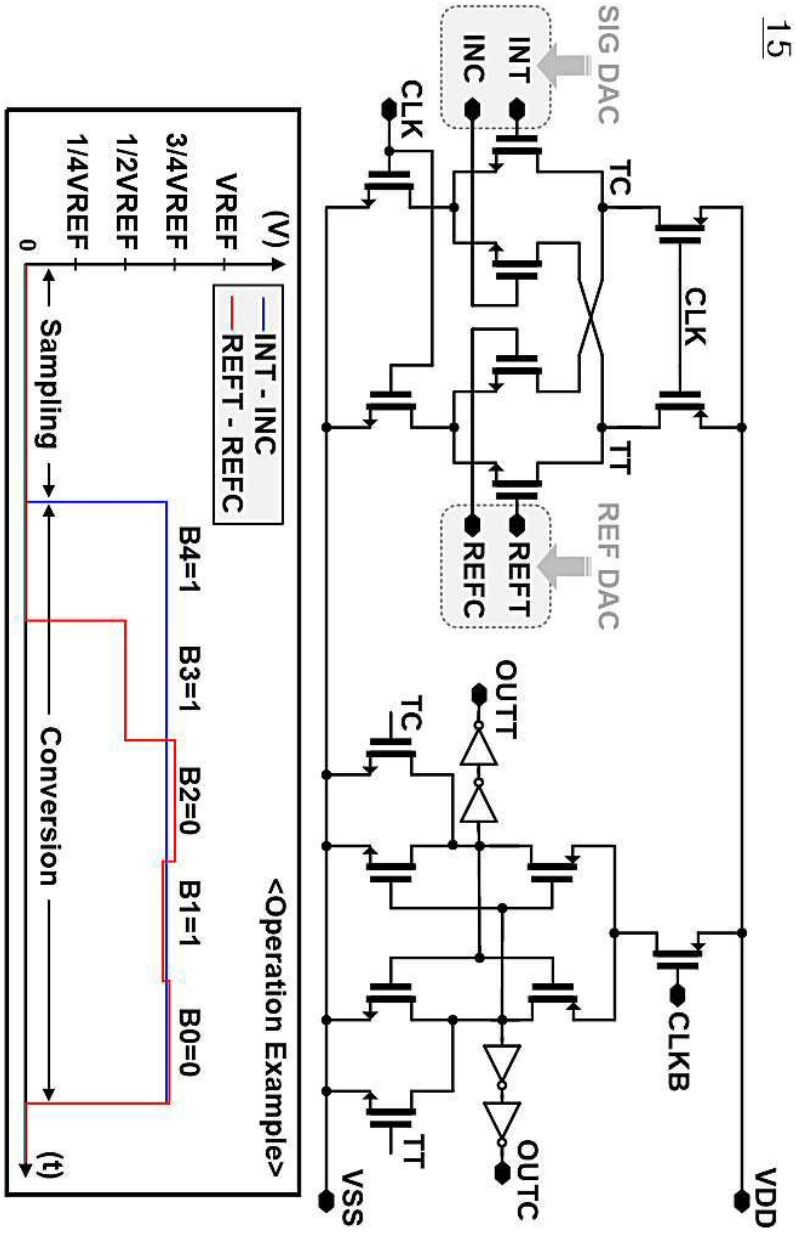
(X = 0, 2, 4, 6, 8, 10, 12, 14)

<Example> : E_{MSB} = '0', RP<0> = '0' ⟶ D_{MSB} = '0'

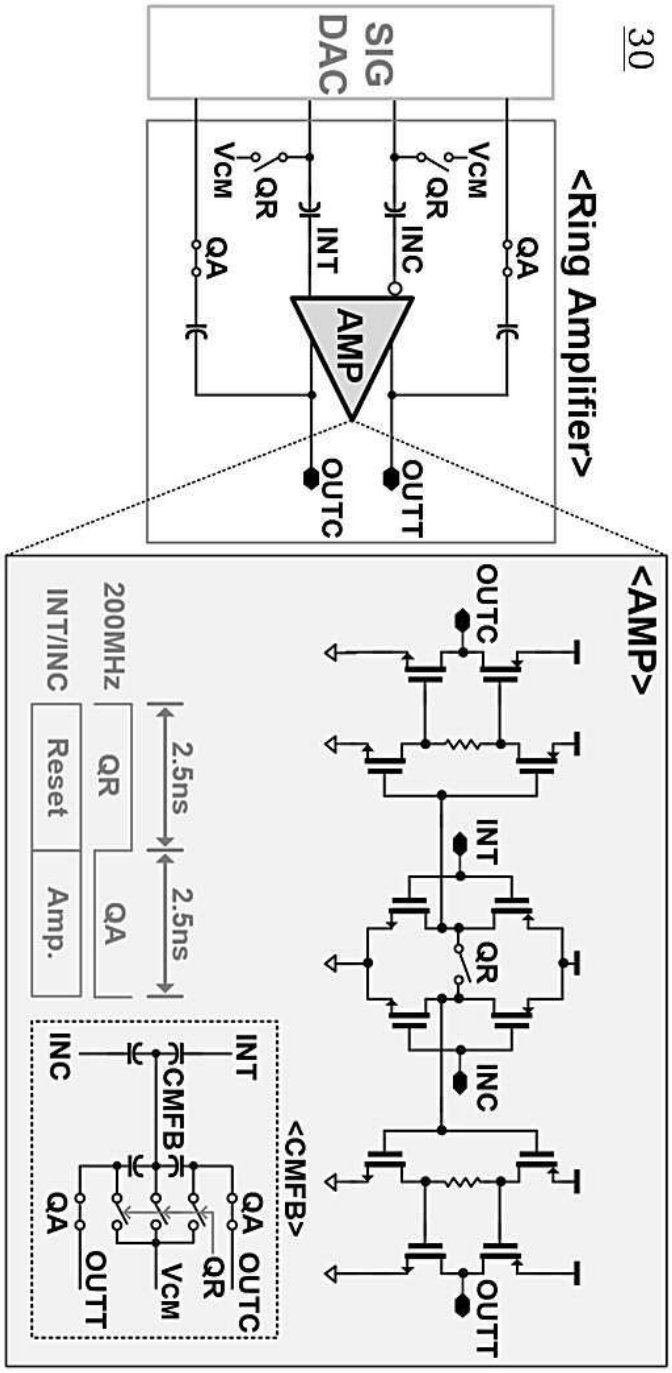
E_{MSB-1} = '1', EN<1> = '1' ⟶ D_{MSB-1} = '1', D_{MSB-2} = '0', D_{MSB-2} = '0', ...

Corrected Digital Output : D = '0100...'

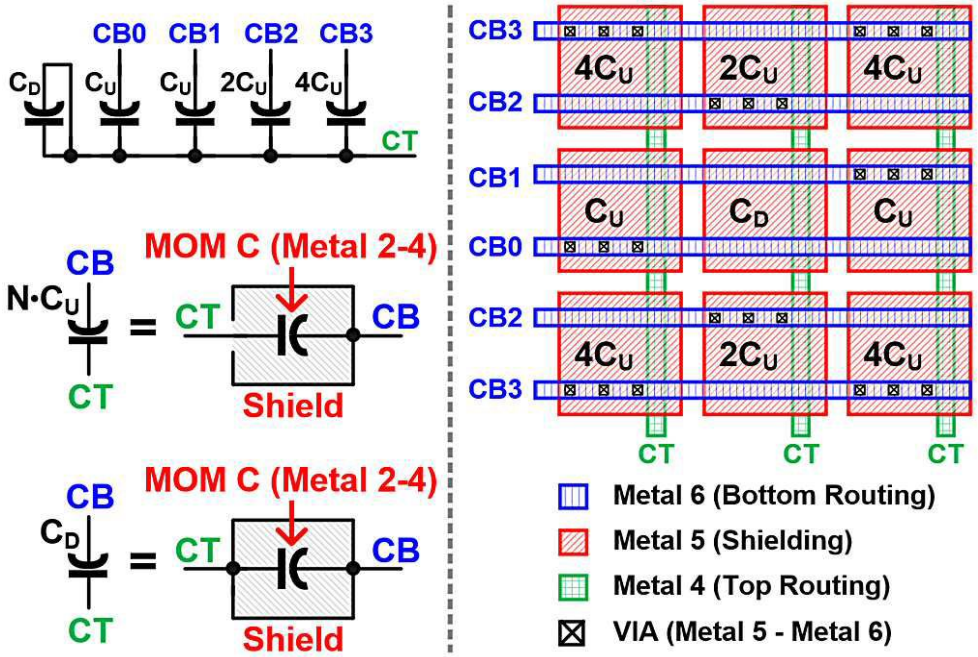
도면8


15
SIG DAC
INT
INC
CLK
TC
CLK
TT
REF DAC
REFT
REFC
OUTT
TC
CLKB
TT
OUTC
VSS
VDD
(V)
VREF
3/4VREF
1/2VREF
1/4VREF
0
INT - INC
REFT - REFC
Sampling
Conversion
(t)
B4=1
B3=1
B2=0
B1=1
B0=0
<Operation Example>

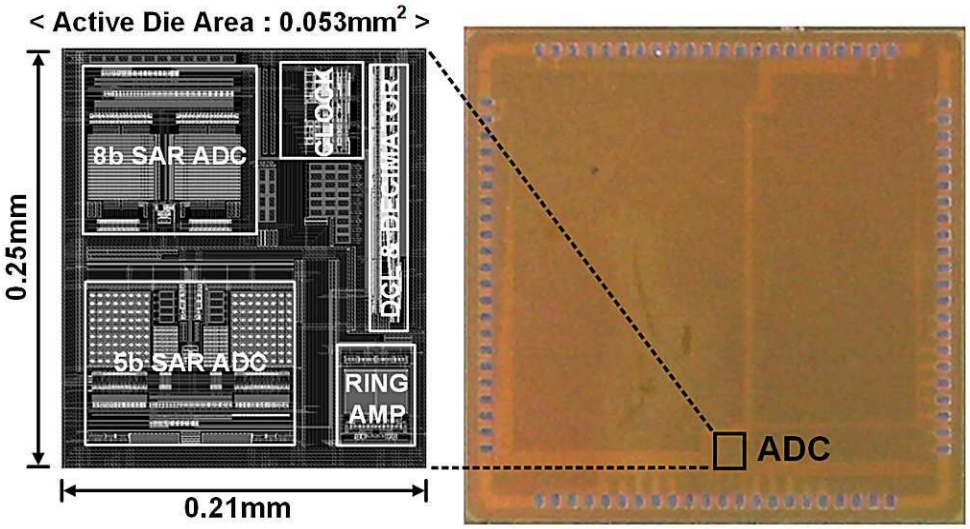
도면9


30
SIG DAC
<Ring Amplifier>
VCM
QR
QA
INT
INC
AMP
OUTC
OUTT
<AMP>
INT/INC
200MHz
Reset
Amp.
QR
QA
2.5ns
2.5ns
<CMFB>
CMFB

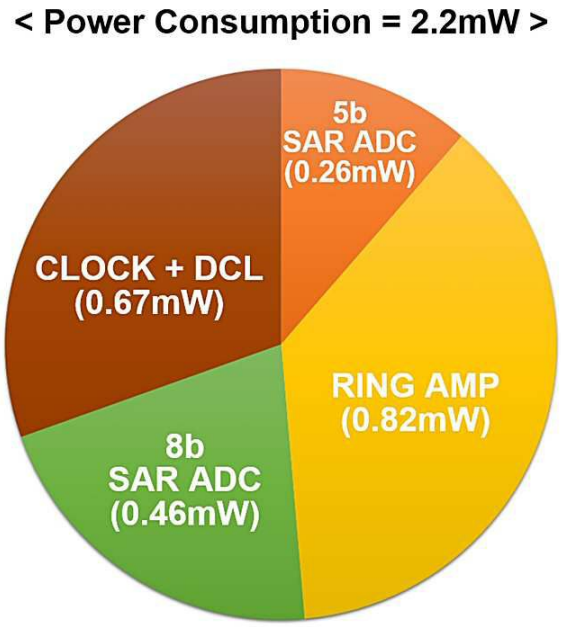
도면10


CB0
CB1
CB2
CB3
CD
CU
2CU
4CU
CT
CB
N·CU
MOM C (Metal 2-4)
Shield
Metal 6 (Bottom Routing)
Metal 5 (Shielding)
Metal 4 (Top Routing)
VIA (Metal 5 - Metal 6)

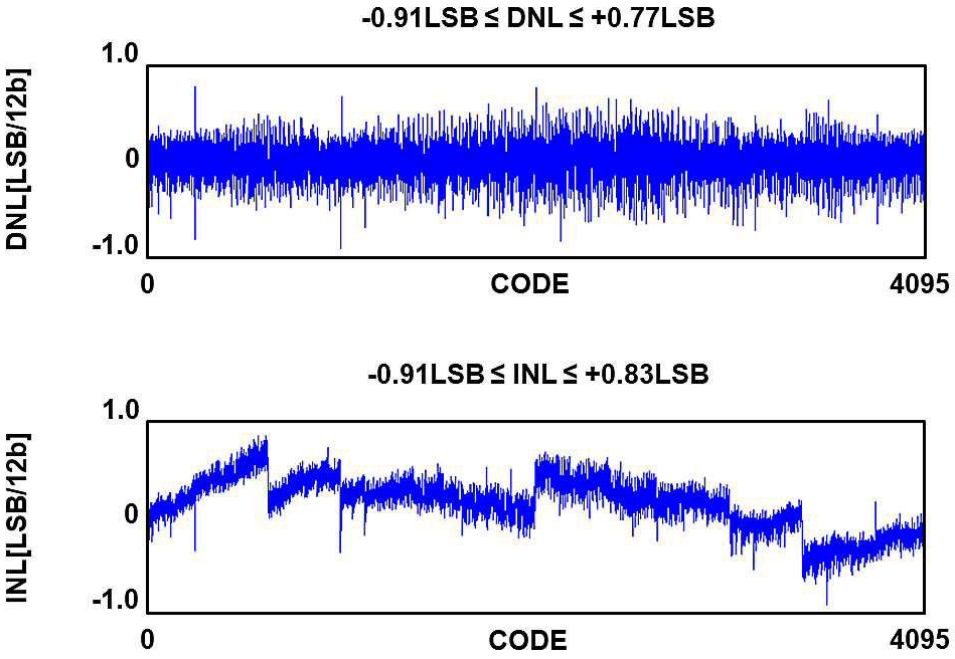
도면11


< Active Die Area : 0.053mm2 >
8b SAR ADC
CLOCK
5b SAR ADC
RING AMP
0.25mm
0.21mm
ADC

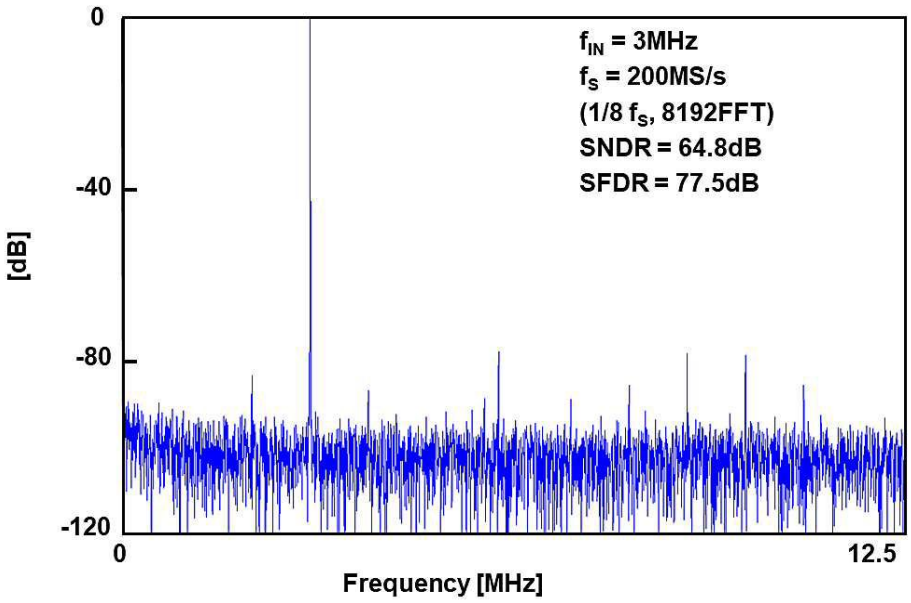
도면12


< Power Consumption = 2.2mW >
5b
SAR ADC
(0.26mW)
CLOCK + DCL
(0.67mW)
RING AMP
(0.82mW)
8b
SAR ADC
(0.46mW)

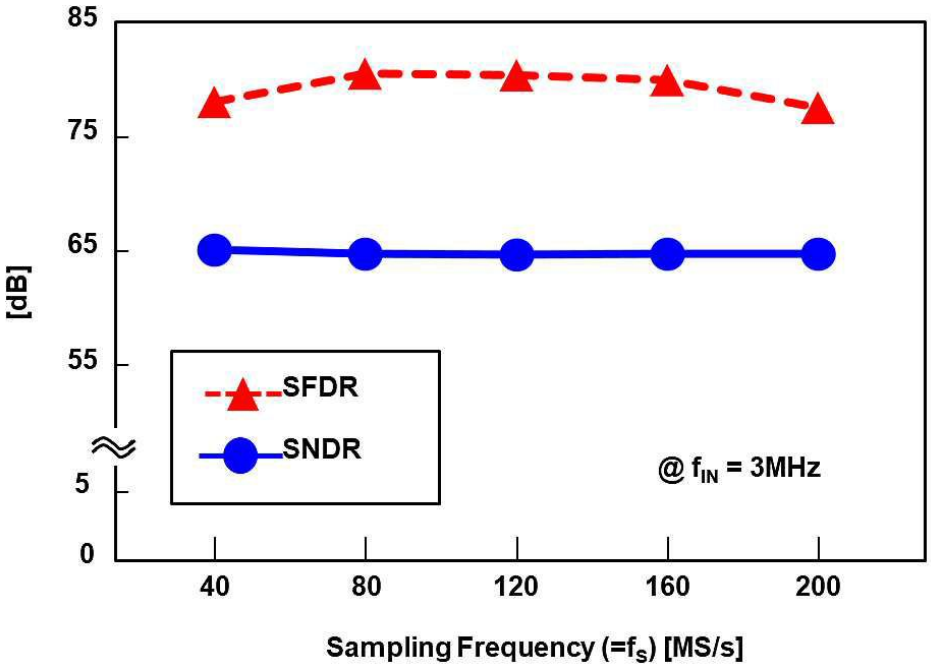
도면13


-0.91LSB ≤ DNL ≤ +0.77LSB
DNL[LSB/12b]
1.0
0
-1.0
0
CODE
4095
-0.91LSB ≤ INL ≤ +0.83LSB
INL[LSB/12b]
1.0
0
-1.0
0
CODE
4095

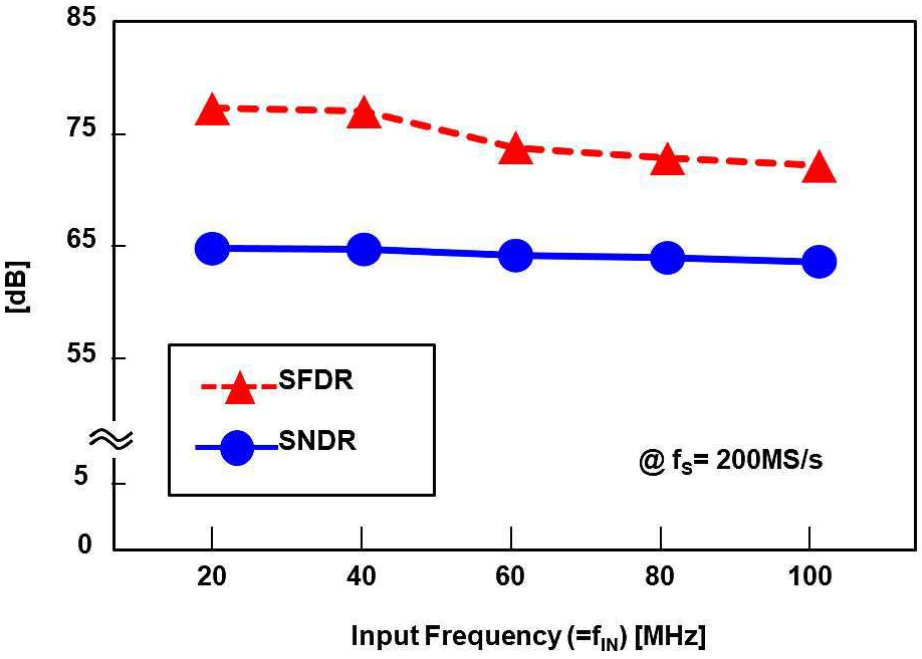
도면14


0
-40
-80
-120
[dB]
f_{IN} = 3MHz
f_S = 200MS/s
(1/8 f_S, 8192FFT)
SNDR = 64.8dB
SFDR = 77.5dB
0
12.5
Frequency [MHz]

도면15


85
75
65
55
5
0
[dB]
SFDR
SNDR
@ f_{IN} = 3MHz
40
80
120
160
200
Sampling Frequency (=f_S) [MS/s]

도면16


85
75
65
55
5
0
[dB]
SFDR
SNDR
@ fs= 200MS/s
20
40
60
80
100
Input Frequency (=fIN) [MHz]