

393753

公告本

申請日期	87.8.4
案 號	87112836
類 別	1401L ²³ /522

393753

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	改良之多層導電結構及其相關之方法
	英 文	Improved multi-level conductive structure and methods therefor
二、發明 創作人	姓 名	1.戴克托班 (Dirk Tobben) 2.彼得韋根 (Peter Weigand)
	國 籍	1.德國 2.奧地利
	住、居所	1.美國紐約NY12524菲舒基爾月桂果圓環12號 2.德國溫特哈青82008拉濟斯廣場2號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	1.貝斯納 (Basner) 2.雷哈特 (Reinhardt)

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

續請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

裝

訂

線

393753

公告本

申請日期	87.8.4
案 號	87112836
類 別	1401L ²³ /522

393753

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	改良之多層導電結構及其相關之方法
	英 文	Improved multi-level conductive structure and methods therefor
二、發明 創作人	姓 名	1.戴克托班 (Dirk Tobben) 2.彼得韋根 (Peter Weigand)
	國 籍	1.德國 2.奧地利
	住、居所	1.美國紐約NY12524菲舒基爾月桂果圓環12號 2.德國溫特哈青82008拉濟斯廣場2號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	1.貝斯納 (Basner) 2.雷哈特 (Reinhardt)

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

續請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

裝

訂

線

393753

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

德國 (地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1997年09月29日案號08/939,208(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (14)

參 考 符 號 說 明

- 103...導電線
- 105...導電線
- 106...導電線
- 114...導電線
- 108...導電層
- 110...基板
- 112...第一介電層
- 204...光阻罩
- 302...導電層
- 303...導電塞
- 305...導電塞
- 502...光阻罩 / 襯墊層
- 503...導電線
- 505...導電線
- 508...導電線
- 602...氮化物鈍化層
- 706...溝渠
- 710...開放區
- 708...溝渠
- 902...低電容填充物
- 904...低電容填充物
- 950...氮化物層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

發明背景

本發明係關於積體電路之製造。更具體地說，本發明係關於用於減少在積體電路中導電線及/或導電塞之間之電容耦合。

在一典型的積體電路上，可以使用導電線，例如金屬線，來耦合基板上之一些裝置以達到所設計之功能。近年來，可以使用垂直連結之積體電路，數個導電層來符合相互連接之需求，同時最小化IC之大小。這些導電層典型地藉由一或更多個介電層而互相隔絕。當需要時，可使用Vias來連接不同導電層中之導電線。

為了方便說明，第1至6圖描述在積體電上數個導電層中形成上層導電線之習知過程。在這些圖式中形成之結構可以用在製作動態隨機存取記憶體(DRAM)之電路中。雖然圖中只顯示上層導電線及形成多層導電線之後幾個階段來簡化說明，但是應了解的是，揭示於此之本發明亦可應用在其他在上層下方之導電線。參考第1圖，自導電層108(如金屬層)形成之導電線103,105,114,及106,係位在一基板110上。基板110可代表，例如，一矽基板，而且可以包含數個裝置。導電線103,105,114,及106可以代表，例如，鋁連接線而且可以使用一習知之蝕刻程序自導電層108中被蝕刻掉。

在導電層108之上方，澱積一第一介電層112。在澱積之後，第一介電層112典型是由一習知平面化過程如化學-機械磨光(CMP)來平面化。在第2圖中，使用介電蝕

五、發明說明 (>)

刻步驟，利用光阻罩 204 經過第一介電層 112 來蝕刻 Via 203 及 Via 205。雖然 Via 203 及 205 具有傾斜壁，但是如有需要亦可以是垂直壁。

在第 3 圖中，導電層 302 包含，例如，鋁或鋁合金之一，被澱積在第一介電層 112 之上並進入 Via 203 及 205。在 Via 203 及 205 之內，導電材料分別形成導電塞 303 及 305。這些導電塞 303 及 305 係用來連接導電層 302 而各別之導電線 103 及 105 係位於導電層 108。

或者，可以在第 2 圖之第一介電層 112 上澱積一層栓塞材料並且將之蝕刻及磨光以在 Via 203 及 205 之內形成導電塞。例如，導電塞可由鎢形成。之後，另一導電層，例如，鋁或其合金，可以整片澱積在介電層 112 上以形成與較早形成之導電塞之間之電氣接觸。

在第 4 圖中，使用適當之光阻罩 502 來蝕刻導電層 302 以形成導電線 503, 505, 及 508，如圖所示。導電線 503 經過在 Via 203 內之導電塞 303 與導電線 103 耦合，而導電線 505 則經過在 Via 205 內之導電塞 305 與導電線 105 耦合。

在第 5 圖中，典型地代表一薄 TEOS 層之內襯層 502 係整片澱積在導電線 503, 505, 及 508 及介電層 112 之表面上 (在用來蝕刻導電層之光阻被移除後)。之後，澱積一層氮化物鈍化層 602 在內襯層 502 之上 (第 6 圖)。氮化物層 602 可以是，例如，約 7000 埃厚。如第 6 圖所示，氮化物層 602 亦填充入導電線 503, 505 及 508 之間之溝渠中。

已發現的是，第 6 圖中之習知技術之多層導電結構具

五、發明說明(3)

有某些缺點。例如，在習知多層導電結構之各個導電線及導電塞之間發現有很高的電容耦合。例如，參考第6圖，在相鄰導電線503及505之間，穿過氮化物層602及第一介電層112，存在有電容耦合。其間之電容耦合之程度由於氮化物材料(例如，典型氮化物層之介電常數約為7.9)及下面氧化物介電(例如，典型氧化物層之介電常數約為4)之高介電常數，是很高的。

再者，在導電線503及之下的導電線103之間，以及在導電線505及之下的導電線105之間亦存在有電容耦合。因為一些場線橫過具有高電容之介電層112，所以其間之電容耦合程度亦很高。

再者，在相鄰導電塞之間，例如，在導電塞303及305之間，穿透第6圖之介電層112，亦存在有電容耦合。再一次，由於介電層112之高電容，所以相鄰導電塞之電容耦合亦較高。

如熟習此領域者可了解的是，在習知之多層導電結構之導電線及塞之間之高電容耦合程度增加了時間延遲，而且在最後之積體電路中造成高度之串音及電容性損失，進而損壞積體電路之性能。再者，高電容耦合需要較高之操作電壓，進而在運作期間增加熱消耗量及延遲。而對於在最上層金屬層之導線往返間之電容耦合更是如此，因為這些導電線典型地包含最大及最長之金屬導線(例如，高達1微高，0.8微寬及數公釐長)，因為這些導線係設計成用來載導功率及接地至IC的其他部份。至這些

五、發明說明(4)

上層金屬引線及從這些上層金屬引線而來之高度電容耦合會損壞 IC 在電容、延遲，及功率消耗上之性能。

從上述討論可知，需要有改良之多層導電結構及其相關之方法來減少各個導電線及導電塞之間之電容耦合以便增進效能。

發明概述

在一實施例中，本發明係關於一在積體電路上之多層導電結構，其包含一第一導電層及放置在第一導電層上方之第一介電層。多層導電結構更包含一置放在第一介電層上方之第二導電線。第二導電層包含一第一導電線及第二導電線。多層導電線結構亦包含一層置放在第一導線及第二導線之間之溝渠中之低電容材料層。溝渠穿過第二導電層且至少實質上穿過第一介電層。低電容材料代表一具有較第一介電層之介電常數低之介電數之材料。

在另一實施例中，本發明係關於在一積體電路上形成一多層導電結構之方法。此方法包含形成一第一導電層及在第一導電層上形成一第一介電層。此方法更包含在第一介電層上形成一第二導電層。亦包含了蝕刻通過第二導電層並且至少部份通過第一介電層以在第二導電層及第一介電層中形成一溝渠，藉此移除至少一部分之介電層並且在第二導電層中形成第一導電線及第二導電線。再者，此方法包含澱積低電容材料入溝渠。低電容材料之介電常數較第一介電層之介電常數為低。

五、發明說明(5)

本發明之上述及其他特徵將於下在發明詳細說明中並參考所附圖式予以更詳細之說明。

圖式簡單說明

本發明將藉由範例來說明，而不是予以限制，而在伴隨之圖式中，相似標號代表相似元件，並且：

第1至6圖顯示用於形成數層導電結構之習知技術。

第7至10圖顯示根據本發明之一實施例，用於形成數層導電結構之本發明之技術。

本發明之詳細說明：

本發明將參考幾個實施例及其伴隨圖式而予以詳述。在下列之說明中，將會舉出很多特定細節以便讀者能完全了解本發明。但是對熟習此領域之技藝人士而言，明顯的是，本發明可以在不具有這些特定細節的部分或全部下而加以實現。在其他例子中，熟知之步驟及結構則未被詳細描述以便將本發明模糊化了。

本發明係關於在IC中使用之數層導電結構。這種IC，可以是一隨機存取記憶體(RAM)，一動態隨機存取記憶體(DRAM)，一同步DRAM(SDRAM)，及一唯讀記憶體(ROM)。其他IC，如特殊應用IC(ASIC)，合併DRAM-邏輯電路(嵌入DRAM)，或任何其他邏輯電路，亦為有效。典型地是在晶圓上形成數個併聯之IC。在加工完成後，再將晶圓分割成各個獨立之IC晶片。然後再將這些晶片封裝成為成品而用在，例如，電腦系統，通訊手機，個人數位助理(PDA)，及其他電子產品等之消費性產品中。

五、發明說明(b)

在一實施例中，以低電容材料取代在多層導電結構中使用之高電容材料來減少到導電線及塞及自導電線及塞而來之電容耦合。不僅是上方導電層是如此(即，在導電線之間之彼此絕緣)，並且進入下方之介電層亦是如此。這些較深之溝渠移除在相鄰導電線之間之一些高電容介電材料。然後以低電容材料將這些溝渠填滿，而代替了被移除之介電材料。

一旦在相鄰導電線之間之溝渠被低電容材料所填充，即可澱積一氮化物層在基板之上。因為溝渠在澱積氮化物之前已經填充有低電容材料，所以，幾乎沒有任何高電容氮化物材料澱積在相鄰導電線之間。

在運作期間，因為在相鄰導電線及塞之間並沒有高電容介電及氮化物材料，所以有利地減少了至導電線及塞與自導電線及塞而來之電容耦合。所減少之電容耦合進而最小化電容性損失，藉此增進了性能(例如，在延遲，功率消耗等方面之性能)。

本發明之特徵及益處可由參考圖式及以下之討論而更易於了解。在第7圖中，在相鄰導電線之間之溝渠(例如，在金屬層302中之導電線503及505之間)已延伸進入介電層112中。以此方式，在介電層112中的一些介電材料自相鄰導電線之間之區域移除，例如，在第7圖中之虛線702及704之間之區域。這與第4圖之習知技術之情況相反，其中第4圖在導電線503及505之間之溝渠在導電層302及介電層112之介面停止(即是，該介電層112實

五、發明說明(7)

質上不被溝渠蝕刻所蝕刻)。

在一實施例中，第7圖之溝渠706藉由一習知之反應離子蝕刻(RIE)之蝕刻方法被蝕刻進入介電層112。再者，用來蝕刻導電層108(以形成導電線503,505,及508)之光阻罩亦可用來執行之後的介電蝕刻以製成溝渠，藉此省去一額外之光蝕刻步驟。應注意的是，溝渠蝕刻並未觸及先前形成之Via，因為這些Via係位在導電線之下方，而由其上之光阻罩所保護。

如第7圖所示，在介電層112蝕刻成溝渠706之介電蝕刻步驟可以在位於下方之導電層108介面停止(例如，藉由一終點技術)。然而，熟習此技藝之人士可了解的是，由本發明之技術所提供之益處也可由延伸溝渠706之蝕刻進入介電層112而在到達金屬層108之前停止來實現。值得注意的是，至少有一些介電材料仍存在導電線103,105,114及106之間而彼此絕緣並提供機械支撐。介電蝕刻步驟亦在相鄰導電線505及508之間製成一進入介電層112之溝渠708，並且在第8圖中形成一開放區710。

雖然在某些情況下，可能想要以低K填充材料來置換高電容介電材料(即是，實質上蝕刻通過介電層)，但是溝渠之實際深度則是部分地由在蝕刻期間保護性光阻材料之可獲得性來決定，這是因為一些光阻材料可能在蝕刻期間被浸蝕，而溝渠蝕刻可能必須在達到下面導電層108之介面前即停止，以避免造成對上方導電層之導電線不當的損害(例如，第7圖中之層302之導電線503,505

五、發明說明 (8)

,及 508)。

在第 8 圖中,非必要之氧化物襯墊層 802(例如,一 TEOS 襯墊)被澱積在第 7 圖金屬層 302 之導電線 503,505,及 508 上方,溝渠 706 及 708 之內,及開放區 710 之上。非必要之氧化物襯墊層 802 可以代表任何具有良好步驟覆蓋之氧化物,而且可用來防止黏合及腐蝕問題,這些問題可能與之後在第 9 圖中澱積之低電容材料相關聯。襯墊層亦可覆蓋或保護導電層 108 免於腐蝕及黏合之問題,這些問題係由於導電層 108 在溝渠蝕刻後曝露,針對其後澱積低電容材料可能產生之問題。

在第 9 圖中,將低電容材料澱積進入溝渠 706 及 708,即是進入穿透金屬層 302 並且至少部分穿透在相鄰導電線之間之介電層 112 之溝渠。這個低電容材料在第 8 圖之溝渠 706 及 708 中形成低電容填充物 902 及 904。低電容材料取代了之前自這些溝渠中移除之高電容介電材料。而且低電容填充材料更延伸進入介電層,即第 8 圖之介電層 112。

如在此使用之術語,低電容介電材料代表具有較所取代之材料低之介電常數之材料,例如,較介電層 112 之介電材料低或是較在第 9 圖中之氮化物材料低。低電容材料最好是,但不是必需的,具有均為 3 之介電常數。在一實施例中,低電容材料最好是低介電常數(低 K)之旋轉塗覆材料,例如氫 SOG(例如, Dow Corning's Fox),甲基 SOG,無機旋轉塗覆聚合物(包括聚亞醯胺,poly-

五、發明說明(9)

benzoxazoles, polyarylethers, 等等), 或平均旋轉塗覆之氣凝膠。一自動整平之化學氣相澱積(CVD)膜(例如, Trikon Technologies's 低K. Flowfill)亦可根據本發明之另一實施例來使用。

如熟習此領域之技藝人士已知者, 旋轉塗覆材料典型地依隨恆定體積之規則, 即是, 流動及填充較小之結構, 如溝渠706及708, 同時使其平面化以在開放區形成一定厚層, 例如, 開放區710。因此, 定厚低電容層係位在第9圖之之開放區710之上。然而, 由於恆定體積之規則, 在開放區710之低電容材料之厚度將小於溝渠之深度。

在第10圖中, 將氮化物(Si₃N₄)層950澱積在整個結構之上以達到鈍化之目的。層950可以是任何鈍化層, 例如PSG(phosphosilicate glass)。

藉由蝕刻溝渠進入介電層, 例如溝渠706進入介電層112, 並重新以一低電容材料填充此溝渠, 本發明有利地自預期到達及來自導電線及塞之場線橫跨區域中移除高電容材料, 並且以低電容材料取代高電容氮化物及/或氮化物材料。

以低電容材料填充溝渠亦許可氮化物層, 例如第10圖之氮化物層950被提昇至導電線上方。以此方式, 較少之到達及始自導電線之場線橫跨高電容氮化物材料。取代的是, 一大部分之到達及來自導電線, 例如導電線503及505, 之場線橫跨低電容填充材料。以此方式大大減少了

五、發明說明(10)

到達及來自導電線之電容耦合。

再者，自相鄰導電線間移除高電容介電材料有利地並大大地減少了相鄰導電塞之間之電容耦合。參考第6圖，例如，習知多層結構允許在導電塞303及305之間之部分場線橫過層112之高電容介電材料。即使習知技術之溝渠(並不實質上延伸進入介電層)係以低K材料予以填充，如同在一些習知結構中所完成者(即是，即使在第4圖習知技術之導電線503/505及導電線505/508之間之溝渠中以低K材料填充)，此方式仍不能解決在習知技術導電塞303及305之間之場線橫過介電層112之高電容介電材料而造成其間高度電容耦合之問題。相反地，第10圖之相鄰導電塞303及305之間之大部分場線橫過低電容填充物902。以此方式，大大地減少了第10圖中之導電塞303及305之間之電容耦合。

在上導電線505及下導電線105之間之一些邊緣場線亦橫過低電容填充物902及904之間之低電容材料。因此，減少了在上導電線505及下導電線105之間的電容耦合。

假如導電層108亦代表保險絲形成層(例如，動態隨機存取記憶體電路之保護或位址/致能保險絲)，在第7至10圖中揭示之多層導電結構形成技術提供更進一步的益處。為了了解這方面，應注意的是可雷射損毀之保險絲通常需要在保險絲設定操作期間在保險絲上方建立一預定厚度之介電窗(即，由雷射損壞保險絲)。參考第6圖之習知技術，保險絲114及106係由介電層112，襯墊層

五、發明說明(11)

502，及氮化層602覆蓋。為了因應保險絲設定操作，典型地需要一蝕刻步驟以減少在保險絲上方之層厚度到一到保險絲設定操作前即界定之厚度。

然而，在第6圖習知技術中之介電層112之厚度可能由於用來平面化此層之化學機械磨光法之使用而依據不同之保險絲有所不同。因為有這種可變性，所以很難設計出能造成在保險絲上方形成一預設厚度之介電窗之蝕刻步驟。藉由這個範例可知，在一些習知技術IC中不難發現不同之保險絲具有很不同之介電窗厚度。

根據本發明之一方面，在保險絲上方之介電材料之移除並由襯墊材料(例如第10圖中之襯墊層802)，在開放區710上方之低電容材料，及氮化物層950之澱積取代，有利地移除在保險絲上方堆疊層厚度之變化。這是因為移除實質上所有在保險絲上方之介電材料(如第7圖所示)可除去在習知技術中由於使用用來平面化介電層之化學機械磨光法所造成之介電層厚度上的變化。因為澱積法及旋轉塗覆法允許形成之層厚度被可精確地控制(與CMP法相較之下)，所以在保險絲上方之層堆疊之厚度對不同之保險絲而言具有較一致之厚度。因為保險絲上方之厚度較為固定，因此本發明可更精準地控制隨後用以形成保險絲上方之介電窗之蝕刻步驟。

由前述討論可得知者係在介電層112中之相鄰導電塞之間及在導電層302中相鄰導電線間之高電容介電及氮化物材料之移除及置換可有利地減少在操作期間到達及

五、發明說明(12)

自這些結構而來的電容耦合。可預期的是，當應用本發明之電容耦合減少技術到電路上之最上層(即，最後)導電層將會產生很大的利益。然而，可將所揭示之技術應用到IC中之任一導電層以減少層內及層間之電容耦合。如較早所述，所減少之電容耦合進而減少了電容性損失，最小化功率消耗並且允許積體電路以一低電壓來操作。再者，減小之電容耦合允許設計者設計出在結構間更小之節距，藉此有利地縮小最後積體電路之大小。

本發明以一不顯著之方式，有利地放置一些低電容材料至介電層上，例如，在介電層112中，以減少在介電層中相鄰導電塞之間之電容耦合及到達/來自上方導電線之電容耦合。在此層中低電容材料之準備並不明顯，因為眾所周知的是低電容材料不應使用在將形成Via及導電塞之層。這是因為假如介電層112完全是由低電容材料形成，Via及導電塞之形成則可能受擾於Via中毒現象(即，在Via中之金屬塞及自低電容材料來之濕氣之間之化學反應，使得導電塞變得不導電)。

本發明以一不顯著之方式，允許Via在較穩定，雖然高電容，之介電材料，例如，介電層112之介電材料中形成，然而在沒有Via形成之其他區域中則置換此高電容介電材料，例如，在第8圖之溝渠706及708之內。以此方式，可避免在Via中產生Via中毒，同時置換在相鄰導電線及導電塞之間之場線所橫過之高電容介電材料，而以低電容材料取代之。

五、發明說明(13)

雖然本發明已經由數個實施例來描述，但仍有其他屬於本發明範圍內之變化，排列組合及相等物。因此，所附之申請專利範圍將包括所有在本發明之精神及範圍內之變化，排列組合及相等物。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

參考符號說明

- 103...導電線
- 105...導電線
- 106...導電線
- 114...導電線
- 108...導電層
- 110...基板
- 112...第一介電層
- 204...光阻罩
- 302...導電層
- 303...導電塞
- 305...導電塞
- 502...光阻罩 / 襯墊層
- 503...導電線
- 505...導電線
- 508...導電線
- 602...氮化物鈍化層
- 706...溝渠
- 710...開放區
- 708...溝渠
- 902...低電容填充物
- 904...低電容填充物
- 950...氮化物層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

87.1.23 修正

A5
B5

四、中文發明摘要(發明之名稱) 補充

改良之多層導電結構及其相關之方法

一種用於在積體電路上形成多層導電結構之方法。此方法包含形成一第一導電層 108 及在第一導電層上形成第一介電層 122。此方法更包含在第一介電層上形成一第二導電層 302。並且蝕刻穿透第二導電層及至少部分之第一介電層以於第二導電層及第一介電層中形成一溝渠 706，藉此移除至少一部分之介電層並且形成一第一導電線 503 及一第二導電線 505 於第二導電層中。再者，此方法包含澱積一低電容材料 908 進入溝渠。低電容材料之介電常數較第一介電層之介電常數為低。

英文發明摘要(發明之名稱: Improved multi-level conductive structure and methods therefor)

A method for forming a multi-level conductive structure on an integrated circuit. The method includes forming a first conductive layer 108 and forming a first dielectric layer 112 above the first conductive layer. The method further includes forming a second conductive layer 302 above the first dielectric layer. There is also included etching through the second conductive layer and at least partially into the first dielectric layer to form a trench 706 in the second conductive layer and the first dielectric layer, thereby removing at least a portion of the dielectric layer and forming a first conductive line 503 and a second conductive line 505 in the second conductive layer. Further, the method includes depositing a low capacitance material 908 into the trench. The low capacitance material represents a material having a dielectric constant lower than a dielectric constant of the first dielectric layer.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

87.1.23 修正

A5
B5

四、中文發明摘要(發明之名稱) 補充

改良之多層導電結構及其相關之方法

一種用於在積體電路上形成多層導電結構之方法。此方法包含形成一第一導電層 108 及在第一導電層上形成第一介電層 122。此方法更包含在第一介電層上形成一第二導電層 302。並且蝕刻穿透第二導電層及至少部分之第一介電層以於第二導電層及第一介電層中形成一溝渠 706，藉此移除至少一部分之介電層並且形成一第一導電線 503 及一第二導電線 505 於第二導電層中。再者，此方法包含澱積一低電容材料 908 進入溝渠。低電容材料之介電常數較第一介電層之介電常數為低。

英文發明摘要(發明之名稱: Improved multi-level conductive structure and methods therefor)

A method for forming a multi-level conductive structure on an integrated circuit. The method includes forming a first conductive layer 108 and forming a first dielectric layer 112 above the first conductive layer. The method further includes forming a second conductive layer 302 above the first dielectric layer. There is also included etching through the second conductive layer and at least partially into the first dielectric layer to form a trench 706 in the second conductive layer and the first dielectric layer, thereby removing at least a portion of the dielectric layer and forming a first conductive line 503 and a second conductive line 505 in the second conductive layer. Further, the method includes depositing a low capacitance material 908 into the trench. The low capacitance material represents a material having a dielectric constant lower than a dielectric constant of the first dielectric layer.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種在積體電路上之多層導電結構，該多層導電結構包含：

一第一導電層；

一置放在該第一導電層上方之第一介電層；

一置放在該第一介電層上方之第二導電層；

該第二導電層包含一第一導電線及一第二導電線；

及

一層低電容材料，置放在該第一導電線及該第二導電線之間之溝渠中，該溝渠穿透該第二導電層且至少實質上通過該第一介電層，該低電容材料之介電常數較該第一介電層之介電常數為低。

2. 如申請專利範圍第1項之多層導電結構，其中該低電容材料係一旋轉塗覆材料。

3. 如申請專利範圍第1項之多層導電結構，其中該溝渠穿過該第一介電層直至該第一導電層之上表面。

4. 如申請專利範圍第1項之多層導電結構，更包含一氧化物襯墊層，該氧化物襯墊層係置放在該第二導電層及該低電容材料層之間。

5. 如申請專利範圍第4項之多層導電結構，其中該低電容材料係一旋轉塗覆材料。

6. 如申請專利範圍第1項之多層導電結構，其中該旋轉塗覆材料實質上填充該溝渠。

7. 如申請專利範圍第6項之多層導電結構，更包含置放在低電容材料層上方之第二介電層。

六、申請專利範圍

8. 如申請專利範圍第7項之多層導電結構，其中該第二介電層係一氮化物層。
9. 如申請專利範圍第8項之多層導電結構，其中該低電容材料之介電常數係低於該第一氮化物層之介電常數。
10. 一種動態隨機存取記憶體電路，包含：
 - 一第一金屬層；
 - 一置放在該第一金屬層上方之第一介電層；
 - 一置放在該第一介電層上方之第二金屬層，該第二金屬層包含一第一金屬線及一第二金屬線；及
 - 一低電容材料層，置放在該第一金屬線及該第二金屬線之間之溝渠，該溝渠穿透該第二金屬層且至少實質上通過該第一介電層，該低電容材料之介電常數較該第一介電層之介電常數為低。
11. 如申請專利範圍第10項之動態隨機存取記憶體電路，其中該低電容材料之介電常數約低於3。
12. 如申請專利範圍第10項之動態隨機存取記憶體電路，其中該溝渠穿透該第一介電層直至該第一金屬層之上表面。
13. 如申請專利範圍第10項之動態隨機存取記憶體電路，其中該低電容材料係一旋轉塗覆材料。
14. 如申請專利範圍第10項之動態隨機存取記憶體電路，更包含一置放在該低電容材料層上方之第二介電層，該低電容材料層實質上填充該溝渠。
15. 如申請專利範圍第14項之動態隨機存取記憶體電路，

六、申請專利範圍

其中該第二介電層係一氮化物層，該低電容材料之該介電常係低於該氮化物層之介電常數。

16. 一種用以在積體電路上形成多層導電結構之方法，該方法包含：

形成一第一導電層；

在該第一導電層上方形成一第一介電層；

在該第一介電層上方形成一第二導電層；

蝕刻穿透該第二導電層且至少部分進入該第一介電層以在該第二導電層及該第一介電層中形成一溝渠，藉此移除至少一部分之該介電層並在該第二導電層中形成一第一導電層及一第二電線；及

澱積一低電容材料進入該溝渠，該低電容材料之介電常數較該第一介電層之介電常數低。

17. 如申請專利範圍第16項之方法，其中該低電容材料係一旋轉塗覆材料。

18. 如申請專利範圍第17項之方法，其中該溝渠被蝕刻穿透該第一介電層直至該第一導電層之上表面。

19. 如申請專利範圍第18項之方法，其中該旋轉塗覆材料實質上填充該溝渠。

20. 如申請專利範圍第19項之方法，更包含澱積一第二介層於該低電容材料層之上。

21. 如申請專利範圍第20項之方法，其中該第二介電層係一氮化物層。

22. 如申請專利範圍第21項之方法，其中該低電容材料之

六、申請專利範圍

介電常數較該第一氮化物層之介電常數低。

23. 如申請專利範圍第19項之方法，其中該低電容材料係一自動調平之化學氣相澱積材料。

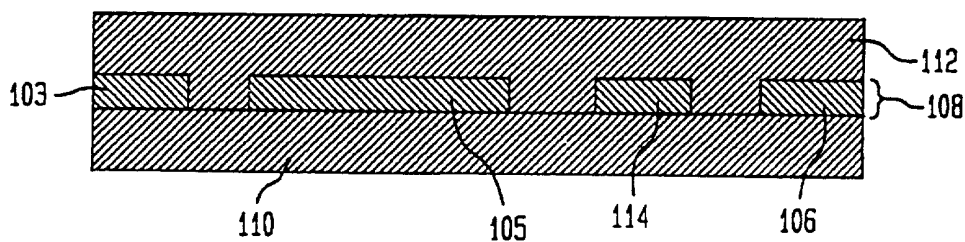
(請先閱讀背面之注意事項再填寫本頁)

訂

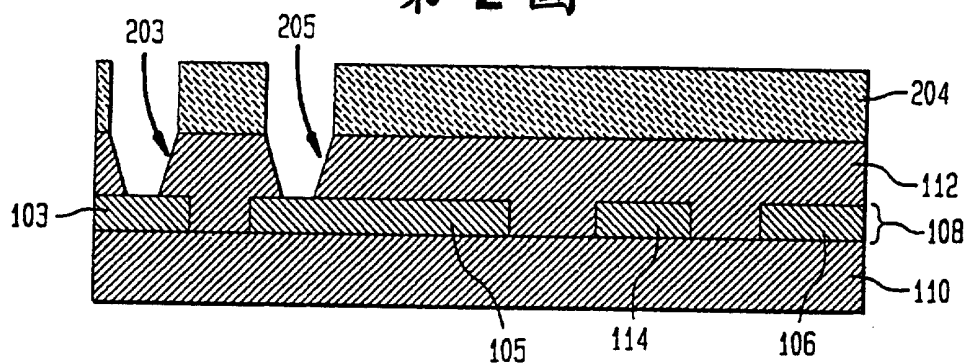
393753

1/4

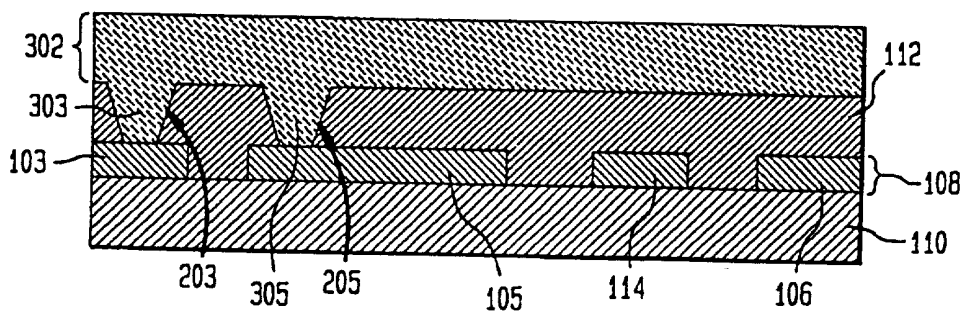
第 1 圖



第 2 圖



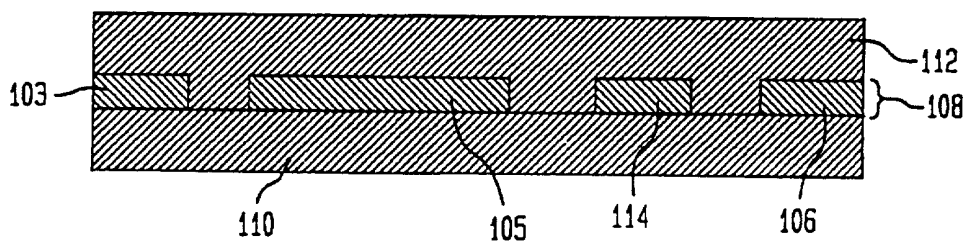
第 3 圖



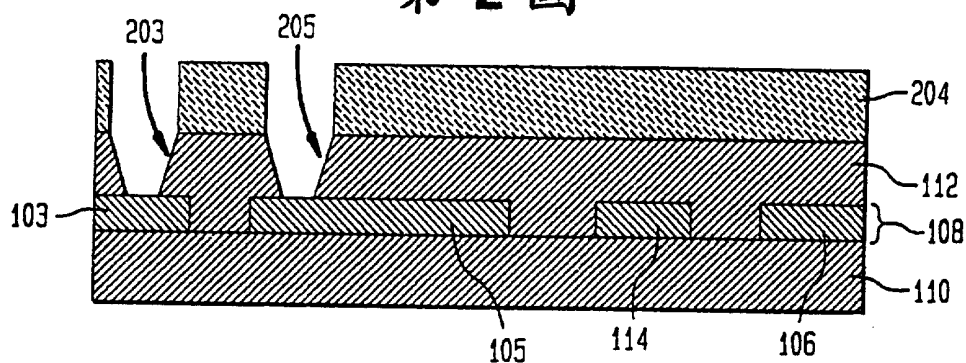
393753

1/4

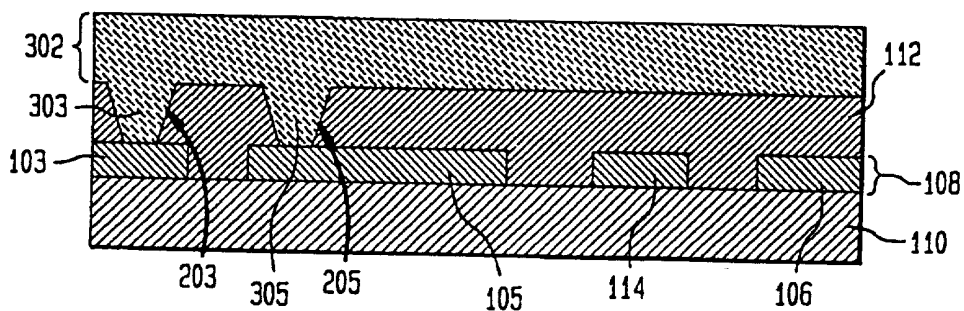
第 1 圖



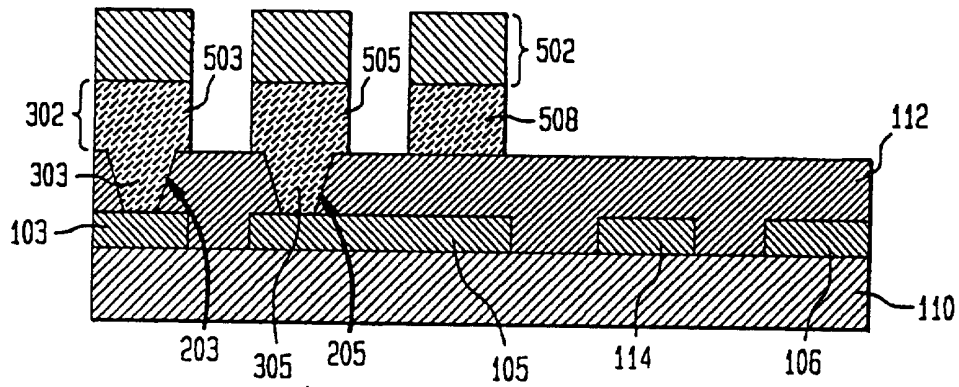
第 2 圖



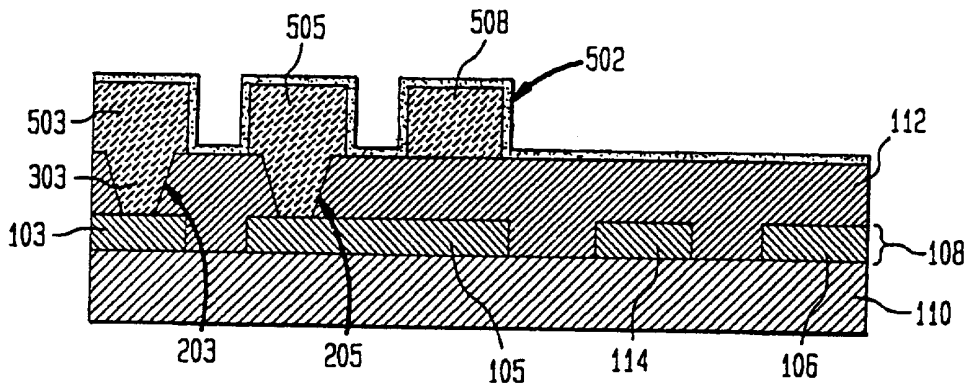
第 3 圖



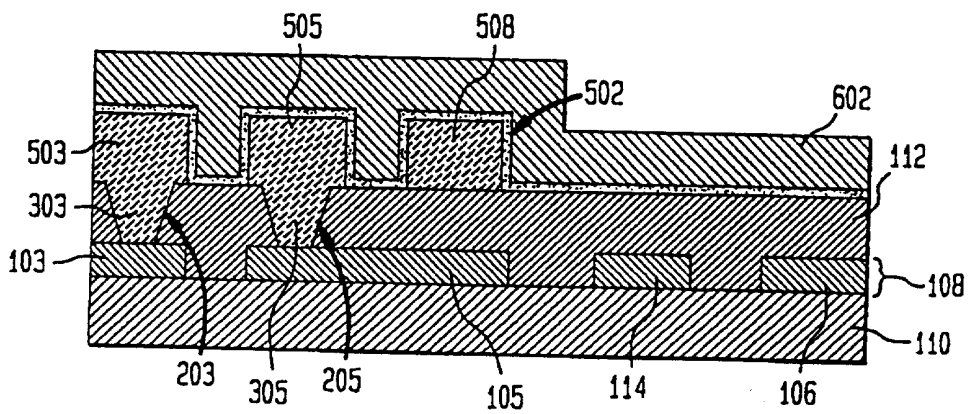
第 4 圖



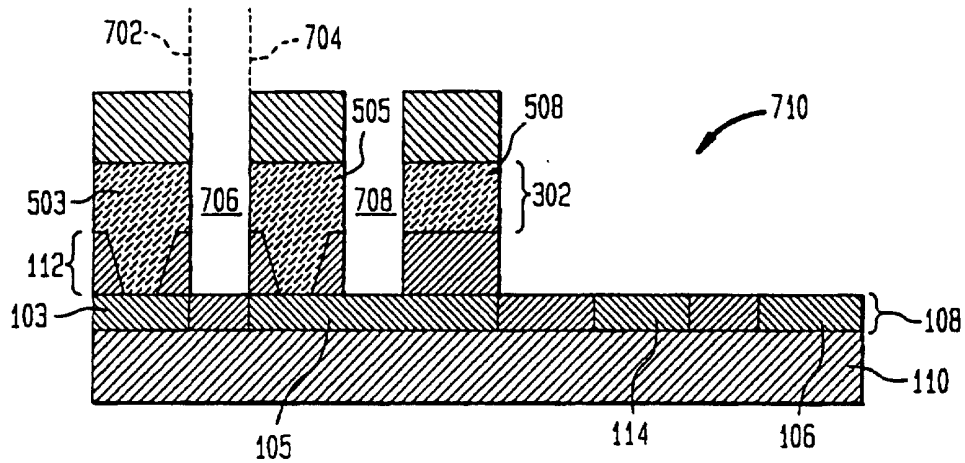
第 5 圖



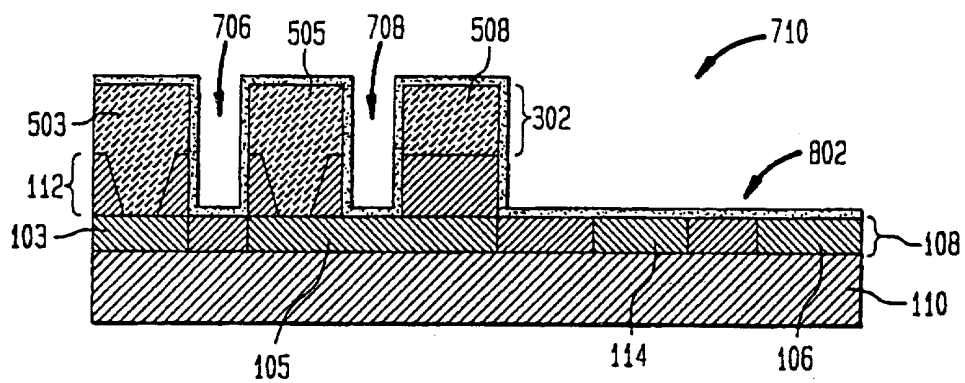
第 6 圖



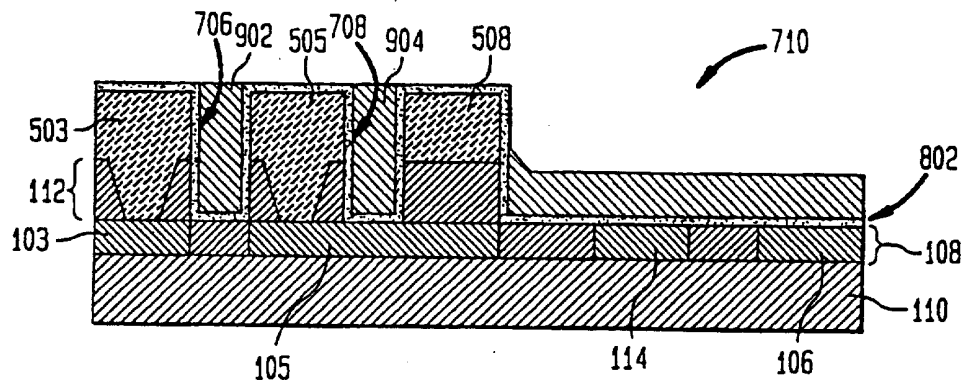
第 7 圖



第 8 圖



第 9 圖



第10圖

