

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 2 月 15 日 (2007.2.15)

【公開番号】特開 2005-191447 (P2005-191447A)
 【公開日】平成 17 年 7 月 14 日 (2005.7.14)
 【年通号数】公開・登録公報 2005-027
 【出願番号】特願 2003-433851 (P2003-433851)
 【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 1 L 21/60 (2006.01)

【F I】

H 0 1 L 23/12 E

H 0 1 L 21/60 3 0 1 N

H 0 1 L 23/12 F

【手続補正書】

【提出日】平成 18 年 12 月 25 日 (2006.12.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 主面と、前記第 1 主面と対向する第 1 裏面と、前記第 1 主面に設けられたチップ搭載領域と、前記チップ搭載領域の周囲に設けられ、かつ電源電位または接地電位が供給される複数の第 1 ボンディング電極と、前記第 1 ボンディング電極よりも前記チップ搭載領域から遠い位置に設けられ、かつ信号が入力または出力される複数の第 2 ボンディング電極とを含む配線基板と、

第 2 主面と、前記第 2 主面と対向する第 2 裏面と、前記第 2 主面に設けられ、かつ前記第 2 主面の外周に沿って設けられた複数の第 1 電極と、前記第 2 主面に設けられ、かつ前記複数の第 1 電極よりも内側に設けられた複数の第 2 電極とを含み、前記第 2 裏面が前記チップ搭載領域と対向するように前記配線基板に搭載された半導体チップと、

前記複数の第 1 ボンディング電極と前記複数の第 1 電極をそれぞれ電氣的に接続する複数の第 1 ワイヤと、前記複数の第 2 ボンディング電極と前記複数の第 2 電極をそれぞれ電氣的に接続する複数の第 2 ワイヤとを有し、

前記第 1 電極と前記第 2 電極は、前記半導体チップの外周に沿った方向で互い違いに配置され、

前記第 1 電極の外形サイズは、前記第 2 電極の外形サイズよりも大きいことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 ワイヤの径は、前記第 2 ワイヤの径よりも太いことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記第 1 電極に電氣的に接続される第 1 ワイヤの数は、前記第 2 電極に電氣的に接続される第 2 ワイヤの数よりも多いことを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記半導体チップの前記第2主面に設けられ、かつ前記複数の第2電極よりも内側の領域には複数の電源回路セルおよび複数の入出力回路セルが設けられ、

前記電源回路セルと前記第1電極を電氣的に接続する第1配線の幅は、前記入出力回路セルと前記第2電極を電氣的に接続する第2配線の幅よりも太いことを特徴とする半導体装置。

【請求項5】

請求項4記載の半導体装置において、

前記電源回路セルおよび前記入出力回路セルのそれぞれは、バッファ回路、静電破壊保護回路、プリバッファ回路、レベルシフト回路、および論理回路から形成されていることを特徴とする半導体装置。

【請求項6】

請求項4記載の半導体装置において、

前記電源回路セルは、前記接地電位が供給される第1電源回路セルと、外部電源電位が供給される第2電源回路セルを有することを特徴とする半導体装置。

【請求項7】

請求項6記載の半導体装置において、

前記電源回路セルは、更に、内部電源電位が供給される第3電源回路セルを有することを特徴とする半導体装置。

【請求項8】

請求項7記載の半導体装置において、

前記第3電源回路セル上には、第3電極が形成されていることを特徴とする半導体装置。

【請求項9】

請求項8記載の半導体装置において、

前記複数の第1ボンディング電極は、前記接地電位が供給され、かつ前記チップ搭載領域の周囲にリング状に形成された第3ボンディング電極と、外部電源電位が供給され、かつ前記第3ボンディング電極よりも前記チップ搭載領域から遠い位置にリング状に形成された第4ボンディング電極を有することを特徴とする半導体装置。

【請求項10】

請求項9記載の半導体装置において、

前記複数の第1ボンディング電極は、更に、前記内部電源電位が供給され、かつ前記第3ボンディング電極と前記第4ボンディング電極との間にリング状に形成された第5ボンディング電極を有することを特徴とする半導体装置。

【請求項11】

請求項10記載の半導体装置において、

前記第3電極は、前記第5ボンディング電極とそれぞれ電氣的に接続されていることを特徴とする半導体装置。

【請求項12】

請求項1記載の半導体装置において、

前記複数の第2ボンディング電極は、前記複数の第1ボンディング電極よりも前記チップ搭載領域から遠い位置に設けられた複数の第6ボンディング電極と、前記複数の第6ボンディング電極よりも前記チップ搭載領域から遠い位置に設けられた複数の第7ボンディング電極を有することを特徴とする半導体装置。

【請求項13】

請求項12記載の半導体装置において、

前記複数の第1電極は、クロック信号を入力または出力する複数の第4電極を有し、前記複数の第4電極は、前記複数の第6ボンディング電極と前記複数の第2ワイヤ介してそれぞれ電氣的に接続されていることを特徴とする半導体装置。

【請求項14】

請求項1記載の半導体装置において、

前記配線基板の前記第 1 裏面には、複数のはんだボールが設けられ、

前記複数のはんだボールは、前記複数の第 1 ボンディング電極および前記複数の第 2 ボンディング電極と複数の配線層を介してそれぞれ電氣的に接続されていることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【0 0 2 9】

前述したように、本実施の形態 1 では、ボンディングパッド 9 とボンディングパッド 10 とは、チップ 2 の主面の外周に沿った方向で互い違いに配置されており、隣り合うボンディングパッド 9 間には配線が配置されていないことから、図 6 に示すように、電源系のボンディングパッド 9 の幅 X 4 は、ボンディングパッド 10 の幅 X 3 より大きく確保することができ、たとえば約 1 0 0 μm とすることができる。その結果、図 6 ~ 図 8 に示すように、本実施の形態 1 においては電源系のボンディングパッド 9 と接続するワイヤ 11、12 の径を他のワイヤ 13、14 の径より大きくすることができる。本実施の形態 1 では、ワイヤ 13、14 の径が 2 0 μm であるのに対して、ワイヤ 11、12 の径を 3 0 μm にできることを例示できる。その結果、ワイヤ 11、12 におけるインピーダンスを低減できるので、上記配線 16 で増加したインピーダンスをワイヤ 11、12 の低抵抗化により相殺することが可能となる。すなわち、電源回路セル 18、19 と電氣的に接続する配線 16、ボンディングパッド 9 およびワイヤ 11、12 の総合的なインピーダンスを低減できるので、チップ 2 内に形成されたロジック IC の動作の高速化または ASIC の多機能化を実現することが可能となる。

【手続補正 4】

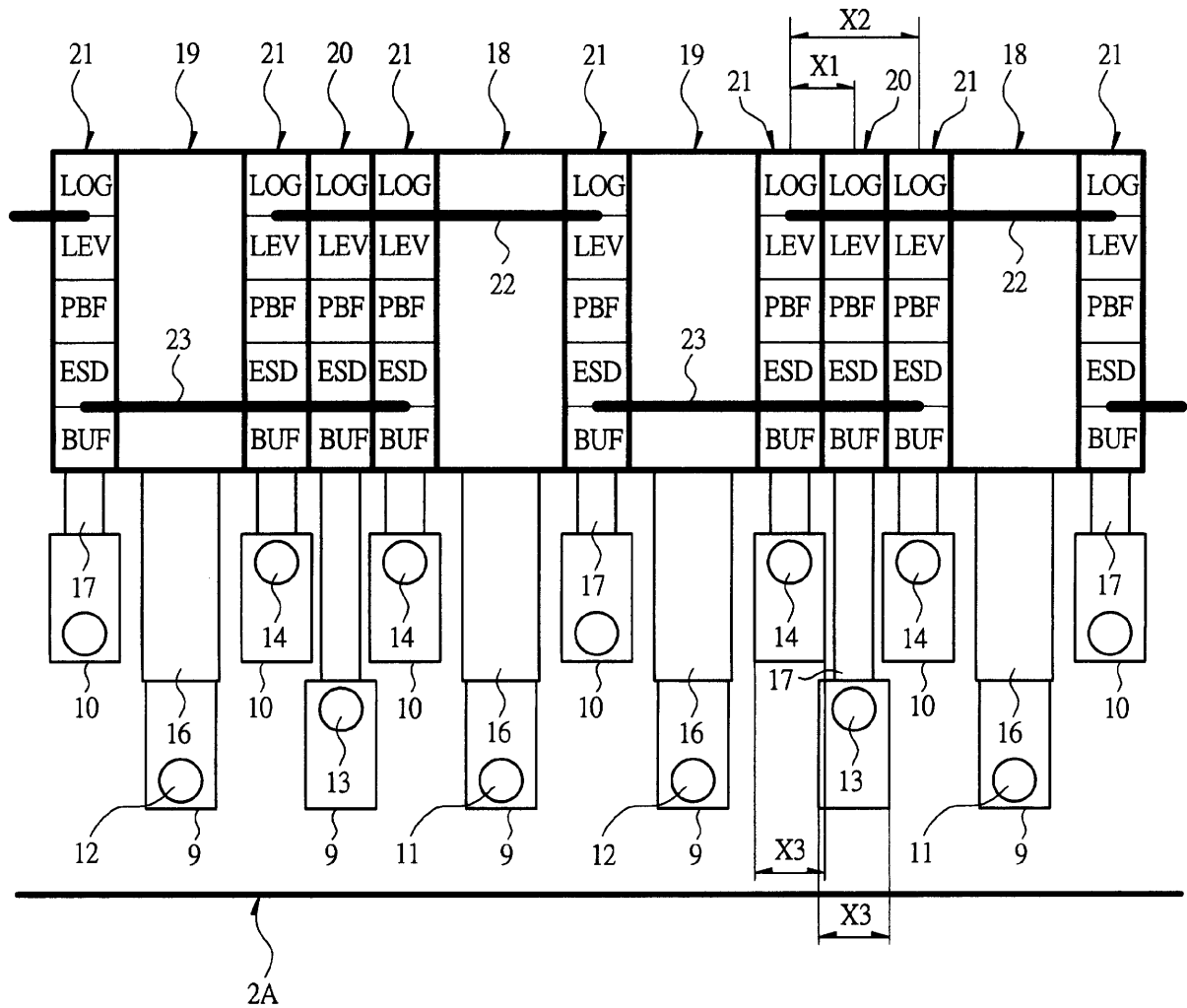
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

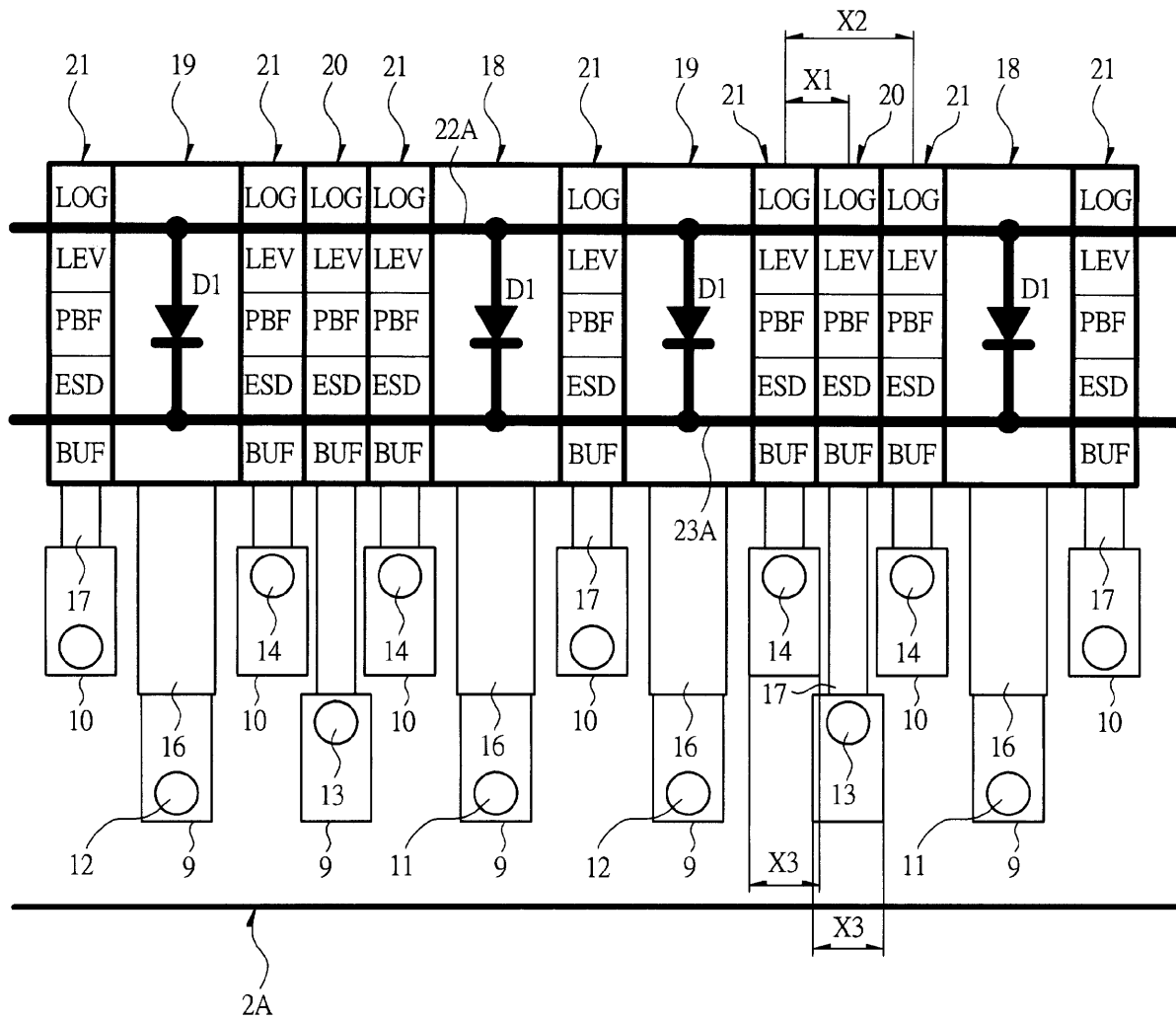
4



【補正の内容】

【 図 5 】

図 5



【 手続補正 6 】

【 補正対象書類名 】 図面

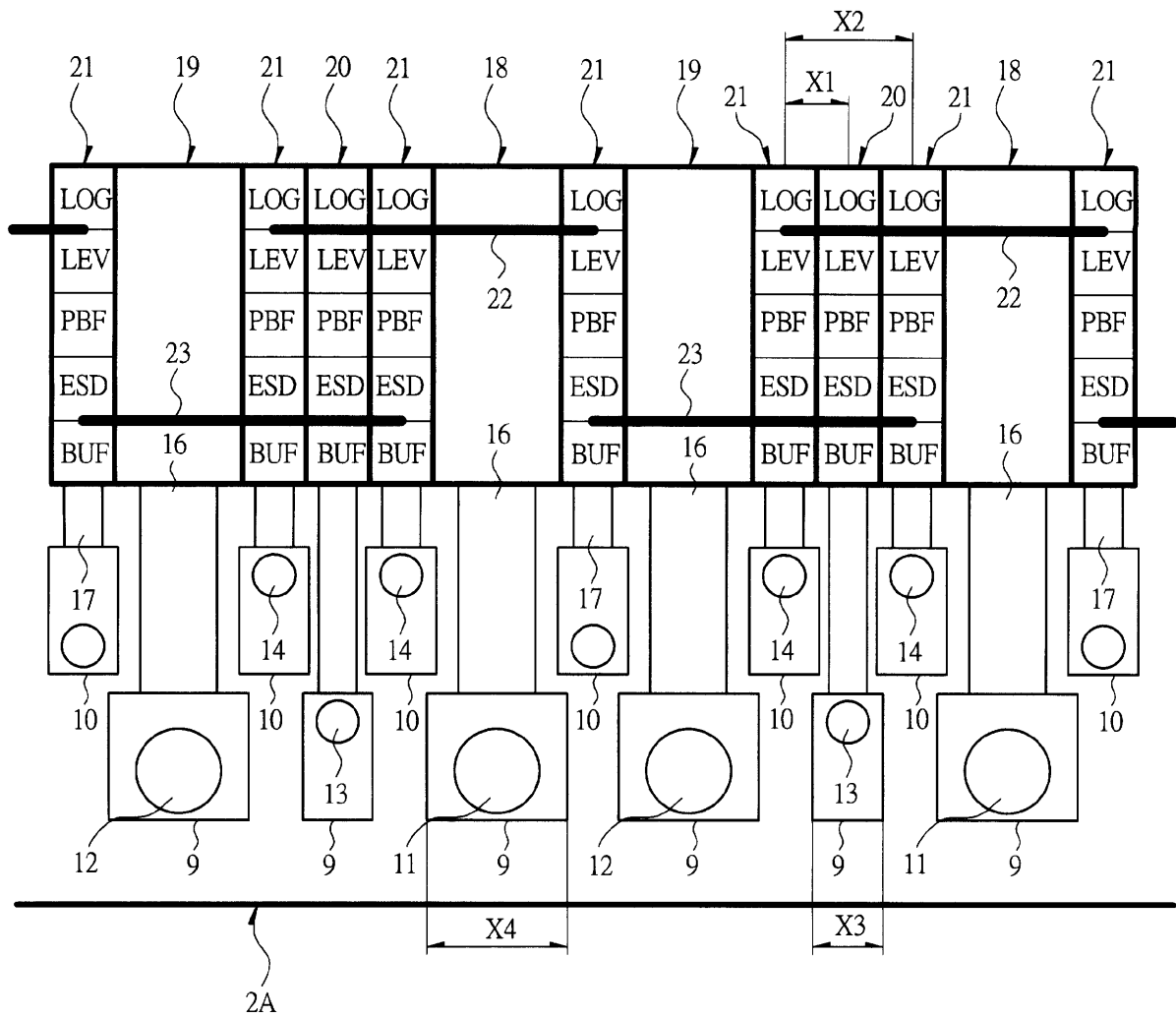
【 補正対象項目名 】 図 6

【 補正方法 】 変更

【 補正の内容 】

【図 6】

図 6



- 9 : ボンディングパッド(電極,第1電極)
 10 : ボンディングパッド(電極,第2電極)
 11,12 : ワイヤ(第1ワイヤ)
 13,14 : ワイヤ(第2ワイヤ)