

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6760258号
(P6760258)

(45) 発行日 令和2年9月23日(2020.9.23)

(24) 登録日 令和2年9月7日(2020.9.7)

(51) Int.Cl.		F I			
HO4N	5/378	(2011.01)	HO4N	5/378	
HO4N	5/3745	(2011.01)	HO4N	5/3745	
HO3K	5/08	(2006.01)	HO3K	5/08	E
HO3M	1/56	(2006.01)	HO3M	1/56	

請求項の数 26 (全 47 頁)

(21) 出願番号	特願2017-502042 (P2017-502042)	(73) 特許権者	000002185
(86) (22) 出願日	平成28年2月9日(2016.2.9)		ソニー株式会社
(86) 国際出願番号	PCT/JP2016/053732		東京都港区港南1丁目7番1号
(87) 国際公開番号	W02016/136448	(74) 代理人	100121131
(87) 国際公開日	平成28年9月1日(2016.9.1)		弁理士 西川 孝
審査請求日	平成30年12月26日(2018.12.26)	(74) 代理人	100082131
(31) 優先権主張番号	特願2015-32576 (P2015-32576)		弁理士 稲本 義雄
(32) 優先日	平成27年2月23日(2015.2.23)	(72) 発明者	菊池 秀和
(33) 優先権主張国・地域又は機関	日本国(JP)		東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	田浦 忠行
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 比較器、A/D変換器、固体撮像装置、電子機器、比較器の制御方法、およびデータ転送回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と

を備える比較器。

【請求項2】

前記電圧変換回路は、トランジスタで構成される請求項1に記載の比較器。

【請求項3】

前記電圧変換回路は、複数個のダイオードで構成される請求項1に記載の比較器。

【請求項4】

前記正帰還回路は、前記差動入力回路の前記出力信号と異なる制御信号の入力を受け付け、前記差動入力回路の前記出力信号に関わらず、前記制御信号に基づいて前記比較結果信号を反転させる

請求項 1 に記載の比較器。

【請求項 5】

前記正帰還回路は、前記差動入力回路の前記出力信号と前記制御信号を入力とする NOR 回路を有する

請求項 4 に記載の比較器。

【請求項 6】

第 1 の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第 2 の電源電圧に対応する信号に変換する電圧変換回路と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備える AD 変換器。

【請求項 7】

第 1 の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第 2 の電源電圧に対応する信号に変換する電圧変換回路と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備える AD 変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置。

【請求項 8】

前記入力信号と前記参照信号の電圧を比較する比較期間においては、前記時刻コードを前記データ記憶部に供給し、比較期間終了後には、前記データ記憶部に記憶された、前記比較結果信号が反転したときの時刻コードである反転時刻データを読み出すシフトレジスタを有する時刻コード転送部をさらに備える

請求項 7 に記載の固体撮像装置。

【請求項 9】

前記シフトレジスタは、入力されるクロック信号が所定の値であるときにハイインピーダンス状態となる複数の D-F/F を有する

請求項 8 に記載の固体撮像装置。

【請求項 10】

前記 D-F/F は、複数の前記画素で共有されている

請求項 9 に記載の固体撮像装置。

【請求項 11】

前記時刻コード転送部は、

前記シフトレジスタに入力される前記クロック信号を伝送するリピータ回路をさらに有する

請求項 9 に記載の固体撮像装置。

【請求項 12】

前記リピータ回路が前記クロック信号を伝送する方向は、前記シフトレジスタの前記時刻コードの転送方向と反対の方向である

請求項 11 に記載の固体撮像装置。

10

20

30

40

50

【請求項 13】

前記時刻コード転送部は複数設けられており、
隣り合う前記時刻コード転送部に供給される前記クロック信号が逆相となっている
請求項 11 に記載の固体撮像装置。

【請求項 14】

隣り合う前記時刻コード転送部からの出力信号を時分割多重化する多重化回路をさらに
備える

請求項 13 に記載の固体撮像装置。

【請求項 15】

前記時刻コード転送部は、
前記シフトレジスタに、所定の固定信号を入力するプリセット回路をさらに備える
請求項 8 に記載の固体撮像装置。

10

【請求項 16】

前記時刻コード転送部は、
前記D-F/Fの入力を、前記データ記憶部に供給する前記時刻コードか、または、前記
データ記憶部から読み出された反転時刻コードのいずれかに切り替えるセレクタをさらに
備える

請求項 9 に記載の固体撮像装置。

【請求項 17】

前記データ記憶部に対する前記時刻コードの書き込み動作と読み出し動作を切り替える
双方向バッファをさらに備える

20

請求項 7 に記載の固体撮像装置。

【請求項 18】

前記双方向バッファは、読み出し動作において、前記データ記憶部に記憶された前記時
刻コードの極性を反転させて読み出す

請求項 17 に記載の固体撮像装置。

【請求項 19】

前記双方向バッファは、読み出し動作において、前記データ記憶部に記憶された前記時
刻コードの極性を反転させずに読み出す

請求項 17 に記載の固体撮像装置。

30

【請求項 20】

前記データ記憶部は、P相データ用の前記時刻コードを記憶するP相データ記憶部と、D
相データ用の前記時刻コードを記憶するD相データ記憶部を有する

請求項 7 に記載の固体撮像装置。

【請求項 21】

前記AD変換器は、前記画素ごとに配置される

請求項 7 に記載の固体撮像装置。

【請求項 22】

前記AD変換器は、画素列単位に配置される

請求項 7 に記載の固体撮像装置。

40

【請求項 23】

複数の半導体基板で構成されている

請求項 7 に記載の固体撮像装置。

【請求項 24】

第 1 の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出
力する差動入力回路と、

前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作し、前記差動入力回路からの出力
信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反
転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第 2 の電源電圧に対応する信号に変換する電

50

圧変換回路と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部と
を備えるAD変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置

を備える電子機器。

【請求項 2 5】

第 1 の電源電圧で動作する差動入力回路と、前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作する正帰還回路と、電圧変換回路とを備える比較器の

10

前記差動入力回路が、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力し、

前記電圧変換回路が、前記差動入力回路の出力信号を、前記第 2 の電源電圧に対応する信号に変換し、

前記正帰還回路が、前記電圧変換回路により変換された前記差動入力回路の出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する

比較器の制御方法。

【請求項 2 6】

時刻コード発生部から出力された時刻コードの書き込み動作と読み出し動作を切り替える双方向バッファと、

20

所定の時刻コードをラッチ記憶するラッチ回路と、

前記双方向バッファにおいて前記書き込み動作が設定されている場合には、前記時刻コード発生部から出力された前記時刻コードを取得して前記ラッチ回路に供給して順次転送し、前記双方向バッファにおいて前記読み出し動作が設定されている場合には、前記ラッチ回路にラッチ記憶されている前記時刻コードを受け取って、順次転送するシフトレジスタと

を備えるデータ転送回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本開示は、比較器、AD変換器、固体撮像装置、電子機器、比較器の制御方法、およびデータ転送回路に関し、特に、比較器の判定速度を向上させつつ、消費電力を低減させることができるようにする比較器、AD変換器、固体撮像装置、電子機器、比較器の制御方法、およびデータ転送回路に関する。

【背景技術】

【0002】

固体撮像装置の信号読み出し方式で、例えば、画素内などの限られた面積内でAD変換を行う場合、もっとも面積効率が良い方式は、比較器とその後段のデジタル回路で構成される積分型（スロープ型）のAD変換方式である。

40

【0003】

積分型のAD変換方式を用いて、限られた面積内でAD変換を実現しようとする技術として、非特許文献 1 が提案されている。例えば、非特許文献 1 の方式では、後段のデジタル回路を 1 つのDRAM回路として、複数回スロープ信号を比較器にする回路構成とされている。たとえば8bitのAD変換であれば、同じスロープ信号が 8 回繰り返して比較器にされる。そして、比較器の出力が反転した時点の 0 または 1 のコードをDRAM回路に記憶する動作が 8 回繰り返され、全面の比較が終了した時点で、外部に読み出される。

【先行技術文献】

【非特許文献】

【0004】

50

【非特許文献1】D. Yang, B. Fowler, and A. El Gamal, "A Nyquist rate pixel level ADC for CMOS image sensors," in Proc. IEEE 1998 Custom Integrated Circuits Conf., Santa Clara, CA, May 1998, pp. 237-240.

【発明の概要】

【発明が解決しようとする課題】

【0005】

画素内にAD変換器を配置する場合には、画素列ごとにAD変換器を配置するカラム並列などのように比較的面積の自由度がある場合と異なり、回路の収容面積に限りがあるため、要求を十分に満たす比較器を作製することが難しい。例えば、比較の判定速度が遅くなったり、性能を上げようとする消費電力が大きくなることもある。

10

【0006】

本開示は、このような状況に鑑みてなされたものであり、比較器の判定速度を向上させつつ、消費電力を低減させることができるようにするものである。

【課題を解決するための手段】

【0007】

本開示の第1の側面の比較器は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路とを備える。

20

【0008】

本開示の第1の側面においては、差動入力回路において、第1の電源電圧で動作され、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、正帰還回路において、前記第1の電源電圧よりも低い第2の電源電圧で動作され、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化され、電圧変換回路において、前記差動入力回路の前記出力信号が、前記第2の電源電圧に対応する信号に変換される。

【0009】

本開示の第2の側面のAD変換器は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と、前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備える。

30

【0010】

本開示の第2の側面においては、差動入力回路において、第1の電源電圧で動作され、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、正帰還回路において、前記第1の電源電圧よりも低い第2の電源電圧で動作され、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化され、電圧変換回路において、前記差動入力回路の前記出力信号が、前記第2の電源電圧に対応する信号に変換され、データ記憶部において、前記比較結果信号が反転したときの時刻コードが記憶される。

40

【0011】

本開示の第3の側面の固体撮像装置は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応

50

する信号に変換する電圧変換回路と、前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるAD変換器と、画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路とを備える。

【0012】

本開示の第4の側面の電子機器は、第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と、前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるAD変換器と、画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路とを備える固体撮像装置を備える。

10

【0013】

本開示の第3及び第4の側面においては、差動入力回路において、第1の電源電圧で動作され、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、正帰還回路において、前記第1の電源電圧よりも低い第2の電源電圧で動作され、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化され、電圧変換回路において、前記差動入力回路の前記出力信号が、前記第2の電源電圧に対応する信号に変換され、データ記憶部において、前記比較結果信号が反転したときの時刻コードが記憶される。画素回路では、画素に入射された光を受光して光電変換することで生成された電荷信号が、前記入力信号として前記差動入力回路に出力される。

20

【0014】

本開示の第5の側面の比較器の制御方法は、第1の電源電圧で動作する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作する正帰還回路と、電圧変換回路とを備える比較器の前記差動入力回路が、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力し、前記電圧変換回路が、前記差動入力回路の出力信号を、前記第2の電源電圧に対応する信号に変換し、前記正帰還回路が、前記電圧変換回路により変換された前記差動入力回路の出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する。

30

【0015】

本開示の第5の側面においては、第1の電源電圧で動作する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作する正帰還回路と、電圧変換回路とを備える比較器の前記差動入力回路において、入力信号の電圧が参照信号の電圧よりも高いときに信号が出力され、前記電圧変換回路において、前記差動入力回路の出力信号が、前記第2の電源電圧に対応する信号に変換され、前記正帰還回路において、前記電圧変換回路により変換された前記差動入力回路の出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度が高速化される。

40

【0020】

本開示の第6の側面のデータ転送回路は、時刻コード発生部から出力された時刻コードの書き込み動作と読み出し動作を切り替える双方向バッファと、所定の時刻コードをラッチ記憶するラッチ回路と、前記双方向バッファにおいて前記書き込み動作が設定されている場合には、前記時刻コード発生部から出力された前記時刻コードを取得して前記ラッチ回路に供給して順次転送し、前記双方向バッファにおいて前記読み出し動作が設定されている場合には、前記ラッチ回路にラッチ記憶されている前記時刻コードを受け取って、順次転送するシフトレジスタとを備える。

【0021】

本開示の第6の側面においては、双方向バッファにおいて、時刻コード発生部から出力

50

された時刻コードの書き込み動作と読み出し動作が切り替えられ、前記双方向バッファにおいて前記書き込み動作が設定されている場合には、前記時刻コード発生部から出力された前記時刻コードが取得されて前記ラッチ回路に供給されて順次転送され、前記双方向バッファにおいて前記読み出し動作が設定されている場合には、前記ラッチ回路にラッチ記憶されている前記時刻コードが受け取られて、順次転送される。

【0022】

比較器、AD変換器、固体撮像装置、およびデータ転送回路は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

【発明の効果】

【0023】

本開示の第1乃至第6の側面によれば、比較器の判定速度を向上させつつ、消費電力を低減させることができる。

【0024】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0025】

【図1】本開示に係る固体撮像装置の概略構成を示す図である。

【図2】画素の詳細構成例を示すブロック図である。

【図3】比較回路の詳細構成例を示すブロック図である。

【図4】比較回路の動作中の各信号の遷移を表す図である。

【図5】画素回路の詳細構成について説明する図である。

【図6】画素の動作について説明するタイミングチャートである。

【図7】比較回路の第2構成例を示す回路図である。

【図8】比較回路の第3構成例を示す回路図である。

【図9】比較回路の第4構成例を示す回路図である。

【図10】比較回路の第1構成例と第4構成例の回路レイアウトを示す平面図である。

【図11】画素共有の場合の比較回路の構成例を示す回路図である。

【図12】画素共有の場合の比較回路の構成例を示す回路図である。

【図13】時刻コード転送部とデータ記憶部の第1構成例を示す回路図である。

【図14】時刻コード転送部とデータ記憶部の第2構成例を示す回路図である。

【図15】時刻コード転送部とデータ記憶部の第3構成例を示す回路図である。

【図16】シフトレジスタのD-F/Fの第1構成例を示す図である。

【図17】シフトレジスタのD-F/Fの第2構成例を示す図である。

【図18】双方向バッファ回路の第1構成例を示す図である。

【図19】双方向バッファ回路の第2構成例を示す図である。

【図20】シフトレジスタが有するD-F/Fの個数について説明する図である。

【図21】クラスタとシフトレジスタのD-F/Fとの対応関係を示した図である。

【図22】シフトレジスタを構成する4個のD-F/Fのデータ出力の流れを説明するタイミングチャートである。

【図23】第3構成例に係る時刻コード転送部の第1変形例を示す図である。

【図24】第3構成例に係る時刻コード転送部の第2変形例を示す図である。

【図25】第3構成例に係る時刻コード転送部の第3変形例を示す図である。

【図26】時刻コード発生部の構成例を示す図である。

【図27】時刻コード転送部の第1及び第2構成例と第3構成例との違いについて説明する図である。

【図28】画素内のデータ記憶部のその他の構成例を説明する図である。

【図29】クロック供給回路のその他の構成例を説明する図である。

【図30】カラムAD方式の固体撮像装置への適用例を説明する図である。

【図31】カラムAD方式の固体撮像装置への適用例を説明する図である。

10

20

30

40

50

【図32】2枚の半導体基板を積層することで固体撮像装置を構成する概念図である。

【図33】2枚の半導体基板で固体撮像装置を構成する場合の回路構成例を示す図である。

【図34】3枚の半導体基板を積層することで固体撮像装置を構成する概念図である。

【図35】3枚の半導体基板で固体撮像装置を構成する場合の回路構成例を示す図である。

【図36】本開示に係る電子機器としての撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0026】

以下、本開示を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。 10

1．固体撮像装置の概略構成例

2．画素の詳細構成例

3．比較回路の第1構成例

4．比較回路の第2構成例

5．比較回路の第3構成例

6．比較回路の第4構成例

7．画素共有の第1構成例

8．画素共有の第2構成例

9．時刻コード転送部とデータ記憶部の第1構成例 20

10．時刻コード転送部とデータ記憶部の第2構成例

11．時刻コード転送部とデータ記憶部の第3構成例

12．時刻コード転送部の第3構成例の詳細説明

13．第3構成例に係る時刻コード転送部の第1変形例

14．第3構成例に係る時刻コード転送部の第2変形例

15．第3構成例に係る時刻コード転送部の第3変形例

16．時刻コード発生部の構成例

17．時刻コード転送部の第1及び第2構成例と第3構成例との違い

18．データ記憶部のその他の構成例

19．クロック供給回路のその他の構成例 30

20．コラムAD方式への適用例

21．複数基板構成1

22．複数基板構成2

23．電子機器への適用例

【0027】

< 1．固体撮像装置の概略構成例 >

図1は、本開示に係る固体撮像装置の概略構成を示している。

【0028】

図1の固体撮像装置1は、半導体として例えばシリコン(Si)を用いた半導体基板11に、画素21が2次元アレイ状に配列された画素アレイ部22を有する。画素アレイ部22には、時刻コード発生部26で生成された時刻コードを各画素21に転送する時刻コード転送部23も設けられている。そして、半導体基板11上の画素アレイ部22の周辺には、画素駆動回路24、DAC(D/A Converter)25、時刻コード発生部26、垂直駆動回路27、出力部28、及びタイミング生成回路29が形成されている。 40

【0029】

2次元アレイ状に配列された画素21のそれぞれには、図2を参照して後述するように、画素回路41とADC42が設けられており、画素21は、画素内の受光素子(例えば、フォトダイオード)で受光した光量に応じた電荷信号を生成し、デジタルの画素信号SIGに変換して出力する。

【0030】

画素駆動回路24は、画素21内の画素回路41(図2)を駆動する。DAC25は、時間経過に応じてレベル(電圧)が単調減少するスロープ信号である参照信号(基準電圧信号)REFを生成し、各画素21に供給する。時刻コード発生部26は、各画素21が、アナログの画素信号SIGをデジタルの信号に変換(AD変換)する際に使用される時刻コードを生成し、対応する時刻コード転送部23に供給する。時刻コード発生部26は、画素アレイ部22に対して複数個設けられており、画素アレイ部22内には、時刻コード発生部26に対応する数だけ、時刻コード転送部23が設けられている。即ち、時刻コード発生部26と、そこで生成された時刻コードを転送する時刻コード転送部23は、1対1に対応する。

【0031】

10

垂直駆動回路27は、画素21内で生成されたデジタルの画素信号SIGを、タイミング生成回路29から供給されるタイミング信号に基づいて、所定の順番で出力部28に出力させる制御を行う。画素21から出力されたデジタルの画素信号SIGは、出力部28から固体撮像装置1の外部へ出力される。出力部28は、黒レベルを補正する黒レベル補正処理やCDS(Correlated Double Sampling; 相関2重サンプリング)処理など、所定のデジタル信号処理を必要に応じて行い、その後、外部へ出力する。

【0032】

タイミング生成回路29は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、生成した各種のタイミング信号を、画素駆動回路24、DAC25、垂直駆動回路27等に供給する。

20

【0033】

固体撮像装置1は、以上のように構成されている。なお、図1では、上述したように、固体撮像装置1を構成する全ての回路が、1つの半導体基板11上に形成されるように説明したが、後述するように、固体撮像装置1を構成する回路を複数枚の半導体基板11に分けて配置する構成とすることもできる。

【0034】

< 2. 画素の詳細構成例 >

図2は、画素21の詳細構成例を示すブロック図である。

【0035】

画素21は、画素回路41とADC(AD変換器)42で構成されている。

30

【0036】

画素回路41は、受光した光量に応じた電荷信号をアナログの画素信号SIGとしてADC42に出力する。ADC42は、画素回路41から供給されたアナログの画素信号SIGをデジタル信号に変換する。

【0037】

ADC42は、比較回路51とデータ記憶部52で構成される。

【0038】

比較回路51は、DAC25から供給される参照信号REFと画素信号SIGを比較し、比較結果を表す比較結果信号として、出力信号VCOを出力する。比較回路51は、参照信号REFと画素信号SIGが同一(の電圧)になったとき、出力信号VCOを反転させる。

40

【0039】

比較回路51は、差動入力回路61、電圧変換回路62、及び正帰還回路(PFB: positive feedback)63により構成されるが、詳細は図3を参照して後述する。

【0040】

データ記憶部52には、比較回路51から出力信号VCOが入力される他、垂直駆動回路27から、画素信号の書き込み動作であることを表すWR信号、画素信号の読み出し動作であることを表すRD信号、及び、画素信号の読み出し動作中における画素21の読み出しタイミングを制御するWORD信号が、垂直駆動回路27から供給される。また、時刻コード転送部23を介して、時刻コード発生部26で生成された時刻コードも供給される。

【0041】

50

データ記憶部 5 2 は、WR信号及びRD信号に基づいて、時刻コードの書き込み動作と読み出し動作を制御するラッチ制御回路 7 1 と、時刻コードを記憶するラッチ記憶部 7 2 で構成される。

【 0 0 4 2 】

ラッチ制御回路 7 1 は、時刻コードの書き込み動作においては、比較回路 5 1 から Hi (High) の出力信号 VCO が入力されている間、時刻コード転送部 2 3 から供給される、単位時間ごとに更新される時刻コードをラッチ記憶部 7 2 に記憶させる。そして、参照信号 REF と画素信号 SIG が同一 (の電圧) になり、比較回路 5 1 から供給される出力信号 VCO が Lo (Low) に反転されたとき、供給される時刻コードの書き込み (更新) を中止し、最後にラッチ記憶部 7 2 に記憶された時刻コードをラッチ記憶部 7 2 に保持させる。ラッチ記憶部 7 2 に記憶された時刻コードは、画素信号 SIG と参照信号 REF が等しくなった時刻を表しており、画素信号 SIG がその時刻の基準電圧であったことを示すデータ、即ち、デジタル化された光量値を表す。

10

【 0 0 4 3 】

参照信号 REF の掃引が終了し、画素アレイ部 2 2 内の全ての画素 2 1 のラッチ記憶部 7 2 に時刻コードが記憶された後、画素 2 1 の動作が、書き込み動作から読み出し動作に変更される。

【 0 0 4 4 】

ラッチ制御回路 7 1 は、時刻コードの読み出し動作においては、読み出しタイミングを制御する WORD 信号に基づいて、画素 2 1 が自分の読み出しタイミングとなったときに、ラッチ記憶部 7 2 に記憶されている時刻コード (デジタルの画素信号 SIG) を、時刻コード転送部 2 3 に出力する。時刻コード転送部 2 3 は、供給された時刻コードを、列方向 (垂直方向) に順次転送し、出力部 2 8 に供給する。

20

【 0 0 4 5 】

以下では、時刻コードの書き込み動作においてラッチ記憶部 7 2 に書き込まれる時刻コードと区別するため、時刻コードの読み出し動作においてラッチ記憶部 7 2 から読み出される出力信号 VCO が反転したときの反転時刻コードである、画素信号 SIG がその時刻の基準電圧であったことを示すデジタル化された画素データを、AD変換画素データとも称する。

【 0 0 4 6 】

< 3 . 比較回路の第 1 構成例 >

30

図 3 は、比較回路 5 1 を構成する差動入力回路 6 1、電圧変換回路 6 2、及び正帰還回路 6 3 の詳細構成を示す回路図である。

【 0 0 4 7 】

差動入力回路 6 1 は、画素 2 1 内の画素回路 4 1 から出力された画素信号 SIG と、DAC 2 5 から出力された参照信号 REF とを比較し、画素信号 SIG が参照信号 REF よりも高いときに所定の信号 (電流) を出力する。

【 0 0 4 8 】

差動入力回路 6 1 は、差動対となるトランジスタ 8 1 及び 8 2、カレントミラーを構成するトランジスタ 8 3 及び 8 4、入力バイアス電流 V_b に応じた電流 I_B を供給する定電流源としてのトランジスタ 8 5、並びに、差動入力回路 6 1 の出力信号 HVO を出力するトランジスタ 8 6 により構成されている。

40

【 0 0 4 9 】

トランジスタ 8 1、8 2、及び 8 5 は、NMOS (Negative Channel MOS) トランジスタで構成され、トランジスタ 8 3、8 4、及び 8 6 は、PMOS (Positive Channel MOS) トランジスタで構成される。

【 0 0 5 0 】

差動対となるトランジスタ 8 1 及び 8 2 のうち、トランジスタ 8 1 のゲートには、DAC 2 5 から出力された参照信号 REF が入力され、トランジスタ 8 2 のゲートには、画素 2 1 内の画素回路 4 1 から出力された画素信号 SIG が入力される。トランジスタ 8 1 と 8 2 のソースは、トランジスタ 8 5 のドレインと接続され、トランジスタ 8 5 のソースは、所定

50

の電圧VSS (VSS < VDD2 < VDD1) に接続されている。

【0051】

トランジスタ81のドレインは、カレントミラー回路を構成するトランジスタ83及び84のゲート及びトランジスタ83のドレインと接続され、トランジスタ82のドレインは、トランジスタ84のドレイン及びトランジスタ86のゲートと接続されている。トランジスタ83、84、及び86のソースは、第1電源電圧VDD1に接続されている。

【0052】

電圧変換回路62は、例えば、NMOS型のトランジスタ91で構成される。トランジスタ91のドレインは、差動入力回路61のトランジスタ86のドレインと接続され、トランジスタ91のソースは、正帰還回路63内の所定の接続点に接続され、トランジスタ86のゲートは、バイアス電圧VBIASに接続されている。

10

【0053】

差動入力回路61を構成するトランジスタ81乃至86は、第1電源電圧VDD1までの高電圧で動作する回路であり、正帰還回路63は、第1電源電圧VDD1よりも低い第2電源電圧VDD2で動作する回路である。電圧変換回路62は、差動入力回路61から入力される出力信号HVOを、正帰還回路63が動作可能な低電圧の信号(変換信号)LVIに変換して、正帰還回路63に供給する。

【0054】

バイアス電圧VBIASは、定電圧で動作する正帰還回路63の各トランジスタ101乃至105を破壊しない電圧に変換する電圧であれば良い。例えば、バイアス電圧VBIASは、正帰還回路63の第2電源電圧VDD2と同じ電圧(VBIAS = VDD2)とすることができる。

20

【0055】

正帰還回路63は、差動入力回路61からの出力信号HVOが第2電源電圧VDD2に対応する信号に変換された変換信号LVIに基づいて、画素信号SIGが参照信号REFよりも高いときに反転する比較結果信号を出力する。また、正帰還回路63は、比較結果信号として出力する出力信号VCOが反転するときの遷移速度を高速化する。

【0056】

正帰還回路63は、5つのトランジスタ101乃至105で構成される。ここで、トランジスタ101、102、及び104は、PMOSトランジスタで構成され、トランジスタ103及び105は、NMOSトランジスタで構成される。

30

【0057】

電圧変換回路62の出力端であるトランジスタ91のソースは、トランジスタ102及び103のドレインと、トランジスタ104及び105のゲートに接続されている。トランジスタ101及び104のソースは、第2電源電圧VDD2に接続され、トランジスタ101のドレインは、トランジスタ102のソースと接続され、トランジスタ102のゲートは、正帰還回路63の出力端でもあるトランジスタ104及び105のドレインと接続されている。トランジスタ103及び105のソースは、所定の電圧VSSに接続されている。トランジスタ101と103のゲートには、初期化信号INIが供給される。

【0058】

トランジスタ104と105はインバータ回路を構成し、それらのドレインどうしの接続点は、比較回路51が出力信号VCOを出力する出力端となっている。

40

【0059】

以上のように構成される比較回路51の動作について説明する。図4は、比較回路51の動作中の各信号の遷移を表す。なお、図4において“G86”はトランジスタ86のゲート電位を表している。

【0060】

まず、参照信号REFが、全ての画素21の画素信号SIGよりも高い電圧に設定されるとともに、初期化信号INIがHiにされて、比較回路51が初期化される。

【0061】

より具体的には、トランジスタ81のゲートには参照信号REFが、トランジスタ82の

50

ゲートには画素信号SIGが印加される。参照信号REFの電圧が、画素信号SIGの電圧よりも高い電圧の時は電流源となるトランジスタ85が出力した電流のほとんどがトランジスタ81を介してダイオード接続されたトランジスタ83に流れる。トランジスタ83と共通のゲートを持つトランジスタ84のチャネル抵抗は十分低くなりトランジスタ86のゲートをほぼ第1電源電圧VDD1レベルに保ち、トランジスタ86は遮断される。したがって、電圧変換回路62のトランジスタ91が導通していたとしても、充電回路としての正帰還回路63が変換信号LVIを充電することは無い。一方、初期化信号INIとしてHiの信号が供給されていることから、トランジスタ103は導通し、正帰還回路63は変換信号LVIを放電する。また、トランジスタ101は遮断するので、正帰還回路63がトランジスタ102を介して変換信号LVIを充電することもない。その結果、変換信号LVIは、所定の電圧VSSレベルまで放電され、正帰還回路63は、インバータを構成するトランジスタ104と105によってHiの出力信号VCOを出力し、比較回路51が初期化される。

【0062】

初期化の後、初期化信号INIがLoにされて、参照信号REFの掃引が開始される。

【0063】

参照信号REFが画素信号SIGよりも高い電圧の期間では、トランジスタ86はオフとなるため遮断され、出力信号VCOはHiの信号となるので、トランジスタ102もオフとなり遮断される。トランジスタ103も、初期化信号INIはLoとなっているため遮断される。変換信号LVIは、高インピーダンス状態のまま所定の電圧VSSを保ち、Hiの出力信号VCOが出力される。

【0064】

参照信号REFが画素信号SIGよりも低くなると、電流源のトランジスタ85の出力電流はトランジスタ81を流れなくなり、トランジスタ83と84のゲート電位は上昇して、トランジスタ84のチャネル抵抗は高くなる。そこに、トランジスタ82を介して流れ込む電流が、電圧降下を起こしてトランジスタ86のゲート電位を下げ、トランジスタ91が導通する。トランジスタ86から出力された出力信号HVOは、電圧変換回路62のトランジスタ91によって変換信号LVIに変換され、正帰還回路63に供給される。充電回路としての正帰還回路63は、変換信号LVIを充電し、電位を低電圧VSSから第2電源電圧VDD2へ近づけてゆく。

【0065】

そして、変換信号LVIの電圧が、トランジスタ104と105で構成されるインバータの閾値電圧を超えると、出力信号VCOはLoとなり、トランジスタ102が導通する。トランジスタ101も、Loの初期化信号INIが印加されているため導通しており、正帰還回路63は、トランジスタ101と102を介して、変換信号LVIを急速に充電し、電位を第2電源電圧VDD2まで一気に持ち上げる。

【0066】

電圧変換回路62のトランジスタ91は、ゲートにバイアス電圧VBIASが印加されているので、変換信号LVIの電圧が、バイアス電圧VBIASからトランジスタ閾値下がった電圧値に到達すれば遮断する。トランジスタ86が導通したままとしても、それ以上に変換信号LVIを充電することは無く、電圧変換回路62は、電圧クランプ回路としても機能する。

【0067】

トランジスタ102の導通による変換信号LVIの充電は、そもそもが変換信号LVIがインバータ閾値まで上昇してきたことを発端とし、その動きを加速する正帰還動作である。差動入力回路61の電流源であるトランジスタ85は、固体撮像装置1で並列同時に動作する回路数が膨大であることから1回路あたりの電流がきわめて僅かな電流に設定される。さらに、参照信号REFは、時刻コードが切り替わる単位時間に変化する電圧がAD変換のLSBステップとなるために極めて緩慢に掃引される。従って、トランジスタ86のゲート電位の変化も緩慢であり、それによって駆動されるトランジスタ86の出力電流の変化も緩慢である。しかし、その出力電流で充電される変換信号LVIに、後段から正帰還をかけるこ

10

20

30

40

50

とで、出力信号VCOは十分急速に遷移することができる。望ましくは、出力信号VCOの遷移時間は、時刻コードの単位時間の数分の1であり、典型例としては1ns以下である。本開示の比較回路51は、電流源のトランジスタ85に、例えば0.1uAの僅かな電流を設定しただけで、この出力遷移時間を達成することができる。

【0068】

<画素回路の詳細構成例>

図5を参照して、画素回路41の詳細構成について説明する。

【0069】

図5は、図3に示した比較回路51に、画素回路41の詳細を追加して示した回路図である。

10

【0070】

画素回路41は、光電変換素子としてのフォトダイオード(PD)121、排出トランジスタ122、転送トランジスタ123、リセットトランジスタ124、及び、FD(浮遊拡散層)125で構成されている。

【0071】

排出トランジスタ122は、露光期間を調整する場合に使用される。具体的には、露光期間を任意のタイミングで開始したいときに排出トランジスタ122をオンさせると、それまでの間にフォトダイオード121に蓄積されていた電荷が排出されるので、排出トランジスタ122がオフされた以降から、露光期間が開始されることになる。

20

【0072】

転送トランジスタ123は、フォトダイオード121で生成された電荷をFD125に転送する。リセットトランジスタ124は、FD125に保持されている電荷をリセットする。FD125は、差動入力回路61のトランジスタ82のゲートに接続されている。これにより、差動入力回路61のトランジスタ82は、画素回路41の増幅トランジスタとしても機能する。

【0073】

リセットトランジスタ124のソースは、差動入力回路61のトランジスタ82のゲート、及び、FD125に接続されており、リセットトランジスタ124のドレインは、トランジスタ82のドレインと接続されている。したがって、FD125の電荷をリセットするための固定のリセット電圧がない。これは、差動入力回路61の回路状態を制御することで、FD125をリセットするリセット電圧を、参照信号REFを用いて任意に設定可能であるためである。

30

【0074】

<画素部タイミングチャート>

図6のタイミングチャートを参照して、図5に示した画素21の動作について説明する。

【0075】

初めに、時刻 t_1 において、参照信号REFが、それまでのスタンバイ電圧 $V_{s_{tb}}$ から、FD125の電荷をリセットするリセット電圧 V_{rst} に設定され、リセットトランジスタ124がオンされることにより、FD125の電荷がリセットされる。また、時刻 t_1 では、正帰還回路63のトランジスタ101と103のゲートに供給される初期化信号INIがHiに設定され、正帰還回路63が初期状態に設定される。

40

【0076】

時刻 t_2 において、参照信号REFが所定の電圧 V_u まで持ち上げられ、参照信号REFと画素信号SIGの比較(参照信号REFの掃引)が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VCOはHiとなっている。

【0077】

参照信号REFと画素信号SIGが同一となったと判定された時刻 t_3 において、出力信号VCOが反転(Lowに遷移)される。出力信号VCOが反転されると、上述したように正帰還回路63によって出力信号VCOの反転が高速化される。また、データ記憶部52では、出力信

50

号VCOが反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

【0078】

信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_4 において、比較回路51のトランジスタ81のゲートに供給する参照信号REFの電圧が、トランジスタ81がオフするレベル(スタンバイ電圧 V_{s,t_b})まで引き下げられる。これにより、信号読み出し期間中の比較回路51の消費電流が抑制される。

【0079】

時刻 t_5 において、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチ信号Col[n]（ $n = 1$ 乃至N）（不図示）が、データ記憶部52のラッチ制御回路71から出力される。ここで取得されるデータは、CDS(Correlated Double Sampling; 関連2重サンプリング)処理する際のリセットレベルのP相データとなる。

10

【0080】

時刻 t_6 において、参照信号REFが所定の電圧 V_U まで持ち上げられるとともに、トランジスタ101と103のゲートに供給される初期化信号INIがHiに設定され、正帰還回路63が再び初期状態に設定される。

【0081】

時刻 t_7 において、Hiの転送信号TXにより画素回路41の転送トランジスタ123がオンされ、フォトダイオード121で生成された電荷がFD125に転送される。

【0082】

初期化信号INIがLowに戻された後、参照信号REFと画素信号SIGの比較（参照信号REFの掃引）が開始される。この時点では、参照信号REFが画素信号SIGよりも大きいため出力信号VCOはHiとなっている。

20

【0083】

そして、参照信号REFと画素信号SIGが同一となったと判定された時刻 t_8 において、出力信号VCOが反転（Lowに遷移）される。出力信号VCOが反転されると、正帰還回路63によって出力信号VCOの反転が高速化される。また、データ記憶部52には、出力信号VCOが反転した時点の時刻データ（NビットのDATA[1]乃至DATA[N]）が記憶される。

【0084】

信号書き込み期間が終了し、かつ、信号読み出し期間の開始時刻である時刻 t_9 において、比較回路51のトランジスタ81のゲートに供給する参照信号REFの電圧が、トランジスタ81がオフするレベル(スタンバイ電圧 V_{s,t_b})まで引き下げられる。これにより、信号読み出し期間中の比較回路51の消費電流が抑制される。

30

【0085】

時刻 t_{10} において、読み出しタイミングを制御するWORD信号がHiとなり、Nビットのラッチ信号Col[n]（ $n = 1$ 乃至N）（不図示）が、データ記憶部52のラッチ制御回路71から出力される。ここで取得されるデータは、CDS処理する際の信号レベルのD相データとなる。時刻 t_{11} は、上述した時刻 t_1 と同じ状態であり、次の1V（1垂直走査期間）の駆動となる。

【0086】

以上の画素21の駆動によれば、最初に、P相データ（リセットレベル）が取得された後、読み出され、次に、D相データ（信号レベル）が取得されて、読み出される。

40

【0087】

以上の動作により、固体撮像装置1の画素アレイ部22の各画素21は、全画素同時にリセットし、かつ、全画素同時に露光するグローバルシャッタ動作が可能である。全画素が同時に露光及び読み出しを行うことが出来るので、通常、画素内に設けられる、電荷が読み出されるまでの間、電荷を保持する保持部が不要である。また、画素21の構成では、カラム並列読み出し型の固体撮像装置で必要であった、画素信号SIGを出力する画素を選択するための選択トランジスタ等も不要である。

【0088】

図6を参照して説明した画素21の駆動では、排出トランジスタ122が常にオフに制

50

御されていた。しかし、図6において破線で示されるように、所望の時刻で、排出信号OF GをHiに設定して排出トランジスタ122を一旦オンさせた後、オフさせることにより、任意の露光期間を設定することも可能である。

【0089】

< 4 . 比較回路の第2構成例 >

図7は、比較回路51の第2構成例を示す回路図である。

【0090】

図7においては、図3に示した第1構成例と対応する部分については同一の符号を付しており、その説明は適宜省略する。図8以降についても同様とする。

【0091】

比較回路51の第2構成例では、電圧変換回路62の構成のみが、図3に示した第1の構成例と異なる。より具体的には、電圧変換回路62は、トランジスタ91ではなく、直列接続された複数個(図7では3個)のダイオード141で構成されている。ダイオード141は、接合ダイオードでも良いし、ダイオード接続したMOSトランジスタでもよい。

【0092】

< 5 . 比較回路の第3構成例 >

図8は、比較回路51の第3構成例を示す回路図である。

【0093】

比較回路51の第3構成例では、正帰還回路63において、2つのトランジスタ161と162が追加されている点以外は、図3に示した第1構成例と同様である。

【0094】

第1構成例における正帰還回路63のインバータ回路が、第3構成例においては、2入力のNOR回路に置き換えられている。PMOSトランジスタで構成されるトランジスタ161のゲートと、NMOSトランジスタで構成されるトランジスタ162のゲートには、第1の入力である変換信号LVIではない、第2の入力である制御信号TERMが供給される。

【0095】

トランジスタ161のソースは第2電源電圧VDD2に接続され、トランジスタ161のドレインはトランジスタ104のソースに接続されている。トランジスタ162のドレインは、比較回路51の出力端と接続され、トランジスタ162のソースは、所定の電圧VSSに接続されている。

【0096】

以上のように構成される第3構成例における比較回路51では、第2の入力である制御信号TERMをHiにすると、差動入力回路61の状態に関係なく、出力信号VCOをLoにすることができる。

【0097】

例えば、画素信号SIGの電圧が、想定を超える高い輝度(たとえば固体撮像装置1の画角内に写り込んだ太陽像)によって参照信号REFの最終電圧を下回ると、比較回路51の出力信号VCOがHiのまま比較期間を終えることになり、出力信号VCOによって制御されるデータ記憶部52は、値を固定することが出来ずAD変換機能が失われる。このような状態の発生を防止するため、参照信号REFの掃引の最後に、Hiパルスの制御信号TERMを入力することにより、未だにLoに反転していない出力信号VCOを強制的に反転することができる。データ記憶部52は強制反転直前の時刻コードを記憶(ラッチ)するので、図8の構成を採用した場合には、ADC42は、結果的に、一定以上の輝度入力に対する出力値をクランプしたAD変換器として機能する。

【0098】

バイアス電圧VBIASをLoレベルに制御して、トランジスタ91を遮断させ、初期化信号INIをHiにすると、差動入力回路61の状態に関係なく出力信号VCOはHiになる。したがって、この出力信号VCOの強制的なHi出力と、上述した制御信号TERMによる強制的なLo出力を組み合わせることにより、差動入力回路61及び、その前段である画素回路41とDAC25の状態に関係なく、出力信号VCOを任意の値に設定することができる。この機能によ

10

20

30

40

50

り、例えば、画素21から後段の回路を、固体撮像装置1への光学的入力に頼らず、電気信号入力だけで試験することが可能となる。

【0099】

<6. 比較回路の第4構成例>

図9は、比較回路51の第4構成例を示す回路図である。

【0100】

図9の比較回路51は、差動入力回路61と正帰還回路63Aとで構成され、電圧変換回路62を設けずに、比較回路51全体を高電圧回路で構成した場合の回路を示している。なお、図9においては、図3に示した第1構成例と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

10

【0101】

比較回路51の第4構成例では、差動入力回路61において、トランジスタ82と84の間に、電流制限部181として、PMOS型のトランジスタ87が接続されている。また、正帰還回路63Aは、3つのトランジスタ111乃至113と、インバータを構成するトランジスタ104A及び105Aとで構成されている。

【0102】

トランジスタ84のドレインは、トランジスタ87のソースとトランジスタ111のゲートに接続され、トランジスタ82のドレインは、電流制限部181としてのトランジスタ87のドレインと接続されている。トランジスタ87のゲートは、正帰還回路63A内のトランジスタ111乃至113それぞれのドレインと接続されている。

20

【0103】

第4構成例における比較回路51の動作について説明する。

【0104】

差動増幅回路61は、トランジスタ81のゲートに入力された参照信号REFと、トランジスタ82のゲートに入力された画素信号SIGとを比較し、参照信号REFと画素信号SIGが同一(の電圧)になったとき、出力信号VCOをHiからLowに反転させる。

【0105】

出力信号VCOがHiからLowに反転された場合、正帰還回路63Aのトランジスタ111がオンし、ドレイン電圧が持ち上がる。トランジスタ111のドレインは、トランジスタ112のゲートと接続されているため、トランジスタ112がオンする。トランジスタ112がオンすることにより、トランジスタ111のゲートが所定の電位VSSに接続されるため、出力信号VCOが急峻に引き下げられる。これにより、トランジスタ111がさらに強いオン状態となり、同時に、トランジスタ112も、さらに強いオン状態となる。

30

【0106】

電流制限部181の機能について説明する。

【0107】

仮に、電流制限部181としてのトランジスタ87が設けられていないとすると、差動入力回路61のトランジスタ84から正帰還回路63Aのトランジスタ112に流れる、出力信号VCOを高速化するための非常に大きい電流が、流れたままの状態となる。

【0108】

しかし、電流制限部181としてのトランジスタ87を、差動入力回路61内のトランジスタ82と84の間に挿入することで、出力信号VCOの反転後に、差動入力回路61のトランジスタ84から正帰還回路63Aのトランジスタ112に流れる非常に大きな電流が制限される。制限されたときの電流の大きさは、差動入力回路61のカレントミラーのトランジスタ83及び84に流れる電流で決定され、カレントミラーのトランジスタ83及び84に流れる電流は、定電流源としてのトランジスタ85の入力バイアス電流Vbにより決定されるため、トランジスタ85を流れる電流IBとなる。

40

【0109】

従って、比較回路51の一連の動作においては、最初、参照信号REFが画素信号SIGよりも大きい状態では、入力バイアス電流Vbにより制限された電流IBが流れる。そして、参照

50

信号REFと画素信号SIGが同一となったときに、比較回路51内で、非常に大きな電流が瞬間的に流れ、出力信号VCOの反転が高速化される。そして、出力信号VCOの反転後、入力バイアス電流Vbにより制限された電流IBと、そのミラー電流IBが比較回路51内を流れる。したがって、電流制限部181を設けることにより、比較判定後は、比較回路51内を流れる電流が、初期の電流IBの2倍の2IBとなる。

【0110】

<回路レイアウト例>

図10は、図3に示した比較回路51の第1構成例と、図9に示した比較回路51の第4構成例の回路レイアウトを示す平面図である。

【0111】

図10のAは、図3に示した第1構成例の回路レイアウトを示しており、図10のBは、図9に示した第4構成例の回路レイアウトを示している。なお、図10のA及び図10のBの回路レイアウトにおいて、トランジスタ81、82、及び85については図示が省略されている。

【0112】

画素回路41は、露光で誘起された電荷を完全に保持したり移動したりするために大きなポテンシャル操作すなわち高電圧回路動作が必須である。画素信号電圧を入力する差動入力回路61も同様に、例えば、3V程度の高耐圧素子で構成する必要がある。

【0113】

図10のBに示される第4構成例の比較回路51は、正帰還回路63Aについても同様に高耐圧素子で構成されている。

【0114】

これに対して、図10のAに示される第1構成例の比較回路51は、正帰還回路63の各トランジスタは、例えば、1V程度の耐圧のトランジスタで構成することができ、レイアウト面積も、図10を見て明らかのように小さくすることができる。

【0115】

また、第4構成例の比較回路51では、出力信号VCOの反転後の動作電流が、上述したように、初期の電流IBの2倍の2IBであるが、第1構成例の比較回路51では、出力信号VCOの反転後も動作電流は85の出力電流に等しく変化が無い。

【0116】

よって、第1構成例の比較回路51は、第4構成例の比較回路51と比較して、比較回路51の判定速度を向上させつつ、消費電力をより低減させることができる。

【0117】

なお、第2構成例と第3構成例の比較回路51についても、第1構成例の比較回路51と同様の効果がある。

【0118】

<7.画素共有の第1構成例>

これまでに説明した比較回路51は、1つの画素21内に1つのADC42が配置される構成とされていたが、複数の画素21で、1つのADC42を共有する構成とすることもできる。

【0119】

図11は、複数の画素21で1つのADC42を共有する画素共有の場合の比較回路51の構成例を示す回路図である。

【0120】

図11では、画素21A、画素21B、画素21C、及び画素21Dの4つの画素21で1つのADC42を共有する場合の比較回路51の構成例が示されている。

【0121】

具体的には、画素21Aの画素回路41からの画素信号SIG_Aが入力されるトランジスタ181Aと、そのトランジスタ181Aを有効にする選択トランジスタ182Aが、トランジスタ85のドレインとトランジスタ84のドレインとの間に設けられている。同様に、

10

20

30

40

50

画素 2 1 B の画素回路 4 1 からの画素信号 SIG_B が入力されるトランジスタ 1 8 1 B と、そのトランジスタ 1 8 1 B を有効にする選択トランジスタ 1 8 2 B、画素 2 1 C の画素回路 4 1 からの画素信号 SIG_C が入力されるトランジスタ 1 8 1 C と、そのトランジスタ 1 8 1 C を有効にする選択トランジスタ 1 8 2 C、及び、画素 2 1 D の画素回路 4 1 からの画素信号 SIG_D が入力されるトランジスタ 1 8 1 D と、そのトランジスタ 1 8 1 D を有効にする選択トランジスタ 1 8 2 D が、トランジスタ 1 8 1 A 及び選択トランジスタ 1 8 2 A と並列に接続されている。

【 0 1 2 2 】

< 8 . 画素共有の第 2 構成例 >

また、4 つの画素 2 1 A 乃至 2 1 D で 1 つの ADC 4 2 を共有する場合には、図 1 2 に示される構成を採用することもできる。

10

【 0 1 2 3 】

図 1 2 において、比較回路 5 1 を構成する差動入力回路 6 1、電圧変換回路 6 2、及び正帰還回路 6 3 の構成は、図 3 に示した構成と同様である。

【 0 1 2 4 】

図 1 2 では、4 つの画素 2 1 A 乃至 2 1 D には画素回路 4 1 A 乃至 4 1 D が設けられ、画素回路 4 1 A 乃至 4 1 D には、フォトダイオード 1 2 1 q、排出トランジスタ 1 2 2 q、及び、転送トランジスタ 1 2 3 q が個別に設けられている。一方、リセットトランジスタ 1 7 4 と FD 1 7 5 は、4 つの画素 2 1 A 乃至 2 1 D で共有されている。

【 0 1 2 5 】

20

なお、図 1 2 では、比較回路 5 1 の回路構成として、図 3 に示した回路構成を採用しているが、その他の回路構成を採用してもよい。

【 0 1 2 6 】

< 9 . 時刻コード転送部とデータ記憶部の第 1 構成例 >

次に、時刻コードの書き込み制御と読み出し制御について説明する。

【 0 1 2 7 】

図 1 3 は、時刻コード転送部 2 3 とデータ記憶部 5 2 の第 1 構成例を示す回路図である。

【 0 1 2 8 】

データ記憶部 5 2 には、時刻コードが N ビットの DATA[1] 乃至 DATA[N] で表されることに

30

対応して、N 個のビット記憶部 2 0 1 - 1 乃至 2 0 1 - N が設けられている。

【 0 1 2 9 】

ビット記憶部 2 0 1 - n (n = 1 乃至 N) は、時刻コードの書き込みと読み出しを制御するラッチ制御回路 2 1 1 と、ビットデータを記憶するラッチ記憶部 2 1 2 を有する。N 個のビット記憶部 2 0 1 - 1 乃至 2 0 1 - N のラッチ制御回路 2 1 1 が、図 1 のラッチ制御回路 7 1 に対応し、N 個のビット記憶部 2 0 1 - 1 乃至 2 0 1 - N のラッチ記憶部 2 1 2 が、図 1 のラッチ記憶部 7 2 に対応する。ここで、時刻コードの読み出しとは、出力信号 VCO が反転したときの反転時刻コード、即ち、AD 変換画素データの読み出しを意味する。

【 0 1 3 0 】

ラッチ制御回路 2 1 1 は、NMOS 型の 2 個のトランジスタ 2 2 1 及び 2 2 2 で構成され、ラッチ記憶部 2 1 2 は、容量部 2 3 1 と NMOS 型のトランジスタ 2 3 2 とで構成される。

40

【 0 1 3 1 】

時刻コード転送部 2 3 は、N ビットの DATA[1] 乃至 DATA[N] を伝送するパッシブな配線 BL[1] 乃至 BL[N] と、配線 BL[1] 乃至 BL[N] の先に接続された出力部 2 8 内のキャパシタ (不図示) に所定の電位をプリチャージするプリチャージ回路 2 4 0 で構成される。プリチャージ回路 2 4 0 は、例えば、配線 BL[1] 乃至 BL[N] に対して 1 対 1 に設けられた PMOS 型の N 個のトランジスタ 2 6 1 で構成される。

【 0 1 3 2 】

n ビット目のラッチ制御回路 2 1 1 - n のトランジスタ 2 2 1 のゲートには、比較回路 5 1 の出力信号 VCO が入力される。ラッチ制御回路 2 1 1 - n のトランジスタ 2 2 1 及び

50

2 2 2 のドレインは、時刻コード転送部 2 3 の n ビットの DATA[n] を伝送する配線 BL[n] と接続されている。ラッチ制御回路 2 1 1 - n のトランジスタ 2 2 2 のゲートには、時刻コードの読み出しタイミングを制御する WORD 信号が入力される。

【 0 1 3 3 】

時刻コードの書き込み動作においては、トランジスタ 2 2 2 には、Lo の WORD 信号が供給され、トランジスタ 2 2 1 は、比較回路 5 1 から Hi の出力信号 VCO が入力されている間だけ導通する。出力信号 VCO が Hi の間、時刻コード発生部 2 6 で生成された、単位時間ごとに切り替わる n ビット目の時刻コードが、配線 BL[n] を介して容量部 2 3 1 に記憶される。時刻コード発生部 2 6 で生成される N ビットの DATA[1] 乃至 DATA[N] は、例えば、グレイコード等のビット信号である。

10

【 0 1 3 4 】

時刻コードの読み出し動作においては、まず、時刻コード転送部 2 3 のプリチャージ回路 2 4 0 が、配線 BL[1] 乃至 BL[N] の先に接続された出力部 2 8 内のキャパシタ（不図示）に所定の電位をプリチャージする。

【 0 1 3 5 】

そして、読み出し対象の画素 2 1 のラッチ制御回路 2 1 1 のトランジスタ 2 2 2 に Hi の WORD 信号が供給される。このとき、容量部 2 3 1 が充電されていれば、トランジスタ 2 3 2 は導通し、出力部 2 8 内のキャパシタにプリチャージされた電位が放電され、容量部 2 3 1 が充電されていなければ、出力部 2 8 内のキャパシタにプリチャージされた電位は放電されず、プリチャージされた電位が保持される。出力部 2 8 は、この電位の変化をセンスアンプ（不図示）で判定することで、ラッチ記憶部 2 1 2 に保持された時刻コードを読み取ることができる。

20

【 0 1 3 6 】

以上の読み出し処理が、画素アレイ部 2 2 の全ての画素 2 1 に対して順次実行される。

【 0 1 3 7 】

< 1 0 . 時刻コード転送部とデータ記憶部の第 2 構成例 >

図 1 4 は、時刻コード転送部 2 3 とデータ記憶部 5 2 の第 2 構成例を示す回路図である。

【 0 1 3 8 】

第 2 構成例では、データ記憶部 5 2 は、1 個のラッチ制御回路 2 4 1 と、 N 個のビット記憶部 2 4 2 - 1 乃至 2 4 2 - N で構成されている。第 2 構成例では、1 個のラッチ制御回路 2 4 1 が、 N 個のビット記憶部 2 4 2 - 1 乃至 2 4 2 - N に、出力信号 VCO と WORD 信号を供給する。ビット記憶部 2 4 2 - 1 乃至 2 4 2 - N それぞれは、トランスファゲート 2 6 1 とラッチ記憶部 2 6 2 で構成される。

30

【 0 1 3 9 】

従って、図 1 3 の第 1 構成例では、ラッチ制御回路 2 1 1 がビット記憶部 2 0 1 - 1 乃至 2 0 1 - N 内にそれぞれ設けられているのに対して、第 2 構成例では、ラッチ制御回路 2 4 1 が、ビット記憶部 2 4 2 - 1 乃至 2 4 2 - N の外に、ビット記憶部 2 4 2 - 1 乃至 2 4 2 - N に対して共通に設けられている。ラッチ制御回路 2 4 1 が、図 1 のラッチ制御回路 7 1 に対応し、ビット記憶部 2 4 2 - 1 乃至 2 4 2 - N が、図 1 のラッチ記憶部 7 2 に対応する。

40

【 0 1 4 0 】

ラッチ制御回路 2 4 1 は、直列接続された 2 個のインバータ 2 8 1 及び 2 8 2 と、直列接続された NOR 回路 2 8 3 及びインバータ 2 8 4 で構成されている。

【 0 1 4 1 】

ビット記憶部 2 4 2 - n のトランスファゲート 2 6 1 は、NMOS トランジスタと PMOS トランジスタの 2 個のトランジスタ 2 9 1 及び 2 9 2 で構成されている。

【 0 1 4 2 】

ビット記憶部 2 4 2 - n のラッチ記憶部 2 6 2 は、トランジスタ 3 0 1 乃至 3 0 6 からなるスタティック型のラッチ回路で構成されている。トランジスタ 3 0 1、3 0 2、及び

50

305は、PMOSトランジスタで構成され、トランジスタ303、304、及び306は、NMOSトランジスタで構成されている。

【0143】

比較回路51からの出力である出力信号VCOは、インバータ281とNOR回路283に入力され、NOR回路283のもう一方の入力には、WORD信号が供給される。インバータ281の出力は、インバータ282とラッチ記憶部262のトランジスタ303のゲートに供給され、インバータ282の出力は、ラッチ記憶部262のトランジスタ302のゲートに供給される。また、NOR回路283の出力は、インバータ284とトランスファゲート261のトランジスタ292のゲートに供給され、インバータ284の出力は、トランスファゲート261のトランジスタ291のゲートに供給される。

10

【0144】

時刻コードの書き込み動作においては、WORD信号が全画素でLoとなり、トランスファゲート261は、出力信号VCOがHiのとき導通し、Loのとき遮断する。ラッチ記憶部262のフィードバック（入力Qに対する出力xQ）は、出力信号VCOがHiのとき遮断し、Loのとき導通する。したがって、ラッチ記憶部262は、出力信号VCOがHiのとき、nビット目の時刻コードの書き込み状態（トランスペアレント）となり、出力信号VCOがLoのとき、書き込まれた時刻コードの保持状態（ラッチ状態）となる。

【0145】

時刻コードの読み出し動作においては、読み出し対象の画素21のラッチ制御回路241のみにWORD信号が供給される。出力信号VCOはLoとなっているので、トランスファゲート261は、HiのWORD信号が入力されたときのみ導通し、ラッチ記憶部212に保持された時刻コードが、時刻コード転送部23に出力される。

20

【0146】

従って、第2構成例においても、第1構成例と同様の動作が実行される。

【0147】

< 11 . 時刻コード転送部とデータ記憶部の第3構成例 >

図15は、時刻コード転送部23とデータ記憶部52の第3構成例を示す回路図である。

【0148】

第3構成例では、時刻コード転送部23が、Nビットの時刻コードDATA[1]乃至DATA[N]に対応するN個のシフトレジスタ341-1乃至341-Nと、クロック供給回路342とで構成されている。N個のシフトレジスタ341-1乃至341-Nそれぞれは、複数のD-F/F(D-フリップフロップ)351からなる。クロック供給回路342は、シフトレジスタ341の各D-F/F351のクロック入力に、クロック信号CLKを供給する。

30

【0149】

データ記憶部52は、図14に示した第2構成例と同様の、ラッチ制御回路241と、N個のビット記憶部242-1乃至242-Nで構成されている。さらに、第3構成例では、時刻コード転送部23とデータ記憶部52との間に、N個の双方向バッファ回路371-1乃至371-Nが新たに追加されている。

【0150】

N個の双方向バッファ回路371-1乃至371-Nは、時刻コード転送部23のN個のシフトレジスタ341-1乃至341-Nに1対1に対応して設けられている。双方向バッファ回路371は、対応するシフトレジスタ341内の1つのD-F/F351と接続されている。

40

【0151】

双方向バッファ回路371-nのバッファ回路381には、時刻コードの書き込み動作においてHiとなる書き込み制御信号WRが供給され、インバータ回路382には、時刻コードの読み出し動作においてHiとなる読み出し制御信号RDが供給される。双方向バッファ回路371-nは、書き込み制御信号WRと読み出し制御信号RDに基づいて、ビット記憶部242-nに対する時刻コードの書き込み動作と読み出し動作を切り替える。

50

【 0 1 5 2 】

ビット記憶部 2 4 2 - 1 乃至 2 4 2 - N は、図 1 4 に示した第 2 構成例と同様の構成を有する。

【 0 1 5 3 】

参照信号 REF の掃引が行われる AD 変換期間中には、時刻コード転送部 2 3 の N 個のシフトレジスタ 3 4 1 は、時刻コード発生部 2 6 から供給された時刻コードを、時刻コードの単位時間をクロック周期とするシフトクロックで転送する。

【 0 1 5 4 】

時刻コードの書き込み動作においては、Hi の書き込み制御信号 WR と、Lo の読み出し制御信号 RD が、双方向バッファ回路 3 7 1 に供給されており、双方向バッファ回路 3 7 1 は、シフトレジスタ 3 4 1 の所定の D-F/F 3 5 1 から供給された時刻コードを、トランスファゲート 2 6 1 を介してビット記憶部 2 4 2 に供給する。ビット記憶部 2 4 2 は、供給された時刻コードを記憶する。

10

【 0 1 5 5 】

次の時刻コードの読み出し動作においては、ビット記憶部 2 4 2 に記憶されている時刻コードが、双方向バッファ回路 3 7 1 を介して時刻コード転送部 2 3 のシフトレジスタ 3 4 1 の所定の D-F/F 3 5 1 に供給される。シフトレジスタ 3 4 1 は、各段の D-F/F 3 5 1 に供給された時刻データを順送りに出力部 2 8 まで転送し、出力する。

【 0 1 5 6 】

より具体的には、シフトレジスタ 3 4 1 の各 D-F/F 3 5 1 には、クロック入力に供給されるクロック信号 CLK が Hi または Lo のいずれか一方でハイインピーダンス状態（以下、Hi-Z 状態と記述する。）にできる構成が採用される。例えば、図 1 6 及び図 1 7 で後述する D-F/F 3 5 1 の構成では、D-F/F 3 5 1 は、クロック信号 CLK が Lo であるとき、Hi-Z 状態となる。

20

【 0 1 5 7 】

シフトレジスタ 3 4 1 の各 D-F/F 3 5 1 が Hi-Z 状態とされている期間に、双方向バッファ回路 3 7 1 に Hi の読み出し制御信号 RD が供給されるとともに、WORD 信号が Hi となり、ビット記憶部 2 4 2 に記憶されている時刻コードが、双方向バッファ回路 3 7 1 を介して時刻コード転送部 2 3 のシフトレジスタ 3 4 1 の所定の D-F/F 3 5 1 に供給される。

【 0 1 5 8 】

読み出し制御信号 RD が Lo に戻された後、シフトレジスタ 3 4 1 の各 D-F/F 3 5 1 にシフトクロックが供給され、シフトレジスタ 3 4 1 は、各段の D-F/F 3 5 1 に供給された時刻データを出力部 2 8 まで順次転送し、出力する。

30

【 0 1 5 9 】

< D-F/F の構成例 >

図 1 6 は、シフトレジスタ 3 4 1 の D-F/F 3 5 1 の第 1 構成例を示している。

【 0 1 6 0 】

図 1 6 において、各トランジスタや信号線の近傍に括弧 () 付で記した on、off 等の文字は、Lo のクロック信号 CLK がクロック入力に入力されたときの各トランジスタや信号線の電位状態を示している。

40

【 0 1 6 1 】

図 1 6 に示されるように、Lo のクロック信号 CLK が D-F/F 3 5 1 に入力された場合には、D-F/F 3 5 1 が Hi-Z 状態となる。

【 0 1 6 2 】

図 1 7 は、シフトレジスタ 3 4 1 の D-F/F 3 5 1 の第 2 構成例を示している。

【 0 1 6 3 】

D-F/F 3 5 1 は、相補クロック信号 CLK と xCLK を用いるクロックドインバータと、連続動作インバータのそれぞれを 2 個有し、入力側から、クロックドインバータ、連続動作インバータ、クロックドインバータ、連続動作インバータの順で接続したフリップフロップである。図 1 7 の D-F/F 3 5 1 は、クロック信号 CLK が Lo、反転クロック信号 xCLK が Hi のとき

50

、Hi-Z状態となる。

【0164】

< 双方向バッファ回路の構成例 >

図18は、双方向バッファ回路371の第1構成例を示している。

【0165】

図18に示される双方向バッファ回路371は、バッファ回路381とインバータ回路382で構成される。

【0166】

バッファ回路381は、インバータ401、NAND回路402、NOR回路403、PMOS型のトランジスタ404、及びNMOS型のトランジスタ405で構成される。

10

【0167】

バッファ回路381では、書き込み制御信号WRがHiのとき、NAND回路402とNOR回路403の出力はともに、時刻コード転送部23のD-F/F351から供給された時刻コードを反転したものとなる。バッファ回路381の出力は、さらにそれを反転したものとなるので、結果、D-F/F351から供給された時刻コードと同値となる。書き込み制御信号WRがLoのとき、NAND回路402の出力はHi、NOR回路403の出力はLoとなり、バッファ回路381の出力はHi-Z状態となる。

【0168】

一方、インバータ回路382は、2個のPMOS型のトランジスタ411及び412、2個のNMOS型のトランジスタ413及び414、並びに、インバータ415からなるクロックドインバータで構成される。

20

【0169】

インバータ回路382では、読み出し制御信号RDがHiのとき、クロックドインバータはアクティブになり、インバータ回路382は、ビット記憶部242から供給された時刻コードを反転して出力する。読み出し制御信号RDがLoのとき、クロックドインバータはイナート（非アクティブ）になり、インバータ回路382の出力はHi-Z状態となる。

【0170】

図19は、双方向バッファ回路371の第2構成例を示している。

【0171】

図19に示される双方向バッファ回路371は、図18に示したバッファ回路381及びインバータ回路382に加えて、インバータ回路382の前段にインバータ421が設けられている。

30

【0172】

図18の双方向バッファ回路371の第1構成例では、上述したように、時刻コード転送部23のD-F/F351から供給された時刻コードをビット記憶部242に書き込むときは、D-F/F351から供給された時刻コードと同値となるので極性が反転せず、ビット記憶部242に記憶された時刻コードを読み出すときは極性が反転する。したがって、読み出された時刻コード（AD変換画素データ）は、供給された時刻コードの反転データとなる。

【0173】

そこで、図19に示される双方向バッファ回路371の第2構成例では、インバータ回路382の前段にインバータ421を設けることにより、ビット記憶部242から読み出された時刻コードが、供給された時刻コードと同じ極性で出力されるように構成されている。

40

【0174】

図19では、時刻コードを読み出す方向についても、インバータ回路382の前段にインバータ421を設けることにより、入力信号と同じ極性の信号を出力するバッファ回路の構成が採用された。このバッファ回路の構成は、時刻コードを書き込む方向のバッファ回路381の構成として採用することもできる。また逆に、時刻コードを書き込む方向のバッファ回路381の前にインバータを設けた構成を、時刻コードを読み出す方向のイン

50

バータ回路 3 8 2 として用いることも可能である。あるいは、バッファ回路 3 8 1 及びインバータ回路 3 8 2 の構成として、それ以外の構成を採用してもよい。

【 0 1 7 5 】

< 1 2 . 時刻コード転送部の第 3 構成例の詳細説明 >

次に、図 1 5 に示した時刻コード転送部 2 3 の第 3 構成例についてさらに詳しく説明する。

【 0 1 7 6 】

< D-F/F の個数の説明 >

上述した説明では、時刻コード転送部 2 3 が、N ビットの時刻コード DATA[1] 乃至 DATA[N] に対応する N 個のシフトレジスタ 3 4 1 - 1 乃至 3 4 1 - N を有し、各シフトレジスタ 3 4 1 (シフトレジスタ 3 4 1 - n) は、複数の D-F/F 3 5 1 を有するとして説明した。

【 0 1 7 7 】

図 2 0 を参照して、時刻コード転送部 2 3 の各シフトレジスタ 3 4 1 が有する D-F/F 3 5 1 の個数について説明する。

【 0 1 7 8 】

画素アレイ部 2 2 が、例えば、図 2 0 に示されるように、8 行 × 1 2 列 (垂直方向 × 水平方向) からなる、全部で 9 6 個の画素 2 1 で構成されているとする。そして、画素アレイ部 2 2 全体を垂直方向については 4 分割、水平方向については 3 分割することで、画素アレイ部 2 2 が 1 2 個のクラスタ U に分割される。

【 0 1 7 9 】

以上のように画素アレイ部 2 2 が複数のクラスタ U に分割されるとき、水平方向の位置が同じ 4 個のクラスタ U、換言すれば、列方向 (垂直方向) に並ぶクラスタ U 群に対して、1 個の時刻コード発生部 2 6 と 1 個の時刻コード転送部 2 3 が配置される。

【 0 1 8 0 】

そして、時刻コード発生部 2 6 それぞれに対応して設けられた時刻コード転送部 2 3 において、時刻コード転送部 2 3 内のシフトレジスタ 3 4 1 は、列方向に並ぶクラスタ U の数に対応する数の D-F/F 3 5 1 で構成される。

【 0 1 8 1 】

従って、図 2 0 に示されるように、列方向が 4 個のクラスタ U に分割される場合には、時刻コード転送部 2 3 内のシフトレジスタ 3 4 1 は、4 個の D-F/F 3 5 1 で構成される。

【 0 1 8 2 】

なお、以下では、説明の便宜上、列方向に並ぶ 4 個のクラスタ U を、図 2 0 に示されるように、時刻コード発生部 2 6 に近い側から、クラスタ U_i、クラスタ U_{ii}、クラスタ U_{iii}、クラスタ U_{iv} と区別する。また、1 個のクラスタ U 内の 8 個の画素 2 1 を、図 2 0 のクラスタ U_i 内に付された「A 乃至 H」に対応して、画素 2 1 A 乃至画素 2 1 H と記述して区別する場合がある。

【 0 1 8 3 】

図 2 1 は、1 個のクラスタ U (例えばクラスタ U_i) に注目して、時刻コード転送部 2 3 のシフトレジスタ 3 4 1 の D-F/F 3 5 1 との対応関係を示した図である。

【 0 1 8 4 】

時刻コード転送部 2 3 のシフトレジスタ 3 4 1 を構成する複数個 (図 2 0 の例では 4 個) の D-F/F 3 5 1 のそれぞれは、双方向バッファ回路 3 7 1 を介して、割り当てられたクラスタ U 内の 8 個の画素 2 1 A 乃至 2 1 H のデータ記憶部 5 2 と接続されている。なお、図 2 1 では、図面スペースの関係上、クラスタ U_i 内の 8 個の画素 2 1 A 乃至 2 1 Hのうち、画素 2 1 A 乃至 2 1 D の 4 個についてのみ図示されている。

【 0 1 8 5 】

図 2 1 に示される時刻コード転送部 2 3 とデータ記憶部 5 2 の構成は、図 1 5 に示した時刻コード転送部 2 3 とデータ記憶部 5 2 の第 3 構成例である。

【 0 1 8 6 】

従って、図 2 1 では、図示が簡略化されているが、図 1 5 に示したように、時刻コード

10

20

30

40

50

発生部 2 6 で生成されるNビットの時刻コードDATA[1]乃至DATA[N]に対応して、時刻コード転送部 2 3 には、N個のシフトレジスタ 3 4 1 - 1 乃至 3 4 1 - N が設けられている。そして、N個のシフトレジスタ 3 4 1 - 1 乃至 3 4 1 - N に対応して、N個の双方向バッファ回路 3 7 1 - 1 乃至 3 7 1 - N が設けられ、N個の双方向バッファ回路 3 7 1 - 1 乃至 3 7 1 - N が、クラスタU内の 8 個の画素 2 1 A 乃至 2 1 H のデータ記憶部 5 2 と接続されている。

【 0 1 8 7 】

時刻コードの書き込み動作においては、双方向バッファ回路 3 7 1 に供給される書き込み制御信号WRがHiとされ、時刻コード発生部 2 6 で生成されたNビットの時刻コードDATA[1]乃至DATA[N]が、並列接続されたクラスタU内の全ての画素 2 1 A 乃至 2 1 H のデータ記憶部 5 2 に同時供給され、記憶される。

10

【 0 1 8 8 】

時刻コードの読み出し動作においては、並列接続されたクラスタU内の全ての画素 2 1 A 乃至 2 1 H のうちの 1 つ、例えば、画素 2 1 A のWORD信号 (WORD_A) がHiとされ、かつ、双方向バッファ回路 3 7 1 に供給される読み出し制御信号RDが一時的にHiとされることで、画素 2 1 A のデータ記憶部 5 2 に保持されていたAD変換画素データが、時刻コード転送部 2 3 (内のD-F/F 3 5 1) に出力される。

【 0 1 8 9 】

画素 2 1 A のAD変換画素データが、時刻コード転送部 2 3 まで出力されると、次に、同様にして、画素 2 1 B のデータ記憶部 5 2 に保持されていたAD変換画素データが、時刻コード転送部 2 3 に出力される。以下、順番に、同一クラスタU内の全ての画素 2 1 のAD変換画素データが、時刻コード転送部 2 3 に出力される。

20

【 0 1 9 0 】

図 2 2 は、時刻コード転送部 2 3 内のシフトレジスタ 3 4 1 を構成する 4 個のD-F/F 3 5 1 のデータ出力の流れを説明するタイミングチャートである。

【 0 1 9 1 】

上述したように、列方向に並ぶ 4 個のクラスタU_i 乃至 i_vそれぞれにおいて、画素 2 1 A のWORD信号 (WORD_A) がHiとされ、かつ、双方向バッファ回路 3 7 1 に供給される読み出し制御信号RDが一時的にHiとされることで、4 個のクラスタU_i 乃至 i_vそれぞれの画素 2 1 A のAD変換画素データが出力される。

30

【 0 1 9 2 】

より具体的には、クラスタU_i の画素 2 1 A のAD変換画素データD1Aが、時刻コード転送部 2 3 内のクラスタU_i に接続されたD-F/F 3 5 1 に供給され、出力される。クラスタU_{ii} の画素 2 1 A のAD変換画素データD2Aが、時刻コード転送部 2 3 内のクラスタU_{ii} に接続されたD-F/F 3 5 1 に供給され、出力される。クラスタU_{iii} の画素 2 1 A のAD変換画素データD3Aが、時刻コード転送部 2 3 内のクラスタU_{iii} に接続されたD-F/F 3 5 1 に供給され、出力される。クラスタU_{iv} の画素 2 1 A のAD変換画素データD4Aが、時刻コード転送部 2 3 内のクラスタU_{iv} に接続されたD-F/F 3 5 1 に供給され、出力される。クラスタU_{iv} に接続されたD-F/F 3 5 1 の出力先は、出力部 2 8 となる。

【 0 1 9 3 】

40

その後、時刻コード転送部 2 3 内の各D-F/F 3 5 1 のクロック入力に、3パルスのシフトクロックが供給され、クラスタU_i の画素 2 1 A のAD変換画素データD1A、クラスタU_{ii} の画素 2 1 A のAD変換画素データD2A、クラスタU_{iii} の画素 2 1 A のAD変換画素データD3A、及び、クラスタU_{iv} の画素 2 1 A のAD変換画素データD4Aが、シフトレジスタ 3 4 1 を構成する 4 個のD-F/F 3 5 1 で順次転送されていく。その結果、出力部 2 8 には、クラスタU_{iv} に接続されたD-F/F 3 5 1 から、クラスタU_{iv} の画素 2 1 A のAD変換画素データD4A、クラスタU_{iii} の画素 2 1 A のAD変換画素データD3A、クラスタU_{ii} の画素 2 1 A のAD変換画素データD2A、クラスタU_i の画素 2 1 A のAD変換画素データD1A、の順で、画素 2 1 A のAD変換画素データが入力される。

【 0 1 9 4 】

50

次に、列方向に並ぶ4個のクラスタU_i乃至ivそれぞれにおいて、画素2 1 BのWORD信号(WORD_B)がHiとされ、かつ、双方向バッファ回路3 7 1に供給される読み出し制御信号RDが一時的にHiとされることで、4個のクラスタU_i乃至ivそれぞれの画素2 1 BのAD変換画素データが、時刻コード転送部2 3に出力される。そして、時刻コード転送部2 3のシフトレジスタ3 4 1が、4個のクラスタU_i乃至ivそれぞれの画素2 1 BのAD変換画素データを、出力部2 8に転送する。

【0 1 9 5】

4個のクラスタU_i乃至ivそれぞれの画素2 1 CのAD変換画素データ、及び、4個のクラスタU_i乃至ivそれぞれの画素2 1 DのAD変換画素データについても、同様に、クラスタU内の各画素2 1から時刻コード転送部2 3へ、時刻コード転送部2 3から出力部2 8へ転送される。

10

【0 1 9 6】

図2 2は、1つのクラスタUが4個の画素2 1 A乃至画素2 1 Dで構成される例であるが、1つのクラスタUが8個の画素2 1 A乃至画素2 1 Hである場合も同様であり、また、クラスタUが任意のK個の画素でも同様に構成できる。なお、図2 2では、WORD信号とRD信号のHi期間がオーバーラップしているが、必ずしもオーバーラップさせなくてもよい。

【0 1 9 7】

< 1 3 . 第3構成例に係る時刻コード転送部の第1変形例 >

図2 3は、第3構成例に係る時刻コード転送部2 3の第1変形例を示している。

【0 1 9 8】

図2 3に示される時刻コード転送部2 3の第1変形例では、シフトレジスタ3 4 1とクロック供給回路3 4 2との間に、複数のリピータ回路4 6 1が設けられている。より具体的には、複数のリピータ回路4 6 1Aが画素アレイ部2 2の列方向に直列に配置され、画素アレイ部2 2内の各クラスタUには、所定のリピータ回路4 6 1Aの後段に接続されたりリピータ回路4 6 1Bを介して、クロック信号CLKが供給される。リピータ回路4 6 1Bは、1個以上のクラスタUのD-F/F 3 5 1と接続される。図2 3は、2個のクラスタUのD-F/F 3 5 1と接続される例が示されている。なお、リピータ回路4 6 1の電源とGNDの配線は、他の回路と分離するように配置される。

20

【0 1 9 9】

列方向に直列配置された複数のリピータ回路4 6 1Aのクロック信号CLKの伝送方向は、時刻コードの伝送方向と反対の方向である。図2 3の例では、時刻コードの伝送方向が、上から下に向かう方向であるので、クロック信号CLKの伝送方向は、下から上に向かう方向となる。これにより、クロック信号CLKの遅延は、図2 3の上側(画素アレイ部2 2の時刻コード発生部2 6に近い側)ほど大きくなり、シフトレジスタ3 4 1の各D-F/F 3 5 1では、自分が保持しているAD変換画素データを出力してから、次のAD変換画素データが入力されるようになる。即ち、AD変換画素データのデータ転送のホールド時間余裕を確実に確保することができる。

30

【0 2 0 0】

< 1 4 . 第3構成例に係る時刻コード転送部の第2変形例 >

図2 4は、第3構成例に係る時刻コード転送部2 3の第2変形例を示している。

40

【0 2 0 1】

図2 4に示される時刻コード転送部2 3の第2変形例では、時刻コード転送部2 3内の各D-F/F 3 5 1に対応して、プリセット回路4 8 1が新たに設けられている。プリセット回路4 8 1は、固定信号出力部4 9 1とクロックドインバータ4 9 2とからなり、HiまたはLoの固定信号を生成して出力する。プリセット回路4 8 1の出力点は、直列接続されたD-F/F 3 5 1どうしの間に接続されている。

【0 2 0 2】

図1 5に示したような、プリセット回路4 8 1を設けない時刻コード転送部2 3の構成では、参照信号REFと画素信号SIGを比較する比較期間において、時刻コードの転送が始まった初期の段階では、シフトレジスタ3 4 1の下流には、時刻コード発生部2 6が出力し

50

た時刻コードではない値（以下、不確定初期値という。）が入っている。そのような不確定初期値としては、例えば、電源投入後に偶然に決まるD-F/F351の立ち上がり初期値や、前回のAD変換動作において転送したAD変換画素データの最終状態の値などがあり得る。

【0203】

参照信号REFの掃引が、全ての画素21の画素信号SIGよりも十分に高い電圧から始まるのであれば、出力信号VCOがLoに変化する前に、これらの不確定初期値は、シフトレジスタ341から掃き出されてしまうので、データ記憶部52（のビット記憶部242）が比較結果として誤った値を保持することはない。しかしながら、不確定初期値の掃き出しのためにシフトレジスタ341を無駄に動かすことは動作時間や消費電力の無駄となる。

10

【0204】

そこで、図24に示される時刻コード転送部23の第2変形例では、プリセット回路481が、プリセット信号PRSTに基づいて、参照信号REFの掃引と、時刻コード発生部26による時刻コードの出力に先立って、シフトレジスタ341を構成するD-F/F351の出力QをHi-Z状態にすることで、D-F/F351の出力Qを初期化する。

【0205】

プリセット回路481により初期化され、D-F/F351に入力される値は、あたかも参照信号REFの掃引と時刻コードの入力が遡って過去から続いていた場合に相当する値とすることができる。具体的には、時刻コード発生部26が生成するコードがC(N)から始まり、Mサイクル後に発生される時刻コードがC(N+M)であるとすると、時刻コード発生部26から1段のD-F/F351を経た出力QにはC(N-1)、時刻コード発生部26から2段のD-F/F351を経た出力Qには、C(N-2)という値とすることができる。

20

【0206】

なお、プリセット回路481を設けるのではなく、D-F/F351として、リセット入力またはセット入力を持つ回路を用いて、同様に、参照信号REFの掃引と時刻コード発生部26による時刻コードの出力に先立って初期化するようにしてもよい。

【0207】

また、初期化するプリセット値は、過去に遡った時刻コードに相当するものではなく、任意の値とすることもできる。その場合、初期化されたプリセット値が、シフトレジスタ341から掃き出されるまでは一部のデータ記憶部52は意味のある時刻コードを取り込めないため、掃引時間を短縮することはできない。しかし、プリセット値を、例えば、オールゼロなどの適切な値にすれば、乱雑な初期値が残っているシフトレジスタ341にクロック信号CLKを与えたときに生じる可能性がある大きな消費電流の発生を回避することができる。

30

【0208】

<15. 第3構成例に係る時刻コード転送部の第3変形例>

図25は、第3構成例に係る時刻コード転送部23の第3変形例を示している。

【0209】

図25に示される時刻コード転送部23の第3変形例では、時刻コード転送部23内の各D-F/F351の入力Dの前段に、読み出し制御信号RDに基づいて、入力された2つの信号の一方を選択して出力するセレクタ521が新たに設けられている。また、それに伴い、双方向バッファ回路371において、読み出し制御信号RDが供給されるインバータ回路382が省略されている。

40

【0210】

セレクタ521は、読み出し制御信号RDがHiのときは、ビット記憶部242のトランスファゲート261から供給されるAD変換画素データを選択して、D-F/F351に出力する。一方、読み出し制御信号RDがLoのときは、前段のD-F/F351の出力Qが選択され、D-F/F351に出力される。

【0211】

<16. 時刻コード発生部の構成例>

50

図 2 6 は、時刻コード発生部 2 6 の構成例を示す図である。

【 0 2 1 2 】

図 2 6 では、図 2 3 に示した第 3 構成例に係る時刻コード転送部 2 3 の第 1 変形例とともに、時刻コード発生部 2 6 の詳細構成が示されている。

【 0 2 1 3 】

時刻コード発生部 2 6 は、バイナリカウンタ 5 4 1 と、バイナリカウンタ 5 4 1 から供給された 2 進数をグレイコードに変換するバイナリ - グレイ変換回路 5 4 2 とで構成され、生成したグレイコードを、時刻コードとして時刻コード転送部 2 3 のシフトレジスタ 3 4 1 に供給する。

【 0 2 1 4 】

時刻コード発生部 2 6 のバイナリカウンタ 5 4 1 とバイナリ - グレイ変換回路 5 4 2 のクロック入力には、時刻コード転送部 2 3 内の末端のリピータ回路 4 6 1 が出力するクロック信号 CLK が入力され、バイナリカウンタ 5 4 1 とバイナリ - グレイ変換回路 5 4 2 は、時刻コード転送部 2 3 内の末端のリピータ回路 4 6 1 が出力するクロック信号 CLK に基づいて動作する。

【 0 2 1 5 】

なお、時刻コード発生部 2 6 は、時刻コードとして、グレイコード以外の、連続する 2 つの時刻コードにおいて変化するビットが一つしかないコード、例えばサーモメータコードなどを用いることもできる。

【 0 2 1 6 】

< 1 7 . 時刻コード転送部の第 1 及び第 2 構成例と第 3 構成例との違い >

次に、図 2 7 を参照して、時刻コード転送部 2 3 の第 1 及び第 2 構成例と第 3 構成例との違いについて説明する。

【 0 2 1 7 】

ここで、再度説明すると、時刻コード転送部 2 3 の第 1 及び第 2 構成例とは、図 1 3 及び図 1 4 に示したように、時刻コード転送部 2 3 が、N 本の配線 BL[1] 乃至 BL[N] によって、N ビットの DATA[1] 乃至 DATA[N] を伝送する構成である。一方、時刻コード転送部 2 3 の第 3 構成例とは、図 1 5 に示したように、N 個のシフトレジスタ 3 4 1 - 1 乃至 3 4 1 - N によって、N ビットの DATA[1] 乃至 DATA[N] を伝送する構成である。

【 0 2 1 8 】

第 1 及び第 2 構成例では、AD 変換期間における時刻コードの各画素 2 1 のデータ記憶部 5 2 への供給において、時刻コード信号の遅延の問題が発生する。即ち、時刻コード転送部 2 3 の配線 BL[1] 乃至 BL[N] には寄生抵抗があり、負荷であるデータ記憶部 5 2 及び配線 BL[1] 乃至 BL[N] には、寄生容量がある。このため、時刻コード発生部 2 6 から最も遠い遠端部のデータ記憶部 5 2 に到達する時刻コードは、大きな CR 遅延を持っている。この CR 遅延は、寄生抵抗、寄生容量、バッファ回路の駆動力などの要因によってばらつく。したがって、多ビットのバスである時刻コード転送部 2 3 では、ビット間にスキュー（歪）を持つ。

【 0 2 1 9 】

図 2 7 は、単位時間である T 時間ごとに変更される N ビットの時刻コードのうちの、3 ビット分の時刻コード (DATA[1] 乃至 DATA[3]) の信号波形を示している。

【 0 2 2 0 】

図 2 7 において、最初の T 時間 (T_1) において、転送された 3 ビットの時刻コードは、DATA[1] 乃至 DATA[3] = [1, 1, 0] であり、次の T 時間 (T_2) において、転送された 3 ビットの時刻コードは、DATA[1] 乃至 DATA[3] = [1, 0, 0] であり、さらにその次の T 時間 (T_3) において、転送された 3 ビットの時刻コードは、DATA[1] 乃至 DATA[3] = [1, 0, 1] である。

【 0 2 2 1 】

また、図 2 7 において、実線で示される DATA[1] 乃至 DATA[3] の信号波形は、時刻コード発生部 2 6 に近い画素 2 1 のデータ記憶部 5 2 に供給される信号波形である。一点鎖線で示される DATA[1] 乃至 DATA[3] の信号波形は、時刻コード発生部 2 6 から遠い画素 2 1 のデ

10

20

30

40

50

ータ記憶部 5 2 に供給される信号波形である。破線で示される DATA[1] 乃至 DATA[3] の信号波形は、実線で示される信号波形が供給される画素 2 1 と、一点鎖線で示される信号波形が供給される画素 2 1 の中間的な位置にある画素 2 1、例えば、列方向の中央部の画素 2 1 のデータ記憶部 5 2 に供給される信号波形である。

【 0 2 2 2 】

図 2 7 の信号波形によれば、時刻コード発生部 2 6 から遠い画素 2 1 ほど遅延が生じ、本来、等時間間隔 T で時刻コードを変更したにも関わらず、データ記憶部 5 2 が受信する時刻コードは、時間間隔 T と異なる間隔、例えば、 $T + T'$ や $T + T''$ で更新される。

【 0 2 2 3 】

このような時刻コードの更新時間の非均一は AD 変換の誤差となり得る。一般に、固体撮像装置 1 が、高精度かつ高階調であるような場合には、本来の時間間隔 T からのずれ量 T' は、単位時間 T の 1 割以下であることが望ましい。例えば、時刻コード転送部 2 3 の物理長が 2 0 mm、画素アレイ部 2 2 の画素 2 1 の行数が 3 0 0 0 行の固体撮像装置 1 では、時刻コードの更新周期は 2 0 nsec 以上に設定しなくてはならない。AD 変換の階調数を 16384 階調とすれば、3 0 0 μ sec 以上の AD 変換期間が必要となる。AD 変換期間は、膨大な数の比較回路 5 1 の差動入力回路 6 1 が並列動作する大電流消費期間であり、その期間が長いということは、1 枚の画像を撮像するのに要する電力を増大させることになる。

【 0 2 2 4 】

これに対して、第 3 構成例では、各画素 2 1 のデータ記憶部 5 2 に供給される時刻コードの全ビットは、D-F/F3 5 1 に与えられるシフトクロックをトリガーに発生されたものであるので、ビット間のスキューは極めて小さい。したがって、第 3 構成例によれば、短い時間での時刻コードの更新が可能となる。

【 0 2 2 5 】

さらに、図 2 3 に示した第 1 変形例のように、リピータ回路 4 6 1 を設けた構成とすれば、シフトクロックの周期、即ち、時刻コードの更新周期をさらに短く設定することができる。

【 0 2 2 6 】

第 3 構成例によれば、上記の同条件の、画素アレイ部 2 2 の画素 2 1 の行数が 3 0 0 0 行の固体撮像装置 1 では、時刻コードの更新周期を 5 nsec 以下に設定することができる。従って、AD 変換時間を、第 1 及び第 2 構成例における場合の 1 / 4 に短縮することができる。1 枚の画像を撮像するのに要する電力を大幅に削減することができる。

【 0 2 2 7 】

また、第 3 構成例では、時刻コードの読み出しは、全て信号振幅が電源電圧である CMOS 論理にて転送されるので、パッシブな配線の束からなる第 1 及び第 2 構成例の時刻コード転送部 2 3 に現れる微小電圧を読み取る場合に必要なセンスアンプを設ける必要がなく、ノイズマージンの高い、時刻コードの確実な読み出しが可能になる。

【 0 2 2 8 】

< 1 8 . データ記憶部のその他の構成例 >

図 2 8 は、画素 2 1 内のデータ記憶部 5 2 のその他の構成例を説明する図である。

【 0 2 2 9 】

固体撮像装置 1 は、リセットレベルの画素信号 SIG を AD 変換して P 相データとして取得し、その後、信号レベルの画素信号 SIG を AD 変換して D 相データとして取得し、P 相データと D 相データの差分を映像信号として出力する CDS 処理を行う。

【 0 2 3 0 】

図 2 8 に示されるデータ記憶部 5 2 の構成を、図 1 5 に示したデータ記憶部 5 2 の構成と比較すると、図 1 5 のラッチ制御回路 2 4 1 に代えて、P 相データ用の P 相ラッチ制御回路 2 4 1 P と、D 相データ用の D 相ラッチ制御回路 2 4 1 D の 2 つが設けられている。

【 0 2 3 1 】

また、図 1 5 のビット記憶部 2 4 2 - 1 乃至 2 4 2 - N に代えて、P 相データ用の P 相ビット記憶部 2 4 2 P - 1 乃至 2 4 2 P - N と、D 相データ用の D 相ビット記憶部 2 4 2 D - 1 乃至

10

20

30

40

50

至 2 4 2 D - N の 2 つ が 設 け ら れ て い る。

【 0 2 3 2 】

また、データ記憶部 5 2 には、2 個のAND回路 5 6 1 P 及び 5 6 1 D が、新しく設けられている。AND回路 5 6 1 P 及び 5 6 1 D の 2 入力の一方には、比較回路 5 1 から出力される出力信号 VCO が入力される。AND回路 5 6 1 P の 2 入力の他方には、P 相データのAD変換期間中に Hi となる P 相選択信号 P_OP が入力され、AND回路 5 6 1 D の 2 入力の一方には、D 相データのAD変換期間中に Hi となる D 相選択信号 D_OP が入力される。

【 0 2 3 3 】

図 1 5 に示したデータ記憶部 5 2 の構成では、取得した P 相データの転送が完了してから、D 相データの取得を開始する必要がある。換言すれば、D 相データの取得は、P 相データの転送完了を待つ必要がある。

10

【 0 2 3 4 】

図 2 8 に示されるデータ記憶部 5 2 の構成では、最初の P 相データのAD変換期間においては、Hi の P 相選択信号 P_OP と Lo の D 相選択信号 D_OP がデータ記憶部 5 2 に供給され、P 相ビット記憶部 2 4 2 P - 1 乃至 2 4 2 P - N に P 相データが記憶される。

【 0 2 3 5 】

次の D 相データのAD変換期間においては、Lo の P 相選択信号 P_OP と Hi の D 相選択信号 D_OP がデータ記憶部 5 2 に供給され、D 相ビット記憶部 2 4 2 D - 1 乃至 2 4 2 D - N に D 相データが記憶される。その後、P 相データと D 相データが、順番に、時刻コード転送部 2 3 へ出力される。

20

【 0 2 3 6 】

これにより、図 2 8 に示されるデータ記憶部 5 2 によれば、P 相データ取得と D 相データ取得の時間的間隔を短縮して、CDS 処理のオフセットおよび雑音相殺効果を高めることができる。また、P 相データと D 相データを、順番に、時刻コード転送部 2 3 へ出力することで、出力部 2 8 に P 相データを一時記憶するメモリ部が不要になる。

【 0 2 3 7 】

なお、図 2 8 では、時刻コード転送部 2 3 の構成として、図 1 5 と同じ構成を採用しているが、上述したその他の時刻コード転送部 2 3 の構成を採用してもよい。

【 0 2 3 8 】

< 1 9 . クロック供給回路のその他の構成例 >

30

上述したこれまでの構成では、例えば、図 1 5 を参照して説明したように、画素アレイ部 2 2 内に複数配置された時刻コード転送部 2 3 内に、クロック信号 CLK を供給するクロック供給回路 3 4 2 が設けられていた。

【 0 2 3 9 】

しかしながら、図 2 9 に示されるように、複数の時刻コード転送部 2 3 の外側にクロック供給回路 5 8 1 を設け、クロック供給回路 5 8 1 が、複数の時刻コード転送部 2 3 それぞれに共通のクロック信号 CLK を与えるようにしてもよい。

【 0 2 4 0 】

クロック供給回路 5 8 1 を単に 1 個にまとめただけでは、複数の時刻コード転送部 2 3 それぞれに供給するクロック信号 CLK のクロックの立ち上がり及び立ち下がりとは同一となる。

40

【 0 2 4 1 】

そこで、さらに、図 2 9 に示されるように、クロック供給回路 5 8 1 の後段に、時刻コード転送部 2 3 に対して 1 対 1 にインバータ 5 8 3 を配置して、隣り合う時刻コード転送部 2 3 に供給されるクロック信号 CLK0 とクロック信号 CLK1 が逆相となるように構成することができる。このように構成することで、インバータ 5 8 3 を配置しない場合にクロック信号 CLK の立ち上がり時刻近辺に集中する回路動作電流が分散するので、ピーク電流値が減少する。

【 0 2 4 2 】

隣り合う時刻コード転送部 2 3 に供給されるクロック信号 CLK0 とクロック信号 CLK1 が逆

50

相となるように構成した場合、時刻コード転送部 2 3 のシフトレジスタ 3 4 1 の最終段から出力される時刻コードやAD変換画素データも隣り合う時刻コード転送部 2 3 どうして半サイクルずれたものとなる。

【 0 2 4 3 】

そのため、図 2 9 に示されるように、出力部 2 8 に多重化回路 6 0 1 を設けることで、隣り合う 2 個の時刻コード転送部 2 3 からの出力CODE0とCODE 1 を、時分割で多重化したコードMPX_CODEを容易に生成することができる。

【 0 2 4 4 】

多重化回路 6 0 1 は、2 個のAND回路 6 1 1 と 1 個のOR回路 6 1 2 とで構成される。2 個のAND回路 6 1 1 の一方には、対応する時刻コード転送部 2 3 からの出力CODE0と、その時刻コード転送部 2 3 に供給されたクロック信号CLK0の反転信号が入力される。2 個のAND回路 6 1 1 の他方には、対応する時刻コード転送部 2 3 からの出力CODE1と、その時刻コード転送部 2 3 に供給されたクロック信号CLK1の反転信号が入力される。OR回路 6 1 2 は、2 個のAND回路 6 1 1 からの出力を入力にして、時分割で多重化したコードMPX_CODEを出力する。

【 0 2 4 5 】

多重化回路 6 0 1 を設けることで、出力部 2 8 が、AD変換画素データを出力端子まで伝送したり、固体撮像装置 1 内のメモリ回路（例えばDRAM）まで伝送するための配線を削減することができる。

【 0 2 4 6 】

なお、隣り合う時刻コード転送部 2 3 に供給されるクロック信号CLK0とクロック信号CLK1の位相関係は、逆相の他に、例えば、90度の位相ずれでもよい。また、90度ずつ位相がずれた4相のクロック信号CLK0乃至CLK3を、隣接する4個の時刻コード転送部 2 3 に供給するようにしてもよい。

【 0 2 4 7 】

< 2 0 . カラムAD方式への適用例 >

上述した固体撮像装置 1 は、AD変換回路（ADC 4 2）が、各画素 2 1 に配置されるイメージセンサであった。

【 0 2 4 8 】

しかしながら、上述した時刻コード転送部 2 3 は、AD変換回路が行方向に直線状に並び、画素アレイ部 2 2 の各画素 2 1 の画素信号SIGを、行単位でAD変換処理するカラムAD方式のイメージセンサにも適用することができる。

【 0 2 4 9 】

図 3 0 は、時刻コード転送部 2 3 を用いない場合のカラムAD方式の固体撮像装置 7 0 0 の構成を示している。

【 0 2 5 0 】

図 3 0 の固体撮像装置 7 0 0 では、画素アレイ部 7 1 1 の外側に、上述した比較回路 5 1 とデータ記憶部 5 2 の構成からなるADC 7 1 2 が、直線状に多数配置されている。多数配置されたADC 7 1 2 は、長い物理長となるため、時刻コード発生部 2 6 を複数配置して、複数の時刻コード発生部 2 6 で生成された時刻コードを、所定数ごとのADC 7 1 2 に分配することで、時刻コードのビット間スキューを抑制するように構成されている。

【 0 2 5 1 】

図 3 1 は、時刻コード転送部 2 3 を用いた場合のカラムAD方式の固体撮像装置 7 4 0 の構成を示している。

【 0 2 5 2 】

図 3 1 の固体撮像装置 7 4 0 では、1 個の時刻コード発生部 2 6 と、そこで発生された時刻コードを転送して直線状に多数配置されたADC 7 1 2 に供給する時刻コード転送部 2 3 が設けられている。時刻コード転送部 2 3 の構成としては、例えば、図 1 5 に示したシフトレジスタ 3 4 1 の構成や、その変形例を採用することができる。

【 0 2 5 3 】

10

20

30

40

50

時刻コードがグレイコードである場合、図30の固体撮像装置700では、時刻コード発生部26全体として、コードビット数の2倍の数のD-F/Fとコードビット数程度の組合せゲートが必要となる。一方、図31の固体撮像装置740では、コードのビット数に等しい個数のD-F/Fを設けることで、スキューの小さな時刻コードを再生でき、回路規模と消費電流を削減することができる。

【0254】

<21. 複数基板構成1>

これまでの説明では、固体撮像装置1が、1枚の半導体基板11上に形成されるものとして説明したが、複数枚の半導体基板11に回路を作り分けることで、固体撮像装置1を構成してもよい。

10

【0255】

図32は、上側基板11Aと下側基板11Cの2枚の半導体基板11を積層することで固体撮像装置1を構成する概念図を示している。

【0256】

上側基板11Aには、フォトダイオード121を含む画素回路41が少なくとも形成されている。下側基板11Cには、時刻コードを記憶するデータ記憶部52と時刻コード転送部23が少なくとも形成されている。上側基板11Aと下側基板11Cは、例えば、Cu-Cuなどの金属結合などにより接合される。

【0257】

図33は、上側基板11Aと下側基板11Cのそれぞれに形成される回路構成例を示している。

20

【0258】

上側基板11Aには、画素回路41と、ADC42のうちの差動入力回路61のトランジスタ81、82、及び85の回路が形成されている。下側基板11Cには、トランジスタ81、82、及び85を除くADC42の回路と時刻コード転送部23が形成されている。

【0259】

<22. 複数基板構成2>

図32及び図33は、固体撮像装置1を2枚の半導体基板11で構成した例であるが、3枚の半導体基板11で構成することもできる。

【0260】

図34は、上側基板11A、中間基板11B、及び、下側基板11Cの3枚の半導体基板11を積層することで、固体撮像装置1を構成する概念図を示している。

30

【0261】

上側基板11Aには、フォトダイオード121を含む画素回路41と、比較回路51の少なくとも一部の回路が形成されている。下側基板11Cには、時刻コードを記憶するデータ記憶部52と時刻コード転送部23が少なくとも形成されている。中間基板11Bには、上側基板11Aに配置されない比較回路51の残りの回路が形成されている。上側基板11Aと中間基板11B、及び、中間基板11Bと下側基板11Cは、例えば、Cu-Cuなどの金属結合などにより接合される。

【0262】

図35は、固体撮像装置1を3枚の半導体基板11で形成する場合の各半導体基板11の回路配置例を示している。

40

【0263】

図35の例では、上側基板11Aに配置した回路は、図33に示した上側基板11Aの回路と同じであり、比較回路51の残りの回路が中間基板11Bに配置され、データ記憶部52と時刻コード転送部23が下側基板11Cに配置されている。

【0264】

<23. 電子機器への適用例>

本開示は、固体撮像装置への適用に限られるものではない。即ち、本開示は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読

50

取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【0265】

図36は、本開示に係る電子機器としての、撮像装置の構成例を示すブロック図である。

【0266】

図36の撮像装置800は、レンズ群などからなる光学部801、図8の固体撮像装置1の構成が採用される固体撮像装置（撮像デバイス）802、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路803を備える。また、撮像装置800は、フレームメモリ804、表示部805、記録部806、操作部807、および電源部808も備える。DSP回路803、フレームメモリ804、表示部805、記録部806、操作部807および電源部808は、バスライン809を介して相互に接続されている。

10

【0267】

光学部801は、被写体からの入射光（像光）を取り込んで固体撮像装置802の撮像面上に結像する。固体撮像装置802は、光学部801によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置802として、図1の固体撮像装置1、即ち、画素信号をAD変換する際の判定速度を向上させつつ、消費電力を低減させた比較回路51や、回路規模と消費電力を大幅に削減できる時刻コード転送部23を有する固体撮像装置を用いることができる。

20

【0268】

表示部805は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置802で撮像された動画または静止画を表示する。記録部806は、固体撮像装置802で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

【0269】

操作部807は、ユーザによる操作の下に、撮像装置800が持つ様々な機能について操作指令を発する。電源部808は、DSP回路803、フレームメモリ804、表示部805、記録部806および操作部807の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

30

【0270】

上述したように、固体撮像装置802として、上述したいずれかの構成を採用した固体撮像装置1を用いることで、AD変換の判定速度を高速化させつつ、消費電力を低減することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置800においても、撮影の高速化と低消費電力を実現することができる。

【0271】

なお、固体撮像装置802として、図31の固体撮像装置740を採用しても良い。この場合、回路規模と消費電力を削減することができる。

40

【0272】

上述した説明では、比較回路51及びADC42は、固体撮像装置1に組み込まれた部品として説明したが、それぞれ単独で流通する製品（比較器、AD変換器）とすることができる。

【0273】

また、本開示は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

【0274】

本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

50

【 0 2 7 5 】

上述した各実施の形態の回路構成は、電子を電荷とする回路構成として説明したが、本開示は、正孔を電荷とする回路構成とすることもできる。また、上述した各回路構成において、トランジスタの極性（NMOSトランジスタとPMOSトランジスタ）を入れ替えた回路構成でも実現可能である。その場合、トランジスタに入力される制御信号は、HiとLowが反対の信号となる。

【 0 2 7 6 】

上述した各実施の形態では、参照信号REFが時間経過に応じてレベル（電圧）が単調減少するスロープ信号であるとして説明したが、参照信号REFは、時間経過に応じてレベル（電圧）が単調増加するスロープ信号とすることもできる。

10

【 0 2 7 7 】

上述した各実施の形態では、ADC 4 2 が共有される場合、4つの画素 2 1 でADC 4 2 が共有される例について説明したが、共有される画素 2 1 の個数は4個に限らず、その他の個数（例えば、8個）とすることができる。

【 0 2 7 8 】

その他、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。上述した実施の形態では説明していない他の実施の形態どうしを適宜組み合わせた形態も可能である。

【 0 2 7 9 】

図 1 及び図 2 0 では、時刻コード発生部 2 6 が、図面内の上側、出力部 2 8 が図面内の下側に配置されているが、例えば、水平方向で隣り合うクラスタUどうしが、時刻コードの転送方向が上下逆となるように、時刻コード発生部 2 6 と出力部 2 8 の配置を交互に配置してもよい。例えば、クラスタUの水平方向の位置がDAC 2 5 側から数えて奇数番目のクラスタUについては、時刻コード発生部 2 6 を上側、出力部 2 8 を下側に配置して、時刻コードが上から下方向に転送されるようにし、偶数番目のクラスタUについては、時刻コード発生部 2 6 を下側、出力部 2 8 を上側に配置して、時刻コードが下から上方向に転送されるようにする。これにより、時刻コード発生部 2 6 や出力部 2 8 の回路集中を抑制することができる。

20

【 0 2 8 0 】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

30

【 0 2 8 1 】

なお、本開示は以下のような構成も取ることができる。

(1)

第 1 の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第 1 の電源電圧よりも低い第 2 の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第 2 の電源電圧に対応する信号に変換する電圧変換回路と

40

を備える比較器。

(2)

前記電圧変換回路は、トランジスタで構成される

前記 (1) に記載の比較器。

(3)

前記電圧変換回路は、複数個のダイオードで構成される

前記 (1) に記載の比較器。

(4)

前記正帰還回路は、前記差動入力回路の前記出力信号と異なる制御信号の入力を受け付

50

け、前記差動入力回路の前記出力信号に関わらず、前記制御信号に基づいて前記比較結果信号を反転させる

前記(1)乃至(3)のいずれかに記載の比較器。

(5)

前記正帰還回路は、前記差動入力回路の前記出力信号と前記制御信号を入力とするNOR回路を有する

前記(4)に記載の比較器。

(6)

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるAD変換器。

(7)

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるAD変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置。

(8)

前記入力信号と前記参照信号の電圧を比較する比較期間においては、前記時刻コードを前記データ記憶部に供給し、比較期間終了後には、前記データ記憶部に記憶された、前記比較結果信号が反転したときの時刻コードである反転時刻データを読み出すシフトレジスタを有する時刻コード転送部をさらに備える

前記(7)に記載の固体撮像装置。

(9)

前記シフトレジスタは、入力されるクロック信号が所定の値であるときにハイインピーダンス状態となる複数のD-F/Fを有する

前記(8)に記載の固体撮像装置。

(10)

前記D-F/Fは、複数の前記画素で共有されている

前記(9)に記載の固体撮像装置。

(11)

前記時刻コード転送部は、

前記シフトレジスタに入力される前記クロック信号を伝送するリピータ回路をさらに有する

前記(9)または(10)に記載の固体撮像装置。

(12)

前記リピータ回路が前記クロック信号を伝送する方向は、前記シフトレジスタの前記時

10

20

30

40

50

刻コードの転送方向と反対の方向である

前記(11)に記載の固体撮像装置。

(13)

前記時刻コード転送部は複数設けられており、

隣り合う前記時刻コード転送部に供給される前記クロック信号が逆相となっている

前記(11)または(12)に記載の固体撮像装置。

(14)

隣り合う前記時刻コード転送部からの出力信号を時分割多重化する多重化回路をさらに備える

前記(13)に記載の固体撮像装置。

10

(15)

前記時刻コード転送部は、

前記シフトレジスタに、所定の固定信号を入力するプリセット回路をさらに備える

前記(8)乃至(14)のいずれかに記載の固体撮像装置。

(16)

前記時刻コード転送部は、

前記D-F/Fの入力を、前記データ記憶部に供給する前記時刻コードか、または、前記データ記憶部から読み出された反転時刻コードのいずれかに切り替えるセレクトをさらに備える

前記(9)乃至(15)のいずれかに記載の固体撮像装置。

20

(17)

前記データ記憶部に対する前記時刻コードの書き込み動作と読み出し動作を切り替える双方向バッファをさらに備える

前記(7)乃至(16)のいずれかに記載の固体撮像装置。

(18)

前記双方向バッファは、読み出し動作において、前記データ記憶部に記憶された前記時刻コードの極性を反転させて読み出す

前記(17)に記載の固体撮像装置。

(19)

前記双方向バッファは、読み出し動作において、前記データ記憶部に記憶された前記時刻コードの極性を反転させずに読み出す

前記(17)に記載の固体撮像装置。

30

(20)

前記データ記憶部は、P相データ用の前記時刻コードを記憶するP相データ記憶部と、D相データ用の前記時刻コードを記憶するD相データ記憶部を有する

前記(7)乃至(19)のいずれかに記載の固体撮像装置。

(21)

前記AD変換器は、前記画素ごとに配置される

前記(7)乃至(20)のいずれかに記載の固体撮像装置。

(22)

前記AD変換器は、画素列単位に配置される

前記(7)乃至(20)のいずれかに記載の固体撮像装置。

40

(23)

複数の半導体基板で構成されている

前記(7)乃至(22)のいずれかに記載の固体撮像装置。

(24)

第1の電源電圧で動作し、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力する差動入力回路と、

前記第1の電源電圧よりも低い第2の電源電圧で動作し、前記差動入力回路からの出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反

50

転するときの遷移速度を高速化する正帰還回路と、

前記差動入力回路の前記出力信号を、前記第2の電源電圧に対応する信号に変換する電圧変換回路と、

前記比較結果信号が反転したときの時刻コードを記憶するデータ記憶部とを備えるAD変換器と、

画素に入射された光を受光して光電変換することで生成された電荷信号を、前記入力信号として前記差動入力回路に出力する画素回路と

を備える固体撮像装置を備える電子機器。

(25)

第1の電源電圧で動作する差動入力回路と、前記第1の電源電圧よりも低い第2の電源電圧で動作する正帰還回路と、電圧変換回路とを備える比較器の

前記差動入力回路が、入力信号の電圧が参照信号の電圧よりも高いときに信号を出力し、

前記電圧変換回路が、前記差動入力回路の出力信号を、前記第2の電源電圧に対応する信号に変換し、

前記正帰還回路が、前記電圧変換回路により変換された前記差動入力回路の出力信号に基づいて、前記入力信号と前記参照信号の電圧の比較結果を表す比較結果信号が反転するときの遷移速度を高速化する

比較器の制御方法。

(26)

時刻コード発生部から出力された時刻コードを取得して順次転送するシフトレジスタと

転送された前記時刻コードをラッチ記憶するラッチ回路とを備えるデータ書込回路。

(27)

所定の時刻コードをラッチ記憶するラッチ回路と、

前記ラッチ回路にラッチ記憶されている前記時刻コードを受け取って、順次転送するシフトレジスタと

を備えるデータ読出回路。

(28)

時刻コード発生部から出力された時刻コードの書き込み動作と読み出し動作を切り替える双方向バッファと、

所定の時刻コードをラッチ記憶するラッチ回路と、

前記双方向バッファにおいて前記書き込み動作が設定されている場合には、前記時刻コード発生部から出力された前記時刻コードを取得して前記ラッチ回路に供給して順次転送し、前記双方向バッファにおいて前記読み出し動作が設定されている場合には、前記ラッチ回路にラッチ記憶されている前記時刻コードを受け取って、順次転送するシフトレジスタと

を備えるデータ転送回路。

【符号の説明】

【0282】

1 固体撮像装置, 21 画素, 22 画素アレイ部, 23 時刻コード転送部, 26 時刻コード発生部, 28 出力部, 41 画素回路, 42 ADC, 51 比較回路, 52 データ記憶部, 61 差動入力回路, 62 電圧変換回路, 63 正帰還回路, 71 ラッチ制御回路, 72 ラッチ記憶部, 81乃至87, 91 トランジスタ, 101乃至105, 111乃至113 トランジスタ, 141 ダイオード, 201 ビット記憶部, 211 ラッチ制御回路, 212 ラッチ記憶部, 341 シフトレジスタ, 342 クロック供給回路, 351 D-F/F, 371 双方向バッファ回路, 461 リピータ回路, 481 プリセット回路,

10

20

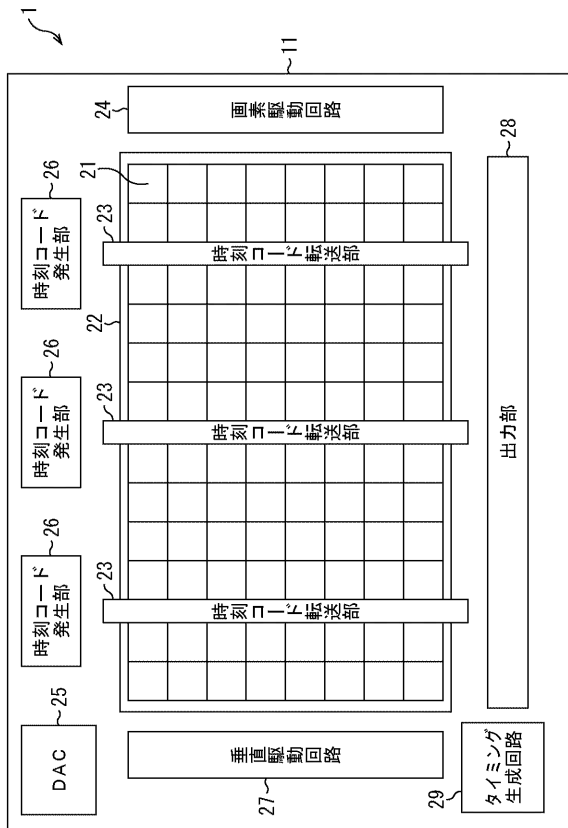
30

40

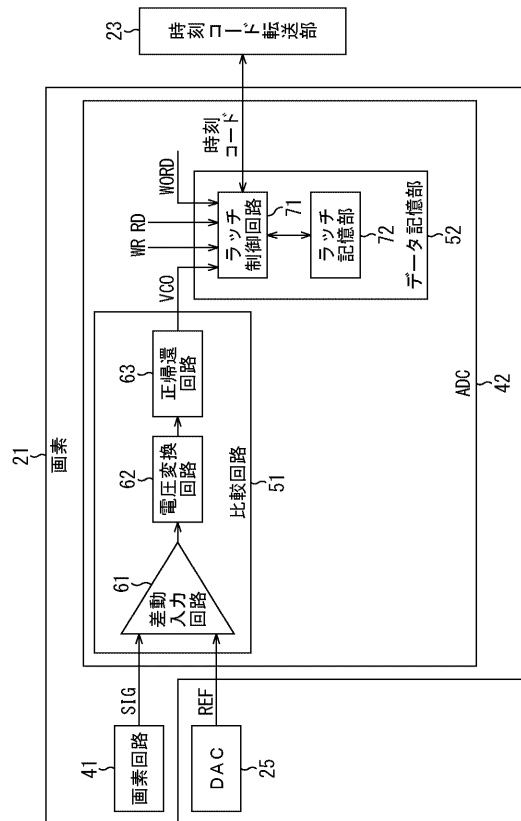
50

491 固定信号出力部, 521 セレクタ, 581 クロック供給回路, 583 インバータ, 601 多重化回路, 740 固体撮像装置, 800 撮像装置, 802 固体撮像装置

【図1】
図1

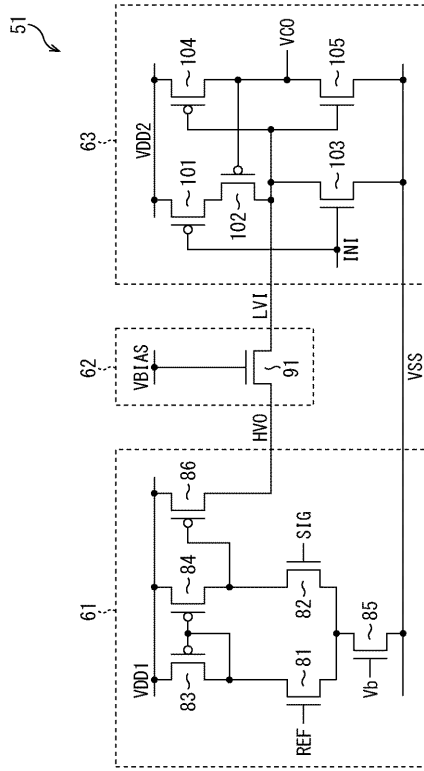


【図2】
図2



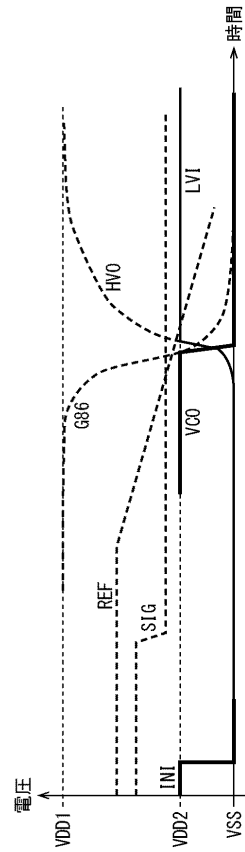
【 図 3 】

図3



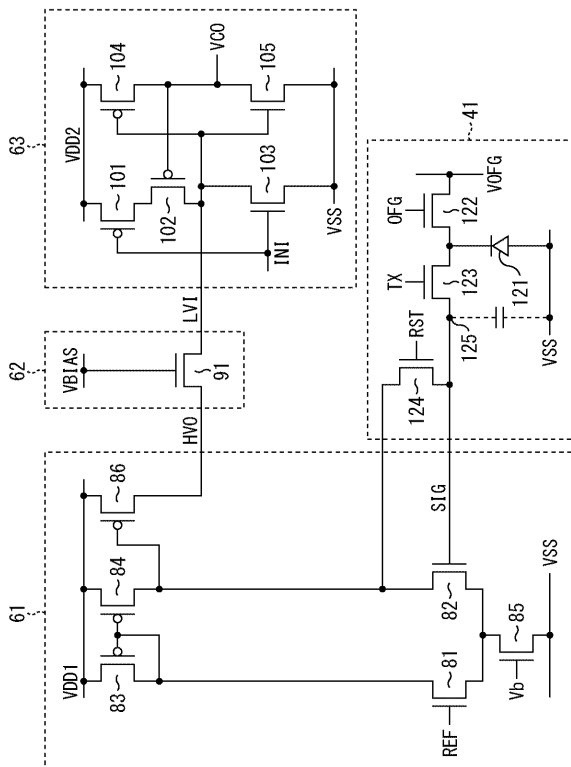
【 図 4 】

図4



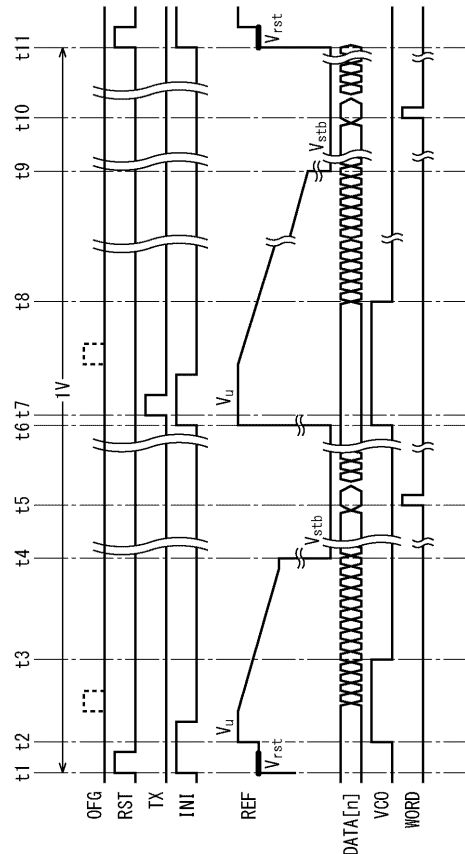
【 図 5 】

図5



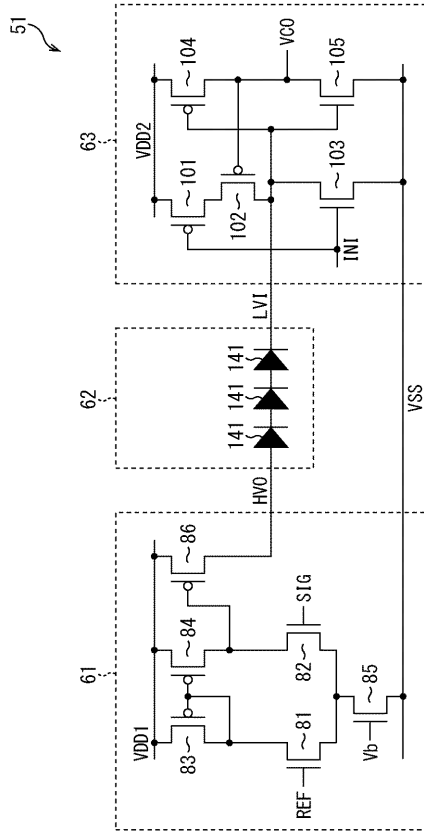
【 図 6 】

図6



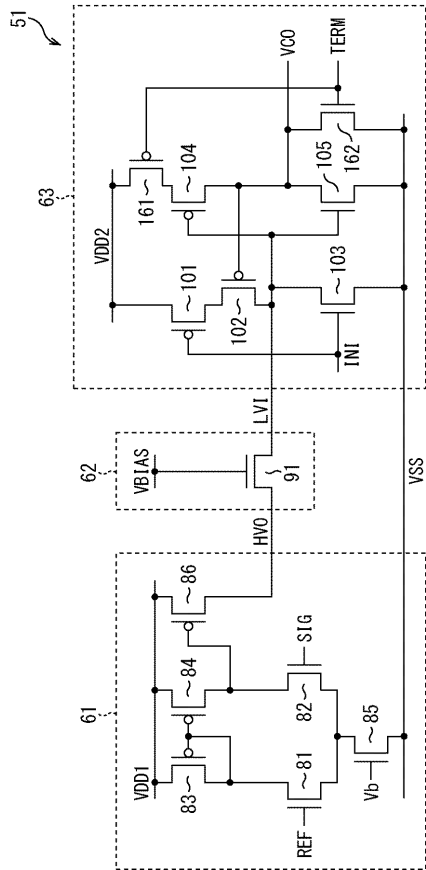
【図7】

図7



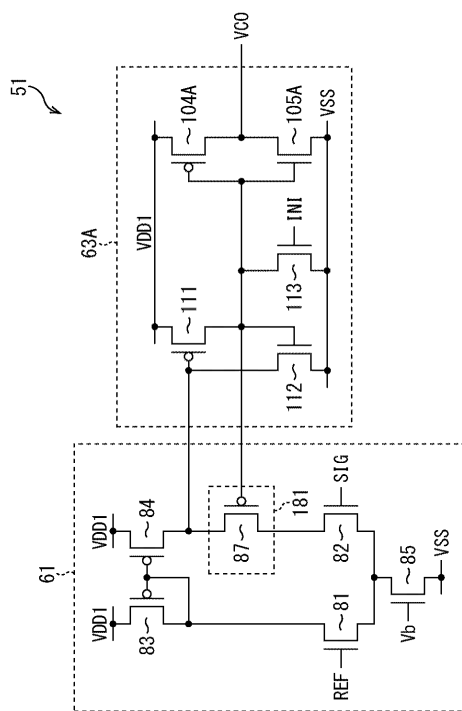
【図8】

図8



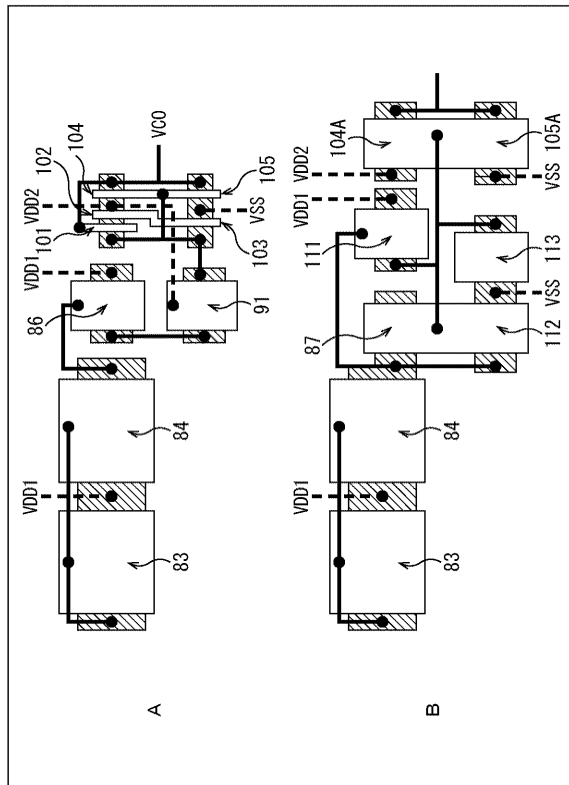
【図9】

図9



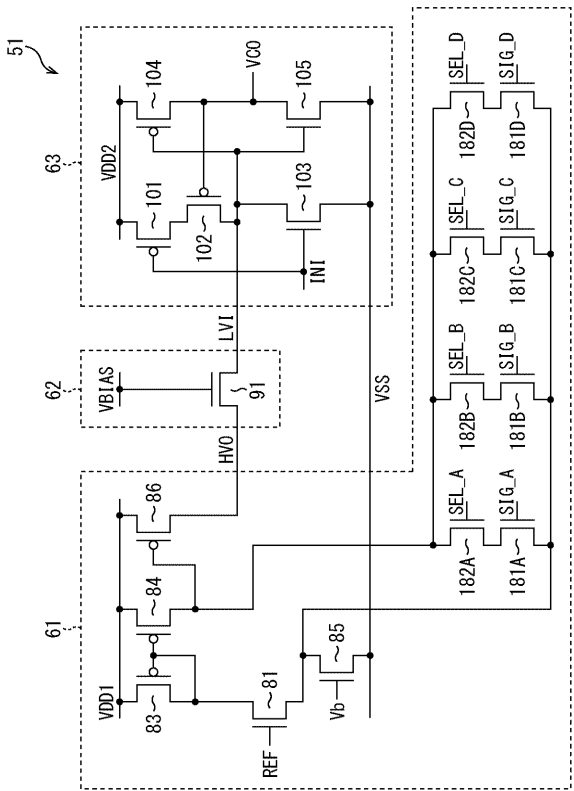
【図10】

図10



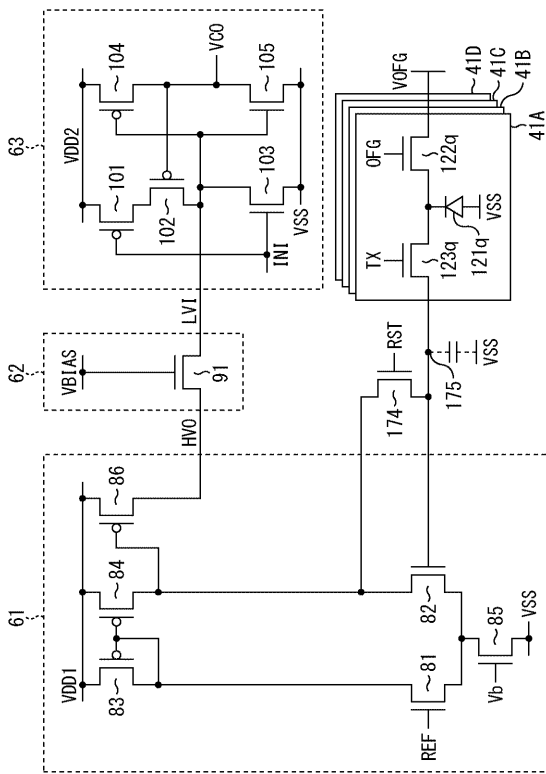
【図 1 1】

図 11



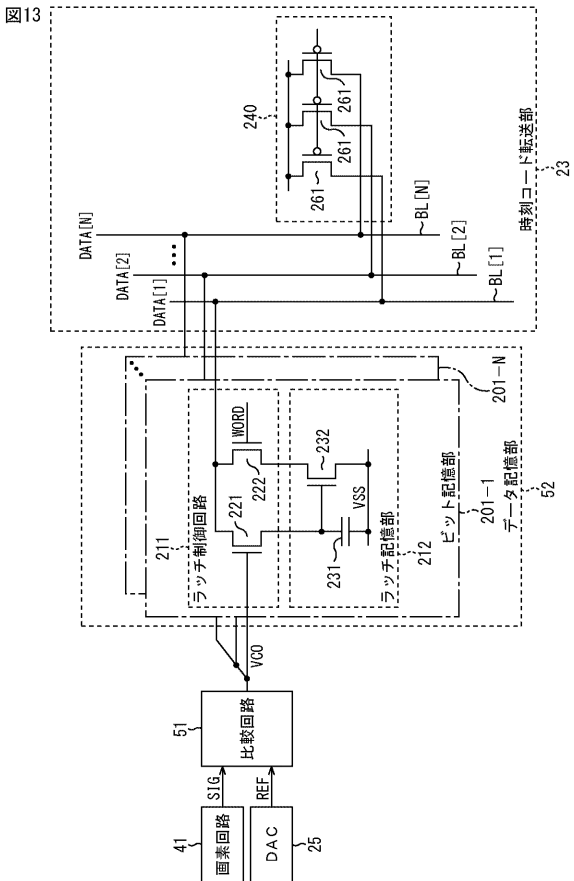
【図 1 2】

図 12



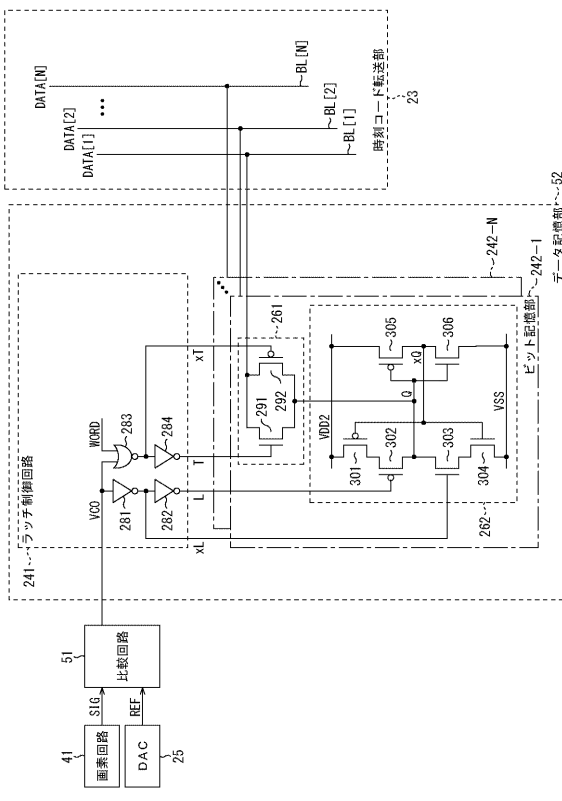
【図 1 3】

図 13

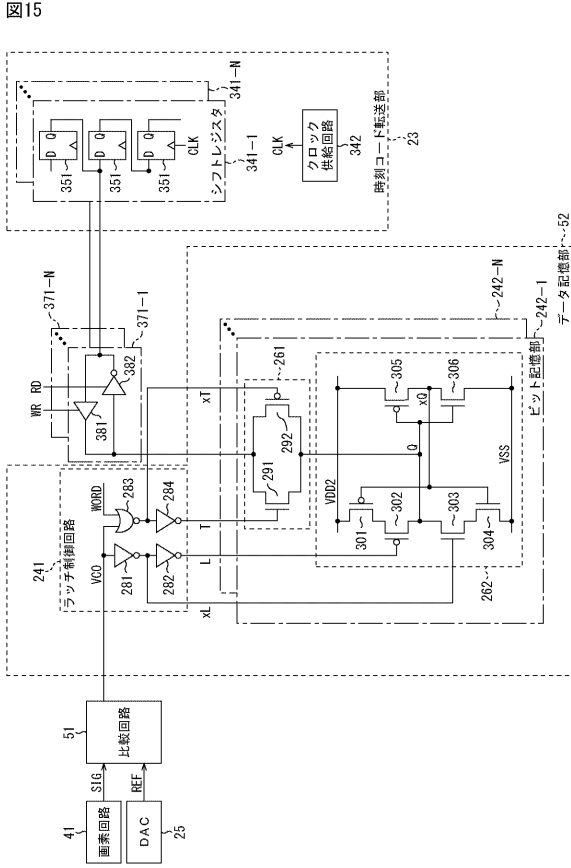


【図 1 4】

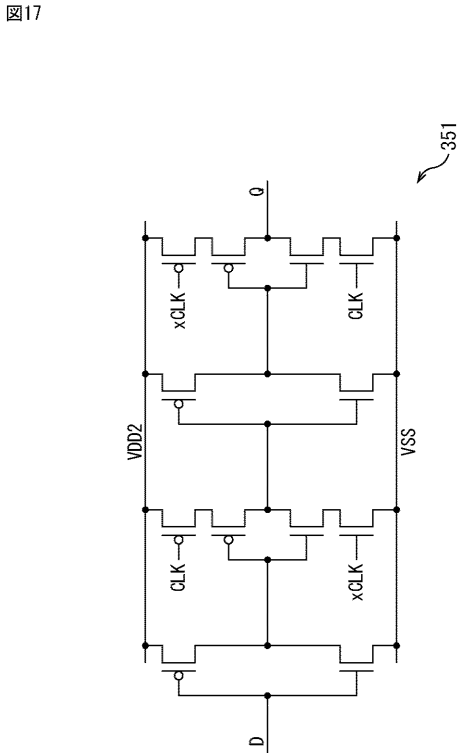
図 14



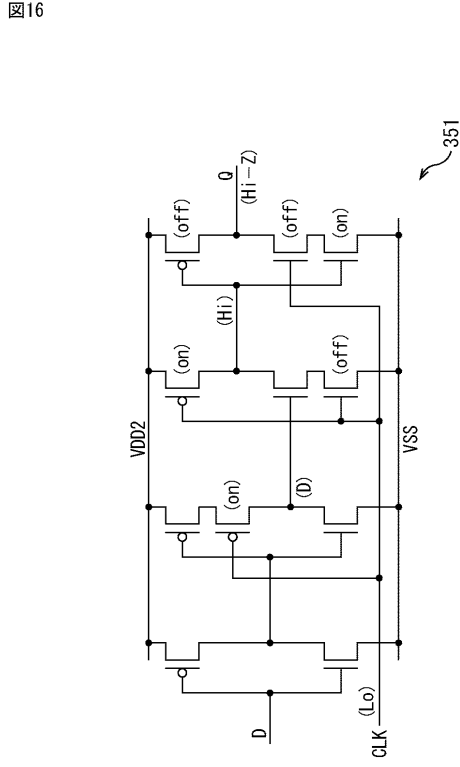
【図15】



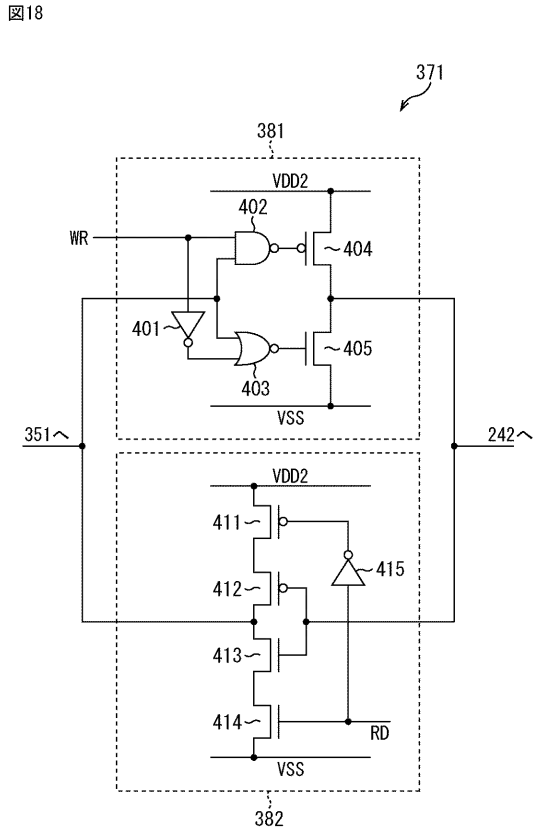
【図17】



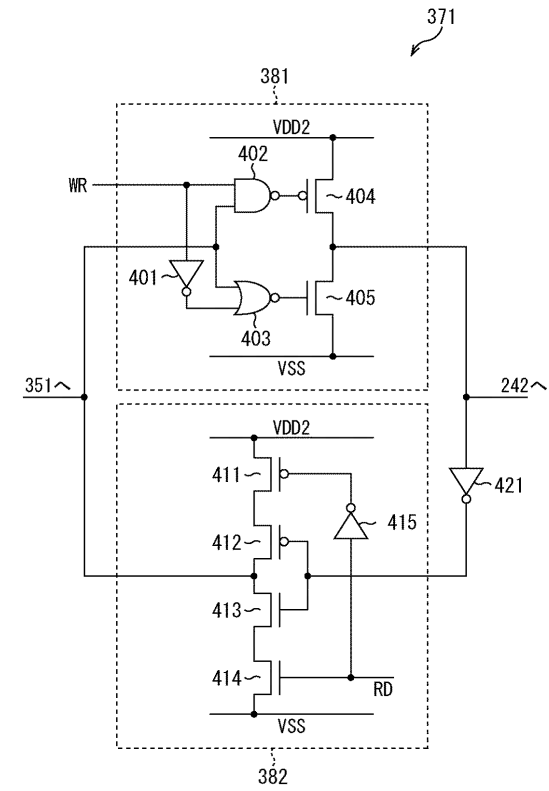
【図16】



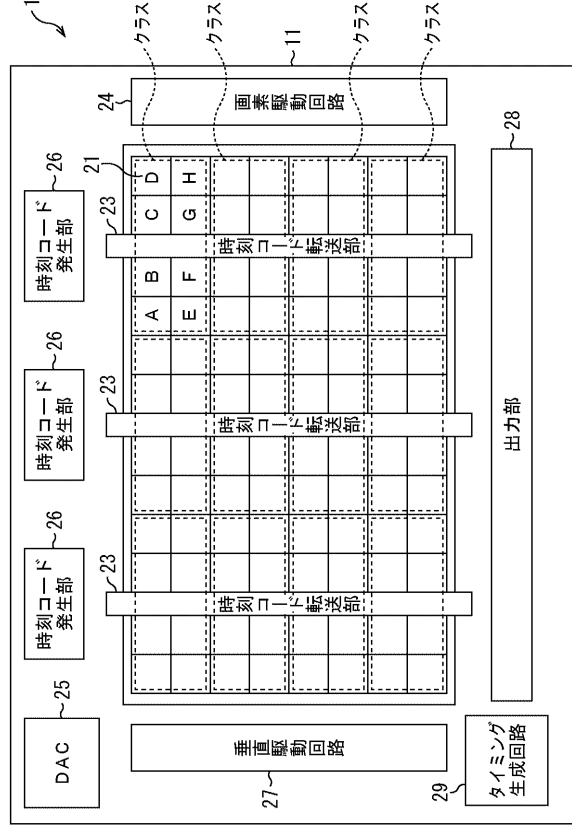
【図18】



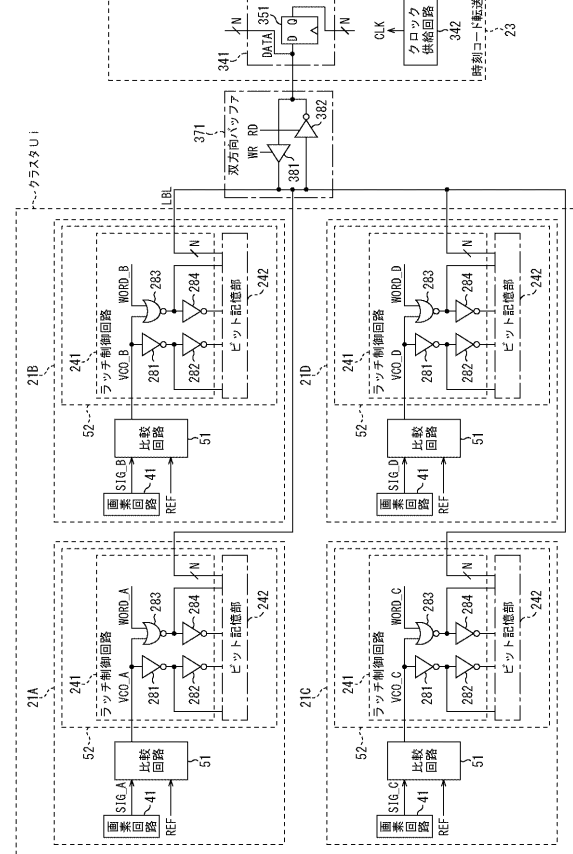
【図19】



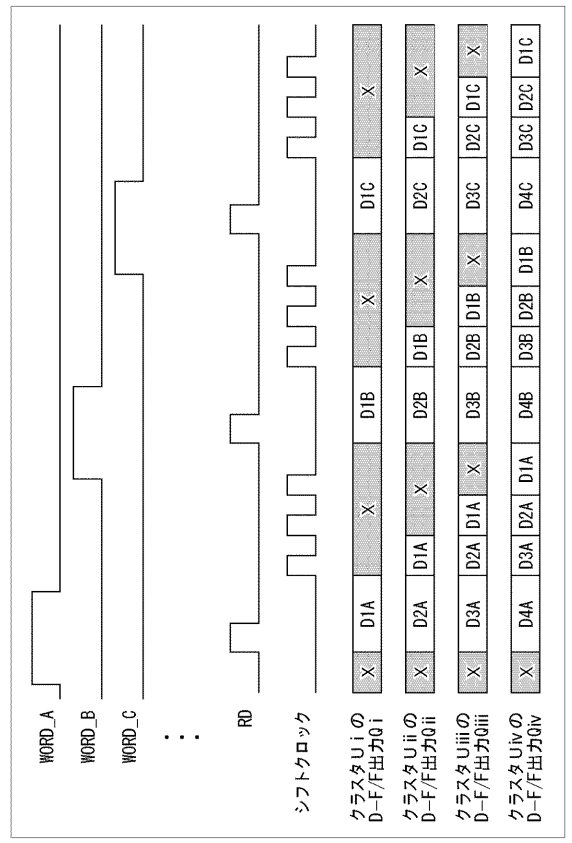
【図20】



【図21】

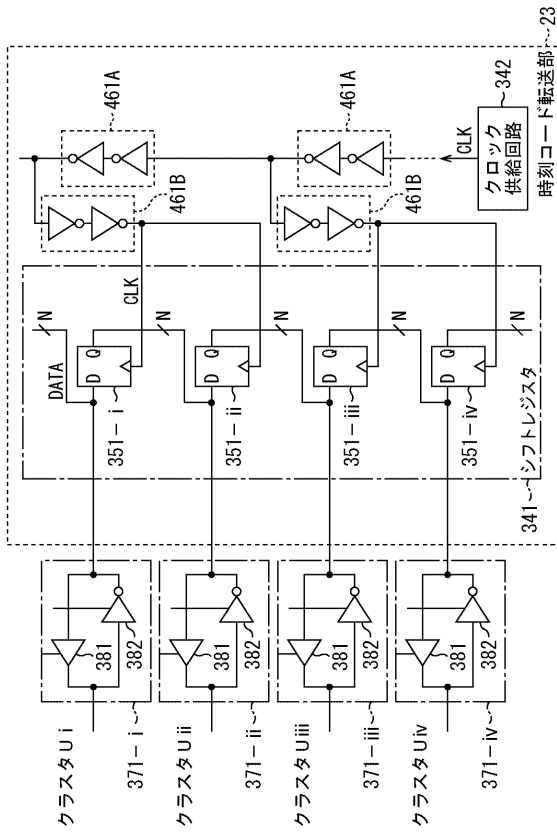


【図22】



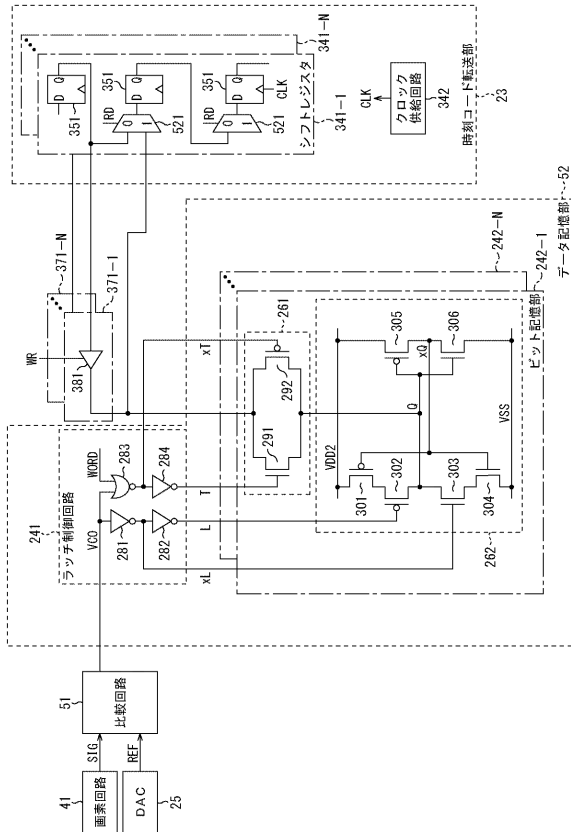
【図23】

図23



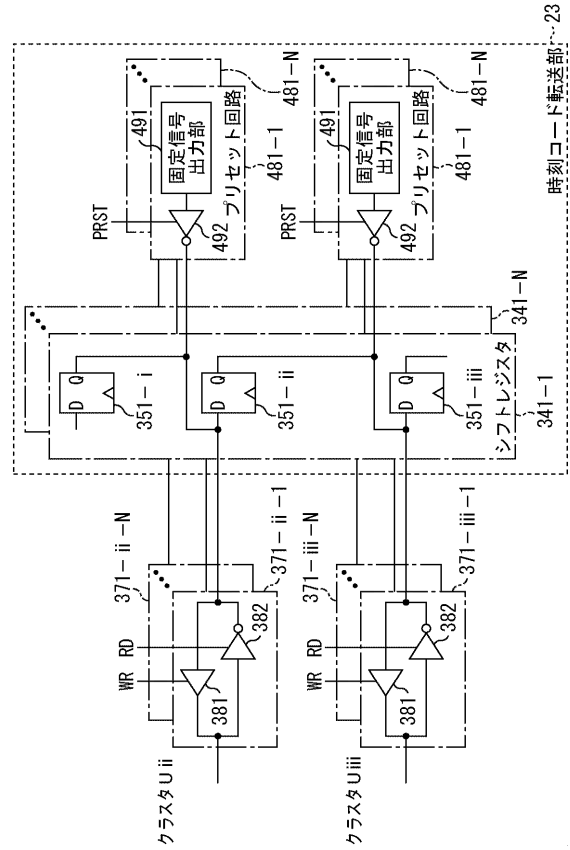
【図25】

図25



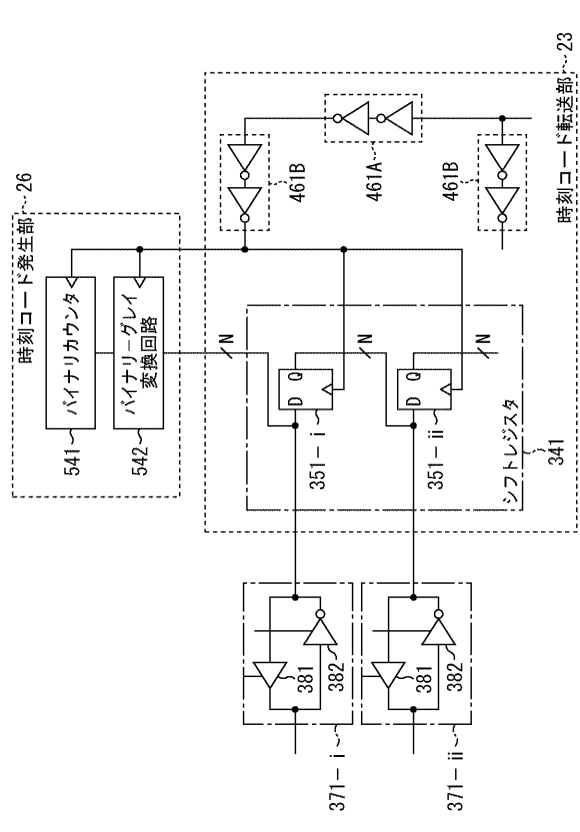
【図24】

図24



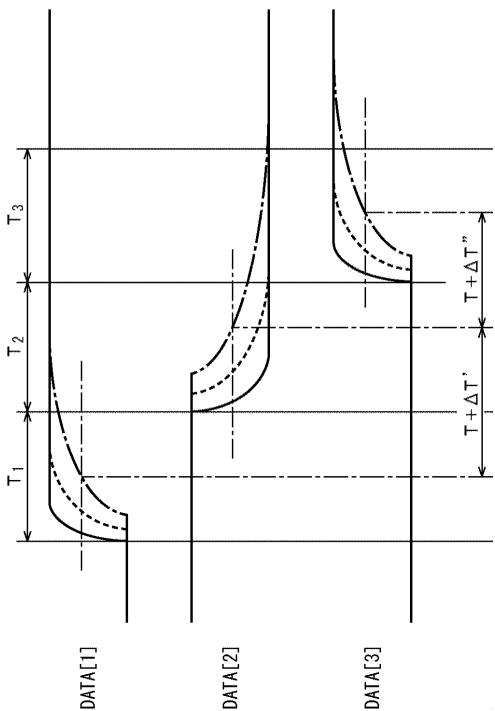
【図26】

図26



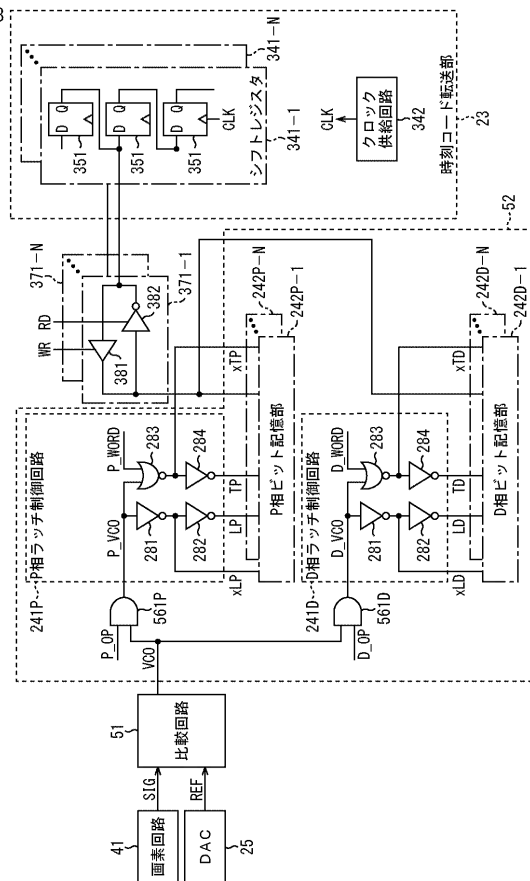
【図 27】

図27



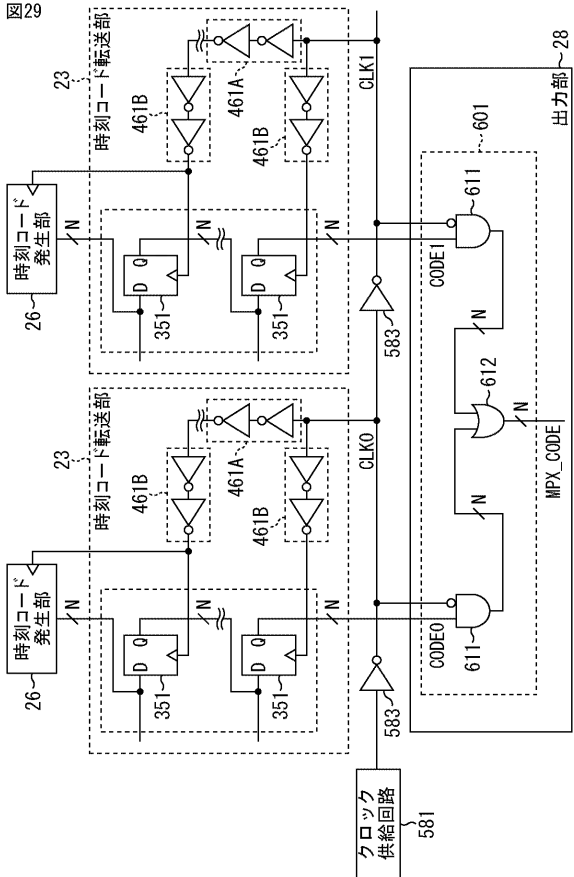
【図 28】

図28



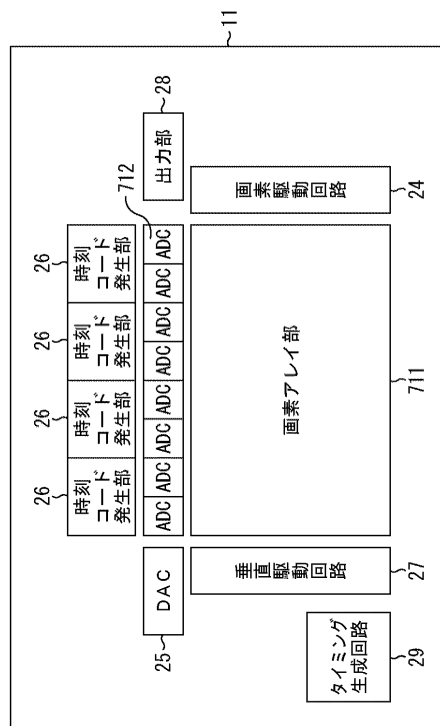
【図 29】

図29



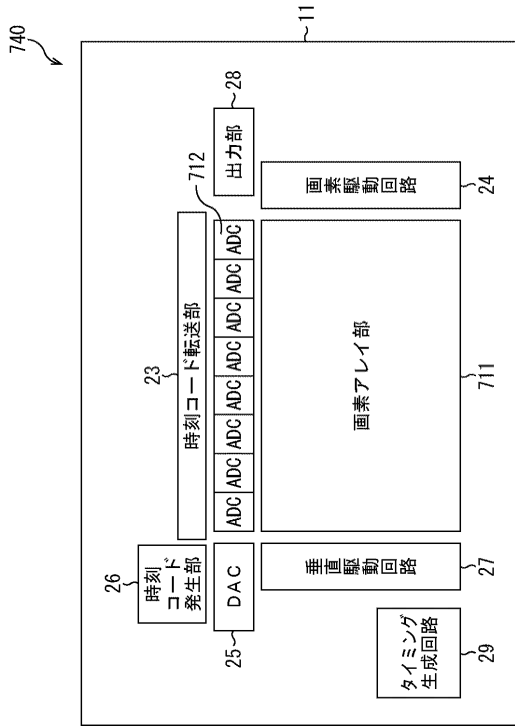
【図 30】

図30



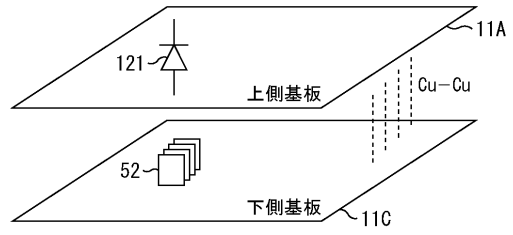
【図31】

図31



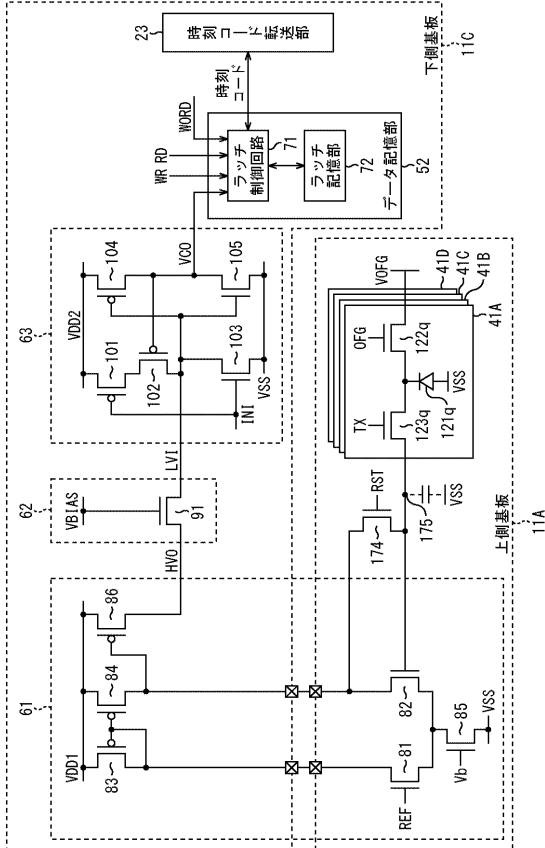
【図32】

図32



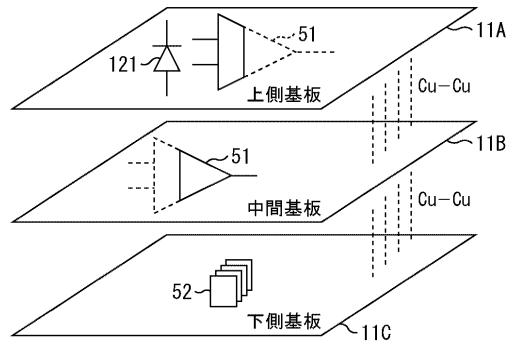
【図33】

図33

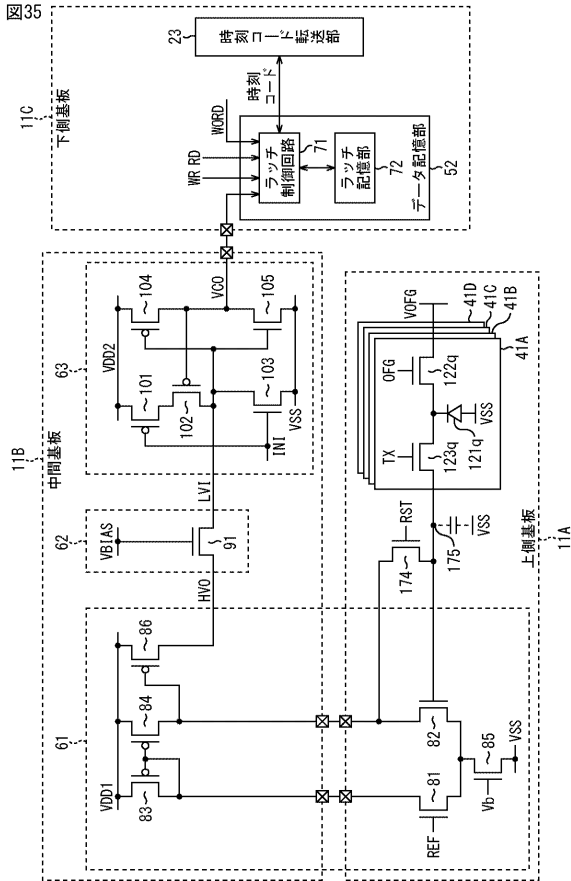


【図34】

図34

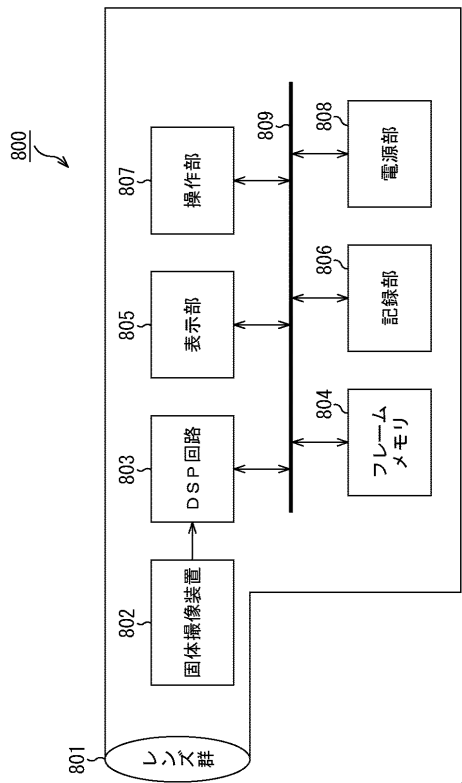


【図35】



【図36】

図36



フロントページの続き

(72)発明者 榊原 雅樹
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 鈴木 明

(56)参考文献 特開2006-238444(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H03K 5/08

H03M 1/56