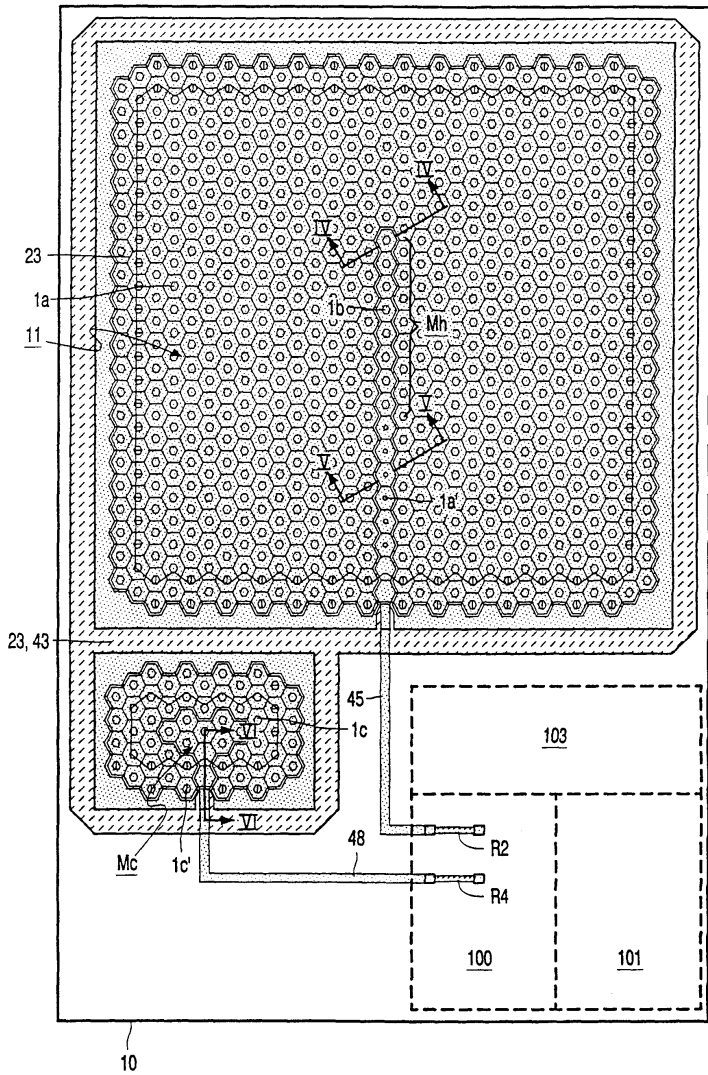




대표도



특허청구의 범위

청구항 1.

동작시에 열이 발생하는 트랜지스터 타입의 병렬 디바이스 셀의 어레이를 수용하는 반도체 바디를 포함하는 전력 트랜지스터 디바이스에 있어서,

상기 디바이스 셀의 어레이의 내부에 핫 로케이션 온도 센서가 위치하고,

상기 바디는 또한 상기 어레이의 외부에 위치하는 쿨 로케이션 온도 센서를 수용하며,

상기 쿨 로케이션 및 핫 로케이션 온도 센서는 각각 상기 디바이스 셀의 구조와 유사한 셀룰러 영역 구조를 갖는 상기 트랜지스터 타입의 적어도 하나의 센서 셀을 포함하고,

각각의 온도 센서의 각각의 출력 전극은 상기 디바이스 셀의 전극들과는 분리되며, 상기 출력 전극들로부터의 전압 신호들을 비교함으로써 상기 핫 로케이션과 상기 쿨 로케이션 사이의 온도차를 검출하기 위해, 상기 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 출력 전극에 검출 회로가 접속되는

전력 트랜지스터 디바이스.

## 청구항 2.

제 1 항에 있어서,

상기 바디는 또한 상기 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 출력 전극에 접속되는 각각의 제 1 및 제 2 입력단을 구비하는 비교기 수단을 포함하는 상기 검출 회로의 일부분을 수용하는 전력 트랜지스터 디바이스.

## 청구항 3.

제 2 항에 있어서,

상기 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 출력 전극은 상기 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 센서 셀을 통해 동일한 크기의 전류를 유도해 내도록 상기 검출 회로의 각각의 제 1 및 제 2 전류 경로에 접속되며, 상기 전류의 크기는 상기 센서 셀에서 열을 발생시키기에 불충분하고, 상기 비교기 수단의 제 1 입력단은 상기 제 1 전류 경로에서 제 1 회로 노드에 접속되며, 상기 비교기 수단의 제 2 입력단은 제 2 전류 경로에서 제 2 회로 노드에 접속되는 전력 트랜지스터 디바이스.

## 청구항 4.

제 3 항에 있어서,

상기 제 1 회로 노드와 상기 핫 로케이션 온도 센서의 출력 전극 사이에 제 1 직렬 저항이 접속되고, 상기 제 2 회로 노드와 상기 쿨 로케이션 온도 센서의 출력 전극 사이에 제 2 직렬 저항이 접속되는 전력 트랜지스터 디바이스.

## 청구항 5.

제 1 항에 있어서,

상기 디바이스는 절연 게이트 트랜지스터 타입이고, 상기 어레이의 디바이스 셀은 공통 소스 전극과 공통 절연 게이트 전극을 구비하며, 상기 센서 셀은 각각의 온도 센서용의 동일 전위에 접속되는 절연 게이트 전극과, 각각의 온도 센서용의 각각의 출력 전극을 제공하는 소스 전극을 구비하며, 상기 검출 회로는, 각각의 전류 경로에서 상기 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 센서 셀을 통해 동일한 크기의 전류를 유도해 내도록 상기 온도 센서의 각각의 소스 전극에 접속되는 각각의 전류원을 포함하되, 상기 전류의 크기는 상기 센서 셀에서 열을 발생시키기에 불충분하며, 상기 검출 회로는 상기 핫 로케이션 및 쿨 로케이션 온도 센서로부터의 게이트-소스 전압 신호들을 비교함으로써 상기 핫 로케이션과 상기 쿨 로케이션 사이의 온도차를 검출하는 전력 트랜지스터 디바이스.

## 청구항 6.

제 1 항에 있어서,

각각의 센서 셀을 통해 유도되는 전류의 크기를 정의하도록 전류원들이 전류 미러 구성으로 함께 접속되는 전력 트랜지스터 디바이스.

## 청구항 7.

제 1 항에 있어서,

상기 쿨 로케이션 온도 센서와 비교할 때, 상기 핫 로케이션과 상기 쿨 로케이션 사이에서 검출될 온도 차 임계치에 대응하는 전압 오프셋을 부가하기 위해, 즉 절연 게이트 트랜지스터 타입의 경우에 상기 절연 게이트 전극과 상기 핫 로케이션 온도 센서의 소스 전극 사이의 전압에 전압 오프셋을 부가하기 위해, 상기 핫 로케이션 온도 센서의 출력 전극과 직렬로 추가의 저항이 접속되는 전력 트랜지스터 디바이스.

## 청구항 8.

제 7 항에 있어서,

온도 반응 오프셋 수단, 즉 음의 온도 계수를 갖는 온도 감지 다이오드 수단이 상기 추가 저항의 적어도 일부와 병렬로 접속되고, 상기 디바이스가 동작할 때 상기 쿨 로케이션 온도 센서와 동일한 온도의 상기 바디의 영역에 위치하는 전력 트랜지스터 디바이스.

## 청구항 9.

제 1 항에 있어서,

상기 핫 로케이션 온도 센서는 상기 어레이의 발열 디바이스 셀과 길이방향 측면을 따라서 경계를 형성하는 행으로 배열되는 다수의 센서 셀을 포함하는 전력 트랜지스터 디바이스.

## 청구항 10.

제 1 항에 있어서,

상기 핫 로케이션 센서의 출력 전극으로의 접속은, 상기 어레이에서 상기 디바이스 셀의 라인을 지나서 연장되고, 상기 디바이스 셀의 대응 전극으로부터 전기적으로 절연되는, 즉 절연 게이트 트랜지스터 타입의 경우에 상기 어레이의 공통 소스 전극으로부터 전기적으로 절연되는 도전체 트랙을 포함하는 전력 트랜지스터 디바이스.

## 명세서

### 기술분야

본 발명은 전력 트랜지스터 디바이스(power transistor devices), 특히 절연 게이트 전력 전계 효과 트랜지스터(insulated-gate power field-effect transistor)(본 명세서에서 이후 MOSFET라고 함)나 절연 게이트 바이폴라 트랜지스터(insulated-gated bipolar transistor)(본 명세서에서 이후 IGBT라고 함)와 같은 전력 트랜지스터 디바이스에 관한 것이지만, 이 절연 게이트 타입에만 국한되는 것은 아니다. 이 디바이스는 동작시에 열이 발생하는 병렬 디바이스 셀의 어레이를 수용하는 반도체 바디(semiconductor body)를 포함하고, 이 디바이스 셀의 어레이 내부에는 핫 로케이션 온도 센서(hot-location temperature sensor)가 배치된다.

### 배경기술

미국 특허 명세서 US-A-4,913,844에서는 이러한 전력 트랜지스터 디바이스를 개시하며, 상기 디바이스에서 절연 게이트 트랜지스터 타입의 디바이스 셀은 공통 소스 전극과 공통 절연 게이트 전극이 위치하는 바디 표면에 인접한 반도체 바디에 셀룰러 영역 구조(cellular region structure)를 갖는다. 핫 로케이션 센서는 디바이스 셀의 구조와 유사한 셀룰러 영역 구조를 갖는 하나 이상의 센서 셀을 포함한다. 그 하나 이상의 센서 셀은 디바이스 셀의 전극과 공통으로 접속되는 절연 게이트 전극을 구비하고, 디바이스 셀의 공통 소스 전극에서 분리되고 검출 회로에 접속되는 출력 전극을 형성하는 소스 전극을 구비한다.

온도 감지를 위해, US-A-4,913,844에서는 어레이의 내부에 두 개의 상기 센서의 전류 미러 구성(current mirror arrangement)을 채택하는 것을 교시하고 있다. 상기 핫 로케이션 센서들 중 한 센서는 소스 전극을 낮은 값의 저항을 경유하여 디바이스의 소스 단자에 접속함으로써 전류 감지 모드로 사용되고, 다른 핫 로케이션 센서는 소스 전극을 높은 값의 저항을 경유하여 디바이스 소스 단자에 접속함으로써 전압 감지 모드로 사용된다. 어레이의 온도는 (전압 센서와 전류 센서의 소스 출력으로부터) 온-저항(on-resistance)을 계산하고 온-저항의 알려진 온도 의존성과 저항값을 상관시킴으로써 검출된다.

이는 온도를 감지하는 복잡한 방식이다. 이는 고 저항 양단간의 전압이 전압 센서의 드레인 상의 전압과 (상당히 높은 정확도로) 동일하고 따라서 전력 디바이스 어레이의 드레인 상의 전압과 동일하도록 하기 위하여, 디바이스의 포화 영역(saturation region)에서 동작되는 디바이스 셀 및 전압 감지 셀에도 또한 의존적이다. 그러나, 포화 영역은 그 어레이 내의 과도한 온도 증가를 감시하는데 있어 관심 정도가 덜 한데, 그 이유는 (디바이스를 통과하는 전류가 높다할 지라도) 그 디바이스 양단간의 전압 강하가 매우 낮아 포화 영역에서 전력 소비가 매우 낮기 때문이다.

미국 특허 명세서 S-A-5,444,219(출원인 관리 번호: PHB33667)에서는 저항의 형태의 온도 센서와, 디바이스 어레이에 인접한 핫 로케이션과 어레이에서 떨어져 있는 쿨 로케이션(cool location)에 상기 온도 감지 저항(temperature-sensitive resistors)을 포함하는 차동 온도 감지 회로(differential temperature sensing circuit)를 개시하고 있다. 핫 로케이션 및 쿨 로케이션의 온도 감지 저항은 충분한 감도를 달성하기 위하여 휘트스톤 브리지 회로(Wheatstone bridge circuit)로 구성된다. 이러한 핫 로케이션 및 쿨 로케이션의 온도 감지 저항을 사용하게 되면 디바이스 셀이 포화 영역에서 동작될 필요는 없게 된다. 특정 실시예에서, 핫 로케이션 온도 감지 저항은 어레이의 주변에서 약 125 $\mu$ m(마이크로미터)의 거리의 어레이의 외부에 있다. 그러나, 어레이의 균형이 국부적으로 깨진다할 지라도, 핫 로케이션 온도 감지 저항은 어레이 내부에서 중심에 배치될 수 있는 것으로 제안된다. US-A-5,444,219 및 US-A-4,913,844 모두의 전체 내용은 참고 자료로서 본 명세서에 인용되고 있다.

### 발명의 상세한 설명

본 발명의 목적은 핫 로케이션 및 쿨 로케이션 온도 센서를 갖춘 전력 트랜지스터 디바이스를 제공하는 것이며, 상기 센서는 전력 디바이스 어레이와 함께 쉽게 집적될 수 있고, 어레이 내에서 과도한 온도 증가에 대해 고속이면서 신뢰할 수 있는 응답을 간단히 검출할 수 있는 방법으로 제공하며, 디바이스가 포화 영역에서 동작하지 않을 때에도 동작할 수 있다.

본 발명에 따르면, 각각의 센서가 트랜지스터 디바이스 셀의 셀룰러 영역 구조와 유사한 셀룰러 영역 구조를 갖는 하나 이상의 센서 셀을 포함하는 핫 로케이션 및 쿨 로케이션 온도 센서가 제공되며, 검출 회로는 예를 들면, 절연 게이트 트랜지스터 디바이스의 경우에 핫 로케이션 및 쿨 로케이션 온도 센서의 개별 소스 전극에서 소스 전압의 차로서 게이트 소스 전압 신호를 비교함으로써 핫 로케이션 및 쿨 로케이션 온도 센서의 출력 신호를 비교하여 핫 로케이션과 쿨 로케이션 사이의 온도차를 검출한다.

본 발명에 따른 상기 온도 감지 구성을 사용하면, 트랜지스터 디바이스가 그 포화 영역에서 동작하지 않을 때에도 중요한 상황에서 어레이 내의 과도한 온도 증가를 검출할 수 있게 된다. 따라서, 온도 감지 구성은 디바이스에서의 전력 소비가 불포화 온 상태(non-saturated on-state)에서 하이(high)일 때, 즉 디바이스 양단간의 전압이 여전히 상당히 높을 때 동작한다. 핫 로케이션 센서를 형성하기 위해 어레이의 내부에 하나 이상의 셀을 사용하면, 어레이 내에서 온도 증가에 대해 매우 빠른 응답을 제공할 수 있다. 따라서, 핫 로케이션 센서 셀(또는 셀들)은 모든 측에서 또는 적어도 대부분의 측에서 발열 디바이스 셀과 근접하게 경계를 이룰 수 있다. 제조 공정에서 발생하는 센서 셀에 대한 임계 전압의 변화가 온도 변화로 인한 임계 전압 변화보다 클 수 있다할 지라도, 본 발명에 따라 상기 핫 로케이션 및 쿨 로케이션 온도 센서 셀로부터의 전압 신호를 비교함으로써 신뢰할 수 있는 온도 변화 검출이 이루어져서, 제조 시에 발생하는 임계 전압 변화를 효과적으로 무효화시키게 된다.

핫 로케이션 및 쿨 로케이션의 온도 센서의 출력 신호를 단순하지만 신뢰할 수 있는 비교를 용이하게 하기 위하여, 검출 회로는 각각의 전류 경로에서 온도 센서의 각각의 출력 전극에 접속되어 각각의 센서 셀을 통하여 동일한 크기(동일한 전류 밀도)의 전류를 유도하기 위한 각각의 전류원을 포함하며, 상기 전류의 크기는 센서 셀에서 열을 발생하기에는 불충분하다.

전력 디바이스는 셀룰러 바이폴라 트랜지스터 타입으로 이루어질 수 있고, 여기서 핫 로케이션 및 쿨 로케이션 센서 사이의 베이스-에미터 전압차  $V_{be}$ 는 핫 로케이션과 쿨 로케이션 사이의 온도차를 검출하기 위하여 비교된다. 따라서, 디바이

스와 온도 센서의 셀룰러 영역 구조는 기존의 바이폴라 기술을 사용하여 반도체 바디 내에서 형성되는 에미터, 베이스 및 콜렉터 영역을 포함할 수 있다. 센서 셀은 각각의 온도 센서에 대한 동일한 전위에 접속되는 베이스 전극을 구비할 수 있고, 각각의 온도 센서를 위한 각각의 출력 전극을 제공하는 에미터 전극을 구비할 수 있다. 어레이의 디바이스 셀은 공통 에미터 전극 및 공통 베이스 전극을 구비할 수 있다. 디바이스는 바이폴라 트랜지스터일 수 있거나, 바이폴라 트랜지스터는 예를 들면, 사이리스터(thyristor)와 같은 보다 복잡한 디바이스의 구성 요소 부분일 수 있다. 바이폴라 트랜지스터 셀의 베이스-에미터 전압은 온도에 크게 의존하지만, 상기 바이폴라 트랜지스터 셀로 이를 수 있는 출력 전압의 크기는 절연 게이트 트랜지스터 셀의 출력 전압으로서 이를 수 있는 것보다 일반적으로 훨씬 작다.

따라서, 바람직하게는, 디바이스는 예를 들면, MOSFET 또는 IGBT와 같은 절연 게이트 트랜지스터 타입이다. 센서 셀은 각각의 온도 센서를 위해 동일한 전위에 접속되는 절연 게이트 전극을 구비하고, 각각의 온도 센서를 위해 각각의 출력 전극을 제공하는 소스 전극을 구비한다. 어레이의 디바이스 셀은 공통 소스 전극 및 공통 절연 게이트 전극을 구비할 수 있다. 이 경우, 검출 회로는 핫 로케이션 및 쿨 로케이션 온도 센서로부터의 게이트-소스 전압 신호를 비교함으로써 핫 로케이션과 쿨 로케이션 사이의 온도차를 검출한다. 본 발명은 트랜치 게이트 셀 디바이스(trench-gate cell devices) 또는 표면 게이트 셀 디바이스(surface-gate cell devices)와 함께 사용될 수 있다. 트랜치 게이트 셀 디바이스와 함께 사용되는 경우, 절연 게이트는 바디의 주 표면에 있는 트랜치 내에 존재하게 된다. 표면 게이트 셀 디바이스와 함께 사용되는 경우, 절연 게이트는 주 표면에 존재하게 된다.

각각의 온도 센서는 각각의 단일 센서 셀을 포함할 수 있다. 그러나, 디바이스 제조 시에 반도체 바디(in/on the semiconductor body)에서 발생할 수 있고 셀의 출력 전압에 국부적으로 영향을 미칠 수 있는 임의의 국부적 특성(local peculiarities)을 평균에 이르도록 하기 위하여, 각각의 센서에 대해 하나 이상의 센서 셀을 제공하는 것이 바람직하다. 따라서, 각각의 센서는 바람직하게는, 소수의 (예를 들면, 3 개 내지 7 개 정도의) 활성 센서 셀(active sensor cells)을 포함할 수 있다.

핫 로케이션 온도 센서는 어레이의 발열 디바이스 셀과 길이 방향으로 경계를 이루는 행으로 배열되는 다수의 센서 셀을 포함할 수 있다. 이러한 행 배열은 어레이의 발열 디바이스 셀과 핫 로케이션 온도 센서의 센서 셀 간의 열적 결합(thermal coupling)을 최적화한다. 쿨 로케이션의 온도 센서가 발열 어레이로부터 온도 기울기가 감소하는 상태에 있도록 어레이에 충분히 근접하게 배치될 때, 행에 쿨 로케이션 센서의 다수의 센서 셀을 어레이의 에지와 평행하게 연장되도록 배열하는 것이 바람직하다. 그렇지 않으면, 쿨 로케이션 온도 센서의 다수의 센서 셀은 행으로 구현될 필요는 없다. 실제로, 디바이스 레이아웃 영역에서의 최적화 및 절약은 쿨 로케이션 온도 센서의 센서 셀이 2차원 그룹(2-dimensional grouping)으로 배열될 때 성취될 수 있다.

핫 로케이션의 출력 전극으로의 접속은, 절연 게이트 트랜지스터 타입의 경우에, 어레이에서 디바이스 셀의 라인을 넘어서 연장되고 디바이스 셀의 대응 전극, 가령 어레이의 공통 소스 전극으로부터 전기적으로 절연되는 도전체 트랙(conductor track)을 포함할 수 있다. 이러한 라인 트랙 접속은 어레이의 내부에서 핫 로케이션 센서의 출력 전극에 플라잉 와이어(flying wire)를 본딩하는 것보다 신뢰할 수 있다. 이 라인의 디바이스 셀은 어레이의 비활성 셀(inactive cells)일 수 있고 도전체 트랙은 중간 절연 층에 의해 어레이의 디바이스 셀로부터(예를 들면, 그들의 공통 소스/에미터 전극 및/또는 게이트/베이스 전극 및/또는 셀룰러 영역 구조로부터) 전기적으로 절연될 수 있다.

비활성 셀은 여러 가지 방식으로 형성될 수 있다. 어레이의 공통 소스/에미터 전극 및/또는 소스/에미터 영역은 도전체 트랙이 연장되는 라인의 디바이스 셀에 인접할 수 있다.

바람직한 절연 게이트 트랜지스터 타입의 경우에, 셀룰러 영역 구조의 소스 영역은 라인의 디바이스 셀의 절연 게이트 전극의 부근에 존재하지 않을 수 있고, 소스/에미터 전극 또는 도전체 트랙을 위한 접촉 윈도우에 존재하지 않을 수 있다. 이러한 구성은 트랜치 게이트 셀 또는 표면 게이트 셀과 함께 사용될 수 있다. 적어도 표면 게이트 셀의 경우, 어레이의 공통 절연 게이트 전극과 공통 소스 전극은 도전체 트랙이 연장되는 라인의 디바이스 셀에 존재하지 않을 수도 있다.

핫 로케이션 센서의 센서 셀은 디바이스 셀과 함께 공통 절연 게이트 전극을 구비할 수 있고, 쿨 로케이션 온도 센서의 센서 셀은 디바이스 셀의 전극과 공통으로 접속된 절연 게이트 전극을 구비할 수 있다. 콤팩트 레이아웃은 절연 게이트형의 전력 트랜지스터 디바이스에서 상기 특징을 사용하여 성취될 수 있다.

쿨 로케이션 온도 센서는 디바이스 셀의 어레이에서 떨어진 위치에 있는 하나 이상의 센서 셀을 구비할 수 있다. 그러나, 특히, 다른 온도 센서가 어레이 근방의 실제 온도(소위 "절대 온도")를 감시하도록 포함되면, 절대 온도 센서에 근접하게, 즉 어레이의 외부 주변부에 근접하게 쿨 로케이션 센서를 배치하는 것이 바람직할 수 있다. 그러한 경우, 쿨 로케이션 센서

는 디바이스 어레이와 공통 주변 셀룰러 종단 구조(termination structure)를 공유할 수도 있다. 상호 접속 및 레이아웃은, 쿨 로케이션 센서가 핫 로케이션 센서와 그리고 어레이의 디바이스 셀과도 공통 전극 접속부(예를 들면, 공통 절연 게이트층)를 공유할 때 단순화될 수도 있다.

디바이스 어레이와 핫 로케이션 센서 및 쿨 로케이션 센서 외에, 반도체 바디는 집적 회로(예를 들면, 구성 요소들 중 적어도 몇몇 구성 요소가 특성과 위치에 있어서 온도에 반응하는 임피던스 구성 요소와 같은 전류원 및/또는 오프셋 수단)로서 검출 회로의 적어도 일부분을 수용할 수 있다. 특정한 회로 특징이 이제 설명될 것이며, 상기 특징은 핫 로케이션 및 쿨 로케이션 온도 센서의 출력 신호를 사용하여 양호한 회로 성능을 부여할 뿐만 아니라 집적하기에 적합하다.

핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 출력 전극은 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 셀을 통하여 동일한 크기의 전류를 끌어내는 검출 회로의 각각의 제 1 및 제 2 전류 경로에 접속될 수 있고, 전류의 크기는 센서 셀에서 열을 발생하는데 불충분하다. 비교기 수단의 제 1 입력은 제 1 전류 경로에서 제 1 회로 노드에 접속될 수 있고, 비교기 수단의 제 2 입력은 제 2 전류 경로에서 제 2 회로 노드에 접속될 수 있다. 비교기에 적합한 입력 레벨은 제 1 회로 노드와 핫 로케이션 온도 센서의 출력 전극 사이에 제 1 직렬 저항을 접속함으로써 제공될 수 있고, 제 2 직렬 저항은 제 2 회로 노드와 쿨 로케이션 온도 센서의 출력 전극 사이에 접속될 수 있다.

각각의 센서 셀을 통하여 유도된 전류의 크기는 센서 출력 전극과 전압원 사이에 높은 값의 외부 저항을 접속함으로써 단순한 방법으로 결정될 수 있다. 그러나, 바람직하게는, 제어 입력을 구비하는 전류 미러 구성에서 함께 접속되는 전류원이 사용된다. 이러한 구성은 각각의 센서 셀을 통하여 유도된 전류의 크기를 정하는 보다 정확한 방법을 제공한다. 대체로, 핫 로케이션 및 쿨 로케이션 온도 센서는 각각 동일한 수의 센서 셀을 포함할 수 있고, 각각의 센서 셀은 동일한 셀 면적을 가지며, 따라서 전류원은 핫 로케이션 및 쿨 로케이션 온도 센서의 소스 전극을 통하여 동일한 크기의 전류를 유도해 낼 수 있다. 그러나, 핫 로케이션 및 쿨 로케이션 온도 센서에 상이한 수의 활성 센서 셀이 있을 수 있거나, 센서 셀이 상이한 셀 면적을 가질 수 있다. 이러한 상태에서, 상이한 크기의 전류가 상이한 온도 센서의 소스 전극을 통하여 흐를 것이다.

쿨 로케이션 센서와 비교할 때, 핫 로케이션 온도 센서의 소스 전극과 공통 절연 게이트 전극 사이의 전압에 전압 오프셋(voltage offset)을 부가하도록, 핫 로케이션 센서의 소스 전극과 직렬로 추가의 저항이 접속될 수 있다. 추가의 저항으로 정해지는 전압 오프셋은 핫 로케이션과 쿨 로케이션 사이에서 검출될 온도 차 임계치에 대응할 수 있다. 이러한 방식으로 비교기 입력단에 외부 오프셋을 제공하는 대신, 입력단에 인가되는 내부 오프셋을 구비하는 보다 복잡한 비교기 회로가 사용될 수 있다.

온도 반응 오프셋 수단(temperature-responsive offset means)은 쿨 로케이션의 온도 증가에 따라 변화하는 핫 로케이션과 쿨 로케이션 사이의 온도 차 임계치를 검출하기 위해 핫 로케이션 센서의 출력 전극과 직렬로(예를 들면, 이 경로에서 오프셋 추가 저항의 하나 이상의 부분과 병렬로) 접속될 수 있다. 상기 온도 반응 오프셋 수단은 쿨 로케이션의 온도의 증가로 인해 쿨 로케이션 센서로부터의 출력 신호의 변화를 보상하는데 사용될 수 있다. 한가지 유형에서, 온도 반응 오프셋 수단은(핫 로케이션과 쿨 로케이션 사이에서 검출되는) 온도 차 임계치가 쿨 로케이션의 온도 증가에 따라 감소하도록 부의 온도 계수를 갖는 온도 감지 다이오드 수단일 수 있다. 온도 감지 오프셋 수단은 디바이스의 동작 시에 쿨 로케이션 온도 센서와 동일한 온도의 바디의 영역에, 예를 들면, 쿨 로케이션 온도 센서 인접 영역에 위치할 수 있다.

반도체 바디는 검출 회로의 일부를 형성하고 핫 로케이션 및 쿨 로케이션 온도 센서의 각각의 출력 전극에 접속되는 제 1 및 제 2 입력단을 구비하는 비교기 수단을 수용할 수 있다. 콤팩트 집적 디바이스는 동일한 디바이스 엔벨로프(envelope)에 패키징되어 형성될 수 있다. 대안으로, 외부 비교기는 디바이스의 외부 단자에 접속될 수 있다.

본 발명에 따른 상기 특징 및 다른 특징은 첨부된 도면을 참조하여 이제 예를 들어 설명될 본 발명의 실시예에서 예시된다.

## 실시예

모든 도면은 개략적인 것으로 실제의 크기로 그려지지 않음에 주목해야 한다. 도면의 상대적 치수 및 비율은 도면에서 명료함과 편리를 위해 크기가 과장되거나 축소되어 도시되었다. 동일한 도면 부호는 대개 수정된 실시예와 상이한 실시예에서 대응하거나 유사한 부분을 지칭하는데 사용된다.

도 1은 반도체 바디(10)를 포함하는 절연 게이트 타입의 전력 트랜지스터 디바이스의 일부를 도시하는 도면이며, 상기 반도체 바디(10)에는 디바이스의 동작 시에 열이 발생하는 디바이스 셀(1a)의 어레이(11)와, 어레이(11)의 내부에 위치하는 핫 로케이션 온도 센서 Mh와, 쿨 로케이션 온도 센서 Mc가 설치된다. 쿨 로케이션 온도 센서 Mc는 열이 발생하는 디바이스 셀(1a)에서 떨어져 있는 어레이의 외부에 배치된다. 도 1의 디바이스에서, 바디(10)에는 핫 로케이션 및 쿨 로케이션 온

도 센서 Mh 및 Mc가 접속되는 예를 들면, (비교기(40), 전류원 M1 내지 M6, 저항 요소 R1 내지 R5, 및 온도 반응 다이오드 수단 D1을 포함하는) 도 3의 검출 회로(100, 101)와 같은 집적 회로도 설치된다. (각각 그 자신의 구성 요소 레이어아웃을 구비하는) 집적 검출 회로(100, 101)의 회로 구성 요소는 어레이(11)용으로 사용되는 동일한 마스크, 도핑, 증착 및/또는 에칭 단계들 중 몇 단계를 사용하여 제조된다.

바디(10)는 대체로 단결정 실리콘으로 구성되며, 디바이스는 대체로 MOSFET 또는 IGBT일 수 있다. 어레이(11)는 대체로 바디 표면(10a)에 인접한 반도체 바디(10) 내에 수천의 병렬 디바이스 셀(1a)을 포함한다. 본 발명을 구현하도록 채택된 디바이스 구성을 예시하기 위하여 단 하나의 소형 어레이만이 도 1에 도시된다. 각각의 셀(1a)의 셀룰러 영역 구조는 알려져 있는 임의의 형태일 수 있으며, 그 간단한 예가 도 4 및 도 5에 도시된다. 따라서, 각각의 셀(1a)은 대체로 고농도로 도핑된 소스 영역(high-doped source region)(12)과 다른 영역(14)—모두 제 1 도전성 타입임(본 예에서는 n형)—사이에 도전 채널(29)이 설치되는 반대의 전도성 타입(예를 들면, N 채널 인핸스먼트 디바이스(enhancement device)의 경우 p형) 바디 영역(13)을 포함할 수 있다. 게이트 전극(23)은 어레이(11)의 모든 디바이스 셀(1a)에 공통이다. 디바이스의 온 상태(on-state)에서 게이트 전극(23)에 전압 신호를 인가하면, 기존의 방식으로 영역(13)에서 도전 채널(29)을 유도하고, 따라서 디바이스의 주 전극(22, 25) 사이의 상기 도전 채널에서 전류 흐름을 제어하게 된다. 트렌치 게이트 구조는 도 4 내지 도 6의 실시예에서 예를 통하여 예시되는데, 즉, 게이트 전극(23)은 표면(10a)의 트렌치 내에 존재하고, 트렌치의 측벽에서 게이트 유전체 층(24)에 인접한 도전 채널(29)에서 전류 흐름을 제어한다.

도 4 및 도 5에 예시된 바와 같이, 소스 영역(12)은 바디(10)의 상부 주 표면(10a)에서 소스 전극(22)에 의해 접촉된다. 상기 소스 전극(22)은 어레이(11)의 모든 디바이스 셀(1a)에 공통이고, 전력 디바이스의 하나의 주 전극을 형성한다. 예를 들면, 도 4는 고 도전성의 기관 영역(15)에 저농도 도핑 (드레인-드리프트(drain-drift)) 영역을 형성하는 고저항성의 에피택셜 층(epitaxial layer)일 수 있는 수직 디바이스 구조를 도시한다. 상기 기관 영역(15)은 수직 MOSFET를 제공하도록 영역(14)과 동일한 도전성 타입(본 예에서 n형)으로 이루어질 수 있거나, 수직 IGBT를 제공하도록 반대의 도전성 타입(본 예에서 p형)으로 이루어질 수 있다. 상기 수직 디바이스에서, 기관 영역(15)은 MOSFET의 경우에 드레인 전극이라고 하고 IGBT의 경우에 애노드 전극이라고 하는 다른 주 전극(25)에 의해 디바이스 바디(10)의 밑면 주 표면(10b)에서 접속된다.

도 1의 평면도에서, 밀집한 6각형 기하학적 구조는 어레이(11)의 디바이스 셀(1a)에 대해 예시한 것이다. 그러나, 본 발명은 매우 상이한 기존의 셀의 기하학적 구조를 갖는 디바이스와 함께 사용될 수 있는데, 예를 들면, 셀(1a)은 정사각형 기하학적 구조 또는 긴 스트라이프 기하학적 구조를 가질 수 있다. 트렌치 게이트(23)는 도 1의 각각의 셀(1a)의 경계 주변에서 어레이(11)의 공통 절연 게이트 전극을 형성하는 네트워크 구조로서 연장된다. 소스 전극(22)은 트렌치 게이트(23) 상에서 절연층(25)을 넘어서 연장되고, 또한, 소스 영역(12)과 바디 영역(13) 사이에서 p-n 접합을 단락시킨다.

디바이스의 활성 셀룰러 영역은 여러 가지 기존의 주변 종단 설계(termination schemes)에 의해 어레이(11)의 주변과 바디(10)의 주변에서 경계를 형성할 수 있다. 상기 종단 설계는 보통 트랜지스터 셀 제조 단계 전에, 바디 표면(10a)의 주변 영역 주위에 두꺼운 필드 산화물 층의 형성을 포함한다. 도 1은 예를 들면, 어레이(11)용의 알려진 주변 종단 설계를 예시하며, 여기서 트렌치 게이트(23)를 형성하는 도전층은 필드 플레이트로서 두꺼운 필드 산화물 위에서 연장된다. 더욱이, 상기 알려진 종단 설계에서, 어레이(11)의 두 개의 최외곽 행의 디바이스 셀은 소스 영역(12)의 부재 및/또는 소스 전극(22)에 의한 접속의 부재로 인해 비활성 상태(inactive)이다.

도 1의 디바이스에서 온도 감지 기능의 일반적인 개요의 견지에서, 검출 회로(100, 101)는 핫 로케이션 및 쿨 로케이션 온도 센서 Mh 및 Mc로부터의 게이트-소스 전압을 각각 비교함으로써 핫 로케이션과 쿨 로케이션 사이의 온도차를 검출한다. 도 4 및 도 6에 예시된 바와 같이, 핫 로케이션 및 쿨 로케이션 온도 센서 Mh 및 Mc는 디바이스 셀(1a)의 구조와 유사한 셀룰러 영역 구조(12 내지 15)를 갖는다.

따라서, 핫 로케이션 온도 센서 Mh는 하나 이상의 센서 셀(1b)을 포함하고, 그 셀룰러 영역 구조(12 내지 15)는 도 4에 예시된 바와 같이 디바이스 셀(1a)의 구조와 유사하다. 특정 예를 들면, 도 1은 어레이(11) 내에서 발열 디바이스 셀(1a)과 (한 단부와 그 길이 방향을 따라서) 경계를 형성하는 행(하나의 셀 폭)으로 배열되는 상기 8개의 센서 셀(1b)을 예시한다. 상기 센서 셀(1b)은 디바이스 셀(1a)의 공통 소스 전극(22)에서 분리되는 공통 소스 전극(31)을 구비한다. 그러나, 센서 셀(1b)은 디바이스 셀(1a)의 전극과 공통인 제 2 주 전극(25)과, 디바이스 셀(1a)의 전극(23)과 공통인 절연 게이트 전극(23b)을 구비한다. 상기 센서 셀(1b)은 (아래에 설명되는 바와 같이) 낮은 전류 밀도로 동작되는 반면에, 센서 셀(1b)과 경계를 형성하는 인접 디바이스 셀(1a)은 어레이(11)의 다른 활성 디바이스 셀(1a)과 동일한 높은 전류 밀도로 동작된다. 따라서, 센서 셀(1b)에 의해 측정되는 상기 인접 디바이스 셀(1a)의 온도는 어레이(11) 내의 디바이스 동작 온도와 매칭한다.

쿨 로케이션 온도 센서 Mc는 도 6에 예시된 핫 로케이션 센서 셀(1b)의 구조와 대응하는 셀룰러 영역 구조(12 내지 15)를 갖는 하나 이상의 센서 셀(1c)을 포함한다. 특정 예를 들면, 도 1은 7개의 상기 센서 셀(1c)을 예시하며, 이 센서는 공통 중

양 셀과 함께 발열 어레이(11)의 주변과 평행하게 4 개의 2 그룹으로 스태거(stagger)된다. 특정 예에서, 쿨 로케이션 센서 셀(1c)의 조합 그룹은 쿨 로케이션 센서 셀의 단부에서 그 측면을 따라서 비활성 셀(1c')의 둘 이상의 외부 행과 경계를 형성한다(도 6을 참조). 센서 셀(1c)과 주변 비활성 셀(1c')은 육각형 배열로 뺄뺄이 들어찬다.

쿨 로케이션 센서 Mc는 소스 전극(32)을 구비하며, 소스 전극(32)은 디바이스 셀(1a)의 공통 소스 전극(22)에서 분리되고 또한 핫 로케이션 센서 Mh의 분리 소스 전극(31)에서 분리된다. 쿨 로케이션 센서 Mc의 센서 셀(1c)은 디바이스 셀(1a)과 공통 주 전극(25)을 포함한다. 센서 셀(1c)의 절연 게이트 전극(23c)은 또한 디바이스 셀(1a)의 게이트(23)와 공통으로 접속되어, 동일한 전위로 된다. 게이트(23c, 23)의 상기 공통 접속은 다양한 방식으로 이루어질 수 있다. 쿨 로케이션 센서 Mc가 어레이 근방에 배치될 때, 어레이(11)의 게이트(23)를 제공하는 층 구조는 게이트(23c)를 제공하도록 센서 Mc의 위치 내로 연장된다. 도 1은 상기 구조의 특정 예를 예시한다. 그러나, 공통 접속이 게이트(23)와 게이트(23c) 사이에 접속된 별도의 도전체 트랙(43)을 포함하는 보다 다용도의 레이아웃 배열이 채택될 수 있다.

본 발명은 전력 디바이스 어레이(11)의 코어의 온도가 디바이스 그 자체의 셀룰러 영역 구조(12 내지 15)의 온도 감도를 이용함으로써 감지될 수 있게 한다. 이는 전력 디바이스 어레이(11)에서 깊숙이 들어간 셀(1b)과 바디(10)의 쿨러 주변 회로 영역(cooler peripheral circuit area)에 있는 셀(1c) 사이의 온도차를 감지함으로써 이루어진다. 센서 셀(1b, 1c)이 동일한 낮은 전류 밀도로 동작 중일 때, 센서 셀(1b, 1c) 간의 온도차는 그들의 게이트/소스 전압 Vgs에서의 차이 dV(T)에 실질적으로 비례한다. 센서 셀(1b)과 셀(1c)의 특성 및 위치 지정으로 인해, 상기 온도 센서의 응답 시간은 예를 들면, 10  $\mu$ s(마이크로 초) 내지 50 $\mu$ s와 같이 매우 빠를 수 있다. 이와 같이 매우 빠른 응답 시간은 어레이(11) 내에서 셀(1b)의 (온도 감지) 채널(29b)을 사용함으로써 조장되는데, 각각의 육각형 셀(1b)은 디바이스 셀(1a)에서 단지 몇 마이크로미터 떨어진 전력 소모 채널(29)에 의해 6 측면 중 4 측면에서 (단부 셀(1b)의 경우 6 측면 중 5 측면에서) 둘러싸인다.

도 2는 예를 들면,  $\mu$ A(마이크로암페어) 정도로 부여된 낮은 드레인 전류에서 셀(1b, 1c)의 게이트-소스 전압(Vgs)의 온도 감도를 예시한다. 중간 곡선(200)은 대표적인 셀(1b, 1c)에 대한 대표적 온도 특성에 대응한다. 곡선(201, 202)은 동일한 디바이스의 상이한 배치를 생성하도록 상이한 시간에 사용된 동일한 제조 공정에서 발생하는 셀(1b, 1c)에 대한 임계 전압으로 인한 대표적 특성(200)에서의 최대 및 최소 변화를 도시한다. 도 2에서는, 제조 공정으로 인한 특성(200)에 있어서의 상기 변화가 60°C를 초과한 온도 범위에 걸쳐 특성(200)의 변화보다 크다는 것을 알 수 있다. 그러나, 동일한 배치에서 함께 제조된 동일한 반도체 바디(10)에 집적된 셀(1b)과 셀(1c) 사이의 임계 전압에서의 변화는 (설혹, 있다하더라도) 거의 없다. 따라서, 셀(1b, 1c)의 온도 특성이 곡선(200, 202)중 어느 곡선에 가장 가까운지와는 무관하게, 온도 T°C에서 주어진 차에 대해 주어진 바디(10)의 셀(1b)과 셀(1c) 사이에서, Vgs에서 실질적으로 동일한 차 dV(T)가 얻어질 것이다. 따라서, 검출 회로(100, 101)에 의한, 상기 집적된 셀(1b, 1c)의 소스 전극(31, 32)의 전압 신호 Vgs의 비교는 제조에서 발생하는 임계 전압 변화를 무효화한다. 동일한 전류 밀도에서 상기 셀(1b, 1c)의 게이트-소스 전압을 감산함으로써 결과로 나타나는 전압 dV(T)은 센서 Mh와 Mc 사이의 온도차를 직접 나타낸다.

도 3은 상기 전압 신호 비교를 실행하는 검출 회로(100, 101)의 특정 예를 예시한다. 검출 회로는 전류 미러 구성 M1 내지 M4와 함께 임피던스 네트워크 R1, R2, R3, R4, D1을 포함하는 제 1 회로 섹션(100)과, 비교기(40)를 포함하는 제 2 회로 섹션(101)을 구비한다. 전류 미러 구성은 n 채널 인헨스먼트형으로 이루어진 MOST M1 내지 M4를 포함한다. MOST M1 및 M3은 센서 Mh 및 Mc의 셀(1b, 1c)을 각각 통하여 동일한 일정 전류 밀도를 끌어내는 전류원을 형성한다. 상기 전류원 M1 및 M3은 함께 제어 MOST M4와 전류 미러 구성으로 접속된다. MOST M4는 M1 및 M3의 게이트에 뿐만 아니라, 그 소스에 접속된 게이트를 구비함으로써 다이오드 접속된다. M4를 통한 주 전류 경로는 공통 라인(42)과 높은 저항 값의 직렬 저항 R5 사이에 접속되고, 상기 직렬 저항 R5에 의해 Vca 전압 공급 라인(41)에 접속된다. M4를 Vca 전압 공급 라인(41)에 접속하면, M4를 통하는 전류의 크기가 결정되어, 전류 미러에 제어 입력을 제공하게 되고 따라서 각각의 전류원 M1 및 M3에 의해 각각의 센서 셀(1b, 1c)을 통하여 유도되는 전류의 크기가 정해지게 된다.

온도 감지 셀(1b, 1c)은 낮은 전류 밀도로 동작되어, 자체 발열을 방지한다. 센서 Mh 및 Mc가 동일한 면적의 동일한 수의 셀(1b, 1c)을 구비할 때, 동일한 측정 전류(11, 12)가 전류원 M1 및 M3에 의해 센서 Mh 및 Mc에서 유도된다. 이는 도 1에서 예시된 상황이다. Mh 및 Mc가 상이한 수의 셀 및/또는 상이한 면적의 셀을 가지면, 전류(11, 12)는 MOST M1 및 M3의 면적 비에 의해 기존의 방식으로 결정되는 (Mh 및 Mc에서 동일한 전류 밀도를 부여하도록) 대응하게 상이한 크기가 된다. 각각의 경우에, 각각의 셀(1b, 1c)을 통해 유도되는 전류의 크기는 셀(1b, 1c)에서 전력 소모에 의해 열이 발생되기에는 불충분하다.

도 3은 센서 Mh 및 Mc용의 복잡한 MOST 심볼을 사용하여, 활성 센서 셀(1b, 1c) 및 센서 Mh 및 Mc의 주변 경계 셀로서 역할하는 각각의 인접 셀(1a, 1c')을 도시한다. Mh의 주변 경계 셀의 소스 전극은 전력 디바이스의 공통 소스 전극(22)이고, 라인(42)에 직접 접속된다. 도 3에 예시된 예에서, Mc의 주변 경계 셀(1c')의 소스 전극은 전류 미러 구성에서 MOST M2를 경유하여 라인(42)에 접속되지만, 대안적으로 공통 게이트 라인(43)에 직접 접속될 수 있다.

R1, R2, R3, R4 및 D1의 임피던스 네트워크는 셀 전극(31, 32) 상에서 각각의 소스 출력 전압에 부가되는 기준 오프셋을 생성하여, 비교기(40)에 의해 직접적인 비교가 이루어질 수 있게 한다. 따라서, 핫 로케이션 셀(1b)의 소스 전극(31)은 전류원 M1에 의해 그리고 선택적으로 R3과 병렬로 다이오드 D1 및 R1과 함께 직렬 저항 R2 및 R3에 의해 공급 라인(42)에 접속된다. 쿨 로케이션 셀(1c)의 소스 전극(32)은 전류원 M3 및 직렬 저항 R4를 포함하는 전류 경로에 의해 공급 라인(42)에 접속된다. 소스 전극(31)과 전극(32) 사이에 발생하는 전위 차는  $dV(T)$ 로 지정된다. R1, R2, R3, R4 및 D1의 상기 임피던스 네트워크는 최대 허용 온도차  $T_{diff}$ 와 관련된  $dV(T)$ 의 최대 허용치와 동일한 기준 전압 오프셋을 생성한다. 상기 오프셋은 비교기(40)에 의해서, 센서 셀(1b, 1c)에서 나온  $dV(T)$ 의 실제 값과 비교되어, 과도하게 높은 온도차가 발생할 때 전력 디바이스의 보호를 트리거(triggering)하는 출력 신호를 제공하게 된다.

비교기(40)는 각각 셀(1b, 1c)로부터 전류 경로에 있는 각각의 제 1 및 제 2 회로 노드(47, 48)에 접속되는 제 1 및 제 2 입력단을 구비한다. 상기 회로 노드(47, 48)는 임피던스 네트워크 R1, R2, R3, R4 및 D1과 전류원 M1 및 M3 사이에 존재한다. 도 3의 특정 예에서, 비교기(40)는 공급 라인(44, 42) 사이에서 전원을 공급받으며, 전류 미러 MOST M4에 의해 조정되는 MOST M6에 의해 라인(42)에 접속된다. 쿨 로케이션 센서  $M_c$ 와 비교하여, 핫 로케이션 센서  $M_h$ 의 소스 전극(31)과 직렬 접속되는 추가의 저항은 핫 로케이션과 쿨 로케이션 사이에서 검출될 온도 차 임계치  $T_{diff}$ 에 대응하는 전압 오프셋을 회로 노드(47)에 부가한다. 상기 전압 오프셋의 검출은 비교기(40)의 출력단(50)에서의 출력 신호의 변화로 표시된다.

(음의 온도 계수를 갖는 다이오드 D1과 같은) 온도 감지 임피던스가 임피던스 네트워크 R1, R2, R3, R4 및 D1에 포함되는가의 여부에 따라서 두개의 감지 동작 모드가 가능하다. 온도 감지 임피던스가 포함되지 않으면, 단지 하나의 고정 기준 오프셋 전압이 (예를 들면, R2 내지 R4로 구성되는) 네트워크에 의해 포함되고, 따라서 비교기(40)가 센서  $M_h$ 와  $M_c$  사이에서 고정된 온도 차  $T_{diff}$ 만을 검출한다. 어레이(11) 내부에 있는 센서  $M_h$ 의 최대 허용 온도는 "쿨" 로케이션의 온도에 따라 즉, 쿨 로케이션 센서  $M_c$ 의 온도로부터 고정된 오프셋으로서 변화한다. 그러나, 도 2에서 알 수 있는 바와 같이, 센서의 온도가 증가함에 따라 각각의 센서로부터의 출력 전압의 감도가 증가된다.

(D1과 같은) 온도 감지 임피던스가 포함되어, 검출된 온도 차 임계치  $T_{diff}$ 가 쿨 로케이션의 실제 온도에 따라 변화될 수 있는 것이 바람직하다. 따라서, 도 3은 음의 온도 계수 다이오드 D1이 핫 로케이션 센서  $M_h$ 로부터 전류 경로에 있는 추가의 저항과 병렬로 접속되는 회로를 예시한다. 상기 다이오드 D1은 디바이스가 동작할 때 쿨 로케이션 센서  $M_c$ 와 동일한 온도에 있는 바디(10)의 영역(100)에 위치한다. 상기 수단에 의해, D1 및 R3의 병렬 아암(parallel arm)의 저항은 주어진 온도 범위(예를 들면, 85°C 내지 150°C)에 걸쳐서 감소하도록 설계되어, 회로 노드(47)에서 전압 기준 오프셋이 쿨 로케이션 센서  $M_c$ 에서의 온도를 역으로 추적하게 만들어질 수 있다. 전압 기준 오프셋의 상기 역추적은 (어레이(11) 내에서 센서  $M_h$ 의 주어진 온도에 대해) 비교기(40)의 트립 지점(trip point)이 상기 온도 범위에 걸쳐서 쿨 로케이션 센서  $M_c$ 에서의 온도에 덜 의존하도록 할 수 있게 한다.

대체로, 어레이(11) 내의 최대 허용 동작 온도는 350°C 내지 400°C의 범위에 있을 수 있는 반면, (회로 섹션(100, 101)과 같은) 주변 쿨 로케이션 회로 영역에서의 최대 허용 동작 온도는 약 250°C일 수 있다. 상기 주변 회로 영역의 절대 온도를 감지하는 추가의 온도 감지 회로가 바디(10)에 설치될 수 있다. 상기 추가 온도 감지 회로는 미국 특허 제 US-A-5,336,943(출원인 권리 번호 PHB33762)에 개시되는 원리에 따라 구성될 수 있으며, 이로써 상기 특허의 전체 내용은 본 명세서에 참고 자료로서 포함된다. 상기 추가의 온도 감지 회로는 어레이(11)에서 떨어진 쿨 로케이션 센서  $M_c$ 와 인접한 (그리고  $M_c$ 와 등은 층인) 영역(103)에 배치될 수 있다. 온도 감지 임피던스 D1은 (존재할 때) 또한 상기 추가 온도 감지 회로와 등은 층(isothermal)인 동일한 영역에 배치된다.

두 소스 전극(31, 32) 사이의 전위차  $dV(T)$ 는, 디바이스가 셀(1a, 1b, 1c)의 게이트(23, 23b, 23c)보다 높은 전위에서 그 공통 제 2 주 전극(25)과 동작할 때, 그리고 측정 전류(11, 12)가 별개의 소스 전극(31, 32)으로부터 유도될 때의 두 센서  $M_h$ 와  $M_c$  사이의 온도차를 나타낸다. 전극(25) 상의 전위가 전력 디바이스를 스위칭 하는 동안 게이트(23)의 전위 이하로 감소될 때, 센서  $M_h$ 의 셀(1b)은 쿨 로케이션 센서  $M_c$ 의 셀(1c)에 앞서 포화 상태로 들어갈 것이다. 셀(1b)이 포화에 들어갈 때, 소스 전극(31)과 전극(32)사이의 전위 차  $dV(T)$ 는 감소할 것이다. 상기  $dV(T)$ 의 감소는 검출 회로가 핫 로케이션과 쿨 로케이션 사이의 온도차를 검출할 때 점진적으로 덜 감지하게 됨을 의미하며, 결국, 임의의 상기 차 온도를 검출할 수 없게 될 것이다. 그러나, 전극(25)의 전압이 상기 로우 레벨에 있을 때, 소스-드레인 (또는 소스-애노드) 전압은 매우 낮아서, 전력 소모도 매우 낮아지게 된다. 따라서, 셀(1b)이 포화될 때 도 3의 회로가 동작할 수 없게 된다 할 지라도, 어레이(11)에서의 발열은 너무 작아서, 상기 회로를 동작시킬 필요가 없게 된다.

어레이(11)의 내부에 있는 센서  $M_h$ 의 소스 전극(31)으로의 전기 접속은 어레이(11)에서 디바이스 셀(1a')의 라인을 넘어 연장되는 도전체 트랙(45)에 의해 형성될 수 있다. 상기 레이아웃의 특정 예는 8 셀(1a')에 걸쳐서 연장되는 트랙(45)을 구비하는 것으로 도 1에 예시된다. 대체로, 센서  $M_h$ 는 큰 어레이(11) 내에서 더 깊이 위치할 수 있고, 이 경우 트랙(45)은 수

십 개의 셀(1a')에 걸쳐서 연장된다. 트랙(45)은 어레이(11)의 공통 소스 전극(22) 위로 절연 층 위에 연장될 수 있다. 그러나, 도 1, 4, 5의 예에서, 트랙(45)은 센서 Mh의 소스 전극(31)의 연장이다. 따라서, 도 1, 4, 5에 예시된 유형에서, 상기 트랙(45)은 소스 전극(22, 31, 32)과 동일한 금속 도체 층 패턴으로 형성되고, 어레이(11)의 공통 소스 전극(22)에서 겹에 의해 분리된다. 센서 Mh의 도체 트랙(45)을 설치하기 위하여, 셀(1b 및 1a')의 라인을 위한 셀룰러 영역 구조(12 내지 15)는 어레이(11)의 활성 디바이스 셀을 위한 것보다 약간 큰 레이아웃 기하학적 구조로 만들어질 수 있다.

도 1, 4, 5는 상기 도전체 트랙(45)이 공통 소스 전극(22)으로부터 뿐만 아니라, 어레이(11)의 공통 게이트 전극(23)으로부터 전기적으로 절연되는 방법에 대한 특정 예를 예시한다. 도 1 및 5의 특정 예에서, 트랙(45) 아래에 있는 라인의 디바이스 셀(1a')은 어레이(11)의 비활성 셀이다. 상기 어레이 셀(1a')은 어레이(11)의 공통 소스 전극(22)에 의해 접촉되는 소스 영역(12)을 갖지 않는다. 소스 영역(12)은 상기 비활성 셀(1a')에 없고/없거나 바디 표면(10a)이 트랙(45)에 의해 접촉될 수 있는 절연 층(25)에서의 접점 윈도우를 좁을 수 있다. 도 5는 도전체 트랙(45) 아래에 있고 두 활성 디바이스 셀(1a) 사이에 있는 비활성 셀(1a')을 도시하는 단면도를 예시한다. 도 5의 특정 예에서, 어레이(11)의 공통 소스 전극(22)은 도전체 트랙(45)이 연장되는 라인의 비활성 셀(1a')에 존재하지 않는다. 셀룰러 영역 구조(12 내지 15)의 소스 영역(12)은 상기 비활성 셀(1a')의 절연 게이트 전극(23)에 인접한 곳에 없다. 도체 트랙(45)은 소스 전극(31)의 전체 연장으로 형성되고, 중간 절연 층(25)에 의해 디바이스 셀(1a')의 공통 게이트 전극(23)으로부터 전기적으로 절연된다.

도 6은 검출 회로의 적어도 제 1 섹션(100)이 도 1 및 도 4의 디바이스와 함께 집적될 수 있는 방법에 대한 특정 예를 예시한다. 도 6의 단면도의 우측 연장은 소스 전극(32)의 전체 연장인 도전체 트랙(48)에 의해 M3 및 R4를 Mc의 활성 센서 셀(1c)에 접속하는 것을 도시한다. 상기 특정 실시예에서, 예를 들면, 도 6은 센서 Mc의 주변에 있는 두 비활성 셀(1c')를 도시한다. 제 1 활성 센서 셀(1b)에 이르기 전에 어레이(11)로 깊이 연장되는 트랙(45) 아래에 비활성 셀의 긴 라인이 존재한다는 점을 제외하면, Mh의 활성 센서 셀(1b)에 M1 및 R3을 접속하는 것에 대해 유사한 단면이 그려질 수 있다. N 채널 인헨스먼트 MOST M1 내지 M4는 영역(13')에 n형 도핑된 소스 및 드레인 영역(53, 54)과, 그 사이의 표면(10a)에 있는 영역에 절연 게이트(56)를 형성함으로써, 바디(10)의 p형 영역(13')에서 알려져 있는 방법으로 집적될 수 있다. 영역(13')은 센서 셀(1c)의 영역(13)의 연장일 수 있거나, n형 영역(14)에 있는 별도의 p형 영역일 수 있다. 저항 R1 내지 R5는 바디 표면(10A) 상의 절연 층(25) 위에 (예를 들면, 다결정 실리콘 층(52)에) 박막 저항으로 형성될 수 있다. 대안적으로, 저항 R1 내지 R4는 바디 영역(13')에서 도핑된 영역으로 형성될 수 있다. 다이오드 D1은 절연 층(25) 상에서 다결정 실리콘 층(52)에 박막 다이오드로 형성될 수 있거나, 바디 영역(13')에서 도핑된 영역으로 형성될 수 있다.

본 발명의 설명을 일반적인 설명과 예시된 실시예의 관점에서 읽으면, 다른 여러 가지 변화 및 수정이 당업자들에게 명백할 것이다. 상기 변화 및 수정은 반도체 디바이스와 그 구성 요소들의 디자인, 제조 및 사용에서 이미 알려져 있고 본 명세서에서 이미 설명된 특징 대신 사용되거나 그 특징에 부가하여 사용될 수 있는 다른 특징을 포함할 수 있다.

청구 범위가 본 명세서에서 특징의 특정 조합으로 설명되지만, 본 발명의 설명의 범위는 새로운 특징 또는 본 명세서에서 명시적으로나 암시적으로 설명된 특징의 임의의 새로운 조합, 또는 그 일반화된 것을 이것이 임의의 청구 범위에서 현재 청구된 것과 동일한 발명에 관한 것이든 아니든 또는 이것이 본 발명과 동일한 기술적 문제점들 중 임의의 문제점 또는 모든 문제점을 완화시키든 아니든 관계없이, 포함함을 이해해야 한다. 종속항의 인용항(dependency)은 몇몇 국가에서의 다수 항 인용에 대한 요구 조건에 부합하고 그 비용을 감소시키는 관점에서 제한되었으나, 임의의 한 청구항에 포함된 기술적 특징이 다른 청구항들 중 임의의 청구항의 기술적 특징과 조합하여 사용될 수 있음을 이해해야 한다. 보다 구체적으로, 그러나 배타적으로는 아닌 다음의 조합은 잠재적으로는 중요하며, 청구항 5, 6, 7, 9 및 10의 특징은 청구항 1의 종속항들 중 임의의 항의 특징과 조합하여 사용될 수 있다. 본 발명이 전력 디바이스 및 온도 센서용 바이폴라 트랜지스터 셀룰러 구조를 사용하여 구체화될 수 있지만, 절연 게이트 트랜지스터 셀룰러 구조를 사용하면 특히 유익하다. 따라서, 전력 디바이스 및 온도 센서용 절연 게이트 트랜지스터 셀룰러 구조는 청구항 5에 대해서 뿐만 아니라, 다른 청구항 모두에 대해서도 잠정적으로는 중요하다.

출원인은 이로써 새로운 청구항이 본 출원이나 본 출원에서 파생된 다른 출원을 실행하는 동안 상기 임의의 특징 및/또는 상기 특징의 조합으로 나타낼 수 있음을 알려준다.

### 도면의 간단한 설명

도 1은 본 발명에 따른 절연 게이트 셀룰러 전력 디바이스의 한 예의 일부에 대한 평면도.

도 2는 상기 디바이스에서 대표적인 셀에 대한 온도(℃)에 따른 게이트-소스 전압  $V_{gs}$ (볼트)의 변화의 예를 도시하고, 또한 상이한 제조 배치(batch)에 대한 제조 공정에 있어서의 변화로 인한 임계 전압 차에 의해 생길 수 있는 변화도 또한 도시하는 그래프.

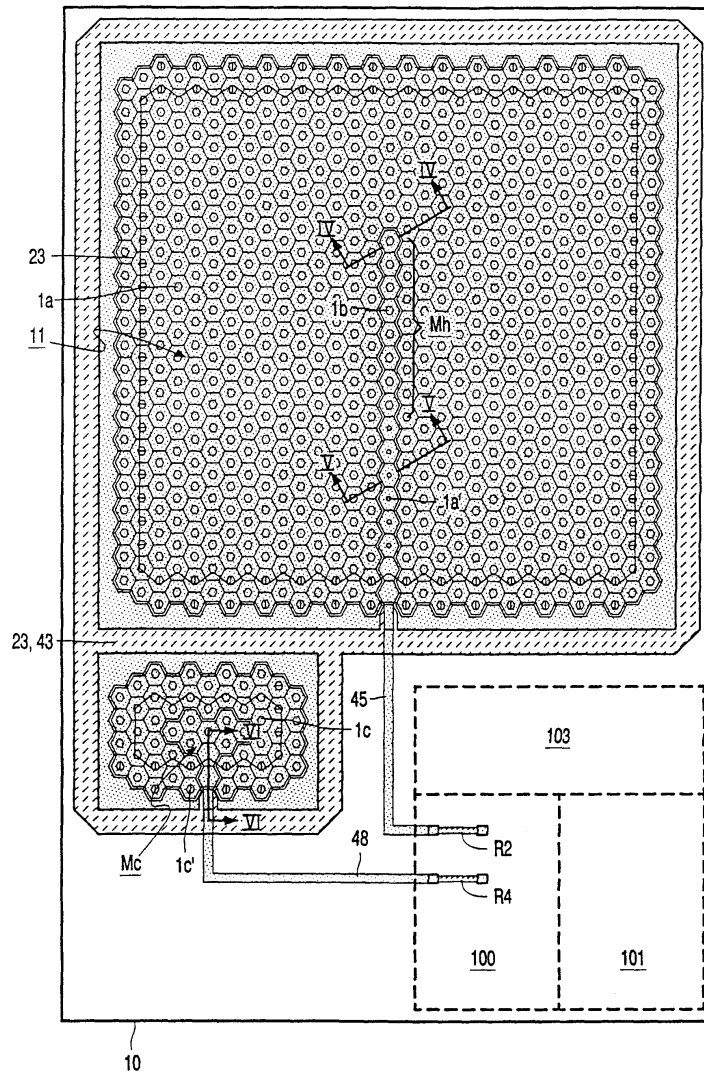
도 3은 도 1의 디바이스의 핫 로케이션 및 쿨 로케이션의 온도 센서에 접속되는 검출 회로의 한 예에 대한 회로도.

도 4 및 도 5는 도 1의 라인 IV-IV와 라인 V-V에서의 어레이 영역을 통하는 도 1의 디바이스의 반도체 바디의 부분에 대한 단면도.

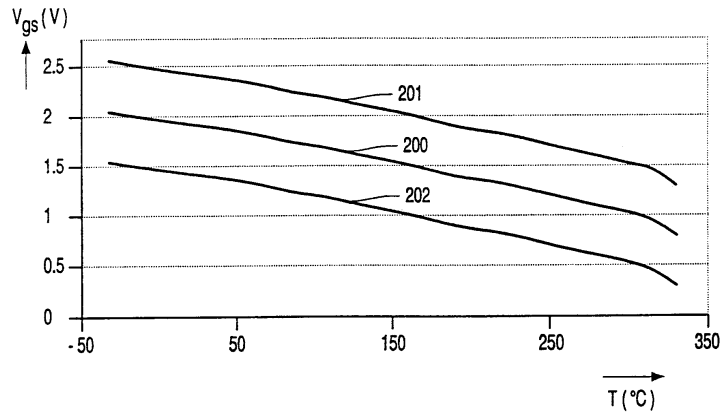
도 6은 쿨 로케이션 센서(즉, 도 1에서 라인 IV-IV 상에서) 및 주변 회로의 일부를 통한 도 1의 디바이스의 반도체 바디의 일부에 대한 단면도.

도면

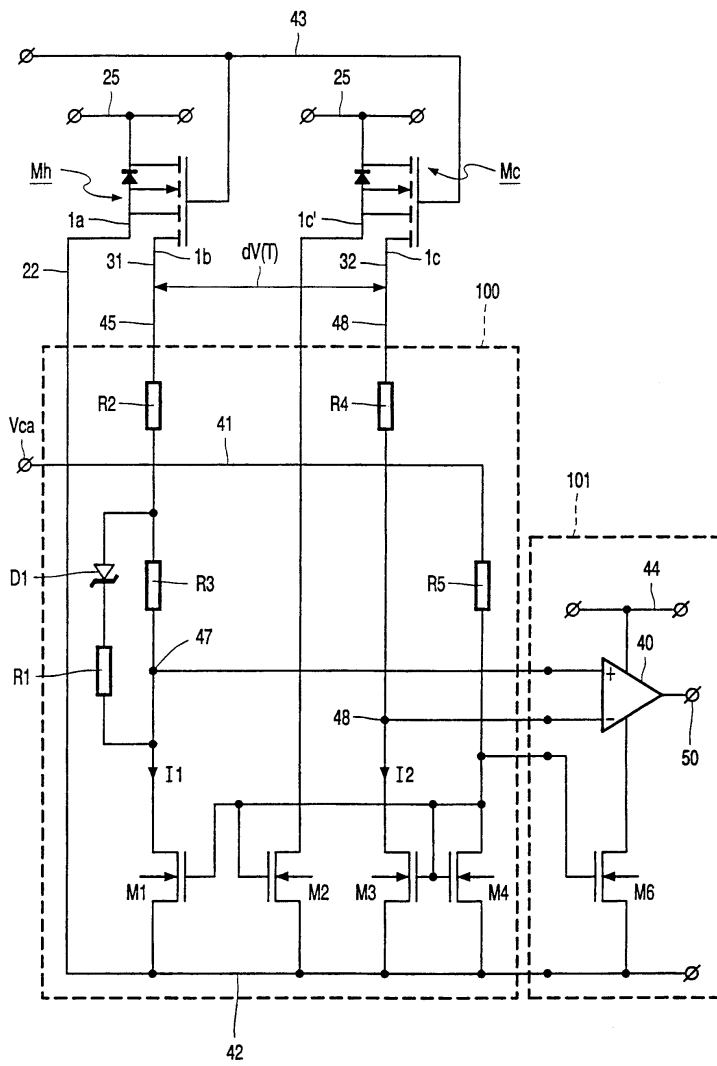
도면1



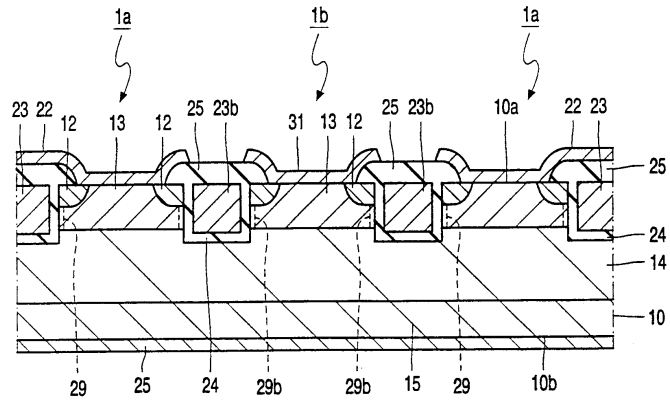
도면2



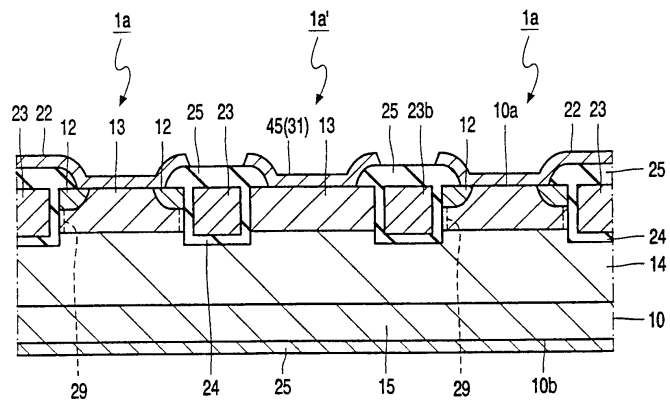
도면3



도면4



도면5



도면6

