(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3732884号
(P3732884)
(45)発行日　平成18年1月11日(2006.1.11)　(24)登録日　平成17年10月21日(2005.10.21)

(51)Int.Cl.		F I		
G05F 3/24	(2006.01)	G05F	3/24	Z
H03K 19/00	(2006.01)	H03K	19/00	A
G11C 11/413	(2006.01)	G11C	11/34	335A

請求項の数 18　(全 22 頁)

(21)出願番号　特願平8-100055
(22)出願日　平成8年4月22日(1996.4.22)
(65)公開番号　特開平9-288523
(43)公開日　平成9年11月4日(1997.11.4)
審査請求日　平成15年4月15日(2003.4.15)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】内部電源電圧発生回路、内部電圧発生回路および半導体装置

(57)【特許請求の範囲】

【請求項１】

外部電源電圧が降圧された内部電源電圧を発生する内部電源電圧発生回路であって、

比較に用いられる参照電圧と前記内部電源電圧とを比較する比較部と、前記比較部に流れる電流を調節する電流部とを有するカレントミラー増幅手段と、

前記カレントミラー増幅手段における比較結果に応じて、前記外部電源電圧を降圧して、前記内部電源電圧を発生する降圧手段と、

前記外部電源電圧が上昇したときは、前記電流部の電流が、前記上昇に応じて小さくなるように前記電流部を制御し、前記外部電源電圧が下降したときは、前記電流部の電流が、前記下降に応じて大きくなるように前記電流部を制御する電流部制御手段とを備えた、内部電源電圧発生回路。

【請求項２】

前記電流部制御手段は、

前記外部電源電圧が上昇したときは、その上昇に応じて下降する制御電圧を発生し、前記外部電源電圧が、下降したときは、その下降に応じて上昇する前記制御電圧を発生し、

前記電流部は、前記制御電圧の大きさに応じた大きさの前記電流が流れる、請求項１に記載の内部電源電圧発生回路。

【請求項３】

前記電流部制御手段は、

定電流を発生する定電流源と、

前記定電流源に接続された抵抗手段とを含み、
前記抵抗手段は、
前記外部電源電圧が上昇したときは、その上昇に応じて、抵抗値が小さくなり、前記外部電源電圧が下降したときは、その下降に応じて、前記抵抗値が大きくなる第１の抵抗素子を含み、
前記定電流源と前記抵抗手段との接続点から前記制御電圧が出力される、請求項２に記載の内部電源電圧発生回路。
【請求項４】
前記抵抗手段は、温度が上昇したときは、その上昇に応じて、抵抗値が大きくなり、前記温度が下降したときは、その下降に応じて、前記抵抗値が小さくなる第２の抵抗素子をさらに含む、請求項３に記載の内部電源電圧発生回路。
【請求項５】
前記電流部制御手段は、
前記外部電源電圧を有するノードと、第１のノードとの間に接続される第１の抵抗素子と、
前記第１のノードと接地電圧を有するノードとの間に接続される第１のトランジスタと、
前記外部電源電圧を有するノードと、第２のノードとの間に接続される定電流源と、
前記第２のノードと前記接地電圧を有するノードとの間に接続される第２のトランジスタと、
前記第２のノードと前記接地電圧を有するノードとの間に接続される第２の抵抗素子とを含み、
前記第１および第２のトランジスタの制御電極は、前記第１のノードに接続され、
前記第２のノードから前記制御電圧が出力される、請求項２に記載の内部電源電圧発生回路。
【請求項６】
外部電源電圧が降圧された内部電源電圧を発生する内部電源電圧発生回路であって、
比較に用いられる参照電圧と前記内部電源電圧とを比較する比較部と、前記比較部に流れる電流を調節する電流部とを有するカレントミラー増幅手段と、
前記カレントミラー増幅手段における比較結果に応じて、前記外部電源電圧を降圧して、前記内部電源電圧を発生する降圧手段と、
温度が上昇したときは、前記電流部の電流が前記上昇に応じて大きくなるように前記電流部を制御し、前記温度が下降したときは、前記電流部の電流が前記下降に応じて小さくなるように前記電流部を制御する電流部制御手段とを備えた、内部電源電圧発生回路。
【請求項７】
前記電流部制御手段は、
前記温度が上昇したときは、その上昇に応じて上昇する制御電圧を発生し、前記温度が下降したときは、その下降に応じて下降する前記制御電圧を発生し、
前記電流部は、前記制御電圧の大きさに応じた大きさの前記電流を発生する、請求項６に記載の内部電源電圧発生回路。
【請求項８】
前記電流部制御手段は、
定電流を発生する定電流源と、
前記定電流源に接続された抵抗手段とを含み、
前記抵抗手段は、
前記温度が上昇したときは、その上昇に応じて、抵抗値が大きくなり、前記温度が下降したときは、その下降に応じて、前記抵抗値が小さくなる抵抗素子を含み、
前記定電流源と、前記抵抗手段との接続点から前記制御電圧が出力される、請求項７に記載の内部電源電圧発生回路。
【請求項９】

外部電源電圧が降圧された内部電圧を発生する内部電圧発生回路であって、
電源電圧に基づきパルス電圧を発振する発振手段と、
前記パルス電圧に応じて、前記内部電圧を発生するポンプ手段と、
前記電源電圧が下降したときは、その下降に応じて、前記パルス電圧の発振周波数が高くなるように前記発振手段を制御し、前記電源電圧が上昇したときは、その上昇に応じて、前記パルス電圧の発振周波数が低くなるように前記発振手段を制御する発振制御手段と備える、内部電圧発生回路。

【請求項１０】
前記発振制御手段は、前記電源電圧が上昇したときは、その上昇に応じて下降する制御電圧を発生し、前記電源電圧が下降したときは、その下降に応じて上昇する前記制御電圧を発生し、
前記発振手段は、
複数のインバータと、
前記複数のインバータに流れる電流を制御するための電流制御手段とを含み、
前記電流制御手段は、前記制御電圧の大きさに応じた大きさの前記電流を前記複数のインバータに流す、請求項９に記載の内部電圧発生回路。

【請求項１１】
前記発振制御手段は、
定電流を発生する定電流源と、
前記定電流源に接続された抵抗手段とを含み、
前記抵抗手段は、
前記電源電圧が上昇したときは、その上昇に応じて、抵抗値が小さくなり、前記電源電圧が下降したときは、その下降に応じて、前記抵抗値が大きくなる抵抗素子を含み、
前記定電流源と前記抵抗手段との接続点から前記制御電圧が出力される、請求項１０に記載の内部電圧発生回路。

【請求項１２】
前記発振制御手段は、
前記電源電圧を有するノードと、第１のノードとの間に接続される第１の抵抗素子と、
前記第１のノードと接地電圧を有するノードとの間に接続される第１のトランジスタと、
前記電源電圧を有するノードと、第２のノードとの間に接続される定電流源と、
前記第２のノードと前記接地電圧を有するノードとの間に接続される第２のトランジスタと、
前記第２のノードと前記接地電圧を有するノードとの間に接続される第２の抵抗素子とを含み、
前記第１および第２のトランジスタの制御電極は、前記第１のノードに接続され、
前記第２のノードから前記制御電圧が出力される、請求項１０に記載の内部電圧発生回路。

【請求項１３】
外部電源電圧を降圧した内部電源電圧を発生する降圧手段と、比較に用いる参照電圧と前記内部電源電圧に応じて得られる第１の電圧とを比較し、比較結果に応じて前記降圧手段を制御する比較手段と、を有する内部電圧降圧回路と、
前記降圧手段に接続され前記内部電源電圧が与えられる電源配線と、
前記電源配線に接続された内部回路と、
前記降圧手段からの前記電源配線の配線長に比べ前記内部回路からの前記電源配線の配線長が短い位置で前記電源配線に一方が接続され、他方が前記比較手段に接続され、前記第１の電圧を前記比較手段に与える導電線と、を備える、半導体装置。

【請求項１４】
前記導電線の他方は、前記比較手段を構成するＭＯＳトランジスタのゲート電極に接続されたものである、請求項１３に記載の半導体装置。

【請求項１５】
前記外部電源電圧が供給される外部電源パッドをさらに備え、
前記外部電源パッドと前記内部電圧降圧回路との距離に比べ、前記外部電源パッドと前記内部回路との距離の方が長い、請求項１４に記載の半導体装置。
【請求項１６】
外部電源電圧を降圧した内部電源電圧を発生する降圧手段と、比較に用いる参照電圧と前記内部電源電圧に応じて得られる第１の電圧とを比較し、比較結果に応じて前記降圧手段を制御する比較手段と、を有する内部電圧降圧回路と、
前記降圧手段に接続され前記内部電源電圧が与えられる電源配線と、
前記電源配線に接続された内部回路と、
前記内部回路からの前記電源配線の配線長に比べ前記降圧手段からの前記電源配線の配線長が短い位置で前記電源配線に接続され、前記第１の電圧を前記比較手段に与える第１の配線と、
前記内部電源電圧に応じて得られる第２の電圧の変化に応じて前記参照電圧を発生させる参照電圧制御手段と、
前記降圧手段からの前記電源配線の配線長に比べ前記内部回路からの前記電源配線の配線長が短い位置で前記電源配線に接続され、前記第２の電圧を前記参照電圧制御手段に与える第２の配線と、を備える、半導体装置。
【請求項１７】
外部電源電圧を降圧した内部電源電圧を発生する降圧手段と、比較に用いる参照電圧と前記内部電源電圧とを比較し、比較結果に応じて前記降圧手段を制御する比較手段と、を有する内部電圧降圧回路と、
前記降圧手段から前記内部電源電圧が与えられる電源配線と、
前記電源配線に接続された内部回路と、
前記内部回路に流れる電流が増加するに従い、前記参照電圧の電圧を上昇させていき、前記内部回路に流れる電流が減少するに従い、前記参照電圧の電圧を降下させていき、前記比較手段に出力する参照電圧制御手段と、を備える、半導体装置。
【請求項１８】
前記降圧手段と前記内部回路との間の位置で前記電源配線に接続された導電線をさらに備え、
前記参照電圧制御手段は、前記導電線から入力される電圧が下がると、前記参照電圧の電圧を上昇させ、前記導電線から入力される電圧が上がると、前記参照電圧の電圧を降下させる、請求項１７に記載の半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、内部電源電圧発生回路、内部電圧発生回路および半導体装置に関し、特に、外部電源電圧や温度の変動に強い内部電源電圧発生回路、電源電圧の変動に強い内部電圧発生回路および内部電源電圧の変動に強い半導体装置に関する。
【０００２】
【従来の技術】
図１３は、従来の内部電源電圧発生回路としての内部降圧電源回路の詳細を示す回路図である。
【０００３】
図１３を参照して、内部降圧電源回路９４は、内部電源電圧ｉｎｔＶｃｃを発生し、制御回路帯６３に供給するものである。制御回路帯６３は、内部電源電圧ｉｎｔＶｃｃによって動作する複数の制御回路を含んでいる。内部降圧電源回路９４は、比較回路６７および降圧回路１を含む。降圧回路１は、ＰＭＯＳトランジスタである。比較回路６７は、カレントミラー型増幅回路である。比較回路６７は、ＰＭＯＳトランジスタ７，９、ＮＭＯＳトランジスタ１１，１３および定電流源６９を含む。

【０００４】
ＰＭＯＳトランジスタ１のゲートには、比較回路６７からの出力電圧が入力される。ＰＭＯＳトランジスタ１は、この出力電圧の大きさに応じて、外部電源電圧ｅｘｔＶｃｃを降圧し、内部電源電圧ｉｎｔＶｃｃを発生する。比較回路６７のＮＭＯＳトランジスタ１３のゲートには参照電圧Ｖｒｅｆが入力される。比較回路６７のＮＭＯＳトランジスタ１１のゲートには、ＰＭＯＳトランジスタ１から発生した内部電源電圧ｉｎｔＶｃｃが入力される。したがって、比較回路６７は、内部電源電圧の大きさが、参照電圧Ｖｒｅｆの大きさになるように、ＰＭＯＳトランジスタ１のゲートに電圧を与える。
【０００５】
図１４は、従来の半導体装置を示す概略ブロック図である。なお、図１３と同様の部分について同一の参照符号を付しその説明は適宜省略する。
【０００６】
図１４を参照して、従来の半導体装置は、４つのメモリアレイ９７、外部電源パッド９５、内部降圧電源回路９４、電源線７１および制御回路帯６３を備える。メモリアレイ９７は、情報を記憶するための複数のメモリセルを含む。チップの端に設けられる外部電源パッド９５の近傍に内部降圧電源回路９４が配置される。外部電源パッド９５は、外部電源電圧ｅｘｔＶｃｃを内部降圧電源回路９４に与えるためのものである。電源線７１は、内部降圧電源回路９４から発生された内部電源電圧ｉｎｔＶｃｃを制御回路帯６３に供給するためのものである。
【０００７】
【発明が解決しようとする課題】
以上のように、従来の内部降圧電源回路では、その出力となる内部電源電圧ｉｎｔＶｃｃが比較回路６７に入力されるという閉ループを形成している。したがって、外部電源電圧ｅｘｔＶｃｃが変動して大きくなった場合、または、内部降圧電源回路９４の動作時の温度が低い場合では、内部降圧電源回路９４を構成するトランジスタのチャネルコンダクタンスが大きくなるため、比較回路６７および降圧回路１の電圧利得が大きくなってしまう。このため、内部降圧電源回路９４の出力である内部電源電圧ｉｎｔＶｃｃが不必要に発振しやすくなるという問題点があった。
【０００８】
また、上述したように従来の半導体装置では、内部降圧電源回路９４はチップの端に配置される。このため、内部電源電圧ｉｎｔＶｃｃによって動作する制御回路帯６３が、内部降圧電源回路９４に対して離れて配置されると、電源線７１の抵抗値が大きくなる。そして、制御回路帯６３の消費電力が大きくなると、電源線７１の寄生抵抗によって、制御回路帯６３の近傍の内部電源電圧ｉｎｔＶｃｃの大きさが、内部降圧電源回路９４の近傍の内部電源電圧ｉｎｔＶｃｃの大きさより小さくなってしまう。ここで、内部降圧電源回路９４は、図１３に示したように、内部降圧電源回路９４の近傍の内部電源電圧ｉｎｔＶｃｃをフィードバックすることによって、内部電源電圧ｉｎｔＶｃｃを発生している。このため、内部降圧電源回路９４が、制御回路帯６３の近傍での内部電源電圧ｉｎｔＶｃｃの変動に追従しにくいという問題点があった。
【０００９】
この発明は、以上のような問題点を解決するためになされたもので、外部電源電圧ｅｘｔＶｃｃや温度の変動に対して、不必要に内部電源電圧ｉｎｔＶｃｃを発振することがない内部電源電圧発生回路を提供することを目的とする。
【００１０】
この発明の他の目的は、内部電源電圧発生回路と制御回路帯とが離れている場合であっても、制御回路帯の近傍における内部電源電圧ｉｎｔＶｃｃの変動に応じて内部電源電圧ｉｎｔＶｃｃを発生できる内部電源電圧発生回路を備える半導体装置を提供することである。すなわち、制御回路帯の近傍での内部電源電圧ｉｎｔＶｃｃの変動に対し、追従性のよい内部電源電圧発生回路を備える半導体装置を提供することである。
【００１１】

この発明のさらに他の目的は、電源電圧が下降した場合であっても、内部電圧が所定の電圧レベルに達するまでの時間の増加を抑えることができる内部電圧発生回路を提供することである。

【００１２】

【課題を解決するための手段】

本発明の請求項１に係る内部電源電圧発生回路は、外部電源電圧が降圧された内部電源電圧を発生する。そして、カレントミラー増幅手段と、降圧手段と、電流部制御手段とを備える。カレントミラー増幅手段は、比較に用いられる参照電圧と内部電源電圧とを比較する比較部と、前記比較部に流れる電流を調節する電流部とを有している。降圧手段は、カレントミラー増幅手段における比較結果に応じて、外部電源電圧を降圧して、内部電源電圧を発生する。電流部制御手段は、外部電源電圧が上昇したときは、電流部の電流が外部電源電圧の上昇に応じて小さくなるように電流部を制御する。また、電流部制御手段は、外部電源電圧が下降したときは、電流部の電流が外部電源電圧の下降に応じて大きくなるように電流部を制御する。

【００１３】

本発明の請求項２に係る内部電源電圧発生回路では、請求項１に記載のものであって、電流部制御手段は、外部電源電圧が上昇したときはその上昇に応じて下降する制御電圧を発生する。また、その電流部制御手段は、外部電源電圧が下降したときは、その下降に応じて上昇する制御電圧を発生する。そして、電流部は、制御電圧の大きさに応じた大きさの電流が流れる。

【００１４】

本発明の請求項３に係る内部電源電圧発生回路では、請求項２に記載のものであって、電流部制御手段は、定電流源と、抵抗手段とを含む。定電流源は、定電流を発生する。抵抗手段は、定電流源に接続される。抵抗手段は、第１の抵抗素子を含む。第１の抵抗素子は、外部電源電圧が上昇したときは、その上昇に応じて、抵抗値が小さくなる。また、第１の抵抗素子は、外部電源電圧が下降したときは、その下降に応じて、抵抗値が大きくなる。定電流源と抵抗手段との接続点から制御電圧が出力される。

【００１５】

本発明の請求項４に係る内部電源電圧発生回路では、請求項３に記載のものであって、抵抗手段は、第２の抵抗素子をさらに含む。第２の抵抗素子は、温度が上昇したときはその上昇に応じて抵抗値が大きくなる。また、第２の抵抗素子は、温度が下降したときは、その下降に応じて抵抗値が小さくなる。

【００１６】

本発明の請求項５に係る内部電源電圧発生回路では、請求項２に記載のものであって、電流部制御手段は、第１の抵抗素子と、第１のトランジスタと、定電流源と、第２のトランジスタと、第２の抵抗素子を含む。第１の抵抗素子は、外部電源電圧を有するノードと、第１のノードとの間に接続される。第１のトランジスタは、第１のノードと接地電圧を有するノードとの間に接続される。定電流源は、外部電源電圧を有するノードと、第２のノードとの間に接続される。第２のトランジスタは、第２のノードと接地電圧を有するノードとの間に接続される。第２の抵抗素子は、第２のノードと接地電圧を有するノードとの間に接続される。第１および第２のトランジスタの制御電極は、第１のノードに接続される。第２のノードから制御電圧が出力される。

【００１７】

本発明の請求項６に係る内部電源電圧発生回路は、外部電源電圧が降圧された内部電源電圧を発生する。そして、カレントミラー増幅手段と、降圧手段と、電流部制御手段とを備える。カレントミラー増幅手段は、比較に用いられる参照電圧と内部電源電圧とを比較する比較部と、前記比較部に流れる電流を調節する電流部とを有している。降圧手段は、カレントミラー増幅手段における比較結果に応じて、外部電源電圧を降圧して、内部電源電圧を発生する。電流部制御手段は、温度が上昇したときは、電流部の電流が温度上昇に応じて大きくなるように電流部を制御する。また、電流部制御手段は、温度が下降したと

きは、電流部の電流が温度下降に応じて小さくなるように電流部を制御する。

【００１８】

本発明の請求項７に係る内部電源電圧発生回路では、請求項６に記載のものであって、電流部制御手段は、温度が上昇したときは、その上昇に応じて上昇する制御電圧を発生する。また、その電流部制御手段は、温度が下降したときは、その下降に応じて下降する制御電圧を発生する。電流部は、制御電圧の大きさに応じた大きさの電流を発生する。

【００１９】

本発明の請求項８に係る内部電源電圧発生回路では、請求項７に記載のものであって、電流部制御手段は、定電流源と、抵抗手段とを含む。定電流源は、定電流を発生する。抵抗手段は、定電流源に接続される。抵抗手段は、抵抗素子を含む。抵抗素子は、温度が上昇したときは、その上昇に応じて、抵抗値が大きくなる。また抵抗素子は、温度が下降したときは、その下降に応じて、抵抗値が小さくなる。定電流源と、抵抗手段との接続点から制御電圧が出力される。

【００２０】

本発明の請求項９に係る内部電圧発生回路は、外部電源電圧が降圧された内部電圧を発生する。そして、発振手段と、ポンプ手段と、発振制御手段とを備える。発振手段は、電源電圧に基づきパルス電圧を発振する。ポンプ手段は、パルス電圧に応じて内部電圧を発生する。発振制御手段は、電源電圧が下降したときは、その下降に応じて、パルス電圧の発振周波数が高くなるように発振手段を制御する。また、発振制御手段は、電源電圧が上昇したときは、その上昇に応じて、パルス電圧の発振周波数が低くなるように発振手段を制御する。

【００２１】

本発明の請求項１０に係る内部電圧発生回路では、請求項９に記載のものであって、発振制御手段は、電源電圧が上昇したときは、その上昇に応じて下降する制御電圧を発生する。また、発振制御手段は、電源電圧が下降したときは、その下降に応じて上昇する制御電圧を発生する。発振手段は、複数のインバータと、電流制御手段とを含む。電流制御手段は、複数のインバータに流れる電流を制御するためのものである。電流制御手段は、制御電圧の大きさに応じた大きさの電流を複数のインバータに流す。

【００２２】

本発明の請求項１１に係る内部電圧発生回路では、請求項１０に記載のものであって、発振制御手段は、定電流源と抵抗手段とを含む。定電流源は、定電流を発生する。抵抗手段は、定電流源に接続される。抵抗手段は、抵抗素子を含む。抵抗素子は、電源電圧が上昇したときは、その上昇に応じて抵抗値が小さくなる。また、抵抗素子は、電源電圧が下降したときは、その下降に応じて抵抗値が大きくなる。定電流源と抵抗手段との接続点から制御電圧が出力される。

【００２３】

本発明の請求項１２に係る内部電圧発生回路では、請求項１０に記載のものであって、発振制御手段は、第１の抵抗素子と、第１のトランジスタと、定電流源と、第２のトランジスタと、第２の抵抗素子とを含んでいる。第１の抵抗素子は、電源電圧を有するノードと、第１のノードとの間に接続される。第１のトランジスタは、第１のノードと接地電圧を有するノードとの間に接続される。定電流源は、電源電圧を有するノードと、第２のノードとの間に接続される。第２のトランジスタは、第２のノードと接地電圧を有するノードとの間に接続される。第２の抵抗素子は、第２のノードと接地電圧を有するノードとの間に接続される。第１および第２のトランジスタの制御電極は、第１のノードに接続される。第２のノードから制御電圧が出力される。

【００２４】

本発明の請求項１３に係る半導体装置は、内部電圧降圧回路と、電源配線と、内部回路と、導電線とを備える。内部電圧降圧回路は、降圧手段と、比較手段とを有する。降圧手段は、外部電源電圧を降圧した内部電源電圧を発生する。比較手段は、比較に用いる参照電圧と前記内部電源電圧に応じて得られる第１の電圧とを比較し、比較結果に応じて前記

降圧手段を制御する。電源配線は、降圧手段に接続され内部電源電圧が与えられる。内部回路は、電源配線に接続される。導電線は、降圧手段からの電源配線の配線長に比べ内部回路からの電源配線の配線長が短い位置で電源配線に一方が接続され、他方が比較手段に接続され、前記第１の電圧を前記比較手段に与える。

本発明の請求項１４に係る半導体装置では、導電線の他方は、比較手段を構成するＭＯＳトランジスタのゲート電極に接続されたものである。

本発明の請求項１５に係る半導体装置は、外部電源電圧が供給される外部電源パッドをさらに備え、外部電源パッドと内部電圧降圧回路との距離に比べ、前記外部電源パッドと内部回路との距離の方が長い。

【００２５】

本発明の請求項１６に係る半導体装置は、内部電圧降圧回路と、電源配線と、内部回路と、第１の配線と、参照電圧制御手段と、第２の配線とを備える。内部電圧降圧回路は、降圧手段と、比較手段とを有する。降圧手段は、外部電源電圧を降圧した内部電源電圧を発生する。比較手段は、比較に用いる参照電圧と内部電源電圧に応じて得られる第１の電圧とを比較し、比較結果に応じて降圧手段を制御する。電源配線は、降圧手段に接続され内部電源電圧が与えられる。内部回路は、電源配線に接続される。第１の配線は、内部回路からの電源配線の配線長に比べ降圧手段からの電源配線の配線長が短い位置で電源配線に接続され、第１の電圧を比較手段に与える。参照電圧制御手段は、内部電源電圧に応じて得られる第２の電圧の変化に応じて参照電圧を発生させる。第２の配線は、降圧手段からの電源配線の配線長に比べ内部回路からの電源配線の配線長が短い位置で電源配線に接続され、第２の電圧を参照電圧制御手段に与える。

本発明の請求項１７に係る半導体装置は、内部電圧降圧回路と、電源配線と、内部回路と、参照電圧制御手段とを備える。内部電圧降圧回路は、降圧手段と、比較手段とを有する。降圧手段は、外部電源電圧を降圧した内部電源電圧を発生する。比較手段は、比較に用いる参照電圧と内部電源電圧とを比較し、比較結果に応じて降圧手段を制御する。電源配線は、降圧手段から内部電源電圧が与えられる。内部回路は、電源配線に接続される。参照電圧制御手段は、内部回路に流れる電流が増加するに従い、参照電圧の電圧を上昇させていき、内部回路に流れる電流が減少するに従い、参照電圧の電圧を降下させていき、比較手段に出力する。

本発明の請求項１８に係る半導体装置では、請求項１７に記載のものであって、降圧手段と内部回路との間の位置で電源配線に接続された導電線をさらに備え、参照電圧制御手段は、導電線から入力される電圧が下がると、参照電圧の電圧を上昇させ、導電線から入力される電圧が上がると、参照電圧の電圧を降下させる。

【００２６】

【発明の実施の形態】

以下、本発明による内部電源電圧発生回路、内部電圧発生回路および半導体装置について図面を参照しながら説明する。

【００２７】

（実施の形態１）

図１は、本発明の実施の形態１による内部電源電圧発生回路としての内部降圧電源回路の詳細を示す回路図である。

【００２８】

図１を参照して、実施の形態１による内部降圧電源回路は、降圧回路１、比較回路３および電流源制御回路５を含む。比較回路３は、ＰＭＯＳトランジスタ７，９、ＮＭＯＳトランジスタ１１，１３および電流源１５を含む。電流源制御回路５は、定電流源１７、ＮＭＯＳトランジスタ１９および抵抗素子２１を含む。

【００２９】

降圧回路１は、ＰＭＯＳトランジスタである。比較回路３は、カレントミラー型増幅回路である。比較回路３の出力ノードＮ１は、ＰＭＯＳトランジスタ１のゲートと接続される。

【００３０】
比較回路３を構成する素子の接続について説明する。ＰＭＯＳトランジスタ７およびＮＭＯＳトランジスタ１１とは、外部電源電圧ｅｘｔＶｃｃを有するノードとノードＮ２との間に直列に接続される。ＮＭＯＳトランジスタ１１のゲートには、ＰＭＯＳトランジスタ１が発生する内部電源電圧ｉｎｔＶｃｃが入力される。ＰＭＯＳトランジスタ９およびＮＭＯＳトランジスタ１３は、外部電源電圧ｅｘｔＶｃｃを有するノードとノードＮ２との間に直列に接続される。ＮＭＯＳトランジスタ１３のゲートには、参照電圧Ｖｒｅｆが入力される。ＰＭＯＳトランジスタ７，９のゲートは、ＮＭＯＳトランジスタ１１のドレインに接続される。電流源１５は、ノードＮ２と接地電圧の有するノードとの間に接続される。この電流源１５は、ＮＭＯＳトランジスタである。ＮＭＯＳトランジスタ１５のゲートは、電流源制御回路５の出力ノードＮ３と接続される。

【００３１】
電流源制御回路５を構成する素子の接続について説明する。定電流源１７は、外部電源電圧ｅｘｔＶｃｃを有するノードと出力ノードＮ３との間に接続される。ＮＭＯＳトランジスタ１９および抵抗素子２１は、出力ノードＮ３と接地電圧を有するノードとの間に直列に接続される。ＮＭＯＳトランジスタ１９のゲートには、外部電源電圧ｅｘｔＶｃｃが入力される。

【００３２】
動作について説明する。ＰＭＯＳトランジスタ１は、比較回路３の出力ノードＮ１から出力される電圧に応じて、外部電源電圧ｅｘｔＶｃｃを降圧して、内部電源電圧ｉｎｔＶｃｃを発生する。内部電源電圧ｉｎｔＶｃｃが、参照電圧Ｖｒｅｆより小さいと、比較回路３は、出力ノードＮ１から、ＰＭＯＳトランジスタ１のゲートへ「Ｌ」レベルの電圧を出力する。この「Ｌ」レベルの電圧をゲートに受けるため、ＰＭＯＳトランジスタのチャネルコンダクタンスは大きくなる。このため、内部電源電圧ｉｎｔＶｃｃのレベルは上昇する。一方、内部電源電圧ｉｎｔＶｃｃが、参照電圧Ｖｒｅｆの大きさまで上昇すると、比較回路３は出力ノードＮ１からＰＭＯＳトランジスタ１のゲートへ「Ｈ」レベルの電圧を出力する。「Ｈ」レベルの電圧がゲートに入力されるため、ＰＭＯＳトランジスタ１はオフする。このため、内部電源電圧ｉｎｔＶｃｃは、参照電圧Ｖｒｅｆと同じ大きさに落着くことになる。

【００３３】
定電流源１７が発生する電流をＩｍとし、ＮＭＯＳトランジスタ１９のチャネル抵抗をＲｇとし、抵抗素子２１の抵抗をＲとする。この場合、ノードＮ３の電圧は、Ｉｍ・（Ｒ＋Ｒｇ）となる。ここで、ＮＭＯＳトランジスタ１９のゲート～ソース間電圧Ｖｇｓ＝ｅｘｔＶｃｃ－Ｉｍ・Ｒが大きくなると、Ｒｇが小さくなる。したがって、外部電源電圧ｅｘｔＶｃｃが上昇すると、その上昇に応じて、ノードＮ３の電圧が下降する。すなわち、電流源制御回路５は、外部電源電圧ｅｘｔＶｃｃが上昇すると、その上昇に応じて下降する制御電圧Ｖｃｏｎを、出力ノードＮ３からＮＭＯＳトランジスタ１５のゲートに出力する。このため、ＮＭＯＳトランジスタ１５に流れる電流が小さくなる。ＮＭＯＳトランジスタ１５に流れる電流が小さくなると、比較回路（カレントミラー型増幅回路）３の電圧利得が小さくなる。一方、電流源制御回路５は、外部電源電圧ｅｘｔＶｃｃが下降すると、その下降に応じて上昇する制御電圧Ｖｃｏｎを、出力ノードＮ３からＮＭＯＳトランジスタ１５のゲートへ出力する。これにより、ＮＭＯＳトランジスタ１５に流れる電流が大きくなり、比較回路（カレントミラー型増幅回路）３の電圧利得も大きくなる。以上のように、外部電源電圧ｅｘｔＶｃｃが大きくなると、比較回路（カレントミラー型増幅回路）３の電圧利得が小さくなり、外部電源電圧ｅｘｔＶｃｃが小さくなると、比較回路（カレントミラー型増幅回路）３の電圧利得が大きくなる場合に、比較回路（カレントミラー型増幅回路）３の電圧利得は、外部電源電圧ｅｘｔＶｃｃに対して負の依存性を有するという。なお、上述のようにＮＭＯＳトランジスタ１９は抵抗素子として用いられている。

【００３４】
図２は、外部電源電圧ｅｘｔＶｃｃと、制御電圧Ｖｃｏｎとの関係を示す図である。縦軸

は制御電圧Ｖｃｏｎを示し、横軸は、外部電源電圧ｅｘｔＶｃｃを示す。図２を参照して、外部電源電圧ｅｘｔＶｃｃが上昇すると、制御電圧Ｖｃｏｎが下降することがわかる。

【００３５】

以上のように、実施の形態１による内部降圧電源回路では、比較回路（カレントミラー型増幅回路）３の電圧利得は、外部電源電圧ｅｘｔＶｃｃに対して負の依存性を有している。このため、外部電源電圧ｅｘｔＶｃｃが変動して、上昇した場合であっても、内部降圧電源回路の閉ループゲインの増加を抑えることができる。その結果、外部電源電圧ｅｘｔＶｃｃが変動して上昇した場合に、不必要に内部電源電圧ｉｎｔＶｃｃを発振するのを防止できる。

【００３６】

また、図１において、抵抗素子２１をＭＯＳトランジスタで構成することができる。この場合には、そのＭＯＳトランジスタの抵抗値Ｒは、温度が上昇すると、温度上昇に応じて大きくなる。一方、温度が下降すると、温度下降に応じて抵抗値Ｒは小さくなる。したがって、抵抗素子２１をＭＯＳトランジスタで構成すると、温度が下降したときは、ノードＮ３の電圧は小さくなる。すなわち、電流源制御回路５は、温度が下降したときは、出力ノードＮ３から、温度下降に応じて下降する制御電圧ＶｃｏｎをＮＭＯＳトランジスタ１５のゲートに出力することになる。このため、ＮＭＯＳトランジスタ１５に流れる電流は小さくなり、比較回路（カレントミラー型増幅回路）３の電圧利得も小さくなる。一方、温度が上昇したときは、温度上昇に応じて、ノードＮ３の電圧が上昇する。すなわち、電流源制御回路５は、温度が上昇したときは、その温度上昇に応じて上昇する制御電圧Ｖｃｏｎを出力ノードＮ３からＮＭＯＳトランジスタ１５のゲートに出力することになる。このため、ＮＭＯＳトランジスタ１５に流れる電流は大きくなり、比較回路（カレントミラー型増幅回路）３の電圧利得も大きくなる。以上のように、温度が下降すると比較回路（カレントミラー型増幅回路）３の電圧利得も小さくなり、温度が上昇すると比較回路（カレントミラー型増幅回路）３の電圧利得も大きくなる場合、比較回路（カレントミラー型増幅回路）３の電圧利得は、温度に対して正の依存性を有するという。

【００３７】

このようにに、実施の形態１による内部降圧電源回路の変形例においては、比較回路（カレントミラー型増幅回路）３の電圧利得は、外部電源電圧ｅｘｔＶｃｃに対して負の依存性を有し、温度に対して正の依存性を有している。このため、外部電源電圧ｅｘｔＶｃｃが変動して上昇し、かつ、内部降圧電源回路の動作時の温度が低い場合において、内部降圧電源回路の閉ループゲインの増加を抑えることができる。その結果、外部電源電圧ｅｘｔＶｃｃが変動し、上昇した場合であって、かつ、内部降圧電源回路の動作時の温度が低い場合において、不必要な内部電源電圧ｉｎｔＶｃｃの発振を防止することができる。

【００３８】

（実施の形態２）

実施の形態２による内部電源電圧発生回路としての内部降圧電源回路の降圧回路および比較回路（カレントミラー型増幅回路）は、図１（実施の形態１）の降圧回路１および比較回路（カレントミラー型増幅回路）３と同様のものである。したがって、実施の形態２による内部降圧電源回路と実施の形態１による内部降圧電源回路とが異なるのは、電流源制御回路である。

【００３９】

図３は、実施の形態２による内部降圧電源回路の電流源制御回路の詳細を示す回路図である。

【００４０】

図３を参照して、電流源制御回路は、抵抗素子２５，２７、ＮＭＯＳトランジスタ２９，３１および定電流源２３を含む。抵抗素子２５およびＮＭＯＳトランジスタ２９は外部電源電圧ｅｘｔＶｃｃを有するノードと接地電圧を有するノードとの間に直列に接続される。定電流源２３は、外部電源電圧ｅｘｔＶｃｃを有するノードと出力ノードＮ３との間に接続される。ＮＭＯＳトランジスタ３１および抵抗素子２７は、出力ノードＮ３と接地電

圧を有するノードとの間に並列に接続される。ＮＭＯＳトランジスタ２９，３１のゲートは、抵抗素子２５に接続される。このような電流源制御回路は、出力ノードＮ３から、図１に示すような比較回路３のＮＭＯＳトランジスタ１５のゲートへ、制御電圧Ｖｃｏｎを出力する。なお、制御電圧Ｖｃｏｎは、出力ノードＮ３の電圧である。

【００４１】

抵抗素子２５の抵抗値をＲ１とし、抵抗素子２７の抵抗値をＲ２とし、ＮＭＯＳトランジスタ２９のしきい値電圧をＶｔｈｎ、定電流源２３から発生される定電流をＩｃｏｎｓｔとし、ＮＭＯＳトランジスタ２９に流れる電流をＩ１とする。また、ＮＭＯＳトランジスタ２９とＮＭＯＳトランジスタ３１とは、カレントミラー回路を構成している。この場合、ＮＭＯＳトランジスタ３１のサイズの、ＮＭＯＳトランジスタ２９のサイズに対する比、すなわち、（ＮＭＯＳトランジスタ３１のサイズ）／（ＮＭＯＳトランジスタ２９のサイズ）をｋとする。ｋは、ミラー比と呼ばれるものである。

【００４２】

ＮＭＯＳトランジスタ３１に流れる電流は電流Ｉ１のｋ倍になる。また、抵抗素子２７に流れる電流はＶｃｏｎ／Ｒ２である。ここで、抵抗素子２７に流れる電流（Ｖｃｏｎ／Ｒ２）と、ＮＭＯＳトランジスタ３１に流れる電流（ｋ・Ｉ１）との和が、定電流源２３からの定電流の電流値Ｉｃｏｎｓｔと等しくなる。一方、ＮＭＯＳトランジスタ２９に流れる電流Ｉ１は、Ｉ１＝（ｅｘｔＶｃｃ－Ｖｔｈｎ）／Ｒ１で表わされる。したがって、制御電圧Ｖｃｏｎは次式で表わされる。

【００４３】

Ｖｃｏｎ＝－（ｋ・Ｒ２／Ｒ１）・ｅｘｔＶｃｃ＋（ｋ・Ｒ２・Ｖｔｈｎ／Ｒ１＋Ｒ２・Ｉｃｏｎｓｔ）

この式からもわかるように、外部電源電圧ｅｘｔＶｃｃが上昇すると、その上昇に応じて、制御電圧Ｖｃｏｎが下降し、外部電源電圧ｅｘｔＶｃｃが下降すると、その下降に応じて制御電圧Ｖｃｏｎが上昇することになる。すなわち、外部電源電圧ｅｘｔＶｃｃが上昇したときは、図１に示すような比較回路３のＮＭＯＳトランジスタ１５に流れ電流は小さくなり、比較回路（カレントミラー型増幅回路）３の電圧利得は小さくなる。一方、外部電源電圧ｅｘｔＶｃｃが下降したときは、図１に示すような比較回路３のＮＭＯＳトランジスタ１５に流れる電流が大きくなり、比較回路（カレントミラー型増幅回路）３の電圧利得は大きくなる。

【００４４】

以上のように、実施の形態２による内部降圧電源回路では、図１に示すような比較回路（カレントミラー型増幅回路）３の電圧利得は、外部電源電圧ｅｘｔＶｃｃに対して負の依存性を有している。このため、外部電源電圧ｅｘｔＶｃｃが変動して上昇した場合に、内部降圧電源回路の閉ループゲインの増加を抑えることができる。その結果、外部電源電圧ｅｘｔＶｃｃが変動して上昇した場合に、不必要な内部電源電圧ｉｎｔＶｃｃの発振を防止することができる。

【００４５】

図４は、実施の形態２による内部降圧電源回路の電流源制御回路の他の例の詳細を示す回路図である。なお、図３と同様の部分については同一の参照符号を付し、その説明を適宜省略する。

【００４６】

図４の電流源制御回路は、図３の抵抗素子２５を、ＰＭＯＳトランジスタ３３とし、図３の抵抗素子２７を、ＮＭＯＳトランジスタ３５としたものである。すなわち、ＰＭＯＳトランジスタ３３およびＮＭＯＳトランジスタ２９は、外部電源電圧ｅｘｔＶｃｃを有するノードと接地電圧を有するノードとの間に直列に接続される。ＰＭＯＳトランジスタ３３のゲートには接地電圧が入力される。また、ＮＭＯＳトランジスタ３１およびＮＭＯＳトランジスタ３５は、ノードＮ３と接地電圧を有するノードとの間に並列に接続される。ＮＭＯＳトランジスタ３５のゲートには、外部電源電圧ｅｘｔＶｃｃが入力される。

【００４７】

このように、図３の電流源制御回路と図４の電流源制御回路とは、抵抗として用いる素子が異なるだけである。したがって、図４の電流源制御回路を用いた内部降圧電源回路は、図３の電流源制御回路を用いた内部降圧電源回路と同様の効果を奏する。

【００４８】

（実施の形態３）

まず、従来の内部電圧発生回路としての基板電圧発生回路および昇圧電圧発生回路について説明する。ここで、基板電圧発生回路は、負の値を有し、半導体基板に供給するための基板電圧を発生するためのものである。昇圧電圧発生回路は、電源電圧Ｖｃｃより大きい値を有する昇圧電圧を発生するためのものである。従来の基板電圧発生回路は、リング発振回路およびポンプ回路を備える。ポンプ回路は、リング発振回路から発振されたクロック信号ＣＬＫに応じて動作し、基板電圧Ｖｂｂを発生するものである。なお、昇圧電圧発生回路についても同様である。

【００４９】

ポンプ回路を駆動する電源電圧Ｖｃｃが下がると、ポンプ効率が下がってします。ポンプ効率は、（ポンプ回路の出力端子に流れる電流）／（ポンプ回路が消費する電流）で表わされるものである。さらに、ポンプ回路を駆動する電源電圧Ｖｃｃが下がると、クロック信号ＣＬＫの１周期当りのポンプ量が小さくなってしまう。ポンプ量は、ポンプ回路の出力端子に流れる電流のことである。これらのことから、電源電圧Ｖｃｃが変動して下降した場合、ポンプ回路から発生される基板電圧Ｖｂｂまたは昇圧電圧Ｖｐｐが所定の電圧レベルに達するまでの時間が、電源電圧Ｖｃｃが高い場合より、長くなってしまうという問題点ある。実施の形態３による内部電圧発生回路としての昇圧電圧発生回路および基板電圧発生回路は、このような問題点を解決するためになされたもである。この問題を解決するために、実施の形態３による内部電圧発生回路（基板電圧発生回路、昇圧電圧発生回路）は、図１の電流源制御回路５と同じ回路、図３の電流源制御回路と同じ回路または図４の電流源制御回路と同じ回路を用いている。詳しく説明する。

【００５０】

図５は、実施の形態３による内部電圧発生回路を示す概略ブロック図である。なお、図５の内部電圧発生回路は、基板電圧Ｖｂｂを発生する基板電圧発生回路であると考えることもできるし、昇圧電圧Ｖｐｐを発生する昇圧電圧発生回路であると考えることもできる。

【００５１】

図５を参照して、実施の形態３による内部電圧発生回路は、ポンプ回路３７、リング発振器３９および発振制御回路４１を含む。図５の内部電圧発生回路が基板電圧発生回路であるとして説明する。ポンプ回路３７は、リング発振器３９から発振されるクロック信号（パルス電圧）ＣＬＫに応じて、基板電圧Ｖｂｂを発生する。発振制御回路４１は、リング発振器３９から発振されるクロック信号（パルス電圧）ＣＬＫの周波数を制御する。発振制御回路４１としては、図１の電流源制御回路５、図３の電流源制御回路または図４の電流源制御回路を用いることができる。

【００５２】

ただし、図１、図３および図４の電流源制御回路では、電源電圧として外部電源電圧ｅｘｔＶｃｃを用いているが、図５の発振制御回路４１では、電源電圧は、外部電源電圧ｅｘｔＶｃｃであってもよいし、内部電源電圧ｉｎｔＶｃｃであっもよい。

【００５３】

発振制御回路４１は、電源電圧Ｖｃｃが下降すると、その下降に応じて、クロック信号（パルス電圧）ＣＬＫの周波数が高くなるように、リング発振器３９を制御している。リング発振器３９からのクロック信号ＣＬＫの周波数が高くなると、単位時間当りのポンプ回路３７の動作数が増加する。その結果、電源電圧Ｖｃｃが下降した場合において、基板電圧Ｖｂｂが所定の電圧レベルに達するまでの時間の増加を抑制することができる。以下、さらに詳しく説明する。

【００５４】

図６は、図５のリング発振器３９の詳細を示す回路図である。

図６を参照して、リング発振器は、ＰＭＯＳトランジスタ４３およびＮＭＯＳトランジスタ４５からなるインバータを奇数個直列に接続して構成される。そして、最終段のインバータの出力ノード（リング発振器の出力ノード）と、初段のインバータの入力ノードとが接続される。さらに、各インバータに対応して、ＮＭＯＳトランジスタ４７が設けられている。

【００５５】

ＮＭＯＳトランジスタ４７は、ＰＭＯＳトランジスタ４３およびＮＭＯＳトランジスタ４５からなるインバータと接地電圧を有するノードとの間に接続される。ＮＭＯＳトランジスタのゲートと、発振制御回路４１の出力ノードＮ３（図１、図３または図４）とが接続される。すなわち、ＮＭＯＳトランジスタ４７のゲートには、発振制御回路４１から制御電圧Ｖｃｏｎが入力されることになる。なお、奇数個のインバータに対応して設けられる奇数個のＮＭＯＳトランジスタ４７は、電流制御回路を構成する。電源電圧Ｖｃｃが下降すると、その下降に応じて上昇する制御電圧Ｖｃｏｎを発振制御回路４１はＮＭＯＳトランジスタ４７に出力する。このため、電源電圧Ｖｃｃが下降すると、ＮＭＯＳトランジスタ４７に流れる電流が増加する。その結果、ＰＭＯＳトランジスタ４３およびＮＭＯＳトランジスタ４５からなるインバータの出力の遅延時間が短くなり、クロック信号ＣＬＫの周波数が高くなる。一方、電源電圧Ｖｃｃが上昇したときは、その上昇に応じて下降する制御電圧Ｖｃｏｎを、発振制御回路４１は、ＮＭＯＳトランジスタ４７のゲートに出力する。このため、電源電圧Ｖｃｃが上昇した場合は、ＮＭＯＳトランジスタ４７に流れる電流は小さくなる。その結果、インバータ出力の遅延時間が長くなり、クロック信号ＣＬＫの周波数が低くなる。以上のように、電源電圧Ｖｃｃが下降したときは、クロック信号ＣＬＫの周波数が高くなり、電源電圧Ｖｃｃが上昇したときは、クロック信号ＣＬＫの周波数が低くなる場合、リング発振器３９の発振周波数は、電源電圧Ｖｃｃに対して負の依存性を有するという。

【００５６】

上述したことは、図５の内部電圧発生回路を昇圧電圧発生回路と考えた場合も同様である。

【００５７】

以上のように、実施の形態３による内部電圧発生回路（基板電圧発生回路、昇圧電圧発生回路）では、リング発振器３９の発振周波数は、電源電圧Ｖｃｃに対して負の依存性を有している。このため、電源電圧Ｖｃｃが変動して下降し、ポンプ回路３７の動作１回当りのポンプ量が小さくなっても、リング発振器３９から発振されるクロック信号ＣＬＫの周波数が高くなるので、十分なポンプ量を得ることができる。すなわち、実施の形態３による内部電圧発生回路（基板電圧発生回路、昇圧電圧発生回路）では、電源電圧Ｖｃｃが変動して下降した場合であっても、内部電圧（基板電圧Ｖｂｂ、昇圧電圧Ｖｐｐ）が所定の電圧レベルに達するまでの時間の増加を抑制できる。

図６は、実施の形態３による内部電圧発生回路（基板電圧発生回路、昇圧電圧発生回路）のリング発振器３９（図５）の他の例の詳細を示す回路図である。なお、図６と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【００５８】

図７を参照して、リング発振器は、ＰＭＯＳトランジスタ４３と、電源電圧Ｖｃｃを有するノードとの間にＰＭＯＳトランジスタ４９を設けている。そして、さらに、ＰＭＯＳ制御回路５１を備えている。ＰＭＯＳ制御回路５１と、奇数個のＰＭＯＳトランジスタ４９と、奇数個のＮＭＯＳトランジスタ４７とは、電流制御回路を構成している。ＰＭＯＳ制御回路５１は、ＰＭＯＳトランジスタ５３，５５、ＮＭＯＳトランジスタ５７および定電流源５９を含む。ＰＭＯＳトランジスタ５３およびＮＭＯＳトランジスタ５７は、電源電圧Ｖｃｃを有するノードと接地電圧を有するノードとの間に直列に接続される。ＮＭＯＳトランジスタ５７のゲートには、発振制御回路４１からの制御電圧Ｖｃｏｎが入力される。ＰＭＯＳトランジスタ５５および定電流源５９は電源電圧Ｖｃｃを有するノードと接地電圧を有するノードとの間に直列に接続される。ＰＭＯＳトランジスタ５３，５５のゲー

トは、ＮＭＯＳトランジスタ５７のドレインに接続される。ＰＭＯＳ制御回路５１の出力ノードＮ４は、ＰＭＯＳトランジスタ４９のゲートに入力される。

【００５９】

ＰＭＯＳ制御回路５１のＮＭＯＳトランジスタ５７のゲートへ入力される制御電圧Ｖｃｏｎは、電源電圧Ｖｃｃが下降すると、その下降に応じて上昇する電圧である。したがって、電源電圧Ｖｃｃが下降すると、制御電圧Ｖｃｏｎが上昇し、ＰＭＯＳ制御回路５１の出力ノードＮ４から出力される電圧Ｖｐは下降することになる。その結果、ＰＭＯＳトランジスタ４９に流れる電流が増加し、インバータ出力の遅延時間が短くなる。これによって、電源電圧Ｖｃｃが下降したときは、リング発振器からのクロック信号ＣＬＫの周波数が高くなる。

【００６０】

このように、図６のリング発振器において、さらに、奇数個のＰＭＯＳトランジスタ４９およびＰＭＯＳ制御回路５１を加えたリング発振器（図７）においても、電源電圧Ｖｃｃに対して負の依存性を有する。したがって、実施の形態３による内部電圧発生回路（基板電圧発生回路、昇圧電圧発生回路）のリング発振器３９として、図７のリング発振器を用いた場合も、リング発振器３９として図６のリング発振器を用いた場合と同様の効果を奏する。なお、図７のリング発振器において、ＮＭＯＳトランジスタ４７を取り除いて、ＮＭＯＳトランジスタ４５のソースと接地電圧を有するノードとを接続してもよい。この場合にも、リング発振器の発振周波数は電源電圧Ｖｃｃに対して負の依存性を有するため、上記したと同様の効果を奏する。

【００６１】

（実施の形態４）

図８は、本発明の実施の形態４による半導体装置を示す図であって、特に、その内部降圧電源回路の詳細を示す回路図である。

【００６２】

図８を参照して、実施の形態４による半導体装置は、内部降圧電源回路６５および制御回路帯（内部回路）６３を含む。内部降圧電源回路６５は、降圧回路１および比較回路６７を含む。降圧回路１は、ＰＭＯＳトランジスタであり、図１の降圧回路１と同様のものである。比較回路６７は、カレントミラー型増幅回路であり、図１の比較回路３と同様のものである。ただし、図１の比較回路３では、電流源１５を設けているのに対し、図８の比較回路６７では、定電流を発生する定電流源６９を設けている。すなわち、比較回路６７は、ＰＭＯＳトランジスタ７，９、ＮＭＯＳトランジスタ１１，１３および定電流源６９を含む。内部降圧電源回路６５は、チップ端にある図示しない外部電源パッド近傍に配置されている。このため、内部降圧電源回路６５と、制御回路帯６３とは離れて配置されている。ここで、図示しない外部電源パッドは、外部電源電圧ｅｘｔＶｃｃを、内部降圧電源回路６５に供給するためのものである。

【００６３】

内部降圧電源回路６５と、制御回路帯６３とは、電源線７１によって接続されている。そして、内部降圧電源回路６５で発生された内部電源電圧ｉｎｔＶｃｃは、電源線７１を介して、制御回路帯６３に供給される。制御回路帯６３は、複数の制御回路を含み、内部電源電圧ｉｎｔＶｃｃを電源電圧として動作する。比較回路６７のＮＭＯＳトランジスタ１１のゲートと、矢印Ｖ２で示すような、制御回路帯６３の近傍の電源線７１とは、導電線７３によって接続される。導電線７３は、たとえば、センスラインである。なお、従来のように降圧回路１の近傍の電源線７１（矢印Ｖ１）と、ＮＭＯＳトランジスタ１１のゲートとを接続するものではない。

【００６４】

比較回路６７の動作について簡単に説明する。比較回路６７のＮＭＯＳトランジスタ１１のゲートには、内部電源電圧ｉｎｔＶｃｃが入力される。一方、ＮＭＯＳトランジスタ１３のゲートには、参照電圧Ｖｒｅｆが入力される。ＮＭＯＳトランジスタ１１に入力される内部電源電圧ｉｎｔＶｃｃが、参照電圧Ｖｒｅｆより小さくなると、比較回路６７は、

出力ノードＮ１から、ＰＭＯＳトランジスタ１のゲートに、「Ｌ」レベルの電圧を出力する。「Ｌ」レベルの電圧をゲートに受けたＰＭＯＳトランジスタ１は、オンし、外部電源電圧ｅｘｔＶｃｃを降圧して、内部電源電圧ｉｎｔＶｃｃを発生する。すなわち、内部電源電圧ｉｎｔＶｃｃが上昇することになる。一方、ＮＭＯＳトランジスタ１１のゲートに入力される内部電源電圧ｉｎｔＶｃｃが参照電圧Ｖｒｅｆの大きさまで上昇すると、比較回路６７は、出力ノードＮ１から、ＰＭＯＳトランジスタ１のゲートに「Ｈ」レベルの電圧を出力する。このためＰＭＯＳトランジスタ１はオフする。これによって、内部電源電圧ｉｎｔＶｃｃは、参照電圧Ｖｒｅｆと同じ大きさに落ち着くことになる。以上においては、内部降圧電源回路の一般的な動作について説明したが、以下では、その特徴的な動作について説明する。

【００６５】

図９は、図８の内部降圧電源回路６５の動作を説明するための図である。横軸は時間を示し、縦軸は内部電源電圧ｉｎｔＶｃｃを示している。図９の矢印Ｖ１で示す曲線は、図８の矢印Ｖ１で示すような、降圧回路１の近傍の電源線７１における内部電源電圧ｉｎｔＶｃｃの変動を示している。図９の矢印Ｖ２が示す曲線は、図８の矢印Ｖ２が示すような、制御回路帯６３の近傍の電源線７１における内部電源電圧ｉｎｔＶｃｃの変動を示している。図９の矢印Ｖ３で示す曲線は、図８の矢印Ｖ３で示すような、ＮＭＯＳトランジスタ１１の近傍の導電線７３における内部電源電圧ｉｎｔＶｃｃの変動を示している。

【００６６】

図８および図９を参照して動作について説明する。期間Ｔのうちの任意の期間において、制御回路帯６３は動作する。制御回路帯６３が動作する前は、内部電源電圧ｉｎｔＶｃｃは、参照電圧Ｖｒｅｆと同じ大きさになっている。以下、この参照電圧Ｖｒｅｆを、設定電圧と呼ぶことにする。制御回路帯６３が動作すると、降圧回路１の近傍（矢印Ｖ１）、制御回路帯６３の近傍（矢印Ｖ２）およびＮＭＯＳトランジスタ１１の近傍（矢印Ｖ３）における内部電源電圧ｉｎｔＶｃｃの電圧が下降し始める。ここで、制御回路帯６３の消費電力が増加すると、電源線７１に流れる電流が増加する。このため、降圧回路１の近傍（矢印Ｖ１）における内部電源電圧の大きさと、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧の大きさとの差が大きくなる。一方、導電線７３には電流は流れない。このため、導電線７３が、細かい配線で形成されて抵抗が大きい場合であっても、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧の大きさと、ＮＭＯＳトランジスタ１１の近傍（矢印Ｖ３）における内部電源電圧の大きさとは、ほとんど等しい。したがって、制御回路帯６３の近傍（矢印Ｖ２）の内部電源電圧ｉｎｔＶｃｃの変動が、比較回路６７に反映されることになる。すなわち、比較回路６７は、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧の変動に応じて、動作することになる。これによって、降圧回路１も、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃの変動に応じて、内部電源電圧ｉｎｔＶｃｃを発生することになる。

【００６７】

以上のように、実施の形態４による半導体装置では、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧とほぼ等しい大きさの電圧が、ＮＭＯＳトランジスタ１１のゲートに入力される。したがって、制御回路帯６３が動作し、内部電源電圧ｉｎｔＶｃｃが下降したとき、従来の半導体装置（図１４）のように、降圧回路１の近傍（矢印Ｖ１）の内部電源電圧ｉｎｔＶｃｃがＮＭＯＳトランジスタ１１のゲートに入力される場合に比べ、比較回路６７の出力は「Ｌ」レベルに向かって大きく振幅することになる。このため、内部電源電圧ｉｎｔＶｃｃが下降したとき、ＰＭＯＳトランジスタ１のチャネル抵抗が、従来の半導体装置（図１４）より小さくなる。これによって、制御回路帯６３が動作した場合において、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧の下降ｄＶは、従来の半導体装置（図１４）より小さくなる。すなわち、実施の形態４による半導体装置では、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃの変動を反映する内部降圧電源回路６５を設けているため、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃの変動を小さくすることができる。このことは、実施の形態４

における半導体装置の内部降圧電源回路６５は、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃの変動に対する追従性がよいことを意味する。

【００６８】

（実施の形態５）

図１０は、実施の形態５による半導体装置を示す図であって、特に、その内部降圧電源回路の詳細を示す回路図である。なお、図８と同様の部分についいは同一の参照符号を付しその説明を適宜省略する。

【００６９】

図１０を参照して、実施の形態５による半導体装置は、内部降圧電源回路７７および制御回路帯（内部回路）６３を含む。内部降圧電源回路７７は、降圧回路１、比較回路６７および参照電圧制御回路７５を含む。参照電圧制御回路７５は、ローパスフィルタ８１およびＶｒｅｆ制御回路７９を含む。

【００７０】

ローパスフィルタ８１を除いて、内部降圧電源回路７７は、外部電源電圧ｅｘｔＶｃｃを内部降圧電源回路７７に与えるための図示しない外部電源パッドの近傍に配置されている。このため、ローパスフィルタ８１を除いて、内部降圧電源回路７７と、制御回路帯６３とは離れている。なお、図示しない外部電源パッドはチップ端に配置される。

【００７１】

比較回路６７のＮＭＯＳトランジスタ１１のゲートには、矢印Ｖ１で示すような、降圧回路１の近傍の電源線７１における内部電源電圧ｉｎｔＶｃｃが入力される。比較回路６７のＮＭＯＳトランジスタ１３のゲートには、Ｖｒｅｆ制御回路７５からの参照電圧ＶｒｅｆＡが入力される。Ｖｒｅｆ制御回路７９には、ローパスフィルタ８１および導電線８３を介して、矢印Ｖ２に示すような、制御回路帯６３の近傍の電源線７１における内部電源電圧ｉｎｔＶｃｃが入力される。さらに、Ｖｒｅｆ制御回路７９には、基準電圧ＶｒｅｆＢが入力される。後で詳しく説明するが、Ｖｒｅｆ制御回路７９は、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃの変動に応じた大きさの参照電圧ＶｒｅｆＡをＮＭＯＳトランジスタ１３のゲートに与える。ローパスフィルタ８１は、内部電源電圧ｉｎｔＶｃｃの低周波成分をＶｒｅｆ制御回路に入力するものである。

【００７２】

図１１は、図１０のＶｒｅｆ制御回路７９の詳細を示す回路図である。なお、図１０と同様の部分については、同一の参照符号を付しその説明を適宜省略する。

【００７３】

図１１を参照して、Ｖｒｅｆ制御回路は、比較回路９１、ＮＭＯＳトランジスタ９３、定電流源８５および抵抗素子８７，８９を含む。

【００７４】

定電流源８５は、外部電源電圧ｅｘｔＶｃｃを有するノードとノードＮ５との間に接続される。ＮＭＯＳトランジスタ９３および抵抗素子８７はノードＮ５とノードＮ６との間に並列に接続される。ＮＭＯＳトランジスタ９３のゲートは、比較回路９１の出力ノードに接続される。抵抗素子８９は、ノードＮ６と接地電圧を有するノードとの間に接続される。比較回路９１の一方入力ノードは、導電線８３と接続される。すなわち、比較回路９１の一方入力ノードには、ローパスフィルタ８１を介して、制御回路帯６３の近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃが入力されることになる。また、比較回路９１の他方入力ノードは、ノードＮ６に接続される。ノードＮ６には、基準電圧ＶｒｅｆＢが入力される。すなわち、比較回路９１の他方入力ノードには、基準電圧ＶｒｅｆＢが入力されることになる。ノードＮ５は、Ｖｒｅｆ制御回路の出力ノードであり、ここから参照電圧ＶｒｅｆＡがＮＭＯＳトランジスタ１３（図１０）のゲートに与えられる。

【００７５】

図１２は、図１０の内部降圧電源回路７７の動作を説明するための図である。横軸は時間を示し、縦軸は電圧を示している。図１２の矢印Ｖ１で示す曲線は、図１０の矢印Ｖ１で示すような、降圧回路１の近傍の内部電源電圧ｉｎｔＶｃｃの変動を示している。図１２

の矢印Ｖ２で示す曲線は、図１０の矢印Ｖ２で示すような、制御回路帯６３の近傍の内部電源電圧ｉｎｔＶｃｃの変動を示している。図１２の矢印Ｖ４で示す曲線は、ローパスフィルタ１１（図１０）を介して、Ｖｒｅｆ制御回路７９（図１０）に入力される、制御回路帯６３（図１０）の近傍（矢印Ｖ２）の内部電源電圧ｉｎｔＶｃｃの変動を示している。

【００７６】

図１０～図１２を参照して、図１０の内部降圧電源回路７７の動作を説明する。期間Ｔのうちの任意の期間で制御回路帯６３が動作する。制御回路帯６３が動作していないときは、比較回路９１（図１１）の一方入力ノードに導電線８３を介して入力される電圧（矢印Ｖ４）は、基準電圧ＶｒｅｆＢと同じ大きさになっている。ここで、比較回路９１の一方入力ノードに導電線８３を介して入力される電圧の大きさが、比較回路９１の他方入力ノードに入力される基準電圧ＶｒｅｆＢと等しいときには、比較回路９１の出力電圧が「Ｈ」レベルになるように、比較回路９１にオフセットを持たせておく。「Ｈ」レベルの電圧がゲートに入力されるため、ＮＭＯＳトランジスタ９３はオンする。このため、ノードＮ５の電圧とノードＮ６の電圧とは等しくなる。すなわち、ノードＮ５から出力される参照電圧ＶｒｅｆＡは、基準電圧ＶｒｅｆＢと同じ大きさになる。すなわち、制御回路帯６３が動作していないときは、ＮＭＯＳトランジスタ１３（図１０）のゲートに入力される参照電圧ＶｒｅｆＡは、基準電圧ＶｒｅｆＢと同じ大きさである。これによって、制御回路帯６３が動作していないときは、内部電源電圧ｉｎｔＶｃｃは、基準電圧ＶｒｅｆＢと同じ大きさになる。

【００７７】

次に、期間Ｔにおいて、制御回路帯６３が動作すると、制御回路帯６３に流れる電流によって、制御回路帯６３の近傍（矢印Ｖ２）の内部電源電圧ｉｎｔＶｃｃが、基準電圧ＶｒｅｆＢのレベルから大きく下降し始める。そして、制御回路帯６３の近傍（矢印Ｖ２）の内部電源電圧ｉｎｔＶｃｃのうちの低周波成分が、Ｖｒｅｆ制御回路７９（比較回路９１）に入力されることになる。制御回路帯６３が動作し、内部電源電圧が下降した場合において、比較回路９１の一方入力ノードに、ローパスフィルタ８１を介して、制御回路帯６３の近傍（矢印Ｖ２）の内部電源電圧ｉｎｔＶｃｃの低周波成分が入力されると、比較回路９１は、「Ｌ」レベルの電圧を出力する。「Ｌ」レベルの電圧がゲートに入力されるＮＭＯＳトランジスタ９３（図１１）はオフする。このため、ノードＮ５の電圧は、ノードＮ６の電圧より上昇することになる。すなわち、定電流源８５から発生する定電流をＩｍとし、抵抗素子８７の抵抗値をＲｔとすると、ノードＮ５の電圧は、ノードＮ６の電圧より、Ｉｍ・Ｒｔだけ上昇することになる。これは、参照電圧ＶｒｅｆＡが、基準電圧ＶｒｅｆＢよりもＩｍ・Ｒｔだけ上昇したことを意味する。

【００７８】

制御回路帯６３が動作し、その近傍（矢印Ｖ２）における内部電源電圧ｉｎｔＶｃｃが下降したときは、参照電圧ＶｒｅｆＡが、基準電圧ＶｒｅｆＢより大きくなり、その大きくなった参照電圧ＶｒｅｆＡがＮＭＯＳトランジスタ１３（図１０）のゲートに入力されることになる。これによって、比較回路６７（図１０）の出力は、「Ｌ」レベルに向かって大きく振幅するため、ＰＭＯＳトランジスタ１（図１０）のチャネル抵抗が、ＮＭＯＳトランジスタ１３のゲートに固定された参照電圧が入力されている場合に比べ、小さくなる。このようなことから、制御回路帯６３が動作しているときにおいて、内部電源電圧ｉｎｔＶｃｃの下降ｄＶは、ＮＭＯＳトランジスタ１３のゲートに固定した参照電圧を入力している場合に比べ、小さくなる。

【００７９】

次に、制御回路帯６３の動作が終了すると、参照電圧ＶｒｅｆＡが、再び、基準電圧ＶｒｅｆＢに等しくなる。そして、内部電源電圧ｉｎｔＶｃｃの大きさは基準電圧ＶｒｅｆＢの大きさと等しくなる。

【００８０】

以上のように、実施の形態５による半導体装置では、制御回路帯６３の近傍（矢印Ｖ２）

の内部電源電圧ｉｎｔＶｃｃの変動に応じて、比較回路６７のＮＭＯＳトランジスタ１３のゲートに入力する参照電圧ＶｒｅｆＡの大きさを変えている。すなわち、制御回路帯６３の近傍（矢印Ｖ２）の内部電源電圧ｉｎｔＶｃｃの変動に応じて、内部電源電圧ｉｎｔＶｃｃを発生できる。このことは、制御回路帯６３の近傍（矢印Ｖ２）での内部電源電圧ｉｎｔＶｃｃの変動に対して、追従性がよいということを意味する。

【００８１】

【発明の効果】

この発明の第１の発明に係る内部電源電圧発生回路では、外部電源電圧が上昇したときは、カレントミラー増幅手段の電流源からの電流が外部電源電圧の上昇に応じて小さくなるように制御している。このため、外部電源電圧が変動して上昇した場合でも、内部電源電圧発生回路の閉ループゲインの増加を抑えることができ、不必要な内部電源電圧の発振を防止することができる。

【００８２】

この発明の第２の発明に係る内部電源電圧発生回路では、温度が下降したときは、カレントミラー増幅手段の電流源からの電流が温度の下降に応じて小さくなるように制御している。このため、動作時の温度が低い場合であっても、内部電源電圧発生回路の閉ループゲインの増加を抑えることができ、不必要な内部電源電圧の発振を防止できる。

【００８３】

この発明の第３の発明に係る内部電圧発生回路では、電源電圧が下降したときは、電源電圧の下降に応じて、ポンプ手段を駆動するためのパルス電圧の周波数が高くなるように制御している。このため、電源電圧が下降した場合であっても、充分なポンプ量を得ることができ、内部電圧が所定の電圧レベルに達するまでの時間の増加を抑えることができる。

【００８４】

この発明の第４の発明に係る半導体装置では、内部回路の近傍における内部電源電圧の変動に応じて、内部電源電圧を発生できる。すなわち、内部回路の近傍における内部電源電圧の変動に対して、追従性をよくすることができる。

【図面の簡単な説明】

【図１】　本発明の実施の形態１による内部電源電圧発生回路としての内部降圧電源回路の詳細を示す回路図である。

【図２】　図１の内部降圧電源回路の動作を説明するための図である。

【図３】　本発明の実施の形態２による内部電源電圧発生回路としての内部降圧電源回路に用いる電流源制御回路の詳細を示す回路図である。

【図４】　本発明の実施の形態２による内部電源電圧発生回路としての内部降圧電源回路に用いる電流源制御回路の他の例の詳細を示す回路図である。

【図５】　本発明の実施の形態３による内部電圧発生回路を示す概略ブロック図である。

【図６】　図５のリング発振器の詳細を示す回路図である。

【図７】　図５のリング発振器の他の例の詳細を示す回路図である。

【図８】　本発明の実施の形態４による半導体装置を示す図であって、特に、その内部降圧電源回路の詳細を示す回路図である。

【図９】　図８の内部降圧電源回路の動作を説明するための図である。

【図１０】　本発明の実施の形態５による半導体装置を示す図であって、特に、その内部降圧電源回路の詳細を示す回路図である。

【図１１】　図１０のＶｒｅｆ制御回路の詳細を示す回路図である。

【図１２】　図１０の内部降圧電源回路の動作を説明するための図である。

【図１３】　従来の内部降圧電源回路の詳細を示す回路図である。

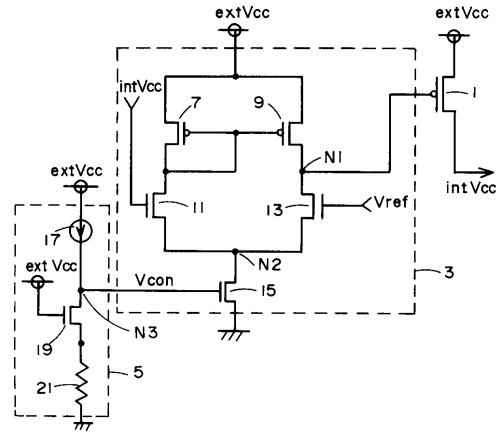
【図１４】　従来の半導体装置を示す概略ブロック図である。

【符号の説明】

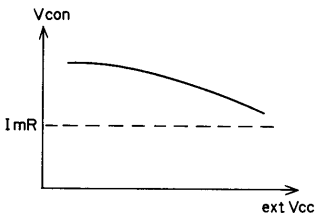
１　降圧回路、３，６７，９１　比較回路、５　電流源制御回路、７，９，３３，４３，４９，５３，５５　ＰＭＯＳトランジスタ、１１，１３，１９，２９，３１，３５，４５，４７，５７，９３　ＮＭＯＳトランジスタ、１５　電流源、１７，２３，５９，６９，

８５　定電流源、２１，２５，２７，８７，８９
抵抗素子、３７　ポンプ回路、３９　リング発振器、４１　発振制御回路、５１ＰＭＯＳ制御回路、６３　制御回路帯、６５，７７，９４　内部降圧電源回路、７１　電源線、７３，８３　導電線、７５　参照電圧制御回路、７９　Ｖｒｅｆ制御回路、８１　ローパスフィルタ、９５　外部電源パッド、９７　メモリアレイ。

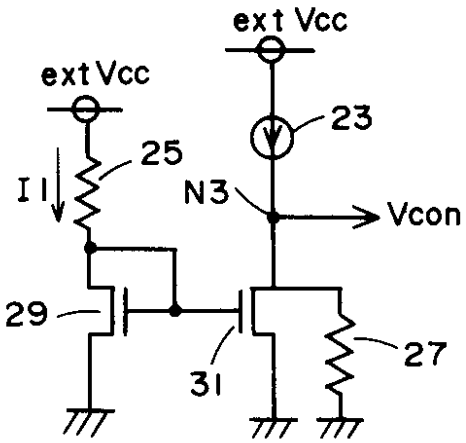
【図１】



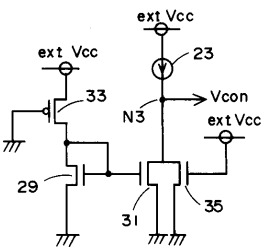
【図２】



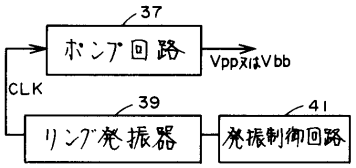
【図３】



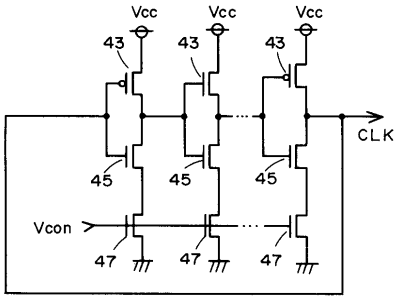
【図４】



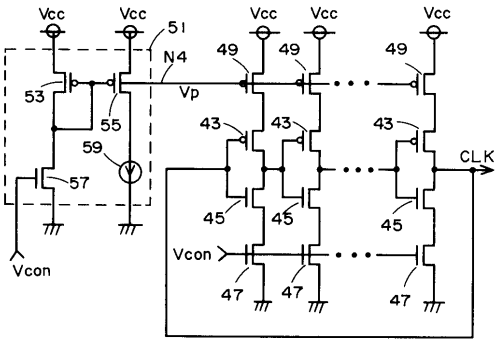
【図５】



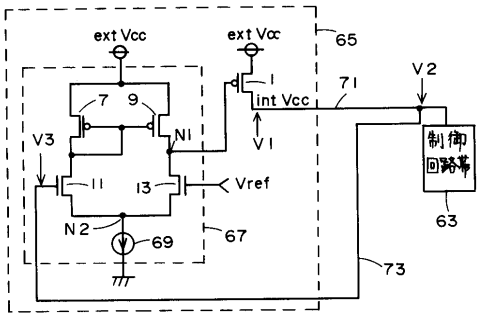
【図６】



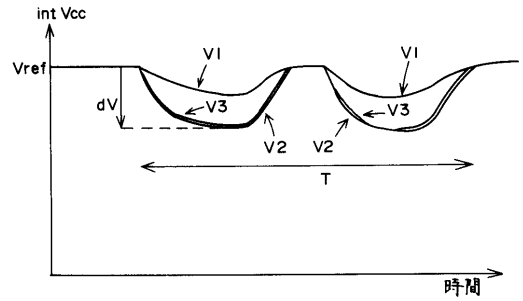
【図７】



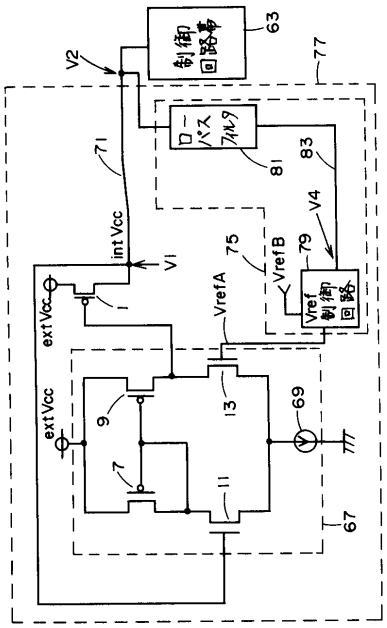
【図８】



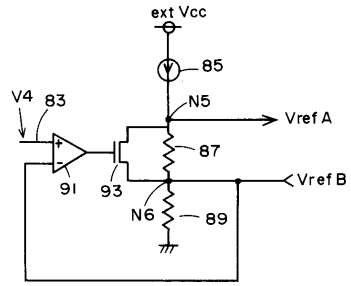
【図９】



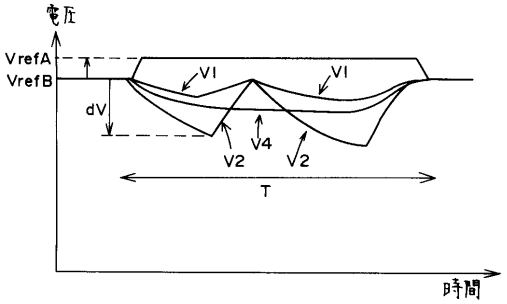
【図１０】



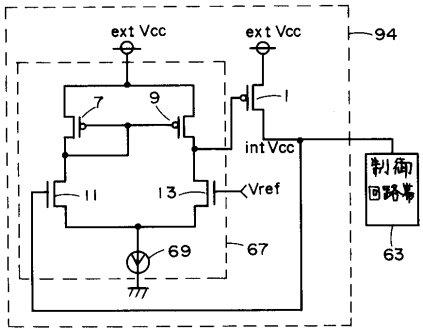
【図１１】



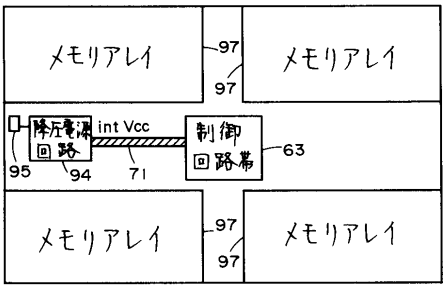
【図１２】



【図１３】



【図１４】



フロントページの続き

(72)発明者　山内　忠昭
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　川端　修

(56)参考文献　特開平０６－２０８７９１（ＪＰ，Ａ）
特開平０７－０３７３８１（ＪＰ，Ａ）
特開平０５－１７３６５６（ＪＰ，Ａ）
実開平０３－１２４２２２（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G05F　3/24
G11C 11/413
H03K 19/00