

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年5月10日(2018.5.10)

【公表番号】特表2016-535930(P2016-535930A)

【公表日】平成28年11月17日(2016.11.17)

【年通号数】公開・登録公報2016-064

【出願番号】特願2016-517478(P2016-517478)

【国際特許分類】

H 01 F	41/02	(2006.01)
H 01 F	17/04	(2006.01)
H 01 F	17/00	(2006.01)
C 23 C	4/11	(2016.01)
C 23 C	4/134	(2016.01)
C 23 C	18/12	(2006.01)

【F I】

H 01 F	41/02	D
H 01 F	17/04	F
H 01 F	17/00	A
C 23 C	4/11	
C 23 C	4/134	
C 23 C	18/12	

【手続補正書】

【提出日】平成29年8月30日(2017.8.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フェライトロッドを製造する方法であって、

第一の半導体基板の第一の面に第一のキャビティをエッチングするステップと、

前記第一のキャビティに第一のフェライト層を堆積させるステップと、

第二の半導体基板の第二の面に第二のキャビティをエッチングするステップと、

前記第二のキャビティに第二のフェライト層を堆積させるステップと、

前記第一のフェライト層が前記第二のフェライト層と接触するように前記第一の半導体基板の前記第一の面を前記第二の半導体基板の前記第二の面に取り付けるステップとを有する方法。

【請求項2】

前記第一の半導体基板に前記第一のキャビティをエッチングするステップと、前記第二の半導体基板に前記第二のキャビティをエッチングするステップが各々、

前記第一及び第二の半導体基板の層を選択的に除去する等方性半導体エッチングを実行するステップと、

前記第一及び第二の半導体基板上にパッシベーション層を成長させるステップとを有する、請求項1に記載の方法。

【請求項3】

前記第一の半導体基板に前記第一のキャビティをエッチングするステップと、前記第二の半導体基板に前記第二のキャビティをエッチングするステップが各々、

前記第一及び第二の半導体基板上に第一のパッシベーション層を成長させるステップと、
前記第一のパッシベーション層にレジストコーティングを適用するステップと、
前記レジストコーティングを選択的に除去するリソグラフィ及び現像ステップを実行するステップと、
前記第一のパッシベーション層を選択的に除去する第一のエッチングステップを実行するステップと、
前記第一のパッシベーション層から前記レジストコーティングをストリップするステップと、
前記第一及び第二の半導体基板の層を選択的に除去する等方性半導体エッチングを実行するステップと、
前記第一のパッシベーション層をストリップするステップと、
第二のパッシベーション層を成長させるステップと
を有する、請求項1に記載の方法。

【請求項4】

前記第一のエッチングステップが異方性エッチングステップを有し、前記第一のパッシベーション層を成長させるステップが、
前記第一のパッシベーション層が第一の酸化層を有するように前記第一及び第二の半導体基板を熱酸化するステップ、及び／又は、
前記第一のパッシベーション層が窒化物層を有するように前記第一及び第二の半導体基板に低応力低压化学蒸着を適用するステップ
を有する、請求項3に記載の方法。

【請求項5】

前記第一及び第二のキャビティに前記第一及び第二のフェライト層を堆積させるステップが、
粉末状の前記第一及び第二のフェライト層のプラズマアーク溶射、及び／又は、
前記第一及び第二のフェライト層のウェット化学堆積を実行すること
を有する、請求項1に記載の方法。

【請求項6】

前記第一及び第二のキャビティに前記第一及び第二のフェライト層を堆積させるステップが、
前記第一及び第二のフェライト層のアニーリング、
前記第一及び第二のフェライト層の化学機械研磨、及び／又は、
前記第一及び第二のフェライト層の熱リン酸ウェットエッチング
をさらに有する、請求項5に記載の方法。

【請求項7】

前記第一の半導体基板の前記第一の面を前記第二の半導体基板の前記第二の面に取り付けるステップが、前記第一及び前記第二の半導体基板のうち少なくとも一つの半導体基板について、

前記第一若しくは第二のキャビティを有する半導体基板の面にレジストコーティングを適用するステップと、

前記レジストコーティングを選択的に除去するリソグラフィ及び現像ステップを実行するステップと、

前記パッシベーション層の少なくとも一部を選択的に除去する第一のエッチングステップを実行するステップと、

前記レジストコーティングを前記半導体基板の面からストリップするステップと、

前記第一及び第二の面の各々が互いに面するように前記第一及び第二の半導体基板を組み立てるステップと
を有する、請求項2に記載の方法。

【請求項8】

前記第一の半導体基板の前記第一の面の化学機械研磨のステップと、
第二のレジストコーティングを適用するステップと、
前記第二のレジストコーティングを選択的に除去するリソグラフィ及び現像ステップを
実行するステップと、
前記第一及び第二の半導体基板を有する組み立てられた構造を加熱するステップと
をさらに有する、請求項7に記載の方法。

【請求項9】

前記第二の半導体基板の前記第二の面上に金及び接着層を堆積させるステップと、
前記金及び接着層をエッチングするステップと、
前記第二のレジストコーティングをストリップするステップと
をさらに有し、

前記組み立てられた構造を加熱するステップが、共晶金：シリコン接合を作るように前
記組み立てられた構造を加熱するステップを有する、
請求項8に記載の方法。

【請求項10】

前記第二のレジストコーティング上及び前記第二の半導体基板の前記第二の面上に金及
び接着層を堆積させるステップと、

前記第二のレジストコーティングをリフトオフするステップと
をさらに有し、

前記組み立てられた構造を加熱するステップが、共晶金：シリコン接合を作るように前
記組み立てられた構造を加熱するステップを有する、
請求項8に記載の方法。

【請求項11】

第二のレジストコーティングを適用するステップと、
前記第二のレジストコーティングを選択的に除去するリソグラフィ及び現像ステップを
実行するステップと、

前記第一及び第二の半導体基板を有する組み立てられた構造に熱と圧力を加えるステッ
プと

をさらに有する、請求項7に記載の方法。

【請求項12】

前記第一若しくは第二の面の各々の上に金及び接着層を堆積させるステップであって、
前記第二のレジストコーティングを適用するステップが前記金及び接着層に前記第二のレ
ジストコーティングを適用するステップを有する、ステップと、

前記金及び接着層をエッチングするステップと
をさらに有し、

前記第二のレジストコーティングをストリップするステップをさらに有し、

前記組み立てられた構造に熱と圧力を加えるステップが、金：金接合を作るように前記
組み立てられた構造に熱と圧力を加えるステップを有する、
請求項11に記載の方法。

【請求項13】

前記第一若しくは第二の面の各々の上に接着剤層を適用するステップと、前記接着剤層
を硬化させるステップとをさらに有する、請求項7に記載の方法。

【請求項14】

第一の半導体基板の第一の面におけるキャビティに堆積される第一のフェライト層と、
第二の半導体基板の第二の面における第二のキャビティに堆積される第二のフェライト層
を有する、フェライトロッドであって、

前記第一の面が前記第二の面に取り付けられ、前記第一のフェライト層が前記第二のフ
ェライト層と接触し、

当該フェライトロッドが、前記第一のフェライト層と前記第二のフェライト層の間に配
置されるパッシベーション層をさらに有する、

フェライトロッド。

【請求項 15】

第一の半導体基板と第二の半導体基板を有する半導体基板と、
第一の半導体基板の第一の面におけるキャビティに堆積される第一のフェライト層と、
第二の半導体基板の第二の面における第二のキャビティに堆積される第二のフェライト層
を有する、フェライトロッドであって、前記第一の面が前記第二の面に取り付けられ、前記第一のフェライト層が前記第二のフェライト層と接触する、フェライトロッドと
を有する電子デバイスであって、

前記フェライトロッドが、前記半導体基板に組み込まれる、
電子デバイス。

【請求項 16】

前記電子デバイスが前記フェライトロッドを含む移相デバイスを有する、請求項 15 に
記載の電子デバイス。