



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0038327
(43) 공개일자 2011년04월14일

(51) Int. Cl.

H03H 11/12 (2006.01) H03F 1/34 (2006.01)

(21) 출원번호 10-2009-0095571

(22) 출원일자 2009년10월08일

심사청구일자 2009년10월08일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

박철균

경기도 수원시 영통구 매탄3동 주공그린빌아파트
502-506

이재성

서울특별시 마포구 신공덕동 삼성1차아파트
109-2002

김동현

서울특별시 관악구 성현동 484-18 장미빌라 401호

(74) 대리인

특허법인 씨엔에스·로고스

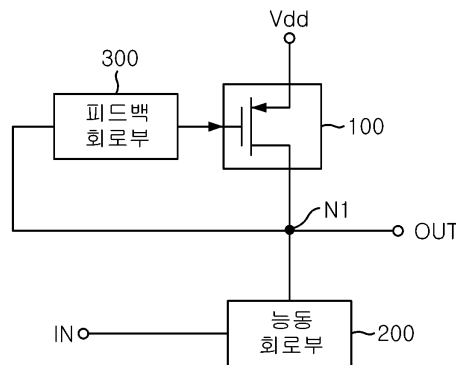
전체 청구항 수 : 총 17 항

(54) 피드백 구조를 갖는 광대역 능동 회로

(57) 요약

본 발명은 피드백 구조를 갖는 광대역 능동 회로에 관한 것으로, 제어 전압(Vc)에 따라 가변되는 부하를 제공하는 능동 부하부(100); 상기 능동 부하부(100)와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부(200); 및 상기 능동 회로부(200)의 출력단(OUT)과 상기 능동 부하부(100) 사이에 형성되어, 상기 능동 회로부(200)의 출력단(OUT)의 신호를 상기 능동 부하부(100)에 공급하는 피드백 회로부(300)를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

제어 전압에 따라 가변되는 부하를 제공하는 능동 부하부;

상기 능동 부하부와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부; 및

상기 능동 회로부의 출력단과 상기 능동 부하부 사이에 형성되어, 상기 능동 회로부의 출력단의 신호를 상기 능동 부하부에 공급하는 피드백 회로부

를 포함하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 2

제1항에 있어서, 상기 능동 부하부는,

전원전압단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하는 것

을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 3

제1항에 있어서, 상기 능동 부하부는,

접지단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하고,

전원전압단과 출력단 사이에 연결된 전류원을 더 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 4

제2항 또는 제3항에 있어서, 상기 능동 부하부는

적어도 하나의 MOS 트랜지스터를 포함하고,

상기 피드백 회로부는,

상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 게이트에 연결된 출력단을 갖는 것

을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 5

제2항 또는 제3항에 있어서, 상기 능동 부하부는

적어도 하나의 MOS 트랜지스터를 포함하고,

상기 피드백 회로부는,

상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 소오스에 연결된 출력단을 갖는 것

을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 6

제1항에 있어서, 상기 피드백 회로부는,

증폭기, 고역통과필터, 직렬 공진 회로중에서 선택된 하나인 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 7

전원전압단에 연결되고, 제어 전압에 따라 가변되는 부하를 제공하는 능동 부하부;

상기 능동 부하부와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부; 및

상기 능동 회로부의 출력단과 상기 능동 부하부 사이에 형성되어, 상기 능동 회로부의 출력단의 신호를 증폭하여 상기 능동 부하부에 상기 제어전압을 공급하는 증폭기로 이루어진 피드백 회로부

를 포함하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 8

제7항에 있어서, 상기 능동 부하부는,

상기 전원전압단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하는 것

을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 9

제7항에 있어서, 상기 능동 부하부는,

접지단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하고,

전원전압단과 출력단 사이에 연결된 전류원을 더 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 10

제8항 또는 제9항에 있어서, 상기 능동 부하부는

적어도 하나의 MOS 트랜지스터를 포함하고,

상기 피드백 회로부는,

상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 게이트에 연결된 출력단을 갖는 것

을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 11

제8항 또는 제9항에 있어서, 상기 능동 부하부는

적어도 하나의 MOS 트랜지스터를 포함하고,

상기 피드백 회로부는,

상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 소오스에 연결된 출력단을 갖는 것

을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 12

제7항에 있어서, 상기 능동 회로부는,

상기 능동 부하부와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 기설정된 이득만큼 증폭하는 증폭기인 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 13

제12항에 있어서, 상기 능동 부하부는,

상기 전원전압단에 연결된 소오스와, 상기 제어 전압중 제1 제어전압을 입력받는 게이트와, 상기 출력단중 제1 출력단에 연결된 드레인을 갖는 제1 PMOS 트랜지스터; 및

상기 전원전압단에 연결된 소오스와, 상기 제어 전압중 제2 제어전압을 입력받는 게이트와, 상기 출력단중 제2 출력단에 연결된 드레인을 갖는 제2 PMOS 트랜지스터

를 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 14

제13항에 있어서, 상기 능동 회로부는,

제1 출력단에 연결된 드레인과, 제1 입력단에 연결된 게이트 및 소오스를 갖는 제1 NMOS 트랜지스터;

제2 출력단에 연결된 드레인과, 제2 입력단에 연결된 게이트 및 소오스를 갖는 제2 NMOS 트랜지스터; 및

상기 제1 및 제2 NMOS 트랜지스터의 소오스간 접속노드에 연결된 드레인과, 제1 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제3 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 15

제14항에 있어서, 상기 피드백 회로부는,

상기 전원전압단에 연결된 일단을 갖는 제1 인덕터;

상기 전원전압단에 연결된 일단을 갖는 제2 인덕터;

상기 제1 인덕터의 타단에 연결된 드레인과, 상기 제1 출력단에 연결된 게이트 및 소오스를 갖는 제4 NMOS 트랜지스터;

상기 제2 인덕터의 타단에 연결된 드레인과, 상기 제2 출력단에 연결된 게이트 및 소오스를 갖는 제5 NMOS 트랜지스터; 및

상기 제4 및 제5 NMOS 트랜지스터의 소오스간 접속노드에 연결된 드레인과, 제2 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제6 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 16

제15항에 있어서, 상기 피드백 구조를 갖는 광대역 능동 회로는,

상기 능동 회로부의 출력단에 연결된 버퍼 증폭부를 더 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

청구항 17

제16항에 있어서, 상기 버퍼 증폭부는,

상기 전원전압단에 연결된 드레인과, 상기 제1 출력단에 연결된 게이트와, 제1 최종 출력단에 연결된 소오스를 갖는 제7 NMOS 트랜지스터;

상기 전원전압단에 연결된 드레인과, 상기 제2 출력단에 연결된 게이트와, 제2 최종 출력단에 연결된 소오스를 갖는 제8 NMOS 트랜지스터;

상기 제1 최종 출력단에 연결된 드레인과, 상기 제2 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제9 NMOS 트랜지스터; 및

상기 제2 최종 출력단에 연결된 드레인과, 상기 제2 바이어스 전압단에 연결된 게이트와, 접지에 연결

된 소오스를 갖는 제10 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 피드백 구조를 갖는 광대역 능동 회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 증폭기나 믹서 등에 적용될 수 있는 피드백 구조를 갖는 광대역 능동 회로에 관한 것으로, 특히 출력단의 신호를 능동부하로 피드백하는 피드백 구조를 형성함으로써, 대역폭을 향상시킬 수 있는 피드백 구조를 갖는 광대역 능동 회로에 관한 것이다.

배경 기술

[0002] 일반적으로, 방송 또는 통신 시스템에서, 데이터 전송속도에 대한 요구치가 점차 증가함에 따라서, 디지털 및 아날로그 회로의 대역폭(bandwidth) 또한 충분히 확보되어야 할 필요가 있다.

[0003] 또한, 쇼트 채널 디바이스(short channel device)로 이루어지는 증폭기(amplifier)의 경우, 트랜지스터의 게이트 길이(gate length)를 키우면 이득(gain)이 커지지만 RC 시간상수 값이 커지게 되므로 대역폭(bandwidth)은 줄어들게 되므로, 적은 파워를 소모하면서도 높은 이득과 넓은 대역폭을 갖도록 하는 것은 중요한 과제중의 하나이다.

[0004] 종래 능동 회로에 해당되는 증폭회로에서, 대역폭(Bandwidth)을 증가시키기 위한 방법에는 여러 가지가 있으며, 이러한 방법들중, 피드백 기술(feedback technique)과, 캐스코드(cascode) 트랜지스터를 이용한 밀러 커패시턴스 제거(Miller capacitance cancelation)가 널리 이용된다.

[0005] 이와 같은 종래 능동 회로의 대역폭을 향상시키는 방법에서, 피드백 방법 중에서 저항성 피드백(resistive feedback)의 경우는 이득을 줄어뜨리게 하고, 용량성 피드백(capacitive feedback)은 이득의 감소 없이 대역폭을 증가시킬 수 있지만 대역폭을 증가시키는 데에 있어 한계가 있다는 문제점이 있다.

[0006] 또한, 캐스코드 트랜지스터를 이용한 밀러 커패시턴스 제거 방법은 출력 저항이 크기 때문에 입력 폴(input pole)이 지배적인 경우가 아니라면 대역폭 면에서는 큰 이익을 보기 힘들다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해서 제안된 것으로써, 그 목적은, 출력단의 신호를 능동부하로 피드백하는 피드백 구조를 형성함으로써, 대역폭을 향상시킬 수 있는 피드백 구조를 갖는 광대역 능동 회로를 제공하는데 있다.

과제 해결수단

[0008] 상기한 본 발명의 목적을 달성하기 위한 본 발명의 하나의 기술적인 측면은, 제어 전압에 따라 가변되는 부하를 제공하는 능동 부하부; 상기 능동 부하부와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부; 및 상기 능동 회로부의 출력단과 상기 능동 부하부 사이에 형성되어, 상기 능동 회로부의 출력단의 신호를 상기 능동 부하부에 공급하는 피드백 회로부를 포함하는 피드백 구조를 갖는 광대역 능동 회로를 제안한다.

[0009] 본 발명의 하나의 기술적인 측면에서, 상기 능동 부하부는, 전원전압단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하는 것을 특징으로 한다.

[0010] 상기 능동 부하부는, 접지단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하고, 전원전압단과 출력단 사이에 연결된 전류원을 더 포함하는 것을 특징으로 한다.

[0011] 상기 능동 부하부는 적어도 하나의 MOS 트랜지스터를 포함하고, 상기 피드백 회로부는, 상기 능동 부하

부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 게이트에 연결된 출력단을 갖는 것을 특징으로 한다.

[0012] 상기 능동 부하부는 적어도 하나의 MOS 트랜지스터를 포함하고, 상기 피드백 회로부는, 상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 소오스에 연결된 출력단을 갖는 것을 특징으로 한다.

[0013] 상기 피드백 회로부는, 증폭기, 고역통과필터, 직렬 공진 회로중에서 선택된 하나인 것을 특징으로 한다.

[0014] 또한, 본 발명의 다른 하나의 기술적인 측면은, 전원전압단에 연결되고, 제어 전압에 따라 가변되는 부하를 제공하는 능동 부하부; 상기 능동 부하부와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부; 및 상기 능동 회로부의 출력단과 상기 능동 부하부 사이에 형성되어, 상기 능동 회로부의 출력단의 신호를 증폭하여 상기 능동 부하부에 상기 제어전압을 공급하는 증폭기로 이루어진 피드백 회로를 포함하는 피드백 구조를 갖는 광대역 능동 회로를 제안한다.

[0015] 본 발명의 다른 하나의 기술적인 측면에서, 상기 능동 부하부는, 상기 전원전압단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하는 것을 특징으로 한다.

[0016] 상기 능동 부하부는, 접지단과 출력단 사이에 캐스코드 구조로 이루어지고, 상기 제어 전압에 따라 가변되는 부하를 제공하고, 전원전압단과 출력단 사이에 연결된 전류원을 더 포함하는 것을 특징으로 한다.

[0017] 상기 능동 부하부는 적어도 하나의 MOS 트랜지스터를 포함하고, 상기 피드백 회로부는, 상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 게이트에 연결된 출력단을 갖는 것을 특징으로 한다.

[0018] 상기 능동 부하부는, 적어도 하나의 MOS 트랜지스터를 포함하고, 상기 피드백 회로부는, 상기 능동 부하부의 출력단에 연결된 입력단과, 상기 능동 부하부의 MOS 트랜지스터의 소오스에 연결된 출력단을 갖는 것을 특징으로 한다.

[0019] 상기 능동 회로부는, 상기 능동 부하부와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 기설정된 이득만큼 증폭하는 증폭기인 것을 특징으로 한다.

[0020] 상기 능동 부하부는, 상기 전원전압단에 연결된 소오스와, 상기 제어 전압중 제1 제어전압을 입력받는 게이트와, 상기 출력단중 제1 출력단에 연결된 드레인을 갖는 제1 PMOS 트랜지스터; 및 상기 전원전압단에 연결된 소오스와, 상기 제어 전압중 제2 제어전압을 입력받는 게이트와, 상기 출력단중 제2 출력단에 연결된 드레인을 갖는 제2 PMOS 트랜지스터를 포함하는 것을 특징으로 한다.

[0021] 상기 능동 회로부는, 제1 출력단에 연결된 드레인과, 제1 입력단에 연결된 게이트 및 소오스를 갖는 제1 NMOS 트랜지스터; 제2 출력단에 연결된 드레인과, 제2 입력단에 연결된 게이트 및 소오스를 갖는 제2 NMOS 트랜지스터; 및 상기 제1 및 제2 NMOS 트랜지스터의 소오스간 접속노드에 연결된 드레인과, 제1 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제3 NMOS 트랜지스터를 포함하는 것을 특징으로 한다.

[0022] 상기 피드백 회로부는, 상기 전원전압단에 연결된 일단을 갖는 제1 인덕터; 상기 전원전압단에 연결된 일단을 갖는 제2 인덕터; 상기 제1 인덕터의 타단에 연결된 드레인과, 상기 제1 출력단에 연결된 게이트 및 소오스를 갖는 제4 NMOS 트랜지스터; 상기 제2 인덕터의 타단에 연결된 드레인과, 상기 제2 출력단에 연결된 게이트 및 소오스를 갖는 제5 NMOS 트랜지스터; 및 상기 제4 및 제5 NMOS 트랜지스터의 소오스간 접속노드에 연결된 드레인과, 제2 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제6 NMOS 트랜지스터를 포함하는 것을 특징으로 한다.

[0023] 상기 피드백 구조를 갖는 광대역 능동 회로는, 상기 능동 회로부의 출력단에 연결된 버퍼 증폭부를 더 포함하는 것을 특징으로 한다.

[0024] 상기 버퍼 증폭부는, 상기 전원전압단에 연결된 드레인과, 상기 제1 출력단에 연결된 게이트와, 제1 최종 출력단에 연결된 소오스를 갖는 제7 NMOS 트랜지스터; 상기 전원전압단에 연결된 드레인과, 상기 제2 출력단에 연결된 게이트와, 제2 최종 출력단에 연결된 소오스를 갖는 제8 NMOS 트랜지스터; 상기 제1 최종 출력단에 연결된 드레인과, 상기 제2 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제9 NMOS 트랜지

스터; 및 상기 제2 최종 출력단에 연결된 드레인과, 상기 제2 바이어스 전압단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제10 NMOS 트랜지스터를 포함하는 것을 특징으로 한다.

효 과

[0025] 이와 같은 본 발명에 의하면, 증폭기나 믹서 등의 능동 회로의 출력단의 신호를 능동부하로 피드백하는 피드백 구조를 형성함으로써, 대역폭을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0026] 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

[0027] 본 발명은 설명되는 실시예에 한정되지 않으며, 본 발명의 실시예는 본 발명의 기술적 사상에 대한 이해를 돕기 위해서 사용된다. 본 발명에 참조된 도면에서 실질적으로 동일한 구성과 기능을 가진 구성요소들은 동일한 부호를 사용할 것이다.

[0028] 도 1은 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로의 블록도이다.

[0029] 도 1을 참조하면, 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로는, 제어 전압(V_c)에 따라 가변되는 부하를 제공하는 능동 부하부(100)와, 상기 능동 부하부(100)와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부(200)와, 상기 능동 회로부(200)의 출력단(OUT)과 상기 능동 부하부(100) 사이에 형성되어, 상기 능동 회로부(200)의 출력단(OUT)의 신호를 상기 능동 부하부(100)에 공급하는 피드백 회로부(300)를 포함한다.

[0030] 본 발명의 능동 회로에서, 피드백 구조는 다양한 구조로 이루어질 수 있으며, 몇 가지의 피드백 구조를 설명한다.

[0031] 도 2의 (a), (b) 및 (c)은 본 발명의 피드백 구조 예시도로서, 도 2의 (a)를 참조하면, 상기 능동 부하부(100)는 전원전압(V_{dd})단과 출력단(OUT) 사이에 PMOS 트랜지스터가 스택된 캐스코드 구조로 이루어질 수 있고, 상기 제어 전압(V_c)에 따라 가변되는 부하를 제공하도록 이루어질 수 있다.

[0032] 도 2의 (b)를 참조하면, 상기 능동 부하부(100)는, 접지단과 출력단(OUT) 사이에 NMOS 트랜지스터가 스택된 캐스코드 구조로 이루어질 수 있고, 상기 제어 전압(V_c)에 따라 가변되는 부하를 제공하고, 전원전압(V_{dd})단과 출력단(OUT) 사이에 연결된 전류원(IS)을 더 포함할 수 있다.

[0033] 도 2의 (c)를 참조하면, 상기 능동 부하부(100)는 적어도 하나의 MOS 트랜지스터를 포함하고, 상기 피드백 회로부(300)는, 상기 능동 부하부(100)의 출력단(OUT)에 연결된 입력단과, 상기 능동 부하부(100)의 MOS 트랜지스터의 소오스에 연결된 출력단을 갖는다.

[0034] 이와 달리, 상기 능동 부하부(100)는 적어도 하나의 MOS 트랜지스터를 포함하고, 상기 피드백 회로부(300)는, 상기 능동 부하부(100)의 출력단(OUT)에 연결된 입력단과, 상기 능동 부하부(100)의 MOS 트랜지스터의 게이트에 연결된 출력단을 갖는다.

[0035] 본 발명의 능동 회로에서, 피드백 회로부(300)도 다양한 회로로 구현될 수 있으며, 몇 가지의 구현 예를 설명한다.

[0036] 도 3의 (a), (b) 및 (c)은 본 발명의 피드백 회로부의 구현 예시도로서, 도 3의 (a)를 참조하면, 상기 피드백 회로부(300)는 상기 출력단(OUT)의 신호를 기설정된 이득에 따라 증폭하는 증폭기로 이루어질 수 있다.

[0037] 도 3의 (b)를 참조하면, 상기 피드백 회로부(300)는 상기 출력단(OUT)의 신호중 기설정된 고역의 신호를 통과시키는 고역통과필터(HPF)로 이루어질 수 있다.

[0038] 도 3의 (c)를 참조하면, 상기 피드백 회로부(300)는 상기 출력단(OUT)의 신호중 기설정된 주파수 신호를 전달하는 직렬 공진 회로로 이루어질 수 있다.

- [0039] 도 4는 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로의 실시예도로서, 도 4를 참조하면, 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로는, 전원전압(Vdd)단에 연결되고, 제어 전압(Vc)에 따라 가변되는 부하를 제공하는 능동 부하부(100)와, 상기 능동 부하부(100)와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력하는 능동 회로부(200)와, 상기 능동 회로부(200)의 출력단(OUT)과 상기 능동 부하부(100) 사이에 형성되어, 상기 능동 회로부(200)의 출력단(OUT)의 신호를 증폭하여 상기 능동 부하부(100)에 상기 제어전압(Vc)을 공급하는 증폭기로 이루어진 피드백 회로부(300)를 포함할 수 있다.
- [0040] 도 4에 도시한 본 발명의 능동 회로도, 전술한 도 2의 (a),(b) 및 (c)에 도시한 바와 같이, 다양한 피드백 구조로 이루어질 수 있다.
- [0041] 도 5는 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로의 상세도이다.
- [0042] 도 5를 참조하면, 상기 능동 부하부(100)는, 상기 전원전압(Vdd)단에 연결된 소오스와, 상기 제어 전압(Vc)중 제1 제어전압(Vc1)을 입력받는 게이트와, 상기 출력단(OUT)중 제1 출력단(OUT1)에 연결된 드레인을 갖는 제1 PMOS 트랜지스터(M11)와, 상기 전원전압(Vdd)단에 연결된 소오스와, 상기 제어 전압(Vc)중 제2 제어전압(Vc2)을 입력받는 게이트와, 상기 출력단(OUT)중 제2 출력단(OUT2)에 연결된 드레인을 갖는 제2 PMOS 트랜지스터(M12)를 포함할 수 있다.
- [0043] 또한, 상기 능동 회로부(200)는, 제1 출력단(OUT+)에 연결된 드레인과, 제1 입력단(IN+)에 연결된 게이트 및 소오스를 갖는 제1 NMOS 트랜지스터(M21)와, 제2 출력단(OUT-)에 연결된 드레인과, 제2 입력단(IN-)에 연결된 게이트 및 소오스를 갖는 제2 NMOS 트랜지스터(M22)와, 상기 제1 및 제2 NMOS 트랜지스터(M21,M22)의 소오스간 접속노드에 연결된 드레인과, 제1 바이어스 전압(Vb1)단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제3 NMOS 트랜지스터(M23)를 포함할 수 있다.
- [0044] 그리고, 상기 피드백 회로부(300)는, 상기 전원전압(Vdd)단에 연결된 일단을 갖는 제1 인덕터(L31)와, 상기 전원전압(Vdd)단에 연결된 일단을 갖는 제2 인덕터(L32)와, 상기 제1 인덕터(L31)의 타단에 연결된 드레인과, 상기 제1 출력단(OUT+)에 연결된 게이트 및 소오스를 갖는 제4 NMOS 트랜지스터(M31)와, 상기 제2 인덕터(L32)의 타단에 연결된 드레인과, 상기 제2 출력단(OUT-)에 연결된 게이트 및 소오스를 갖는 제5 NMOS 트랜지스터(M32)와, 상기 제4 및 제5 NMOS 트랜지스터(M31,M32)의 소오스간 접속노드에 연결된 드레인과, 제2 바이어스 전압(Vb2)단에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제6 NMOS 트랜지스터(M33)를 포함할 수 있다.
- [0045] 상기 피드백 구조를 갖는 광대역 능동 회로는, 상기 능동 회로부(200)의 출력단에 연결된 버퍼 증폭부(400)를 더 포함할 수 있다.
- [0046] 상기 버퍼 증폭부(400)는, 상기 전원전압(Vdd)단에 연결된 드레인과, 상기 제1 출력단(OUT+)에 연결된 게이트와, 제1 최종 출력단(OUT1)에 연결된 소오스를 갖는 제7 NMOS 트랜지스터(M41)와, 상기 전원전압(Vdd)단에 연결된 드레인과, 상기 제2 출력단(OUT-)에 연결된 게이트와, 제2 최종 출력단(OUT2)에 연결된 소오스를 갖는 제8 NMOS 트랜지스터(M42)와, 상기 제1 최종 출력단(OUT1)에 연결된 드레인과, 상기 제2 바이어스 전압(Vb2)에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제9 NMOS 트랜지스터(M43)와, 상기 제2 최종 출력단(OUT2)에 연결된 드레인과, 상기 제2 바이어스 전압(Vb2)에 연결된 게이트와, 접지에 연결된 소오스를 갖는 제10 NMOS 트랜지스터(M44)를 포함할 수 있다.
- [0047] 도 6은 본 발명의 광대역 능동 회로의 주파수 특성 그래프로서, 도 6에 도시된 그래프중 m8은 주파수대역중 160MHz에서의 이득을 나타낸 것이고, m9는 주파수대역의 우측 555MHz에서의 이득을 나타낸 것이다.

- [0048] 이하, 본 발명의 작용 및 효과를 첨부한 도면에 의거하여 상세히 설명한다.
- [0049] 도 1 내지 도 6을 참조하여 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로에 대해 설명하면, 도 1에서, 본 발명의 광대역 능동 회로는, 능동 부하부(100), 능동 회로부(200) 및 피드백 회로부(300)를 포함할 수 있다.
- [0050] 이 경우, 상기 능동 부하부(100)는 제어 전압(V_c)에 따라 가변되는 부하를 제공한다. 여기서, 상기 제어전압(V_c)은 상기 피드백 회로부(300)로부터 제공되는 전압이 될 수 있고, 기설정된 베이스 전압이 될 수 있다.
- [0051] 상기 능동 회로부(200)는, 상기 능동 부하부(100)와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 출력한다.
- [0052] 상기 피드백 회로부(300)는, 상기 능동 회로부(200)의 출력단(OUT)과 상기 능동 부하부(100) 사이에 형성되어, 상기 능동 회로부(200)의 출력단(OUT)의 신호를 상기 능동 부하부(100)에 공급한다.
- [0053] 이때, 상기 피드백 회로부(300)에 의해 대역폭이 향상될 수 있으며, 이에 대해서는 후술한다.
- [0054] 한편, 본 발명의 능동 회로에서, 피드백 구조는 도 2의 (a),(b) 및 (c)에 도시한 바와 같이 다양하게 이루어질 수 있고, 또한 피드백 회로부(300)도 다양한 회로 구현될 수 있다.
- [0055] 이하에서는, 본 발명의 능동 회로에서, 상기 피드백 회로부(300)가 증폭기로 이루어지는 경우에 대해 도 4 내지 도 6을 참조하여 설명한다.
- [0056] 도 4에 도시한 바와 같이, 본 발명의 광대역 능동 회로는, 능동 부하부(100), 능동 회로부(200) 및 증폭기로 이루어진 피드백 회로부(300)를 포함할 수 있다.
- [0057] 이 경우, 상기 능동 부하부(100)는 전원전압(V_{dd})단에 연결되고, 상기 피드백 회로부(300)로부터의 제어 전압(V_c)에 따라 가변되는 부하를 제공한다.
- [0058] 상기 능동 회로부(200)는, 상기 능동 부하부(100)와 접지 사이에 연결되어, 입력신호중 기설정된 대역폭에 해당되는 신호를 기설정된 이득에 따라 증폭하여 출력단(OUT)을 통해 출력한다.
- [0059] 상기 피드백 회로부(300)의 증폭기는, 상기 능동 회로부(200)의 출력단(OUT)과 상기 능동 부하부(100) 사이에 형성되어, 상기 능동 회로부(200)의 출력단(OUT)의 신호를 증폭하여 상기 능동 부하부(100)에 상기 제어전압(V_c)을 공급한다.
- [0060] 도 5를 참조하여 본 발명의 능동 회로에 대한 실시 예를 설명한다.
- [0061] 도 5에서, 상기 능동 부하부(100)는, 제1 및 제2 PMOS 트랜지스터(M_{11}, M_{12})로 이루어지고, 상기 제1 및 제2 PMOS 트랜지스터(M_{11}, M_{12})는 제1, 제2 제어전압(V_{c1}, V_{c2})에 따라 내부 저항이 가변되므로, 결국 상기 능동 부하부(100)는 상기 제1, 제2 제어전압(V_{c1}, V_{c2})에 따른 부하를 제공한다.
- [0062] 다음, 상기 능동 회로부(200)는, 제1, 제2 및 제3 NMOS 트랜지스터(M_{21}, M_{22}, M_{23})를 포함하며, 상기 제1 및 제2 NMOS 트랜지스터(M_{21}, M_{22})는 제1, 제2 입력단(IN+, IN-)을 통한 신호를 증폭하여 제1, 제2 출력단(OUT+, OUT-)을 통해 출력한다. 이때, 상기 제3 NMOS 트랜지스터(M_{23})는 상기 제1 및 제2 NMOS 트랜지스터(M_{21}, M_{22})에 일정한 동작 전류가 흐르게 한다.
- [0063] 그 다음, 상기 피드백 회로부(300)는, 제1 및 제2 인덕터(L_{31}, L_{32}), 제4, 제5 및 제6 NMOS 트랜지스터(M_{31}, M_{32}, M_{33})를 포함하고, 상기 제1 및 제2 인덕터(L_{31}, L_{32})는 부하를 제공하고, 상기 제4 및 제5 NMOS 트랜지스터(M_{31}, M_{32})는 상기 능동 회로부(200)의 제1, 제2 출력단(OUT+, OUT-)을 통한 신호를 증폭하여 상기 능동 부하부(100)의 제1 및 제2 PMOS 트랜지스터(M_{11}, M_{12}) 각각의 게이트에 상기 제1, 제2 제어전압(V_{c1}, V_{c2})으로 공급한다.

[0064] 한편, 상기 피드백 구조를 갖는 광대역 능동 회로는, 상기 능동 회로부(200)의 출력단에 연결된 버퍼 증폭부(400)를 더 포함할 수 있다.

[0065] 이때, 상기 버퍼 증폭부(400)는, 제7, 제8, 제9 및 제10 NMOS 트랜지스터(M41, M42, M43, M44)를 포함하고, 상기 제7 및 제8 NMOS 트랜지스터(M41, M42)는 소오스 팔로워(source follower) 증폭기로 구현되어, 상기 능동 회로부(200)로부터의 신호를 제1, 제2 최종 출력단(OUT1, OUT2)을 통해 출력한다.

[0066] 이때, 상기 제9 및 제10 NMOS 트랜지스터(M43, M44)는 상기 제7 및 제8 NMOS 트랜지스터(M41, M42)에 일정한 전류가 흐르게 한다.

[0067] 도 5에 도시한 본 발명의 능동 회로부(200)에 대한 대역폭을 수학적식을 이용하여 설명하면, 도 5에 도시된 능동 회로부(200)의 전달 함수는 하기 수학적식 1과 같이 정리될 수 있다.

[0068] [수학적식 1]

$$Av(\omega) = - \frac{g_m(R_o // Z_{Co})}{1 + A_o g_{mp}(R_o // Z_{Co})}$$

$$= - \frac{g_m R_o}{1 - j\omega C_o R_o - j\omega g_{m3} L g_{mp} R_o}$$

[0069]

[0070] 여기서, g_m 는 능동 회로부(200)내 동일한 특성을 갖는 제1 및 제2 NMOS 트랜지스터(M21, M22)중 어느 하나의 전달 컨덕턴스(trans-conductance)이고, R_o 는 능동 회로부(200)의 출력 저항이고, Z_{Co} 는 능동 회로부(200)의 출력 커패시턴스이고, A_o 는 피드백 회로부(300)의 전압 이득이고, g_{mp} 는 능동 부하부(100)내 동일한 특성을 갖는 제1 및 제2 PMOS 트랜지스터(M11, M12)중 어느 하나의 전달 컨덕턴스(trans-conductance)이다. 그리고, g_{m3} 는 피드백회로부(300)내 동일한 특성을 갖는 제4 및 제5 NMOS 트랜지스터(M31, M32)중 어느 하나의 전달 컨덕턴스(trans-conductance)이다.

[0071] 상기 수학적식 1의 분모가 "1"이 되는 조건 " $C_o R_o = g_{m3} L g_{mp} R_o$ "가 성립한다면, 상기 수학적식 1은 하기 수학적식 2와 같이 간단히 표현될 수 있다.

[0072] [수학적식 2]

$$Av(\omega) = - \frac{g_m R_o}{1}$$

[0073]

[0074] 상기 수학적식 2에서 보인 바와 같이, 본 발명의 능동 회로부(200)는 주파수와 무관하게 전달 함수가 결정되므로, 주파수에 관계없는 광대역 증폭이 가능하게 된다.

[0075] 도 6을 참조하면, 도 6에 도시된 그래프의 주파수대역중 160MHz에서의 이득(m8) 및 주파수대역의 우측 555MHz에서의 이득(m9)을 참조하면, 우측 555MHz에서도 충분한 이득을 보이고 있음을 알 수 있다.

[0076] 전술한 바와 같은 본 발명에서, 부하 트랜지스터의 저항값을 출력 신호를 이용해 동적으로 변화를 시킴으로써 이득을 증가시킬 수 있는데, 고주파 성분의 이득이 큰 증폭기를 추가하여 결과적으로 회로의 대역폭이 향상된다.

도면의 간단한 설명

[0077] 도 1은 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로의 블록도.

[0078] 도 2의 (a), (b) 및 (c)는 본 발명의 피드백 구조 예시도.

[0079] 도 3의 (a), (b) 및 (c)은 본 발명의 피드백 회로부의 구현 예시도.

[0080] 도 4는 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로의 실시예도.

[0081] 도 5는 본 발명에 따른 피드백 구조를 갖는 광대역 능동 회로의 상세도.

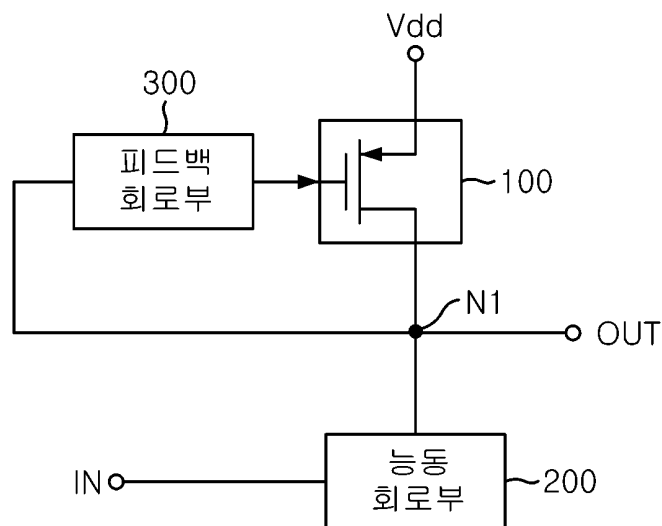
[0082] 도 6은 본 발명의 광대역 능동 회로의 주파수 특성 그래프.

[0083] * 도면의 주요부분에 대한 부호의 설명 *

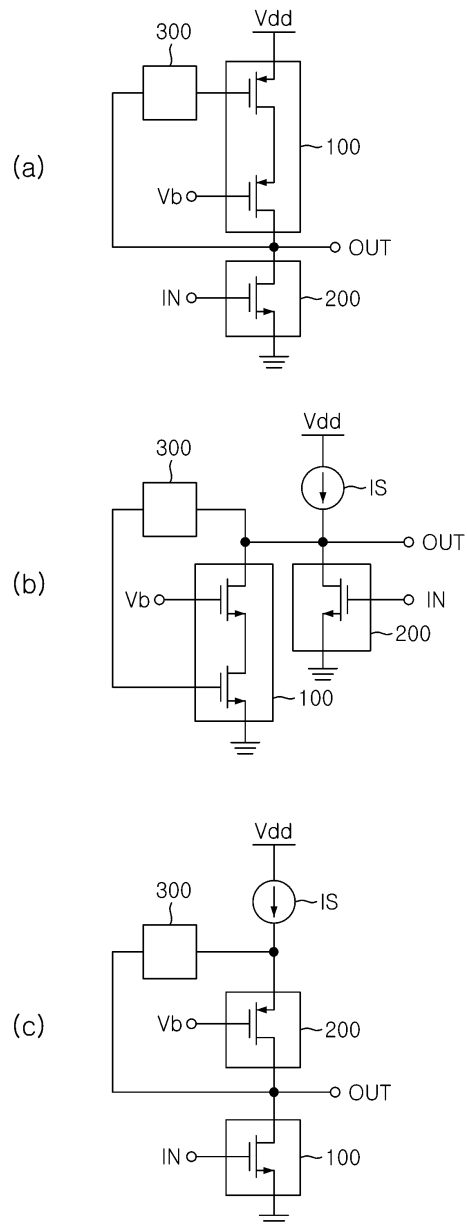
[0084]	100 : 능동 부하부	200 : 능동 회로부
[0085]	300 : 피드백 회로부	400 : 버퍼 증폭부
[0086]	M11 : 제1 PMOS 트랜지스터	M12 : 제2 PMOS 트랜지스터
[0087]	M21 : 제1 NMOS 트랜지스터	M22 : 제2 NMOS 트랜지스터
[0088]	M23 : 제3 NMOS 트랜지스터	M31 : 제4 NMOS 트랜지스터
[0089]	M32 : 제5 NMOS 트랜지스터	M33 : 제6 NMOS 트랜지스터
[0090]	M41 : 제7 NMOS 트랜지스터	M42 : 제8 NMOS 트랜지스터
[0091]	M43 : 제9 NMOS 트랜지스터	M44 : 제10 NMOS 트랜지스터
[0092]	L31 : 제1 인덕터	L32 : 제2 인덕터
[0093]	Vb1 : 제1 바이어스 전압	Vb2 : 제2 바이어스 전압

도면

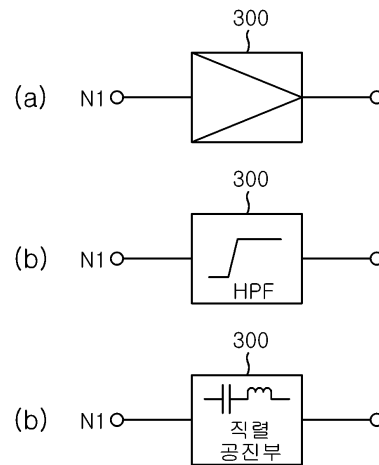
도면1



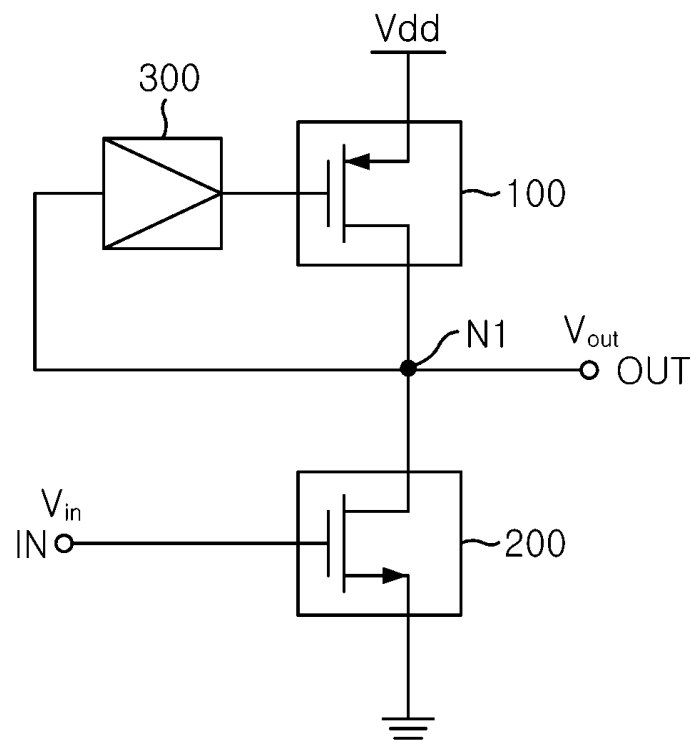
도면2



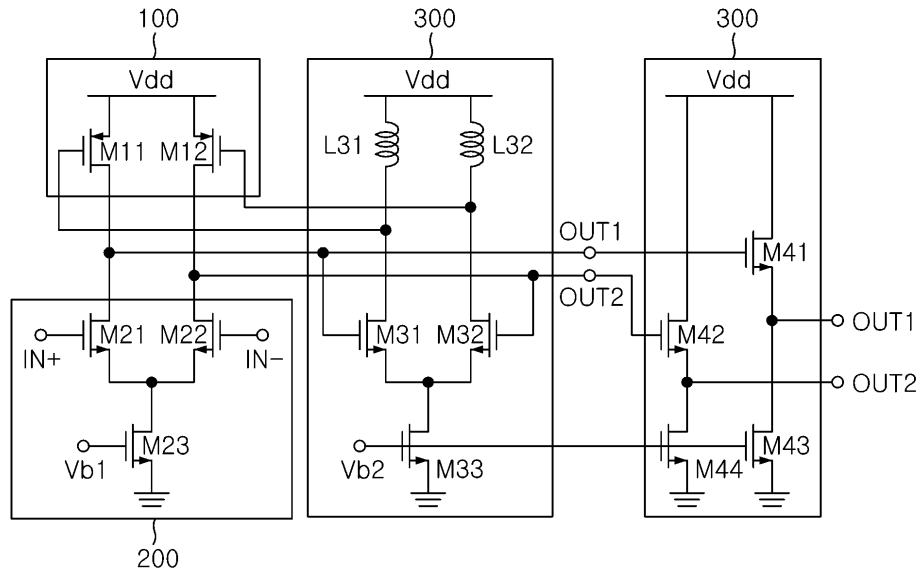
도면3



도면4



도면5



도면6

