



(12) 发明专利

(10) 授权公告号 CN 101888217 B

(45) 授权公告日 2013. 06. 05

(21) 申请号 201010180863. 3

US 2004046593 A1, 2004. 03. 11, 全文.

(22) 申请日 2010. 05. 14

CN 101277095 A, 2008. 10. 01, 说明书第

4-10 页, 附图 2-9.

(30) 优先权数据

2009-119076 2009. 05. 15 JP

2010-099067 2010. 04. 22 JP

审查员 徐卫锋

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 矶田尚希

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 魏小薇

(51) Int. Cl.

H03F 3/45 (2006. 01)

H03F 1/02 (2006. 01)

(56) 对比文件

CN 101325401 A, 2008. 12. 17, 全文.

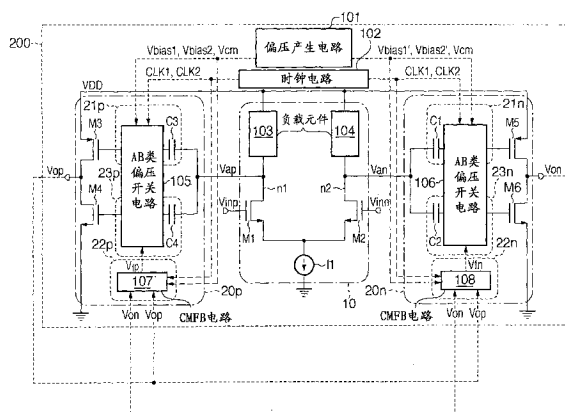
权利要求书3页 说明书10页 附图5页

(54) 发明名称

全差分放大器电路

(57) 摘要

一种全差分放大器电路, 包含: 差分放大器, 被配置为差分放大用作输入差分对的第一和第二输入信号, 以产生一对第一和第二中间信号; 第一和第二 AB 类放大器, 被配置为放大第一和第二中间信号, 以产生第一和第二输出信号, 其中, 第一和第二输出信号用作输出差分对, 第一 AB 类放大器以由第一反馈信号调整的基准电压为基准放大第一中间信号, 所述第一反馈信号是第一输出信号和第二输出信号的共模分量, 以及第二 AB 类放大器以由第二反馈信号调整的基准电压为基准放大第二中间信号, 所述第二反馈信号是第一输出信号和第二输出信号的共模分量。



1. 一种全差分放大器电路, 包含:

差分放大器, 其被配置为差分放大用作输入差分对的第一输入信号和第二输入信号, 以产生一对第一中间信号和第二中间信号;

第一 AB 类放大器, 其被配置为放大第一中间信号, 以产生第一输出信号; 以及

第二 AB 类放大器, 其被配置为放大第二中间信号, 以产生第二输出信号,

其中, 第一输出信号和第二输出信号用作输出差分对,

第一 AB 类放大器以由第一反馈信号调整的基准电压为基准放大第一中间信号, 所述第一反馈信号是第一输出信号和第二输出信号的共模分量, 以及

第二 AB 类放大器以由第二反馈信号调整的基准电压为基准放大第二中间信号, 所述第二反馈信号是第一输出信号和第二输出信号的共模分量,

其中, 所述第一 AB 类放大器包含:

第一 PMOS 晶体管, 其具有与电源电位连接的源极, 并且被配置为从其漏极输出第一输出信号;

第一 NMOS 晶体管, 其具有与接地电位连接的源极和与第一 PMOS 晶体管的漏极连接的漏极;

第一传送部分, 其被配置为向第一 PMOS 晶体管的栅极传送第一信号, 所述第一信号是第一中间信号相对于第一基准信号的差值;

第二传送部分, 其被配置为向第一 NMOS 晶体管的栅极传送第二信号, 所述第二信号是第一中间信号相对于第二基准信号的差值; 以及

第一调整器, 其被配置为接收第一输出信号和第二输出信号, 并且通过使用第一反馈信号调整第一基准信号和第二基准信号中的一个, 以及

其中, 所述第二 AB 类放大器包含:

第二 PMOS 晶体管, 其具有与电源电位连接的源极, 并且被配置为从其漏极输出第二输出信号;

第二 NMOS 晶体管, 其具有与接地电位连接的源极和与第二 PMOS 晶体管的漏极连接的漏极;

第三传送部分, 其被配置为向第二 PMOS 晶体管的栅极传送第三信号, 所述第三信号是第二中间信号相对于第三基准信号的差值;

第四传送部分, 其被配置为向第二 NMOS 晶体管的栅极传送第四信号, 所述第四信号是第二中间信号相对于第四基准信号的差值; 以及

第二调整器, 其被配置为接收第一输出信号和第二输出信号, 并且通过使用第二反馈信号调整第三基准信号和第四基准信号中的一个。

2. 根据权利要求 1 所述的全差分放大器电路, 其中,

所述第一调整器包含:

第一电容器, 其被配置为在其一个电极处接收第一输出信号; 以及

第二电容器, 其被配置为在其一个电极处接收第二输出信号,

第一电容器的另一电极和第二电容器的另一电极相互连接, 并且均连接到要保持第一基准信号和第二基准信号中的一个的节点,

所述第二调整器包含:

第三电容器,其被配置为在其一个电极处接收第一输出信号;以及

第四电容器,其被配置为在其一个电极处接收第二输出信号,以及,

第三电容器的另一电极和第四电容器的另一电极相互连接,并且均连接到要保持第三基准信号和第四基准信号中的一个的节点。

3. 根据权利要求 2 所述的全差分放大器电路,其中,

所述第一调整器包含:

第五电容器,其被配置为在第一中间信号被采样的时段期间与第一电容器并联连接;
以及

第六电容器,其被配置为在第一中间信号被采样的时段期间与第二电容器并联连接,

第五电容器的一个电极和第六电容器的一个电极相互连接,并且均在第一中间信号被保持的时段期间连接到被供给第一基准信号的节点和被供给第二基准信号的节点中的一个,

第五电容器的另一电极和第六电容器的另一电极在第一中间信号被保持的时段期间与共用电平基准信号连接,所述共用电平基准信号被设为使第一输出信号和第二输出信号的共用电平与目标值匹配,

所述第二调整器包含:

第七电容器,其被配置为在第二中间信号被采样的时段期间与第三电容器并联连接;
以及

第八电容器,其被配置为在第二中间信号被采样的时段期间与第四电容器并联连接;

第七电容器的一个电极和第八电容器的一个电极相互连接,并且均在第二中间信号被保持的时段期间连接到被供给第三基准信号的节点和被供给第四基准信号的节点中的一个,以及

第七电容器的另一电极和第八电容器的另一电极在第二中间信号被保持的时段期间与所述共用电平基准信号连接。

4. 根据权利要求 2 所述的全差分放大器电路,其中

所述第一调整器包含:

第五电容器,其被配置为在第一中间信号被保持的时段期间与第一电容器并联连接;
以及

第六电容器,其被配置为在第一中间信号被保持的时段期间与第二电容器并联连接,

第五电容器的一个电极和第六电容器的一个电极相互连接,并且均在第一中间信号被采样的时段期间连接到被供给第一基准信号的节点和被供给第二基准信号的节点中的一个,

第五电容器的另一电极和第六电容器的另一电极在第一中间信号被采样的时段期间与共用电平基准信号连接,所述共用电平基准信号被设为使第一输出信号和第二输出信号的共用电平与目标值匹配,

所述第二调整器包含:

第七电容器,其被配置为在第二中间信号被保持的时段期间与第三电容器并联连接;
以及

第八电容器,其被配置为在第二中间信号被保持的时段期间与第四电容器并联连接;

第七电容器的一个电极和第八电容器的一个电极在第二中间信号被采样的时段期间连接到被供给第三基准信号的节点和被供给第四基准信号的节点中的一个,以及

第七电容器的另一电极和第八电容器的另一电极在第二中间信号被采样的时段期间与所述共用电平基准信号连接。

全差分放大器电路

技术领域

[0001] 本发明涉及全差分放大器电路。

背景技术

[0002] 具有两阶段放大配置的宽带全差分放大器被应用于诸如 S/H 之类的开关电容器电路。当该放大器在第一阶段中包含具有高的截止频率的 A 类放大器并且在第二阶段中包含共源 AB 类放大器时,能够避免对于相位补偿的需要并减少功耗。

[0003] 此外,当采用不执行连续时间操作而执行时钟操作的动态偏压电路作为第二阶段中的共源 AB 类放大器中的偏压电路时,能够简化整个电路并进一步降低功耗(参见“A 14b 74MS/s CMOS AFE for TrueHigh-Definition Camcorders”(2006ISSCC))。

[0004] 全差分放大器要求:输出共模(common-mode) 电位被设置为诸如信号共模电压(以下称为 V_{cm}) 之类的所希望的基准信号。通过共模反馈电路(以下称为 CMFB 电路)实现这种功能,所述共模反馈电路检测所有输出信号的共模分量,并且根据检测结果与 V_{cm} 之间的差值向全差分放大器提供反馈信号。

[0005] 日本专利特开 No. 6-29761 中的图 1 描述了一种差分放大器 20,在所述差分放大器 20 中,共模反馈电路 50 检测从差分部分 30 输出的多个信号的共模分量,并且将与所检测的差值成比例的反馈信号反馈给差分部分 30。根据日本专利特开 No. 6-29761,这使得能够防止共模电压从预定的基准电压漂移。

[0006] 在日本专利特开 No. 6-29761 中描述的差分放大器中,共模反馈电路 50 将反馈信号反馈给差分部分 30。出于这种原因,需要附加的反相放大器 54 以对反馈信号进行反相,这会增加功耗。并且,在共模反馈电路 50 的路径中存在三个相位延迟因素(三对电容元件和电阻元件)。出于这种原因,用于满足给定的反馈操作稳定性的设计负担会增大并且功耗会增加。此外,需要自动调零技术以消除第一阶段中的放大器的任何闪烁噪声,这不可避免地增加功耗以满足给定的稳定性。

发明内容

[0007] 本发明通过全差分放大器电路减少在共模反馈操作中消耗的功率。本发明还通过在不使用任何自动调零技术的情况下消除第一阶段中的放大器的任何闪烁噪声,减少在噪声消除中消耗的功率。

[0008] 本发明的一个方面提供一种全差分放大器电路,该全差分放大器电路包含:差分放大器,被配置为差分放大用作输入差分对的第一输入信号和第二输入信号,以产生一对第一中间信号和第二中间信号;第一 AB 类放大器,被配置为放大第一中间信号,以产生第一输出信号;以及第二 AB 类放大器,被配置为放大第二中间信号,以产生第二输出信号,其中,第一输出信号和第二输出信号用作输出差分对,第一 AB 类放大器以由第一反馈信号调整的基准电压为基准放大第一中间信号,所述第一反馈信号是第一输出信号和第二输出信号的共模分量,第二 AB 类放大器以由第二反馈信号调整的基准电压为基准放大第二中间

信号,所述第二反馈信号是第一输出信号和第二输出信号的共模分量。

[0009] 通过参照附图阅读示例性实施例的以下描述,本发明的其它特征将变得清晰。

附图说明

[0010] 图 1 是示出根据本发明的实施例的全差分放大器电路 200 的配置的电路图;

[0011] 图 2 是示出本发明的实施例中的时钟信号的波形的时序图;

[0012] 图 3 是示出根据本发明的第一实施例的全差分放大器电路 200i 的电路配置的例子电路图;

[0013] 图 4 是示出根据本发明的第二实施例的全差分放大器电路 200j 的电路配置的例子电路图;

[0014] 图 5 是示出应用根据本发明的实施例的全差分放大器电路 200 的 S/H 应用的电路图。

具体实施方式

[0015] 将参照图 1 和图 3 说明根据本发明的实施例的全差分放大器电路 200。图 1 是示出根据本发明的实施例的全差分放大器电路 200 的配置的电路图。图 3 是示出根据第一实施例的全差分放大器电路 200i 的配置的电路图,其中,全差分放大器电路 200 被具体化。

[0016] 全差分放大器电路 200 是两阶段放大型放大器电路。全差分放大器电路 200 接收用作输入差分对的两个输入信号(第一输入信号和第二输入信号) V_{inp} 和 V_{inn} ,并且输出用作输出差分对的两个输出信号(第一输出信号和第二输出信号) V_{op} 和 V_{on} 。全差分放大器电路 200 包含时钟电路 102、偏压产生电路(供给部分)101、差分放大器 10 和两个 AB 类放大器 20p 和 20n。

[0017] 时钟电路 102 向两个 AB 类放大器 20p 和 20n 中的每一个供给第一时钟信号 CLK1 和第二时钟信号 CLK2。由于全差分放大器电路 200 被假定为被应用于诸如 S/H 之类的离散时间信号处理,因此时钟电路 102 产生诸如在图 2 中示出并且将在后面描述的第一时钟信号 CLK1 和第二时钟信号 CLK2 之类的两相非重叠时钟。第一时钟信号 CLK1 处于 H 电平的时段 $\phi 1$ 和第二时钟信号 CLK2 处于 H 电平的时段 $\phi 2$ 不相互重叠,并且具有等于非重叠时段 ΔT 的时间间隔。

[0018] 偏压产生电路 101 向两个 AB 类放大器 20p 和 20n 中的每一个供给偏压。从偏压产生电路 101 输出的偏压可包括第一偏压 V_{bias1} 、第二偏压 V_{bias2} 、第三偏压 $V_{bias1'}$ 、第四偏压 $V_{bias2'}$ 和共用电平(common level)基准信号(共模电压) V_{cm} 。第一偏压 V_{bias1} 和第二偏压 V_{bias2} 是 AB 类放大器 20p 中的 AB 类偏压施加所必需的。第三偏压 $V_{bias1'}$ 和第四偏压 $V_{bias2'}$ 是 AB 类放大器 20n 中的 AB 类偏压施加所必需的。第一偏压 V_{bias1} 可以等于第三偏压 $V_{bias1'}$ 。第二偏压 V_{bias2} 可以等于第四偏压 $V_{bias2'}$ 。共用电平基准信号 V_{cm} 是共模反馈操作(以下称为 CMFB 操作)所必需的。

[0019] 差分放大器 10 执行第一阶段放大。差分放大器 10 执行对这一对的两个输入信号 V_{inp} 和 V_{inn} 的差分放大。通过该操作,差分放大器 10 产生并输出一对的两个中间信号(第一中间信号和第二中间信号) V_{ap} 和 V_{an} 。差分放大器 10 向 AB 类放大器 20p 输出中间信号 V_{ap} ,并且,向 AB 类放大器 20n 输出中间信号 V_{an} 。差分放大器 10 包含输入晶体管 M1、

输入晶体管 M2、负载元件 103 和 104 以及电流源 I1。

[0020] AB 类放大器（第一 AB 类放大器）20p 放大中间信号 V_{ap} 。AB 类放大器 20p 以使用反馈信号（第一反馈信号） V_{fp} 调整的基准电压为基准，放大中间信号 V_{ap} ，所述反馈信号（第一反馈信号） V_{fp} 是第一输出信号 V_{op} 和第二输出信号 V_{on} 的共模分量。更具体而言，AB 类放大器 20p 在中间信号 V_{ap} 被采样的时段期间，使用反馈信号 V_{fp} 调整第一基准信号或第二基准信号，并且，在中间信号 V_{ap} 被保持的时段期间，以第一基准信号和第二基准信号为基准放大中间信号 V_{ap} 。通过该操作，AB 类放大器 20p 产生并输出输出信号 V_{op} 。AB 类放大器 20p 包含 PMOS 晶体管（第一 PMOS 晶体管）M3、NMOS 晶体管（第一 NMOS 晶体管）M4、第一传送部分 21p、第二传送部分 23p 以及调整器（第一调整器）22p。

[0021] PMOS 晶体管 M3 的源极与电源电位 VDD 连接，其漏极与 NMOS 晶体管 M4 的漏极连接，其栅极与第一传送部分 21p 连接。PMOS 晶体管 M3 从其漏极输出输出信号 V_{op} 。

[0022] NMOS 晶体管 M4 的源极与接地电位连接，其漏极与 PMOS 晶体管 M3 的漏极连接，并且其栅极与第二传送部分 23p 连接。NMOS 晶体管 M4 从其与 PMOS 晶体管 M3 共用的漏极输出输出信号 V_{op} 。

[0023] 第一传送部分 21p 获得中间信号 V_{ap} 相对于保持在第一基准节点 n7（图 3）处的第一基准信号的差值，以与第一时钟信号 CLK1 同步地产生第一信号，并且将其传送到 PMOS 晶体管 M3 的栅极。第一传送部分 21p 包含电容器 C3，以及 AB 类偏压开关电路 105 的一部分。

[0024] 第二传送部分 23p 获得中间信号 V_{ap} 相对于保持在第二基准节点 n8（图 3）处的第二基准信号的差值，以与第一时钟信号 CLK1 同步地产生第二信号，并且将其传送到 NMOS 晶体管 M4 的栅极。第二传送部分 23p 包含电容器 C4，以及 AB 类偏压开关电路 105 的另一部分。

[0025] 第一传送部分 21p 和第二传送部分 23p 分别对于 PMOS 晶体管 M3 和 NMOS 晶体管 M4 执行 AB 类偏压施加。这获得低功耗操作。以例如以下的方式实现 AB 类偏压施加方法。在第一时钟信号 CLK1 处于 H 电平的时段期间在电容器 C3 和 C4 中对适当的电荷进行采样之后，在第一时钟信号 CLK1 处于 L 电平的时段期间，电容器 C3 和 C4 作为偏移电压源操作。

[0026] 调整器 22p 与第一时钟信号 CLK1 和第二时钟信号 CLK2 中的一个同步地通过使用反馈信号 V_{fp} 调整第一基准信号或第二基准信号。反馈信号 V_{fp} 与一对的两个输出信号 V_{op} 和 V_{on} 的共模分量相对应。调整器 22p 包含 CMFB 电路 107。CMFB 电路 107 接收这一对的两个输出信号 V_{on} 和 V_{op} 、共用电平基准信号 V_{cm} 、第一时钟信号 CLK1 和第二时钟信号 CLK2。CMFB 电路 107 向第一基准节点 n7 或第二基准节点 n8 供给反馈信号 V_{fp} ，以使这两个输出信号 V_{op} 和 V_{on} 的共模分量保持在适当的值。即，CMFB 电路 107 获得这两个输出信号 V_{op} 和 V_{on} 的共模分量相对于共用电平基准信号 V_{cm} 的差值，以与第一时钟信号 CLK1 或第二时钟信号 CLK2 同步地产生反馈信号 V_{fp} 。CMFB 电路 107 向第一基准节点 n7 或第二基准节点 n8 供给产生的反馈信号 V_{fp} ，以控制（调整）PMOS 晶体管或 NMOS 晶体管的栅极的偏压（基准信号）。

[0027] 如图 3 所示，当调整器 22p 向第二基准节点 n8 供给反馈信号 V_{fp} 时，第一传送部分 21p 和第二传送部分 23p 执行以下的操作。第一偏压 V_{bias1} 作为第一基准信号被保持在第一基准节点 n7 处。第一传送部分 21p 获得中间信号 V_{ap} 相对于第一基准信号的差值，

以与第一时钟信号 CLK1 同步地产生第一信号,并且将其传送到 PMOS 晶体管 M3 的栅极。第二传送部分 23p 在第二基准节点 n8 处保持通过将反馈信号 Vfp 加到第二偏压 Vbias2 获得的电压,作为第二基准信号。即,第二传送部分 23p 接收第二偏压 Vbias2 作为调整之前的第二基准信号,并且通过使用反馈信号 Vfp 调整第二偏压 Vbias2,由此获得调整后的第二基准信号。第二传送部分 23p 获得中间信号 Vap 相对于调整后的第二基准信号的差值,以产生第二信号。第二传送部分 23p 将产生的第二信号传送到 NMOS 晶体管 M4 的栅极。通过该操作,PMOS 晶体管 M3 和 NMOS 晶体管 M4 执行放大操作,使得这一对的两个输出信号 Vop 和 Von 的共模分量成为基准值(共用电平基准信号 Vcm),以产生并输出输出信号 Vop。

[0028] 再次参照图 1, AB 类放大器(第二 AB 类放大器)20n 放大中间信号 Van。AB 类放大器 20n 以通过使用反馈信号(第二反馈信号)Vfn 调整的基准电压为基准放大中间信号 Van,所述反馈信号(第二反馈信号)Vfn 是第一输出信号 Vop 和第二输出信号 Von 的共模分量。更具体而言,AB 类放大器 20n 在中间信号 Van 被采样的时段期间通过使用反馈信号 Vfn 调整第三基准信号或第四基准信号,并且在中间信号 Van 被保持的时段期间以第三基准信号和第四基准信号为基准放大中间信号 Van。通过该操作,AB 类放大器 20n 产生并输出输出信号 Von。AB 类放大器 20n 包含 PMOS 晶体管(第二 PMOS 晶体管)M5、NMOS 晶体管(第二 NMOS 晶体管)M6、第三传送部分 21n、第四传送部分 23n 和调整器(第二调整器)22n。

[0029] PMOS 晶体管 M5 的源极与电源电位 VDD 连接,其漏极与 NMOS 晶体管 M6 的漏极连接,并且其栅极与第三传送部分 21n 连接。PMOS 晶体管 M5 从其漏极输出这两个输出信号中的输出信号 Von。

[0030] NMOS 晶体管 M6 的源极与接地电位连接,其漏极与 PMOS 晶体管 M5 的漏极连接,并且其栅极与第四传送部分 23n 连接。NMOS 晶体管 M6 从其与 PMOS 晶体管 M5 共用的漏极输出输出信号 Von。

[0031] 第三传送部分 21n 获得中间信号 Van 相对于保持在第三基准节点 n5 处的第三基准信号的差值,以与第一时钟信号 CLK1 同步地产生第三信号,并且将其传送到 PMOS 晶体管 M5 的栅极。第三传送部分 21n 包含电容器 C1,以及 AB 类偏压开关电路 106 的一部分。

[0032] 第四传送部分 23n 获得中间信号 Van 相对于保持在第四基准节点 n6 处的第四基准信号的差值,以与第一时钟信号 CLK1 同步地产生第四信号,并且将其传送到 NMOS 晶体管 M6 的栅极。第四传送部分 23n 包含电容器 C2,以及 AB 类偏压开关电路 106 的另一部分。

[0033] 第三传送部分 21n 和第四传送部分 23n 对于 PMOS 晶体管 M5 和 NMOS 晶体管 M6 执行 AB 类偏压施加。这获得低功耗操作。以例如以下的方式实现 AB 类偏压施加方法。在第一时钟信号 CLK1 处于 H 电平的时段期间在电容器 C1 和 C2 中对适当的电荷进行采样之后,在第一时钟信号 CLK1 处于 L 电平的时段期间,电容器 C1 和 C2 作为偏移电压源操作。

[0034] 调整器 22n 与第一时钟信号 CLK1 和第二时钟信号 CLK2 中的一个同步地通过使用反馈信号 Vfn 调整第三基准信号或第四基准信号。反馈信号 Vfn 与这一对的两个输出信号 Von 和 Vop 的共模分量相对应。调整器 22n 包含 CMFB 电路 108。CMFB 电路 108 接收这一对的两个输出信号 Von 和 Vop、共用电平基准信号 Vcm、第一时钟信号 CLK1 和第二时钟信号 CLK2。CMFB 电路 108 向第三基准节点 n5 或第四基准节点 n6 供给反馈信号 Vfn,以使这两个输出信号 Von 和 Vop 的共模分量保持在适当的值。即,CMFB 电路 108 获得这两个输出信号 Vop 和 Von 的共模分量相对于共用电平基准信号 Vcm 的差值,以与第一时钟信号 CLK1 或

第二时钟信号 CLK2 同步地产生反馈信号 Vfn。CMFB 电路 108 向第三基准节点 n5 或第四基准节点 n6 供给产生的反馈信号 Vfn, 以控制 PMOS 晶体管或 NMOS 晶体管的栅极的偏压 (基准信号)。

[0035] 如图 3 所示, 当调整器 22n 向第四基准节点 n6 供给反馈信号 Vfn 时, 第三传送部分 21n 和第四传送部分 23n 执行以下的操作。第三偏压 Vbias1' 作为第三基准信号被保持在第三基准节点 n5 处。第三传送部分 21n 获得中间信号 Van 相对于第三基准信号的差值, 以与第一时钟信号 CLK1 同步地产生第三信号, 并且将其传送到 PMOS 晶体管 M5 的栅极。第四传送部分 23n 在第四基准节点 n6 处保持通过将反馈信号 Vfn 加到第四偏压 Vbias2' 获得的电压, 作为第四基准信号。即, 第四传送部分 23n 接收第四偏压 Vbias2', 作为调整之前的第四基准信号, 并且通过使用反馈信号 Vfn 调整第四偏压 Vbias2', 由此获得调整后的第四基准信号。第四传送部分 23n 获得中间信号 Van 相对于调整后的第四基准信号的差值, 以产生第四信号。第四传送部分 23n 将产生的第四信号传送到 NMOS 晶体管 M6 的栅极。通过该操作, PMOS 晶体管 M5 和 NMOS 晶体管 M6 执行放大操作, 使得这一对的两个输出信号 Vop 和 Von 的共模分量成为基准值 (共用电平基准信号 Vcm), 以产生并输出输出信号 Von。虽然图 3 例示分别与一对的两个输出信号的共模分量对应的反馈信号被反馈到第二基准节点 n8 和第四基准节点 n6 的情况, 但是, 如第二实施例中描述的那样, 这种反馈信号可被反馈到第一基准节点 n7 和第三基准节点 n5。

[0036] 以这种方式, 在本实施例中, 分别与一对的两个输出信号的共模分量对应的反馈信号被反馈到两个 AB 类放大器的两组基准节点中的一组, 以调整两个基准信号中的一个。第一传送部分和第三传送部分分别获得中间信号相对于两个基准信号的差值, 以产生第一信号和第三信号, 并且将它们传送到 PMOS 晶体管的栅极。并且, 第二传送部分和第四传送部分分别获得中间信号相对于两个基准信号的差值, 以产生第二信号和第四信号, 并且将它们传送到 NMOS 晶体管的栅极。这避免为了反馈反馈信号而使用反相放大器的需要, 并因此使得能够减少功耗。

[0037] 如果在 CMFB 环路内出现作为相位延迟因素的多个极, 那么 CMFB 操作的稳定性劣化。为了防止这一点, 在本实施例中, 极的出现本质上被限于第二阶段 (AB 类放大器) 中的输出节点。这使得能够减少用于满足给定的稳定性所消耗的功率。

[0038] 由此, 可以在全差分放大器电路中减少在共模反馈 (CMFB) 操作中消耗的功率。

[0039] 将参照图 2 更加详细地说明根据本发明的实施例的全差分放大器电路 200 的操作。图 2 是示出本发明的实施例中的时钟信号的波形的时序图。

[0040] 在第一时钟信号 CLK1 处于 H 电平的时段 $\phi 1$ 期间, 在电容器 C1 ~ C4 中对电荷进行采样。此时, 由输入晶体管 M1 和输入晶体管 M2 产生的闪烁噪声作为电压输出并且被传送到节点 n1 和 n2。

[0041] 在第二时钟信号 CLK2 处于 H 电平的时段期间, 电荷被保持在电容器 C1 ~ C4 中。通过该操作, 电容器 C1 ~ C4 作为偏移电压源操作, 因此, PMOS 晶体管 M3 和 M5 以及 NMOS 晶体管 M4 和 M6 执行放大操作。在从时段 $\phi 1$ 结束起经过了非重叠时段 ΔT 之后的时段 $\phi 2$ 期间, 偏移电压源产生含有闪烁噪声的电压值。

[0042] 由于第一时钟信号 CLK1 和第二时钟信号 CLK2 的频率被设为高于存在闪烁噪声的频率范围中的频率, 因此, 在从时段 $\phi 1$ 到时段 $\phi 2$ 的过渡期间几乎不出现闪烁噪声电压的

波动。由此,在时段 $\phi 2$ 期间的放大操作中,在时段 $\phi 1$ 期间由偏移电压源吸收的差分对(输入晶体管 M1 和 M2)的大部分闪烁噪声不被传送到晶体管 M3 ~ M6。即,与一般的放大器不同,不需要自动调零技术。这使得能够消除任何闪烁噪声,而不进行使为了满足给定的稳定性而消耗的功率的增大成为必需的负反馈。

[0043] 下面,将参照图 3 说明根据第一实施例的全差分放大器电路 200i 的电路配置的例子。图 3 是示出根据本发明的第一实施例的全差分放大器电路 200i 的电路配置的例子。以下将主要说明实施例的详细点。注意,图 3 中的由附有后缀 i 的附图标记表示的构成要素与图 1 中的由不附有后缀 i 的附图标记表示的构成要素相对应。并且,图 3 中的由附有撇号的附图标记表示的构成要素实际上与由不附有撇号的附图标记表示的构成要素相同。

[0044] 全差分放大器电路 200i 包含差分放大器 10i 和两个 AB 类放大器 20pi 和 20ni。差分放大器 10i 包含负载元件 103i 和 104i。负载元件 103i 用于适当地确定节点 n1 的稳态电压,并且包含例如电阻器 113。负载元件 104i 用于适当地确定节点 n2 的稳态电压,并且包含例如电阻器 114。

[0045] AB 类放大器 20pi 包含第一传送部分 21pi、第二传送部分 23pi 和调整器 22pi。调整器 22pi 将反馈信号 Vfp 反馈给第二传送部分 23pi。更具体而言,第一传送部分 21pi 包含形成 AB 类偏压开关电路 105 的一部分的第一部分 1051。当第一时钟信号 CLK1 变为活动电平时,第一部分 1051 向第一基准节点 n7 供给第一偏压 Vbias1,作为第一基准信号。此时,电容器 C3 的基准电极 E32 经由第一基准节点 n7 接收用作第一基准信号的第一偏压 Vbias1。然后,当第一时钟信号 CLK1 变为不活动电平时,电容器 C3 的基准电极 E32 产生第一信号,所述第一信号是中间信号 Vap 相对于用作第一基准信号的第一偏压 Vbias1 的差值。此时,向电容器 C3 的信号电极 E31 供给中间信号 Vap。向 PMOS 晶体管 M3 的栅极供给第一信号。注意,用作第一基准信号的第一偏压 Vbias1 确定稳态中的 PMOS 晶体管 M3 的漏极电流。

[0046] 第二传送部分 23pi 包含形成 AB 类偏压开关电路 105 的另一部分的第二部分 1052。当第一时钟信号 CLK1 变为活动电平时,第二部分 1052 供给通过向电容器 C5 和 C6 分配保持在电容器 C7 和 C8 中的电荷而产生的电压,作为第二基准信号。电容器 C4 的基准电极 E42 经由第二基准节点 n8 接收第二基准信号。并且,当第一时钟信号 CLK1 变为活动电平时,调整器 22pi 向第二基准节点 n8 供给反馈信号 Vfp。电容器 C4 的基准电极 E42 经由第二基准节点 n8 接收反馈信号 Vfp。通过该操作,当第一时钟信号 CLK1 变为活动电平时,电容器 C4 的基准电极 E42 产生第二信号,所述第二信号是中间信号 Vap 相对于调整后的第二基准信号的差值,所述调整后的第二基准信号是通过将反馈信号 Vfp 加到第二基准信号而获得的。此时,向电容器 C4 的信号电极 E41 供给中间信号 Vap。向 NMOS 晶体管 M4 的栅极供给第二信号。第二偏压 Vbias2 确定稳态中的 NMOS 晶体管 M4 的漏极电流。

[0047] 以下将更加详细地说明全差分放大器电路 200i。第一部分 1051 包含开关 s1。在第一时钟信号 CLK1 处于 H 电平(活动电平)的时段(采样时段)期间,在开关 s1 被接通时,开关 s1 向第一基准节点 n7 供给第一偏压 Vbias1,作为第一基准信号。通过该操作,电容器 C3 以用作第一基准信号的第一偏压 Vbias1 为基准对中间信号 Vap 进行采样。然后,在第一时钟信号 CLK1 处于 L 电平的时段(保持时段)期间,开关 s1 被关断。通过该操作,电容器 C3 产生并保持第一信号,并且将产生的第一信号传送到 PMOS 晶体管 M3 的栅极,所

述第一信号是中间信号 V_{ap} 相对于用作第一基准信号的第一偏压 V_{bias1} 的差值。

[0048] 在第二时钟信号 CLK2 处于 H 电平（活动电平）的时段期间，在开关 s7 被接通时，开关 s7 向节点 n4 供给第二偏压 V_{bias2} ，作为调整之前的第二基准信号。通过该操作，节点 n4 的电压变为第二偏压 V_{bias2} 。然后，当第二时钟信号 CLK2 变为 L 电平时，开关 s7 被关断。通过该操作，节点 n4 保持作为调整之前的第二基准信号的第二偏压 V_{bias2} 。

[0049] 在第一时钟信号 CLK1 处于 H 电平的时段（采样时段）期间，在开关 s4 被接通时，开关 s4 经由节点 n3 向第二基准节点 n8 供给保持在节点 n4 处的调整之前的第二基准信号。并且，调整器 22pi 包含 CMFB 电路 107i。CMFB 电路 107i 与第一时钟信号 CLK1 同步地向第二基准节点 n8 供给调整后的第二基准信号。通过该操作，电容器 C4 以信号 $(V_{bias2} + V_{fp})$ 为基准对中间信号 V_{ap} 进行采样。然后，在第一时钟信号 CLK1 处于 L 电平的时段（保持时段）期间，开关 s4 被关断。通过该操作，电容器 C4 产生并保持第二信号，并且将产生的第二信号传送到 NMOS 晶体管 M4 的栅极，所述第二信号是中间信号 V_{ap} 相对于信号 $(V_{bias2} + V_{fp})$ 的差值。

[0050] 更具体而言，CMFB 电路 107i 包含第一电容器 C6、第二电容器 C5、第五电容器 C8 和第六电容器 C7。CMFB 电路 107i 包括第二开关组和第一开关组，所述第二开关组包含开关 s6 和 s8，所述第一开关组包含开关 s3 和 s5。如图 3 所示，在采样时段（第一时钟信号 CLK1 处于 H 电平的时段）期间，第五电容器 C8 经由开关 s4 和 s5 与第一电容器 C6 并联连接。在采样时段期间，第六电容器 C7 经由开关 s3 和 s4 与第二电容器 C5 并联连接。第五电容器 C8 的一个电极和第六电容器 C7 的一个电极相互连接，并且均在保持时段（第二时钟信号 CLK2 处于 H 电平的时段）期间经由开关 s7 与第二偏压 V_{bias2} 连接。在保持时段期间，第五电容器 C8 的另一电极和第六电容器 C7 的另一电极经由开关 s6 和 s8 被供给共用电平基准信号 V_{cm} 。通过偏压产生电路 101 设定共用电平基准信号 V_{cm} ，以便使第一输出信号 V_{op} 和第二输出信号 V_{on} 的共用电平与目标值匹配。CMFB 电路 108i 包含分别作为 CMFB 电路 107i 中的第一、第二、第五和第六电容器的对应方的第三电容器 C6'、第四电容器 C5'、第七电容器 C8' 和第八电容器 C7'。

[0051] 第一电容器 C6 的一个电极接收这一对的两个输出信号 V_{op} 和 V_{on} 中的第一输出信号 V_{op} ，并且与开关 s5 连接。第二电容器 C5 的一个电极接收这一对的两个输出信号 V_{op} 和 V_{on} 中的第二输出信号 V_{on} ，并且与开关 s3 连接。第一电容器 C6 的另一电极和第二电容器 C5 的另一电极在节点 n3 处相互连接，并且均经由节点 n3 与第二基准节点 n8 连接。

[0052] 第五电容器 C8 的一个电极与开关 s5 和 s8 连接。第六电容器 C7 的一个电极与开关 s3 和 s6 连接。第五电容器 C8 的另一电极和第六电容器 C7 的另一电极在节点 n4 处相互连接，并且均经由节点 n4 与开关 s4 和 s7 连接。

[0053] 包含开关 s6 和 s8 的第二开关组与第二时钟信号 CLK2 同步地将第五电容器 C8 的一个电极和第六电容器 C7 的一个电极连接到偏压产生电路 101（参见图 1）。通过该操作，第五电容器 C8 的一个电极和第六电容器 C7 的一个电极被供给用作 CMFB 操作基准信号的共用电平基准信号 V_{cm} 。

[0054] 包含开关 s3 和 s5 的第一开关组与第一时钟信号 CLK1 同步地将第一电容器 C6 的一个电极连接到第五电容器 C8 的一个电极，并且将第二电容器 C5 的一个电极连接到第六电容器 C7 的一个电极。通过该操作，共用电平基准信号 V_{cm} 被传送到第一电容器 C6 的一

个电极和第二电容器 C5 的一个电极。结果,第一电容器 C6 和第二电容器 C5 产生反馈信号 Vfp,并且将产生的反馈信号 Vfp 供给到节点 n3,所述反馈信号 Vfp 是这一对的两个输出信号 Vop 和 Von 的共模分量相对于共用电平基准信号 Vcm 的差值。

[0055] 注意,AB 类放大器 20ni 具有与 AB 类放大器 20pi 相同的配置,并且,将不给出对 AB 类放大器 20ni 的描述。

[0056] 如图 3 中的括号所指示的,包含开关 s3 和 s5 的第一开关组可以与第二时钟信号 CLK2 同步地被接通,包含开关 s6 和 s8 的第二开关组可以与第一时钟信号 CLK1 同步地被接通。在这种情况下,在第一时钟信号 CLK1 处于 H 电平的时段期间,开关 s7 被接通,在第二时钟信号 CLK2 处于 H 电平的时段期间,开关 s4 被接通。第二部分 1052 与第二时钟信号 CLK2 同步地向电容器 C4 的基准电极 E42 供给调整后的第二基准信号。即,调整器 22pi 与第二时钟信号 CLK2 同步地产生第二信号,并且将产生的第二信号传送到 NMOS 晶体管 M4 的栅极,所述第二信号是中间信号 Vap 相对于第二偏压 Vbias2 和反馈信号 Vfp 的差值。

[0057] 以下将详细说明根据本发明的第一实施例的全差分放大器电路 200i 中的 CMFB 操作。在第二时钟信号 CLK2 处于 H 电平的时段 $\phi 2$ 期间,电压 $V_{cm}-V_{bias2}$ 经由开关 s6 ~ s8 被存储在电容器 C7 和 C8 中。在第一时钟信号 CLK1 处于 H 电平的时段 $\phi 1$ 期间,从这些电压转换的电荷经由开关 s3 ~ s5 被再次分配给电容器 C5 和 C6。作为多次的这种迭代序列的结果,输出信号 Von 和 Vop 的中间点电位变得几乎等于共用电平基准信号 Vcm,并且,节点 n3 的电位变得几乎等于节点 n4 的电位。由此,稳态的 NMOS 晶体管 M4 的漏极电流取由第二基准信号确定的值。

[0058] 在时段 $\phi 1$ 期间,PMOS 晶体管 M3 经由开关 s1 使其栅极通过用作第一基准信号的第一偏压 Vbias1 被施加偏压。通过该操作,稳态的 PMOS 晶体管 M3 的漏极电流取由用作第一基准信号的第一偏压 Vbias1 确定的值。由此,适当地设置第一偏压 Vbias1 和第二偏压 Vbias2 使得能够对于共源阶段执行 AB 类偏压施加,并且减少稳态中的功耗。

[0059] 在此将考虑输出 Vop 和 Von 的共模电压由于某种原因而上升的情况。共模电压的增量经由第二电容器 C5 和第一电容器 C6 被传送到节点 n3。作为替代方案,如图 3 中的括号所指示,包含开关 s3 和 s5 的第一开关组与第二时钟信号 CLK2 同步地被接通,包含开关 s6 和 s8 的第二开关组与第一时钟信号 CLK1 同步地被接通。在这种情况下,共模电压的增量经由电容器 C5 和 C7 与电容器 C6 和 C8 被传送到节点 n3。随着节点 n3 的电压上升,NMOS 晶体管 M4 的漏极电流上升,因此输出信号 Vop 的电位下降。此时,在 AB 类放大器 20ni 中出现相同的现象,因此输出信号 Von 的电位下降。以这种方式,随着输出信号 Vop 和 Von 的共模分量上升,输出信号 Vop 和 Von 的电位均通过反馈而下降。这种机制由此实现 CMFB 功能。并且,当共模分量下降时,相同的机制作用以减小 NMOS 晶体管 M4 和 M6 的漏极电流,并由此实现 CMFB 功能。

[0060] 作为对照,将考虑输出差分信号改变的情况,诸如输出信号 Vop 上升 ΔV 并且输出信号 Von 下降 ΔV 的情况。在这种情况下,假定第二电容器 C5 (或电容器 C5 和 C7) 和第一电容器 C6 (或电容器 C6 和 C8) 具有几乎相等的电容,那么节点 n3 的电位实际上不波动。由此,NMOS 晶体管 M4 的漏极电流保持不变。这同样适用于 AB 类放大器 20ni,因此 NMOS 晶体管 M6 的漏极电流也保持不变。换句话说,差分输出信号不经由第二电容器 C5、第一电容器 C6、第四电容器 C5' 和第三电容器 C6' 影响输出电压。

[0061] 以下,将参照图 4 说明根据本发明的第二实施例的全差分放大器电路 200j 的电路配置的例子。图 4 是示出根据本发明的第二实施例的全差分放大器电路 200j 的电路配置的例子。以下将主要说明与第一实施例不同的各点。注意,图 4 中的由附有后缀 j 的附图标记表示的构成要素与图 1 中的由不附有后缀 j 的附图标记表示的构成要素相对应。并且,图 4 中的由附有撇号的附图标记表示的构成要素实际上与由不附有撇号的附图标记表示的构成要素相同。

[0062] 如图 4 所示,当调整器 22p 向第一基准节点 n7 供给反馈信号 Vfp 时,第一传送部分 21p 和第二传送部分 23p 执行以下的操作。第二偏压 Vbias2 被保持在第二基准节点 n8 处,作为第二基准信号。第二传送部分 23p 获得中间信号 Vap 相对于第二基准信号的差值,以与第一时钟信号 CLK1 同步地产生第二信号,并且将其传送到 NMOS 晶体管 M4 的栅极。第一传送部分 21p 在第一基准节点 n7 处保持通过将反馈信号 Vfp 加到第一偏压 Vbias1 获得的电压,作为第一基准信号。即,第一传送部分 21p 接收第一偏压 Vbias1 作为调整之前的第一基准信号,并且通过使用反馈信号 Vfp 调整第一偏压 Vbias1,由此获得调整后的第一基准信号。第一传送部分 21p 获得中间信号 Vap 相对于调整后的第一基准信号的差值,以产生第一信号。第一传送部分 21p 将产生的第一信号传送到 PMOS 晶体管 M3 的栅极。通过该操作,PMOS 晶体管 M3 和 NMOS 晶体管 M4 执行放大操作,使得一对的两个输出信号 Vop 和 Von 的共模分量成为基准值(共用电平基准信号 Vcm),以产生并输出输出信号 Vop。

[0063] 如图 4 所示,当调整器 22n 向第三基准节点 n5 供给反馈信号 Vfn 时,第三传送部分 21n 和第四传送部分 23n 执行以下的操作。第四偏压 Vbias2' 被保持在第四基准节点 n6 处,作为第四基准信号。第四传送部分 23n 获得中间信号 Van 相对于第四基准信号的差值,以与第一时钟信号 CLK1 同步地产生第四信号,并且将其传送到 NMOS 晶体管 M6 的栅极。第三传送部分 21n 在第三基准节点 n5 处保持通过将反馈信号 Vfn 加到第三偏压 Vbias1' 获得的电压,作为第三基准信号。即,第三传送部分 21n 接收第三偏压 Vbias1' 作为调整之前的第三基准信号,并且通过使用反馈信号 Vfn 调整第三偏压 Vbias1',由此获得调整后的第三基准信号。第三传送部分 21n 获得中间信号 Van 相对于调整后的第三基准信号的差值,以产生第三信号。第三传送部分 21n 将产生的第三信号传送到 PMOS 晶体管 M5 的栅极。通过该操作,PMOS 晶体管 M5 和 NMOS 晶体管 M6 执行放大操作,使得这一对的两个输出信号 Vop 和 Von 的共模分量成为基准值(共用电平基准信号 Vcm),以产生并输出输出信号 Von。

[0064] 全差分放大器电路 200j 包含两个 AB 类放大器 20pj 和 20nj。AB 类放大器 20pj 包含第一传送部分 21pj 和调整器 22pj。调整器 22pj 向第一基准节点 n7 供给反馈信号 Vfp。调整器 22pj 包含 CMFB 电路 107j。CMFB 电路 107j 与第一时钟信号 CLK1 同步地向第一基准节点 n7 供给反馈信号 Vfp。电容器 C3 的基准电极 E32 经由第一基准节点 n7 接收反馈信号 Vfp。通过该操作,电容器 C3 与第一时钟信号 CLK1 同步地产生第一信号,所述第一信号是中间信号 Vap 相对于调整后的第一基准信号的差值,所述调整后的第一基准信号是通过将反馈信号 Vfp 加到用作调整之前的第一基准信号的第一偏压 Vbias1 而获得的。此时,电容器 C3 的信号电极 E31 被供给中间信号 Vap。电容器 C3 将产生的第一信号传送到 PMOS 晶体管 M3 的栅极。由此,在 PMOS 晶体管 M3 和 M5 的漏极电流变化时,输出信号 Vop 和 Von 的共用电平基准信号 Vcm 的波动被抑制。

[0065] 如上述的实施例和例子所示,通过 CMFB 电路供给的反馈信号的反馈目的地可被

设为共源的 NMOS 晶体管和 PMOS 晶体管中的任一个的栅极。即使当由两个 AB 类放大器 20pj 和 20nj 中的 CMFB 电路供给的反馈信号的反馈目的地中的一个被设为 NMOS 晶体管的栅极并且另一个被设为 PMOS 晶体管的栅极时,也可获得 CMFB 效果。

[0066] 图 5 示出应用根据本发明的全差分放大器电路 200 的 S/H 应用的一个例子。图 5 是示出应用根据本发明的实施例的全差分放大器电路 200 的 S/H 应用的电路图。

[0067] 图 5 中的 OTA 200 与根据本发明的全差分放大器电路对应。注意,时钟信号 CLK3 和 CLK4 是在与图 2 所示的时段 $\phi 1$ 和 $\phi 2$ 几乎一致的时段 $\phi 3$ 和 $\phi 4$ 期间变为 H 电平的两相非重叠时钟。附图标记 V1 表示输入到 OTA 200 的任意设定的共模电压。

[0068] 以下将说明该电路的操作。在时段 $\phi 3$ 期间,经由开关 s218 和 s211 在电容器 C201 中对输入 Vin_p 和任意电压 V1 之间的差分电压进行采样。并且,经由开关 s219 和 s212 在电容器 C202 中对输入 Vin_n 和所述任意电压 V1 之间的差分电压进行采样。同时,经由开关 s213 和开关 s211 在电容器 C203 中对任意电压 V2 和所述任意电压 V1 之间的差分电压进行采样。并且,经由开关 s216 和开关 s212 在电容器 C204 中对任意电压 V3 和所述任意电压 V1 之间的差分电压进行采样。OTA200 进入采样状态。

[0069] 在时段 $\phi 4$ 期间,开关 s217、s214 和 s215 短路。由于 OTA 输入 Vinn 和 Vinp 假想地短路,因此,在时段 $\phi 3$ 中存储在电容器 C201 和 C202 中的电荷分别被传送到电容器 C203 和 C204,并且,OTA 200 变为保持状态。

[0070] 虽然已参照示例性实施例描述了本发明,但应理解,本发明不限于公开的示例性实施例。以下的权利要求的范围应被赋予最宽的解释以包含所有这些变更方式和等同的结构和功能。

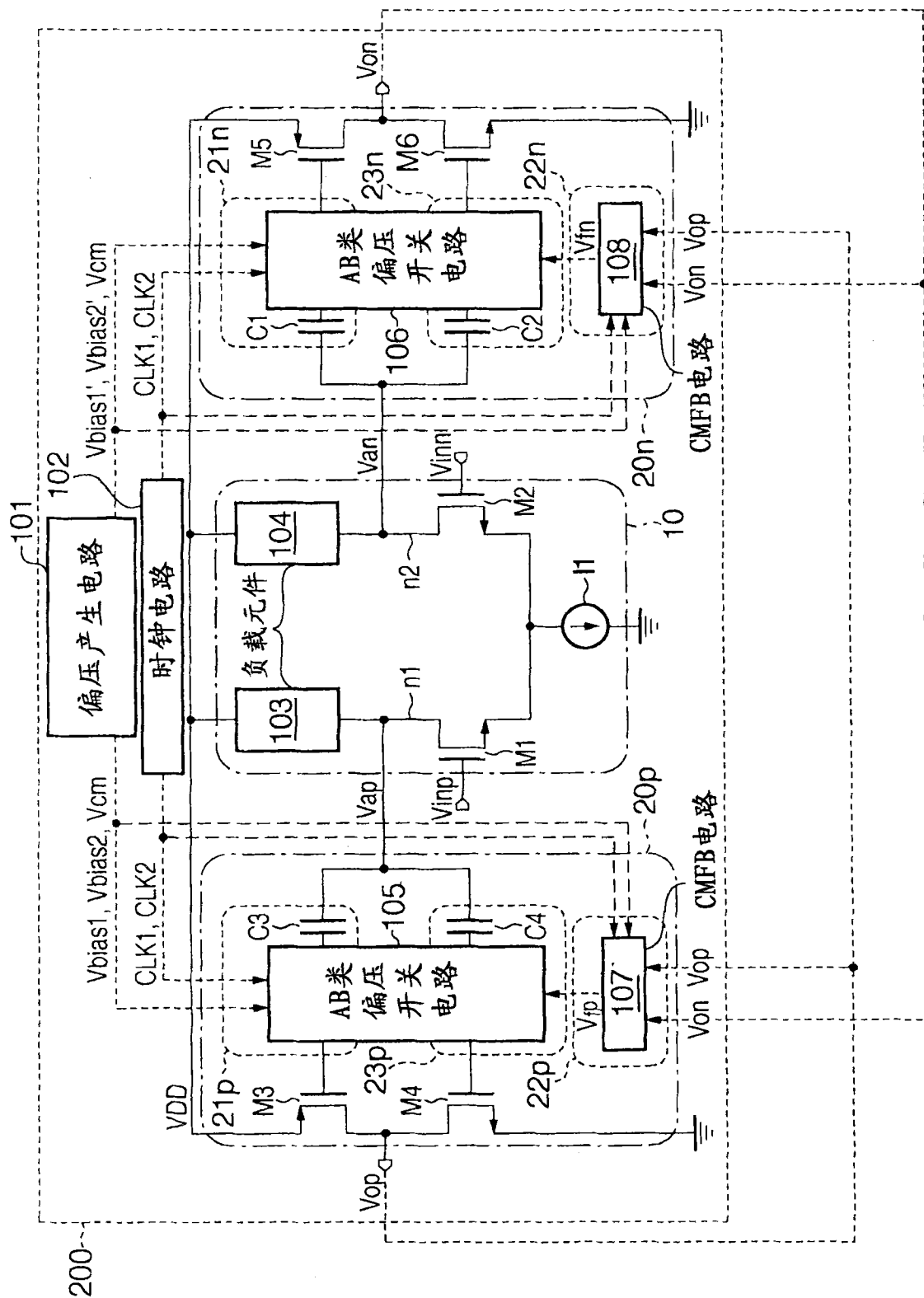


图 1

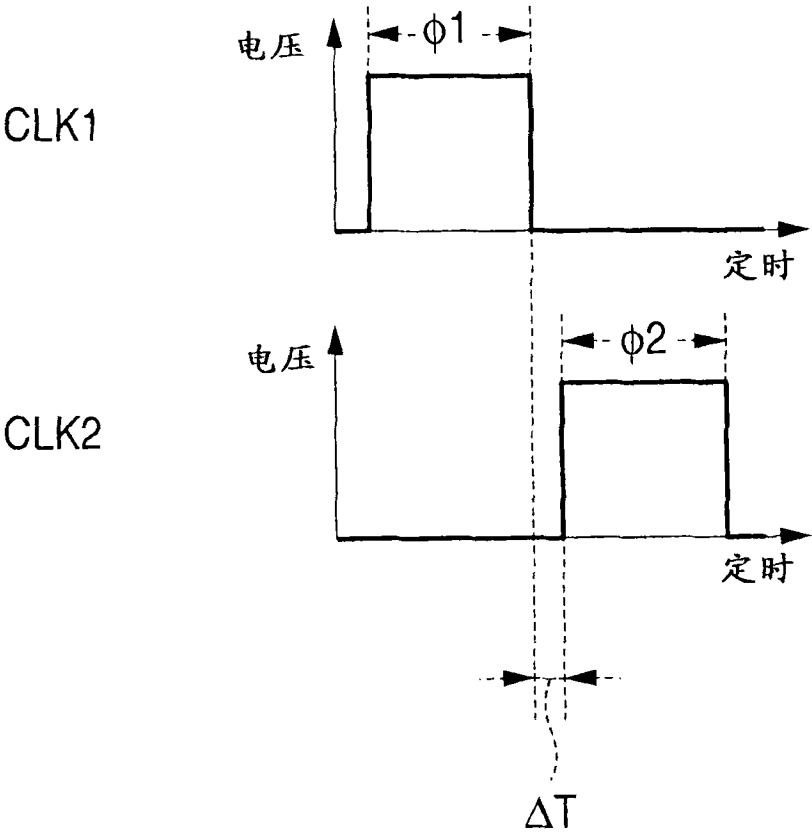


图 2

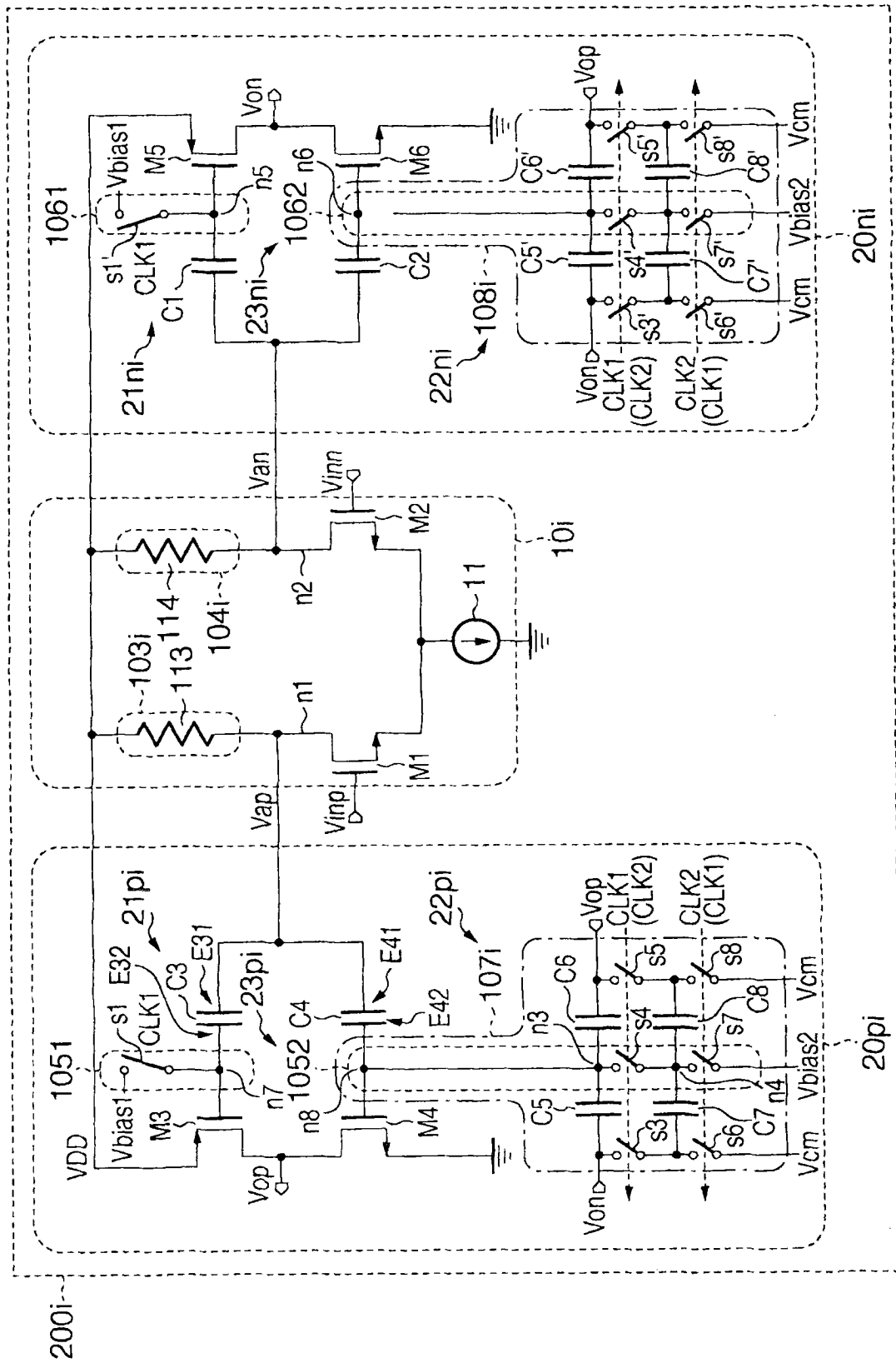


图 3

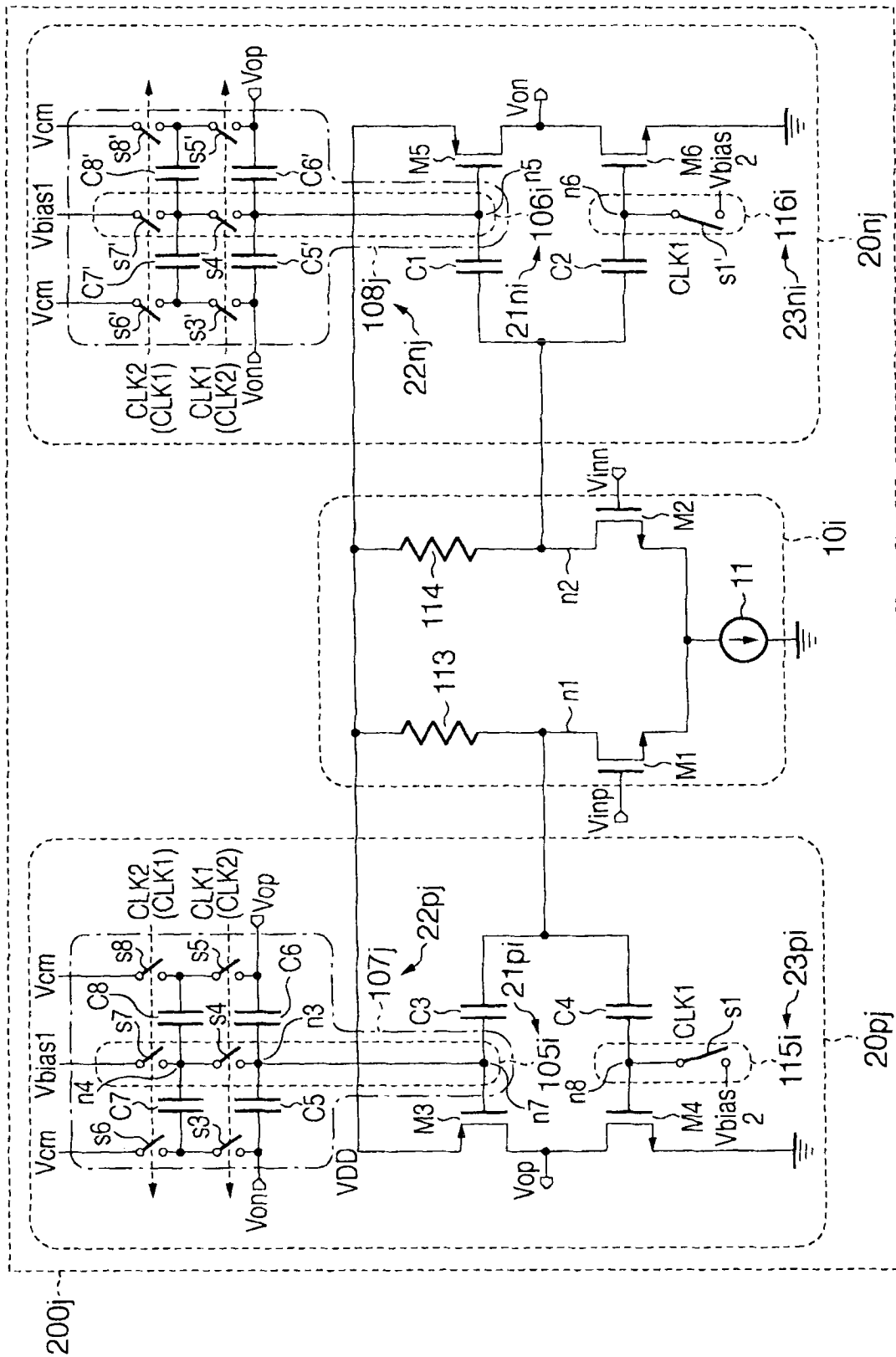


图 4

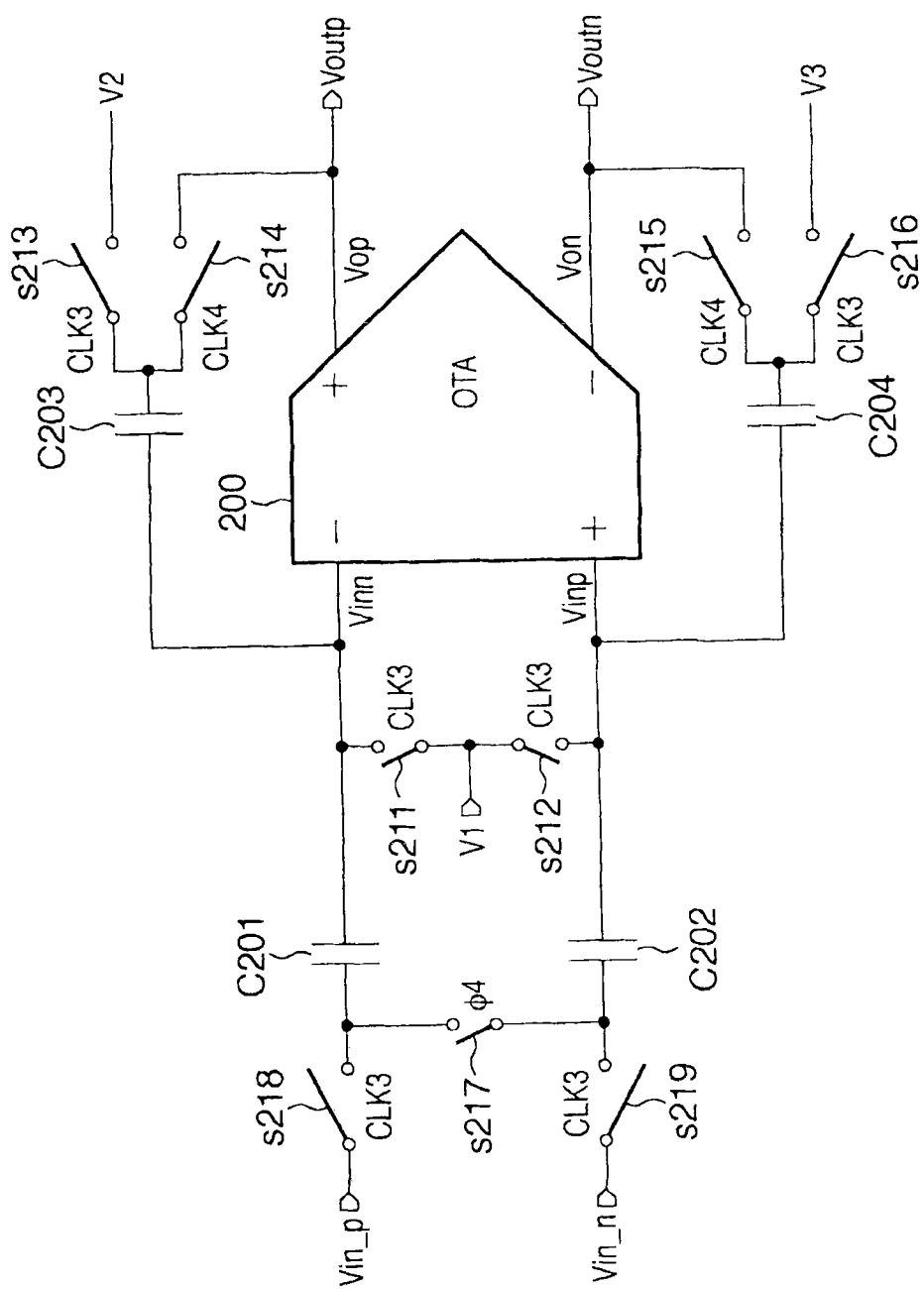


图 5