

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年11月10日(2005.11.10)

【公開番号】特開2003-124903(P2003-124903A)

【公開日】平成15年4月25日(2003.4.25)

【出願番号】特願2002-282218(P2002-282218)

【国際特許分類第7版】

H 04 J 3/00

【F I】

H 04 J 3/00 Z

【手続補正書】

【提出日】平成17年9月26日(2005.9.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 多段直列化マルチプレクサの出力に結合された入力と、所定の周波数における前記多段マルチプレクサの前記出力の電力レベルを示す帰還信号を発生する出力と、を有する帰還回路と、

前記帰還回路の前記出力に結合された入力と、前記多段マルチプレクサのデータ入力に結合された第1の出力のセットと、を有し、前記多段マルチプレクサの前記データ入力にテストパターンを選択的に印加し、前記帰還信号の値に基づいて種々の状態に前記多段マルチプレクサを置く制御器と、

を備えている、多段マルチプレクサを同期化する装置。

【請求項2】 前記多段マルチプレクサが、その第1の段に複数のマルチプレクサ回路を有し、前記制御器が、前記帰還信号の前記値に基づいて、実質的にランダムな状態に前記マルチプレクサ回路を個別的に置く、請求項1に記載の装置。

【請求項3】 前記制御器の第1の出力の前記セットと前記多段マルチプレクサの前記データ入力との間に接続され、前記制御器の第1の出力の前記セットを前記多段マルチプレクサの前記データ入力に選択的に接続するように前記制御器によって制御されるスイッチング回路をさらに備えている、請求項1または2に記載の装置。

【請求項4】 前記多段マルチプレクサが、第1の段に複数の第1のマルチプレクサ回路を、及び第2の段に第2のマルチプレクサ回路を有し、かつ同一の値を有する前記テストパターンの連続するビットが、前記制御器によって第1のマルチプレクサ回路のデータ入力に選択的に印加される、請求項1乃至3のいずれか一項に記載の装置。

【請求項5】 前記多段マルチプレクサが、第1の段に複数の第1のマルチプレクサ回路を、及び第2の段に第2のマルチプレクサ回路を有し、

前記制御器が、

前記多段マルチプレクサを通して第1のテストパターンを送信し、

少なくとも1つの第1のマルチプレクサ回路を異なった状態に選択的に置き、かつ前記帰還信号が所定のレベルに達するまで、前記多段マルチプレクサを通して前記第1のテストパターンの送信を繰返す、

ようになっている、請求項1乃至3のいずれか一項に記載の装置。

【請求項6】 前記制御器がさらに、

前記多段マルチプレクサを通して第2のテストパターンを送信し、

前記帰還信号が前記所定のレベルに達するまで、少なくとも1つの第1のマルチプレク

サ回路以外の第1のマルチプレクサ回路を異なった状態に選択的に置く、
ようになっている、請求項5に記載の装置。

【請求項7】 前記帰還回路が、

前記制御器によって前記多段マルチプレクサに供給される前記テストパターンのデータ
速度の周波数を中心を有するフィルタ、
を備えている、請求項1乃至6のいずれか一項に記載の装置。

【請求項8】 前記所定の周波数が、前記テストパターンのデータ速度に対応する周
波数である、請求項1乃至7のいずれか一項に記載の装置。

【請求項9】 多段マルチプレクサを通して第1のテストパターンを送信するステッ
プと、

1つ又は複数のマルチプレクサ回路を異なった状態に選択的に置き、前記多段マルチブ
レクサによって発生される出力信号の電力レベルが所定のレベルに達するまで、前記送信
するステップを繰返すステップと、
を含む、複数のマルチプレクサ回路を第1の段に有する多段マルチプレクサを同期化する
方法。

【請求項10】 前記送信するステップが、前記1つ又は複数の第1のマルチブ
レクサ回路以外の少なくとも1つのマルチブレクサ回路に、同一の前記第1のテストパターン
の連続するビットを送信するステップを含む、請求項9に記載の方法。

【請求項11】 前記多段マルチブレクサを通して第2のテストパターンを送信する
ステップと、

少なくとも1つの第2のマルチブレクサ回路を異なった状態に選択的に置き、前記多段
マルチブレクサによって発生される前記出力信号の電力レベルが前記所定のレベルに達す
るまで、前記第2のテストパターンを送信する前記ステップを繰返すステップと、
をさらに含む、請求項9または10に記載の方法。

【請求項12】 前記置くステップが、

前記1つ又は複数の第1のマルチブレクサ回路を実質的にランダムな状態に置くステッ
プを含む、請求項9乃至11のいずれか一項に記載の方法。

【請求項13】 前記多段マルチブレクサによって発生される前記出力信号の前記電
力レベルが、低下して、前記第1のテストパターンの前記入力データ速度に対応する周波
数において前記所定のレベルに達するまで、前記送信する及び前記置くステップが繰返さ
れる、請求項9乃至12のいずれか一項に記載の方法。

【請求項14】 前記多段マルチブレクサを通してテストパターンを送信するステッ
プと、

前記多段マルチブレクサの出力に現われる電力レベルが、前記送信するステップの間に
所定のレベルに達し得なかった場合、前記テストパターンを異なったテストパターンに変
更して前記送信するステップを繰返すステップと、
を含む、複数のマルチブレクサ回路を第1の段に有する多段マルチブレクサを同期化する
方法。

【請求項15】 少なくとも1つのマルチブレクサを通して送信される前記テストパ
ターンのビットが、同一である、請求項14に記載の方法。

【請求項16】 前記変更するステップが、マルチブレクサ回路に印加される前記テ
ストパターンのビットをシフトするステップを含む、請求項14または15に記載の方法
。

【請求項17】 前記変更するステップが、少なくとも1つの前記マルチブレクサ回
路に印加される前記テストパターンのビットを遅延するステップを含む、請求項14または
15に記載の方法。

【請求項18】 前記多段マルチブレクサを通して第2のテストパターンを送信する
ステップと、

前記多段マルチブレクサの出力に現われる電力レベルが、前記第2のテストパターンを
送信する前記ステップの間に所定のレベルに達し得なかった場合、前記テストパターンを

異なったテストパターンに変更して前記第2のテストパターンを送信する前記ステップを繰返すステップと、
をさらに含む、請求項14乃至17のいずれか一項に記載の方法。