



## 【特許請求の範囲】

## 【請求項 1】

クロック信号の位相を調整して出力する D L L (Delay-Locked Loop) 回路であって、  
入力される第 1 のクロック信号の遅延量を制御する遅延信号を出力する遅延制御回路と、

、  
前記遅延信号が入力され、前記遅延信号に基づいた遅延量を前記第 1 のクロック信号に付加し、D L L クロックとして出力する遅延回路と、

前記 D L L クロックのクロッキング動作の有無を検知する D L L クロック検知回路と、  
を備え、

前記 D L L クロック検知回路は、前記クロッキング動作が検知されない場合に前記遅延制御回路による遅延量の更新動作を停止させること、

を特徴とする D L L 回路。

## 【請求項 2】

クロック信号のデューティを調整して出力する D L L 回路であって、  
入力される第 1 のクロック信号のデューティを制御するデューティ信号を出力するデューティ制御回路と、

前記デューティ信号が入力され、前記デューティ信号に基づいて前記第 1 のクロック信号のデューティを調整して D L L クロックとして出力するデューティ調整回路と、

前記 D L L クロックのクロッキング動作の有無を検知する D L L クロック検知回路と、  
を備え、

前記 D L L クロック検知回路は、前記クロッキング動作が検知されない場合に前記デューティ制御回路によるデューティの更新動作を停止させること、

を特徴とする D L L 回路。

## 【請求項 3】

入力される第 1 のクロック信号のデューティを制御するデューティ信号を出力するデューティ制御回路と、

前記デューティ信号が入力され、前記デューティ信号に基づいて前記第 1 のクロック信号のデューティを調整して第 2 のクロック信号として出力するデューティ調整回路と、

前記デューティ調整回路から出力される第 2 のクロック信号の遅延量を制御する遅延信号を出力する遅延制御回路と、

前記遅延信号が入力され、前記遅延信号に基づいた遅延量を前記第 2 のクロック信号に付加し、D L L クロックとして出力する遅延回路と、

前記 D L L クロックのクロッキング動作の有無を検知する D L L クロック検知回路と、  
を備え、

前記 D L L クロック検知回路は、前記 D L L クロックのクロッキング動作が検知されない場合に、前記デューティ制御回路におけるデューティの更新動作、および前記遅延制御回路における遅延量の更新動作を停止させること、

を特徴とする請求項 1 に記載の D L L 回路。

## 【請求項 4】

前記 D L L クロック検知回路は、  
該 D L L クロック検知回路を所定の周期ごとに所定の期間活性化させる D L L クロック検知 E n a b l e 信号と、前記 D L L クロックとを入力信号とし、

前記 D L L クロック検知 E n a b l e 信号が入力されている期間内における、前記 D L L クロックのクロッキング回数を検出するカウンタ回路と、

前記カウンタ回路により検出された前記 D L L クロックのクロッキング回数が所定数以上の場合に、D L L クロックのクロッキング有りの情報を保持し該情報を示す信号を出力するとともに、前記 D L L クロックのクロッキング回数が所定数以下の場合に、D L L クロックのクロッキング無しの情報を保持し該情報を示す信号を出力するラッチ回路と、

を備えることを特徴とする請求項 1 から請求項 3 のいずれかに記載の D L L 回路。

## 【請求項 5】

10

20

30

40

50

前記 D L L 回路は、  
 前記 D L L クロックを入力として D Q 信号を出力する D Q バッファ回路と、  
 前記 D Q バッファのレプリカ回路であり、かつ前記 D L L クロックが入力される D Q レ  
 プリカ回路と、  
 前記第 1 のクロック信号と前記 D Q レプリカ回路から出力されるクロック信号との位相  
 の差を検知し、該位相差を位相判定結果の信号として出力する位相検知回路と、  
 を備えると共に、  
 前記遅延制御回路は、  
 現在の遅延量の情報を保持して出力するラッチ回路と、  
 前記位相検知回路から出力される位相判定結果の信号を入力とし、前記位相差と前記ラ  
 ッチ回路に保持された現在の遅延量とを加算する加算回路と、  
 を備え、  
 前記遅延制御回路は、前記 D L L クロック検知回路により D L L クロックのクロッキン  
 グ有りの信号が出力された場合、前記加算回路の加算結果を前記ラッチ回路に新たな遅延  
 量の情報を保持させるように構成されたこと、  
 を特徴とする請求項 4 に記載の D L L 回路。

【請求項 6】

前記 D L L 回路は前記 D L L クロックのデューティを検知するデューティ検知回路を備  
 え、  
 前記デューティ検知回路は、  
 D L L クロックのデューティを判定するデューティ判定部と、  
 前記 D L L クロックの H i g h または L o w のスタックレベルを保持するラッチ回路と  
 、  
 前記 D L L クロック検知回路により D L L クロックのクロッキング有りの信号が出力さ  
 れた場合に、前記デューティ判定部の出力信号を選択して出力すると共に、前記 D L L ク  
 ロック検知回路により D L L クロックのクロッキング無しの信号が出力された場合に、前  
 記ラッチ回路に保持されたスタックレベルの信号またはその反転信号を選択して出力する  
 セレクタと、  
 を備えることを特徴とする請求項 4 または 5 に記載の D L L 回路。

【請求項 7】

D L L 回路を備えた半導体装置において、  
 前記請求項 1 から請求項 6 のいずれかに記載の D L L 回路を備えたこと  
 を特徴とする半導体装置。

【請求項 8】

D L L 回路であって、  
 クロック信号のクロッキング動作がないときに遅延制御を停止する手段を  
 備えたことを特徴とする D L L 回路。

【請求項 9】

D L L 回路であって、  
 クロック信号のクロッキング動作がないときにデューティ制御を停止する手段を  
 備えたことを特徴とする D L L 回路。

【請求項 10】

クロック信号のクロッキング動作がないときにデューティ制御を停止する手段を  
 備えたことを特徴とする請求項 8 に記載の D L L 回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は半導体装置の D L L (Delay-Locked Loop) 回路に関し、特に D L L 回路の出力  
 クロックとなる D L L クロックをモニタ (監視) し、D L L クロックのクロッキング動作  
 の有無を検出した結果を D L L 回路におけるロック制御に使用することで、周波数の高い

10

20

30

40

50

入力クロックを短サイクルでロックすることが可能となる、D L L回路及びこれを備える半導体装置に関する。

【背景技術】

【0002】

最近の電子システムは高速化され、システムを構成する半導体装置間のデータ転送速度は非常に高速化されている。そのため半導体装置においても高速データ転送動作が求められ、半導体装置内部ではクロックに同期させたクロック同期方式が採用されている。例えば半導体記憶装置としては、シンクロナスD R A M ( Synchronous Dynamic Random Access Memory、以下S D R A Mと略記する ) がある。さらにS D R A Mを進化させ、クロックの立ち上がり / 立ち下がりエッジに同期させたD D R ( Double Data Rate ) 、D D R 2及びD D R 3方式のS D R A Mが開発されている。

10

【0003】

これらのS D R A Mにおいては、クロックに同期させるためにD L L回路が採用され、内部クロックと外部クロックとのタイミングを同期させている。

【0004】

図9に、従来型のD L L回路を示す。図9において、外部から入力されるクロック信号C K、/ C K ( ‘ / C K ’ は外部クロック信号C Kの論理反転信号 ) は、初段回路1 1を通過後にデューティ調整、遅延調整を行いD L Lクロックとして出力される。

20

【0005】

ここでD L Lクロックは図9の点線( a )のパスで示すようにD Qレプリカ回路1 5にも入力され、D Qレプリカ出力とクロック信号C K、/ C Kとの位相比較が位相検知回路1 6により行なわれ、位相判定結果が遅延制御回路1 3にフィードバックされる。遅延制御回路1 3は、位相検知回路1 6から入力した位相判定結果の信号を基に、遅延回路1 2への遅延信号を生成し、遅延回路1 2内の遅延素子の調整を行う。

20

【0006】

また、図9の点線( b )で示すパスにおいてはD L Lクロックはデューティ検知回路2 1へ入力され、デューティの判定( 例えば、50%以上または以下 )が行なわれ、デューティ判定結果はデューティ制御回路2 2へフィードバックされる。デューティ制御回路2 2は、デューティ検知回路2 1から入力したデューティ判定結果の信号を基に、デューティ調整回路2 3への制御信号( デューティ信号 )を生成する。デューティ調整回路2 3は。デューティ制御回路2 2から出力されるデューティ信号に従い、クロック信号のデューティ調整を行なう。

30

【0007】

この場合に、遅延回路1 2では、D Qレプリカ回路1 5の出力とクロック信号C K、/ C Kのタイミングスキーを無くすように遅延量の調整が行われ、また、デューティ調整回路2 3により、D L Lクロックのデューティが50%または50%に近い値となるようにデューティ調整が行われる。

30

【0008】

また、初段回路1 1から出力されるクロック信号は、カウンタクロック生成回路1 7により分周されてカウンタクロックとしてD L Lサイクルカウンタ1 8に入力される。D L Lサイクルカウンタ1 8は、入力したカウンタクロックを基に、所定の周期ごとに更新クロックを生成して、遅延制御回路1 3及びデューティ制御回路2 2に向けて出力する。

40

【0009】

遅延制御回路1 3及びデューティ制御回路2 2では、D L Lサイクルカウンタ1 8から出力される更新クロックによって更新動作を行なう。

【0010】

ところで、上述したD L L回路においては、D L Lリセット期間中には短サイクル数でロック制御( 遅延量およびデューティを調整して外部クロックと内部クロックの同期を取る制御 )を行なう必要があるため遅延調整もしくはデューティ調整を同時に実施している。この際、入力クロックの周波数が高い場合には入力クロックのパルス幅に対して調整によ

50

る遅延量の変動が大きくなりロック制御過程において、D L L クロックのパルスが消失する期間が発生することがある。

#### 【0011】

この場合に位相検知回路16もしくはデューティ検知回路21はD L L クロックをトリガとして実施するため、D L L クロックが消失した場合は正確な位相検知を実施することができないという問題が生じる。

#### 【0012】

また、デューティ検知、および位相検知において誤判定を繰り返すとロックに要するサイクル数が増大するばかりではなく所定のスペック内でロックすることが出来なくなるという問題も生じる。従って、このD L L クロックの消失により発生する問題の解決が望まれていた。

#### 【0013】

なお、従来技術のクロック生成回路がある（例えば、特許文献1を参照）。この特許文献1のクロック生成回路は、簡易な回路を付加するだけで、位相制御で問題となる出力クロックのデューティのずれを回避し、より高精度の位相制御を行なえるクロック生成回路を実現することを目的としている。このために、可変遅延回路の後段にクロックのデューティ調整回路を設け、クロックの立ち上がりエッジで可変遅延回路の遅延量を制御し、立ち上がりエッジの位相が基準となるクロックと一致した段階で、立ち下がりエッジによってデューティ調整回路により信号のパルス幅を調整することによって、出力クロックのデューティを基準となるクロックのデューティと一致させるようにしている。

#### 【0014】

しかしながら、特許文献1のクロック生成回路は、D L L 回路のロック制御において、上述したD L L クロックが消失した場合に誤判定により正確な位相調整等ができなくなり、ロックに要するサイクル数が増大するという問題を解決しようとするものではなく、本願とは、発明の目的と構成が異なるものである。

#### 【特許文献1】特開2002-42469号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0015】

上述したように、従来の半導体装置のD L L 回路においては、D L L リセット期間中には短サイクル数でロック制御を行う必要があるため遅延調整もしくはデューティ調整を同時に実施している。この際、入力クロックの周波数が高い場合には入力クロックのパルス幅に対して調整による遅延量の変動が大きくなりロック制御の過程において、D L L クロックのパルスが消失する期間が発生し、正確な位相検知およびデューティ検知を実施することができないという問題が生じていた。

#### 【0016】

また、デューティ検知、および位相検知において誤判定を繰り返すとロックに要するサイクル数が増大するばかりではなく所定のスペック内でロックすることが出来なくなるという問題があった。

#### 【0017】

本発明は、斯かる実情に鑑みなされたものであり、本発明の目的は、D L L 回路の遅延量制御およびデューティ制御を実施するロック制御において、D L L クロックが消失した場合に、位相検知およびデューティ検知において誤判定が行なわれ、この誤判定の結果を基に遅延量およびデューティが更新されることを回避し、ロック制御におけるD L L クロックサイクルの短縮化と、D L L 回路の動作安定性の向上を図ることができる、D L L 回路、および、これを備える半導体装置を提供することにある。

#### 【課題を解決するための手段】

#### 【0018】

本発明は上記課題を解決するためになされたものであり、本発明のD L L 回路は、クロック信号の位相を調整して出力するD L L (Delay-Locked Loop)回路であって、入力され

10

20

30

40

50

る第1のクロック信号の遅延量を制御する遅延信号を出力する遅延制御回路と、前記遅延信号が入力され、前記遅延信号に基づいた遅延量を前記第1のクロック信号に付加し、D L Lクロックとして出力する遅延回路と、前記D L Lクロックのクロッキング動作の有無を検知するD L Lクロック検知回路と、を備え、前記D L Lクロック検知回路は、前記クロッキング動作が検知されない場合に前記遅延制御回路による遅延量の更新動作を停止させること、を特徴とする。

上記構成からなる本発明のD L L回路では、遅延制御回路は、クロック信号の遅延量を制御する遅延信号を出力し、遅延回路は、遅延信号に基づいた遅延量をクロック信号に付加し、D L Lクロックとして出力する。この場合に、D L Lクロック信号のクロッキング動作の有無を検知するD L Lクロック検知回路を設け、このD L Lクロック検知回路により、D L Lクロックのクロッキング動作が検知されない場合は、遅延制御回路による遅延量の更新動作を停止させる。

これにより、D L L回路の遅延量制御を実施するロック制御において、D L Lクロックが消失した場合に、位相の誤判定が行なわれることを回避でき、ロック制御時におけるD L Lクロックサイクルの短縮化と、D L L回路の動作安定性の向上を図ることができる。

#### 【0019】

また、本発明のD L L回路は、クロック信号のデューティを調整して出力するD L L回路であって、入力される第1のクロック信号のデューティを制御するデューティ信号を出力するデューティ制御回路と、前記デューティ信号が入力され、前記デューティ信号に基づいて前記第1のクロック信号のデューティを調整してD L Lクロックとして出力するデューティ調整回路と、前記D L Lクロックのクロッキング動作の有無を検知するD L Lクロック検知回路と、を備え、前記D L Lクロック検知回路は、前記クロッキング動作が検知されない場合に前記デューティ制御回路によるデューティの更新動作を停止させること、を特徴とする。

上記構成からなる本発明のD L L回路では、デューティ制御回路は、クロック信号のデューティを制御するデューティ信号を出力し、デューティ調整回路は、デューティ信号に基づいて、クロック信号のデューティを調整してD L Lクロックとして出力する。この場合に、D L Lクロック信号のクロッキング動作の有無を検知するD L Lクロック検知回路を設け、このD L Lクロック検知回路により、D L Lクロックのクロッキング動作が検知されない場合は、デューティ制御回路によるデューティの更新動作を停止させる。

これにより、D L L回路のデューティ制御を実施するロック制御において、D L Lクロックが消失した場合に、デューティの誤判定が行なわれることを回避でき、ロック制御時におけるD L Lクロックサイクルの短縮化と、D L L回路の動作安定性の向上を図ることができる。

#### 【0020】

また、本発明のD L L回路は、入力される第1のクロック信号のデューティを制御するデューティ信号を出力するデューティ制御回路と、前記デューティ信号が入力され、前記デューティ信号に基づいて前記第1のクロック信号のデューティを調整して第2のクロック信号として出力するデューティ調整回路と、前記デューティ調整回路から出力される第2のクロック信号の遅延量を制御する遅延信号を出力する遅延制御回路と、前記遅延信号が入力され、前記遅延信号に基づいた遅延量を前記第2のクロック信号に付加し、D L Lクロックとして出力する遅延回路と、前記D L Lクロックのクロッキング動作の有無を検知するD L Lクロック検知回路と、を備え、前記D L Lクロック検知回路は、前記D L Lクロックのクロッキング動作が検知されない場合に、前記デューティ制御回路におけるデューティの更新動作、および前記遅延制御回路における遅延量の更新動作を停止させること、を特徴とする。

上記構成からなる本発明のD L L回路では、デューティ制御回路は、入力される第1のクロック信号のデューティを制御するデューティ信号を出力し、デューティ調整回路は、デューティ信号に基づいて、第1のクロック信号のデューティを調整して第2のクロック信号として出力する。また、遅延制御回路は、第2のクロック信号の遅延量を制御する遅

10

20

30

40

50

延信号を出力し、遅延回路は、遅延信号に基づいた遅延量を第2のクロック信号に付加し、D L Lクロックとして出力する。この場合に、D L Lクロック信号のクロッキング動作の有無を検知するD L Lクロック検知回路を設け、このD L Lクロック検知回路により、D L Lクロックのクロッキング動作が検知されない場合は、デューティ制御回路によるデューティの更新動作を停止させ、また、遅延制御回路による遅延量の更新動作を停止させる。

これにより、D L L回路の遅延量制御およびデューティ制御を実施するロック制御において、D L Lクロックが消失した場合に、位相およびデューティの誤判定が行なわれるこ<sup>10</sup>とを回避でき、ロック制御時におけるD L Lクロックサイクルの短縮化と、D L L回路の動作安定性の向上を図ることができる。

#### 【0021】

また、本発明のD L L回路は、前記D L Lクロック検知回路は、該D L Lクロック検知回路を所定の周期ごとに所定の期間活性化させるD L Lクロック検知E n a b l e信号と、前記D L Lクロックとを入力信号とし、前記D L Lクロック検知E n a b l e信号が入力されている期間内における、前記D L Lクロックのクロッキング回数を検出するカウンタ回路と、前記カウンタ回路により検出された前記D L Lクロックのクロッキング回数が所定数以上の場合に、D L Lクロックのクロッキング有りの情報を保持し該情報を示す信号を出力するとともに、前記D L Lクロックのクロッキング回数が所定数以下の場合に、D L Lクロックのクロッキング無しの情報を保持し該情報を示す信号を出力するラッチ回路と、を備えることを特徴とする。

上記構成からなる本発明のD L L回路では、D L Lクロック検知回路には、該D L Lクロック検知回路を周期的に所定の期間だけ活性化させるD L Lクロック検知E n a b l e信号と、D L Lクロックとが入力される。そして、D L Lクロック検知E n a b l e信号が入力されている期間内における、D L Lクロックのクロッキング回数をカウンタ回路により検出し、このカウンタ回路により検出されたD L Lクロックのクロッキング回数が所定数以上の場合に、D L Lクロックのクロッキング有りの情報をラッチ回路により保持して出力する。また、D L Lクロックのクロッキング回数が所定数以下の場合は、D L Lクロックのクロッキング無しの情報をラッチ回路に保持して出力する。

これにより、D L Lクロック検知回路を、カウンタ回路とラッチ回路等を用いて、容易に構成することができる。

#### 【0022】

また、本発明のD L L回路は、前記D L L回路は、前記D L Lクロックを入力としてD Q信号を出力するD Qバッファ回路と、前記D Qバッファのレプリカ回路であり、かつ前記D L Lクロックが入力されるD Qレプリカ回路と、前記第1のクロック信号と前記D Qレプリカ回路から出力されるクロック信号との位相の差を検知し、該位相差を位相判定結果の信号として出力する位相検知回路と、を備えると共に、前記遅延制御回路は、現在の遅延量の情報を保持して出力するラッチ回路と、前記位相検知回路から出力される位相判定結果の信号を入力とし、前記位相差と前記ラッチ回路に保持された現在の遅延量とを加算する加算回路と、を備え、前記遅延制御回路は、前記D L Lクロック検知回路によりD L Lクロックのクロッキング有りの信号が出力された場合、前記加算回路の加算結果を前記ラッチ回路に新たな遅延量の情報をとして保持させるように構成されたこと、を特徴とする。

上記構成からなる本発明のD L L回路では、D L Lクロックを入力としてD Q信号を出力するD Qバッファ回路と、このD Qバッファのレプリカ回路であり、D L Lクロックが入力されるD Qレプリカ回路と、入力されるクロック信号とD Qレプリカ回路から出力されるクロック信号との位相の差を検知する位相検知回路とを備える。また、遅延制御回路は、現在の遅延量の情報を保持して出力するラッチ回路と、位相検知回路により検知された位相差とラッチ回路に保持された現在の遅延量とを加算する加算回路とを備える。そして、遅延制御回路では、D L Lクロック検知回路によりD L Lクロックのクロッキング有りの信号が出力された場合に、加算回路における加算結果を前記ラッチ回路に新たな遅延

10

20

30

40

50

量の情報として保持させ、出力する。

これにより、遅延制御回路を、加算回路（加算器）とラッチ回路を組み合わせて、容易に構成することができると共に、D L Lクロック検知回路から出力されるD L Lクロックのクロッキング有り／無しの信号により容易に制御できる。

【0023】

また、本発明のD L L回路は、前記D L L回路は前記D L Lクロックのデューティを検知するデューティ検知回路を備え、前記デューティ検知回路は、D L Lクロックのデューティを判定するデューティ判定部と、前記D L LクロックのH i g hまたはL o wのスタックレベルを保持するラッチ回路と、前記D L Lクロック検知回路によりD L Lクロックのクロッキング有りの信号が出力された場合に、前記デューティ判定部の出力信号を選択して出力すると共に、前記D L Lクロック検知回路によりD L Lクロックのクロッキング無しの信号が出力された場合に、前記ラッチ回路に保持されたスタックレベルの信号またはその反転信号を選択して出力するセレクタと、を備えることを特徴とする。

上記構成からなる本発明のD L L回路では、デューティ検知回路は、D L Lクロックのデューティを検知するデューティ判定部と、D L LクロックのH i g hまたはL o wのスタックレベルを保持するラッチ回路とを備える。そして、D L Lクロック検知回路によりD L Lクロックのクロッキング有りの信号が出力された場合は、デューティ判定部の出力信号を選択してデューティ判定結果の信号として出力する。一方、D L Lクロック検知回路によりD L Lクロックのクロッキング無しの信号が出力された場合は、ラッチ回路に保持されたスタックレベルの信号またはその反転信号を選択して出力する。

これにより、D L Lクロックが消失した場合に、位相検知およびデューティ検知において誤判定が行なわれ、この誤判定の結果を基に遅延量およびデューティが更新されることを回避できる効果に加えて、D L Lクロックの消失後の、クロッキング動作の復帰（デューティ制御）が行えるようになる。

【0024】

また、本発明の半導体装置は、D L L回路を備えた半導体装置において、前記のいずれかに記載のD L L回路を備えたことを特徴とする。

これにより、D L L回路を備えた半導体装置において、D L L回路の遅延量制御、およびデューティ制御を実施するロック制御において、D L Lクロックが消失した場合に、位相検知およびデューティ検知において誤判定が行なわれ、この誤判定の結果を基に遅延量およびデューティが更新されることを回避でき、ロック制御時におけるD L Lクロックサイクルの短縮化と、D L L回路の動作安定性を向上することができる。

【0025】

また、本発明のD L L回路は、D L L回路であって、クロック信号のクロッキング動作がないときに遅延制御を停止する手段を備えたことを特徴とする。

上記構成からなる本発明のD L L回路では、出力するクロック信号のクロッキング動作の有無を検知し、クロッキング動作が検出されない場合は、クロック信号の遅延量を調整する遅延制御を実施しない。

これにより、D L L回路の遅延制御を実施するロック制御において、出力するクロック信号が消失した場合に、位相が誤判定されて遅延制御が行なわれることを回避でき、ロック制御時におけるクロックサイクルの短縮化と、D L L回路の動作安定性の向上を図ることができる。

【0026】

また、本発明のD L L回路は、D L L回路であって、クロック信号のクロッキング動作がないときにデューティ制御を停止する手段を備えたことを特徴とする。

上記構成からなる本発明のD L L回路では、出力されるクロック信号のクロッキング動作の有無を検知し、クロッキング動作が検出されない場合は、クロック信号のデューティを調整するデューティ制御を実施しない。

これにより、D L L回路のロック制御において、出力するクロック信号が消失した場合に、デューティが誤判定されてデューティ制御が行なわれることを回避でき、ロック制御

10

20

30

40

50

時におけるクロックサイクルの短縮化と、D L L回路の動作安定性の向上を図ることができる。

【0027】

また、本発明のD L L回路は、クロック信号のクロッキング動作がないときにデューティ制御を停止する手段を備えたことを特徴とする。

上記構成からなる本発明のD L L回路では、出力するクロック信号のクロッキング動作を検知し、クロッキング動作が検出されない場合は、クロック信号の遅延量を調整する遅延制御およびデューティを調整するデューティ制御を実施しない。

これにより、D L L回路の遅延量制御、およびデューティ制御を実施するロック制御において、クロック信号が消失した場合に、位相およびデューティが誤判定されて遅延制御およびデューティ制御が行なわれることを回避でき、ロック制御時におけるクロックサイクルの短縮化と、D L L回路の動作安定性の向上を図ることができる。

10

【発明の効果】

【0028】

本発明の半導体装置においては、D L L回路の遅延量制御、およびデューティ制御を実施するロック制御において、D L Lクロックが消失した場合に、位相検知およびデューティ検知において誤判定が行なわれ、この誤判定の結果を基に遅延量およびデューティが更新されることを回避でき、ロック制御時におけるD L Lクロックサイクルの短縮化と、D L L回路の動作安定性を向上することができる。

20

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態を添付図面を参照して説明する。

【0030】

[第1の実施の形態]

図1は、本発明の第1の実施形態に係るD L L回路の構成を示す図であり、位相制御のみを行うD L L回路の例である。このD L L回路では、D Qバッファ14の出力が、入力されるクロック信号C K, / C Kに同期するように遅延量の補正が行われる。

30

【0031】

図1において、初段回路11は、クロック信号C K, / C Kが差動信号として入力され、D L L回路にクロック信号を入力する回路である。初段回路11から出力されるクロック信号は、遅延回路12に入力されると共に、カウンタクロック生成回路17に入力される。

【0032】

カウンタクロック生成回路17は、入力されたクロック信号を分周し、カウンタクロック(図5を参照)を生成して、D L Lサイクルカウンタ18に向けて出力する。

【0033】

遅延回路12は、遅延素子群により構成された回路であり、遅延制御回路13から出力される遅延信号に従って、入力されるクロック信号に所定の遅延量を加えて出力させる回路である。

40

【0034】

遅延制御回路13は、遅延回路12における遅延量を位相検知回路16からの出力信号に従って決定し、遅延信号を遅延回路12に向けて出力する回路である。D Qバッファ14は、D Q信号を出力するためのバッファ回路である。D Qレプリカ回路15は、D Qバッファ14のレプリカ(複製)であり、D Qバッファ14と同じプロセス、電圧、温度依存性(P V T依存性)をもつバッファ回路である。

【0035】

位相検知回路16は、クロック信号C K, / C Kと、D Qレプリカの出力信号(D Qレプリカ出力)との位相比較を行ない、位相差の信号を位相判定結果として、遅延制御回路13に出力する回路である。D L Lサイクルカウンタ18は、カウンタクロック数をカウントし、デューティ制御/遅延制御を更新するための更新クロック(図5を参照)の信号

50

を出力する回路である。

【0036】

DLLクロック検知回路31は、DLLサイクルカウンタ18から出力されるDLLクロック検知Enable(イネーブル)信号により活性化され、DLLクロック信号の消失の有無(クロッキング動作の有無)を判定し、デューティ制御/遅延制御の実施・停止を制御する回路であり、本発明の特徴部分をなす回路である。このDLLクロック検知回路31の構成については後述する。

【0037】

図1に示すDLL回路の構成において、差動信号であるクロック信号CK、/CKは初段回路11により、クロック信号に変換されて遅延回路12に向けて出力される。遅延回路12では、遅延制御回路13から入力される遅延信号に従い、初段回路11から入力したクロック信号の遅延量を調整してDLLクロックとして、DQバッファ14に出力する。

10

【0038】

遅延回路12から出力されるDLLクロックはDQと同じPVT依存をもつDQレプリカ回路15へも入力される。DQレプリカ回路15は、DQバッファと同じプロセス、電圧、温度依存を持ったバッファ回路のことと、DQレプリカ出力は、DQバッファ14の出力と同じタイミングで出力される。DQレプリカ回路15の出力は、位相検知回路16に入力され、クロック信号CK、/CKとの位相比較が行なわれる。その判定結果の信号は遅延制御回路13へと入力され、この遅延制御回路13から出力される遅延信号を基に、遅延回路12により遅延量の調整が行なわれる。

20

【0039】

DLLクロック検知回路31には、DLLサイクルカウンタ18から出力されるDLLクロック検知Enable信号と、デューティ調整回路23から出力されるDLLクロック信号とが入力される。このDLLクロック検知回路31は、DLLサイクルカウンタ18から出力されるDLLクロック検知Enable信号により周期的に活性化される。この、DLLクロック検知Enable信号の周期は、遅延量の更新周期と同じ周期に設定されている。

20

【0040】

DLLクロック検知回路31は、DLLクロック信号のクロッキング動作の有無を判定し、その判定結果であるクロック検知結果信号(更新Enable/Disable)をDLLサイクルカウンタ18および遅延制御回路13に出力する。これにより、DLLサイクルカウンタ18からの更新クロックの出力・停止を制御すると共に、遅延制御回路13および遅延回路12における遅延量更新の実施・停止を制御している。

30

【0041】

上述したように、第1の実施の形態においては、DLLクロック検知回路31を設けDLLクロックのクロッキングの有無を検知し、検知結果はDLLサイクルカウンタ18および遅延制御回路13へと入力され、クロッキング動作がない場合には遅延量の更新制御を実施しない。これにより、DLL回路の遅延量制御を実施するロック制御において、DLLクロックが消失した場合に、位相検知において誤判定が行なわれ、この誤判定の結果を基に遅延量が更新されることを回避でき、ロック制御時におけるDLLクロックサイクルの短縮化と、DLL回路の動作安定性の向上を図ることができる。

40

【0042】

なお、図1に示す例では、DLLサイクルカウンタ18によりDLLクロック検知Enable信号を発生することにより、DLLクロック検知回路31を周期的に活性化する構成としているが、DLLクロック検知回路31を常時作動させるようにしてもよい。

50

【0043】

[第2の実施の形態]

図2は、本発明の第2の実施形態に係るDLL回路の構成を示す図であり、デューティ制御のみを行うDLL回路の例である。

50

## 【0044】

図2において、初段回路11は、クロック信号CK, /CKが差動信号として入力され、DLL回路にクロック信号を入力する回路である。初段回路11から出力されるクロック信号は、遅延回路12に入力されると共に、カウンタクロック生成回路17に入力される。

## 【0045】

カウンタクロック生成回路17は、入力されたクロック信号を分周し、カウンタクロック(図5を参照)を生成して、DLLサイクルカウンタ18に向けて出力する。

## 【0046】

デューティ検知回路21は、DLLクロックのデューティを検知し50%に対して判定を行う回路である。デューティ制御回路22は、デューティ検知回路21から出力されるデューティ判定結果の信号を基に、入力されるクロック信号のデューティ制御を行うための回路である。デューティ調整回路23は、デューティ制御回路22から出力されるデューティ信号に従って、初段回路11からの出力クロック信号に対してデューティを調整したクロック信号をDLLクロックとして出力する回路である。

10

## 【0047】

DLLサイクルカウンタ18は、カウンタクロックをカウントし、デューティ制御を更新するための更新クロックの信号を出力する回路である。DLLクロック検知回路31は、DLLクロック信号の消失(クロッキング動作の有無)を判定し、デューティ制御の実施・停止を制御するための信号(更新Enable/Disable)を生成する回路であり、本発明の特徴部分をなす回路である。このDLLクロック検知回路の構成については後述する。

20

## 【0048】

図2に示す構成において、差動信号であるクロック信号CK, /CKは、初段回路11によりクロック信号に変換されて、デューティ調整回路23へ入力される。デューティ調整回路23は、DQバッファ14等で使用される内部クロックのデューティが50%または50%に近い値となるようにデューティ補正を行い、DLLクロックとしてDQバッファへ14に出力する。

## 【0049】

デューティ調整回路23から出力されるDLLクロックはデューティ検知回路21へ出力され、デューティ検知回路21は、DLLクロックのデューティ判定を行なう。デューティ検知回路21はデューティの判定結果の信号をデューティ制御回路22へ出力する。デューティ制御回路22は、デューティ検知回路21から入力したデューティの判定結果の信号を基に、デューティ調整回路23におけるデューティ調整動作を制御するデューティ信号を生成する。デューティ調整回路23はデューティ制御回路22から入力したデューティ信号に従い、クロック信号のデューティ調整を行なう。なお、デューティ検知回路21の構成については後述する。

30

## 【0050】

DLLクロック検知回路31には、DLLサイクルカウンタ18から出力されるDLLクロック検知Enable信号とデューティ調整回路23から出力されるDLLクロック信号が入力される。このDLLクロック検知回路31は、DLLサイクルカウンタ18から出力されるDLLクロック検知Enable信号により周期的に活性化される。この、DLLクロック検知Enable信号の周期は、デューティの更新周期と同じ周期に設定されている。

40

## 【0051】

DLLクロック検知回路31は、DLLクロック信号のクロッキング動作の有無を判定し、その判定結果であるクロック検知結果(更新Enable/Disable)の信号を、DLLサイクルカウンタ18およびデューティ検知回路21出力する。これにより、DLLサイクルカウンタ18からの更新クロックの出力・停止を制御すると共に、デューティ制御回路22およびデューティ調整回路23におけるデューティ更新制御の実施・停

50

止を制御している。

【0052】

また、第2の実施の形態においては、DLLクロック検知回路31を設け DLLクロックのクロッキングの有無を検知し、デューティ検知回路21の判定結果にクロック検知結果をフィードバックすることにより、DLLクロックを復帰させる制御をデューティ検知回路21およびデューティ制御回路22により実施させるように構成されている。なお、このデューティ検知回路21の構成と動作については後述する。

【0053】

このように、本発明の第2の実施の形態では、DLL回路のデューティ制御を実施するロック制御において、DLLクロックが消失した場合に、デューティ検知において誤判定が行なわれ、この誤判定の結果を基にデューティが更新されることを回避でき、ロック制御時におけるDLLクロックサイクルの短縮化と、DLL回路の動作安定性を向上することができる。また、DLLクロックを復帰させる制御をデューティ検知回路21およびデューティ制御回路22により実施させることができる。

10

【0054】

なお、図2に示す例では、DLLサイクルカウンタ18によりDLLクロック検知Enable信号を発生することにより、DLLクロック検知回路31を周期的に活性化する構成としているが、DLLクロック検知回路31を常時作動させることもよい。

20

【0055】

[第3の実施の形態]

図3は、本発明の第3の実施の形態に係わるDLL回路の構成を示す図である。図3に示す構成は、位相制御機能とデューティ調整機能の両方の機能を備えるDLL回路の構成例を示す図である。すなわち、図1に示す位相制御機能を備えるDLL回路と、図2に示すデューティ調整機能を備えるDLL回路を複合した回路の例を示す図である。このため、同一の構成部分には同一の符号を付している。

30

【0056】

図3において、初段回路11は、クロック信号CK, /CKが差動信号として入力され、DLL回路にクロック信号を入力する回路である。初段回路11から出力されるクロック信号は、デューティ調整回路23に入力されると共に、カウンタクロック生成回路17に入力される。

30

【0057】

デューティ調整回路23においては、DQバッファ14等で使用される内部クロックのデューティが50%または50%に近い値となるようにデューティ補正を行う。デューティ調整回路23によりデューティ補正されたクロック信号は、DQバッファ14の出力がCK, /CKに同期するように遅延回路12により遅延量の補正が行われ DLLクロックとしてDQバッファ14へと入力される。

40

【0058】

一方、DLLクロックはDQバッファ14と同じPVT依存をもつDQレプリカ回路15へも入力される。DQレプリカ回路15は、DQバッファ14と同じプロセス、電圧、温度依存を持ったバッファ回路のことで、DQバッファ14の出力と同じタイミングで出力される。DQレプリカ回路15の出力は、位相検知回路16へ入力され、クロック信号CK, /CKとの位相比較を行う。その判定結果の信号は遅延制御回路13へと入力され、遅延回路12を通して遅延量調整が行なわれる。

【0059】

また、DLLクロックはデューティ検知回路21へと入力されデューティ判定が行なわれ、デューティの判定結果の信号はデューティ制御回路22へと入力され、デューティ調整回路23におけるデューティ調整に使用される。

【0060】

DLLクロック検知回路31には、DLLサイクルカウンタ18から出力されるDLLクロック検知Enable信号と、遅延回路12により生成されたDLLクロック信号と

50

が入力される。

【0061】

DLLクロック検知回路31は、DLLクロック検知Enable信号により周期的に活性化され、この、DLLクロック検知Enable信号の周期は、遅延量およびデューティの更新周期と同じ周期に設定されている。

【0062】

DLLクロック検知回路31は、DLLクロック信号のクロッキング動作の有無を判定し、その判定結果であるクロック検知結果の信号（更新Enable / Disable）を生成する。このクロック検知結果の信号は、デューティ検知回路21、DLLサイクルカウンタ18、および遅延制御回路13に向けて出力される。

10

【0063】

このクロック検知結果の信号（更新Enable / Disable）により、DLLサイクルカウンタ18からの更新クロックの出力・停止を制御すると共に、遅延制御回路13および遅延回路12における遅延量更新動作の実施・停止を制御する。また、デューティ検知回路21、デューティ制御回路22、およびデューティ調整回路23によるユーティ更新動作の実施・停止を制御する。

【0064】

以上説明したように、第3の実施の形態においては、DLLクロック検知回路31を設け DLLクロックのクロッキングの有無を検知し、検知結果を DLLサイクルカウンタ18、遅延制御回路13およびデューティ制御回路22に出力し、クロッキングがない場合には遅延制御およびデューティ制御を実施しない。

20

【0065】

また、第3の実施の形態においては、DLLクロック検知回路31を設け DLLクロックのクロッキングの有無を検知し、このデューティ検知回路21の判定結果にクロック検知結果をフィードバックすることにより、DLLクロックを復帰させる制御をデューティ検知回路21およびデューティ制御回路22により実施させるように構成されている。なお、デューティ検知回路21の構成と動作については後述する。

【0066】

このように、本発明の第3の実施の形態では、DLL回路の遅延制御およびデューティ制御を実施するロック制御において、DLLクロックが消失した場合に、位相検知およびデューティ検知において誤判定が行なわれ、この誤判定の結果を基に遅延量およびデューティが更新されることを回避でき、ロック制御時におけるDLLクロックサイクルの短縮化と、DLL回路の動作安定性を向上することができる。また、DLLクロックを復帰させる制御をデューティ検知回路およびデューティ制御回路により実施させることができる。

30

【0067】

なお、図3に示す例では、DLLサイクルカウンタ18により DLLクロック検知Enable信号を発生することにより、DLLクロック検知回路31を周期的に活性化しているが、DLLクロック検知回路31を常時作動させるようにしてもよい。

40

【0068】

また、図4は、DLLクロック検知回路31の構成例を示す図である。

図4において、DLLクロック検知回路31を活性化するDLLクロック検知Enable信号が、DLLサイクルカウンタ18からインバータ101に入力される。

【0069】

インバータ101からの出力信号は、Dラッチ回路105、106のリセット端子Resetに入力されると共に、2つの NAND（NAND）回路102および103で構成されるRSラッチ回路104の一方の入力端子a（ NAND回路102の入力端子）に入力される。

【0070】

また、1番目（最上段）のDラッチ回路105のデータ入力端子Dは、電源Vcc（H

50

*i g h* ) に接続され、D ラッチ回路 105 の出力端子 Q は、2 番目の D ラッチ回路 106 のデータ入力端子 D に継続して接続されている。

【 0071 】

また、D ラッチ回路 105 の出力端子 Q は、3 入力の NAND 回路 107 の 1 番目の入力端子 a1 に接続され、D ラッチ回路 106 の出力端子 Q は、NAND 回路 107 の 2 番目の入力端子 a2 に接続される。また、D ラッチ回路 105 および 106 のクロック入力端子 c には検知対象となる D L L クロックが入力される。

【 0072 】

なお、図 4 では、2 つの D ラッチ回路 105 および 106 のみを示しているが、D ラッチ回路は 3 個以上使用される場合もあり、3 入力の NAND 回路 107 の 3 番目の入力端子 a3 は、D ラッチ回路が 3 個以上の場合に、それぞれの D ラッチ回路の出力 Q に接続される入力端子として代表的に示されたものである。また、D ラッチ回路が 3 個以上使用される場合は、2 番目の D ラッチ回路の出力 Q が、3 番目の D ラッチ回路のデータ入力端子 D に接続される (4 番目以降の D ラッチ回路についても同様)。

10

【 0073 】

NAND 回路 107 から出力される信号は R S ラッチ回路 104 の他方の入力端子 b の入力信号となり、R S ラッチ回路 104 の出力信号 OUT は、クロック検知結果 (更新 Enable / Disable) の信号として、遅延制御回路 13 およびデューティ検知回路 21 に向けて出力される。この信号は、「クロッキング有り」で *H i g h* (更新 Enable) となり、「クロッキング無し」で *L o w* (更新 Disable) となる。

20

【 0074 】

図 4 に示す D L L クロック検知回路 31 の構成において、この D L L クロック検知回路 31 を活性化するために、入力信号 (D L L クロック検知 Enable) を *H i g h* にする。D L L クロック検知 Enable が *H i g h* になると、インバータ 101 の出力は *L o w* となり、この *L o w* 信号が D ラッチ回路 105 および 106 のリセット端子 Reset に印加され、D ラッチ回路 105 および 106 のリセット状態が解除される (D ラッチ回路 105 および 106 は、リセットされると出力 Q が *L o w* となる。)。

20

【 0075 】

D ラッチ回路 105 および 106 のリセット解除直後は NAND 回路 107 の入力は全て *L o w* であるため、NAND 回路 107 の出力は *H i g h* となる。一方、R S ラッチ回路 104 の入力端子は *L o w* であるため、出力 c は *H i g h* となり、このため NAND 回路 103 の出力 OUT は *L o w* となる。すなわち、D L L クロック検知回路 31 が活性状態になった直後は、R S ラッチ回路 104 の出力 OUT は *L o w* となり、クロッキング無しの状態信号 (更新 Disable) の信号が出力されている。

30

【 0076 】

その後、最初の D L L クロックのパルス (立ち上がりエッジ) が D ラッチ回路 105 および 106 に印加されると、D ラッチ回路 105 の出力 Q が *H i g h* になる (D ラッチ回路 106 の出力 Q は *L o w* のまま)。

【 0077 】

続いて、2 番目の D L L クロックのパルスが D ラッチ回路 105 および 106 に印加されると、D ラッチ回路 106 の出力 Q も *H i g h* となる。以下、D L L クロックがクロッキングするたびに上段 D ラッチ回路から順番に出力 Q が *H i g h* となる。

40

【 0078 】

D ラッチ回路の出力 Q が全て *H i g h* になると、NAND 回路 107 の入力も全て *H i g h* となり、NAND 回路 107 の出力は *L o w* となり、この *L o w* 信号が R S ラッチ回路 104 内の NAND 回路 103 の入力端子 b に入力される。このため、NAND 回路 103 の出力は *H i g h* となり、R S ラッチ回路 104 の出力 OUT は *H i g h* へと切り替わり D L L クロックを検知したことになり、クロッキング有り信号 (更新 Enable) の信号が出力され。

【 0079 】

50

一方、D L L クロックのパルスが消失している場合は、 NAND 回路 107 の入力は、少なくとも一部が、L o w のままとなり（ NAND 回路 107 の出力が H i g h のままとなり）、R S ラッチ回路 104 の出力 O U T は、H i g h に切り替わることなく、L o w の状態を維持し D L L クロックが消失していることを検知し、クロッキング無し（更新 D i s a b l e ）の信号が出力される。

【 0 0 8 0 】

その後、D L L クロック検知 E n a b l e の信号が非活性状態（ L o w ）になると、それまでクロッキング動作の検知結果は R S ラッチ回路 104 によって、次に、D L L クロック検知 E n a b l e の信号が活性化されるまで保持される。

【 0 0 8 1 】

なお、上述した D L L クロック検知 E n a b l e の活性期間は、2 つ D ラッチ回路 105 および 106 を使用する場合は、「 $2 \times$  クロック周期 t C K [ n s ]」以上に設定され、n 個（ n = 3 ）の場合は、「 $n \times$  クロック周期 t C K [ n s ]」以上に設定される。

【 0 0 8 2 】

図 5 は、図 4 に示した D L L クロック検知回路の動作を説明するためのタイムチャートである。

【 0 0 8 3 】

図 5 において、図 5 ( A ) は、初段回路 11 から出力されるクロック信号を基に、カウンタクロック生成回路 17 で生成されるカウンタクロックの信号を示し、このカウンタクロックは、D L L サイクルカウンタ 18 の入力信号となる。

【 0 0 8 4 】

図 5 ( B ) は、D L L サイクルカウンタ 18 で生成され、D L L クロック検知回路 31 に向けて出力される D L L クロック検知 E n a b l e の信号 C 1 、 C 2 を示している。

【 0 0 8 5 】

図 5 ( C ) は、D L L サイクルカウンタ 18 内においてカウンタクロックを分周して生成される分周クロックの信号 B 1 、 B 2 を示し、図 5 ( D ) は、遅延回路 12 から出力される D L L クロックを示している。

【 0 0 8 6 】

また、図 5 ( E ) は、D L L クロック検知回路 31 から出力されるクロック検知結果（更新 E n a b l e / D i s a b l e ）の信号を示し、H i g h で更新 E n a b l e 、L o w で更新 D i s a b l e を示している。また、図 5 ( F ) は、D L L サイクルカウンタ 18 から出力される更新クロックの信号 K 1 を示している。

【 0 0 8 7 】

以下、図 5 を参照して、D L L クロック検知回路 31 におけるクロッキング検知動作と、D L L サイクルカウンタ 18 における更新クロック信号の生成動作について説明する。

【 0 0 8 8 】

図 5 ( A ) に示すカウンタクロックが D L L サイクルカウンタ 18 に入力されると、D L L サイクルカウンタ 18 では、入力されたカウンタクロックを計数し、所定の更新周期 T ごとに、D L L クロック検知 E n a b l e 信号 C 1 、 C 2 を D L L クロック検知回路 31 に向けて出力する。また、D L L サイクルカウンタ 18 では、更新周期 T ごとに、図 5 ( C ) に示す分周クロック B 1 、 B 2 を生成する。この分周クロック B 1 、 B 2 は、更新クロック（図 5 ( F ) ）を生成する際の基になるクロック信号である。

【 0 0 8 9 】

そして、図 5 ( B ) に示す D L L クロック検知 E n a b l e 信号 C 1 により、D L L クロック検知回路 31 におけるクロックキングの有無の判定が開始される。この信号 C 1 の H i g h 期間では、示す D L L クロックのクロッキング（ c l o c k i n g ）が行なわれてあり、クロック検知結果は H i g h ( クロッキング有り ) となり、更新クロック K 1 が生成される。この更新クロック K 1 により、遅延制御回路 13 と遅延回路 12 における遅延量の更新制御と、デューティ制御回路 22 およびデューティ調整回路 23 におけるデューティの更新制御が行なわれる。

10

20

30

40

50

## 【0090】

一方、図5(B)に示すDLLクロック検知Enable信号C2により、DLLクロック検知回路31におけるクロックキングの有無の判定が開始された場合は、DLLクロックのクロッキングが行なわれておらず、DLLクロックはLowにスタック(stack)されており、クロック検知結果はLow(クロッキング無し)となり、更新クロックが生成されない。このため、遅延制御回路13と遅延回路12における遅延量の更新制御が停止され、デューティ制御回路22およびデューティ調整回路23におけるデューティの更新制御も停止される。

## 【0091】

また、図6は、DLLクロック検知回路の動作シミュレーション波形を示す図である。  
図6(A)は、DLLクロック出力時のシミュレーション波形の例を示し、図6(B)は、DLLクロック消失時のシミュレーション波形の例を示している。

## 【0092】

なお、図6に示す波形例は、図4に示すDLLクロック検知回路31において、DLLクロックを検知するためのDラッチ回路として、Dラッチ回路105および106の2つ使用する場合の例であり、DLLクロック検知Enableの信号の活性化される(Highになる)期間は、DLLクロックの2サイクルに相当する期間となる。

## 【0093】

最初に、DLLクロック出力時の動作を、図6(A)を参照して説明する。

図6(A)において、(イ)のDLLクロック検知Enableの信号を、時刻t1においてHighにして、DLLクロック検知回路31を活性化する。

## 【0094】

DLLクロックEnableを、時刻t1においてHighにすると、(口)のDLLクロックのクロックC1(DLLクロックEnableがHighになった後、2番目のクロック)のポジティブエッジ(立ち上がりエッジ)により、(ハ)に示す検知結果の信号が生成される。この検知結果の信号を基に、時刻t3において、(二)に示す更新Enable/Disable(この場合はEnable)がクロック検知結果の信号として生成される。この更新Enableの信号が、デューティ検知回路21、遅延制御回路13、およびDLLサイクルカウンタ18に出力される。

## 【0095】

この結果、DLLサイクルカウンタ18により、(ホ)に示す更新クロック信号が、時刻t4において生成され、この更新クロックが遅延制御回路13およびデューティ制御回路22に出力される。

## 【0096】

そして、遅延制御回路13は、DLLサイクルカウンタ18から受信した更新クロック、およびDLLクロック検知回路31から受信した更新Enable信号に従って、遅延回路12を通してDLLクロックの遅延調整を行なう。

## 【0097】

また、デューティ制御回路22は、DLLサイクルカウンタ18から受信した更新クロック、およびデューティ検知回路21から受信したデューティ判定結果の信号に従って、デューティ調整回路23を通してDLLクロックのデューティ調整(デューティが50%になるように調整)を行なう。

## 【0098】

一方、図6(B)に示す、DLLクロック消失時の波形において、時刻t1以前には、(口)に示すDLLクロックは正常にクロッキングしており、(ハ)に示す検知結果もHigh(クロッキング有り)となっており、また、(二)に示す更新Enable/Disable信号がHigh(クロッキング有り)の状態になっている。

## 【0099】

そして、時刻t1において、(イ)に示すDLLクロックEnable信号をHighにして、DLLクロック検知回路31におけるDLLクロックの検知処理を開始する。

10

20

30

40

50

## 【0100】

しかしながら、この例では、D L L クロック検知 E n a b l e 信号を、時刻  $t_1$  において H i g h にした時に、(口) に示す D L L クロックが消失 (H i g h にスタック) している。

## 【0101】

このため、(ハ) に示す検知結果の信号は、時刻  $t_2$  において L o w (クロッキングなし) となり、時刻  $t_3$  において、(ニ) に示す更新 E n a b l e / D i s a b l e の信号が L o w (更新 D i s a b l e) となる。この更新 D i s a b l e の信号がクロック検知結果の信号として、デューティ検知回路 2 1、遅延制御回路 1 3、および D L L サイクルカウンタ 1 8 に通知される。

10

## 【0102】

この結果、D L L サイクルカウンタ 1 8 により、(ホ) に示す更新クロックが生成されず、更新クロックが遅延制御回路 1 3 およびデューティ検知回路 2 1 に通知されない。これにより、デューティ検知回路 2 1 およびデューティ制御回路 2 2 におけるデューティの更新制御は停止される。また、遅延制御回路 1 3 における遅延量の更新制御は停止される。なお、この場合、デューティ検知回路 2 1 は、それまでデューティ調整量を保持し、遅延制御回路 1 3 は、それまでの遅延調整を保持する。

## 【0103】

また、図 7 は、遅延制御回路 1 3 の構成例を示す図である。この遅延制御回路 1 3 は、遅延回路 1 2 における遅延量を位相検知回路 1 6 の出力信号 (位相判定結果) に従って決定する回路である。

20

## 【0104】

図 7 に示すように、遅延制御回路 1 3 は、加算器 (加算回路) 2 0 1 と、D ラッチ回路 2 0 2、2 0 3、2 0 4 と、アンド回路 2 0 5 とを有している。そして、D ラッチ回路 2 0 2、2 0 3、2 0 4 の出力 Q は、それぞれ加算器 2 0 1 に入力され、また、加算器 2 0 1 には位相検知回路 1 6 から出力される判定結果 (カウントアップ信号 U p、またはカウントダウン信号 D o w n) の信号が入力される。この加算器 2 0 1 の各出力は、D ラッチ回路 2 0 2、2 0 3、2 0 4 のデータ入力端子 D に接続されている。

## 【0105】

また、2 入力のアンド回路 2 0 5 の一方の入力端子には、D L L サイクルカウンタ 1 8 から出力される更新クロックの信号が入力され、2 入力のアンド回路 2 0 5 のもう一方の入力端子には、D L L クロック検知回路 3 1 から出力されるクロック検知結果 (更新 E n a b l e / D i s a b l e) が入力される。このアンド回路 2 0 5 の出力は、D ラッチ回路 2 0 2、2 0 3、2 0 4 のそれぞれのクロック入力端子 C に接続されている。

30

## 【0106】

上記構成により、D ラッチ回路 2 0 2、2 0 3、2 0 4 には、現在の遅延量のデータがラッチされており、この現在の遅延量のデータは加算器 2 0 1 に入力されている。そして、この加算器 2 0 1 に、位相判定結果の信号 (カウント U p / D o w n) が入力され、現在の遅延量のデータに対して、カウント U p またはカウント D o w n の動作が行なわれ、遅延量が更新される。

40

## 【0107】

そして、遅延更新クロック信号の活性時に、D L L クロック検知結果が H i g h (更新 E n a b l e) の場合に、加算器 2 0 1 の出力信号 (更新データ) を D ラッチ回路 2 0 2、2 0 3、2 0 4 にラッチする。そして、D ラッチ回路 2 0 2、2 0 3、2 0 4 に保持された遅延量の更新データを遅延回路 1 2 へ出力する。

## 【0108】

一方、遅延更新クロック信号の活性時に、D L L クロック検知結果が L o w (更新 D i s a b l e) の場合は、アンド回路 2 0 5 の出力は L o w のままでなり、加算器 2 0 1 の出力信号 (更新データ) は D ラッチ回路 2 0 2、2 0 3、2 0 4 にラッチされない。このため、D ラッチ回路 2 0 2、2 0 3、2 0 4 のデータは更新されず、現在のデータがその

50

まま残ることになる。

【0109】

なお、図7に示す例では、3つのDラッチ回路202、203、204のみを示しているが、このDラッチ回路は、必要に応じて4個以上使用される場合がある。

【0110】

また、図8は、デューティ検知回路の構成を示す図である。デューティ検知回路21は、DLLクロックのデューティを検知し、50%に対して判定を行なう回路である。

【0111】

図8(A)に示すデューティ検知回路21において、DLLクロック検知回路31からクロック検知結果(Enable/Disable)の信号がインバータ301に入力される。インバータ301の出力信号は、インバータ302およびセレクタ306のON/OFF制御端子Sに入力される。10

【0112】

また、DLLクロックがデューティ判定部303およびDラッチ回路304のデータ入力端子Dに入力され、デューティ判定部303の出力信号は、セレクタ306の一方の入力端子aの入力信号となる。Dラッチ回路304の出力Qの信号はインバータ305で論理反転され、セレクタ306の他方の入力端子bの入力信号となる。

【0113】

デューティ判定部303は、入力されるDLLクロックのデューティを判定し、図8(B)に示すように、Highの期間が50%よりも大きい場合は、デューティの減少指令としてDown信号(Lowレベル)を出力する。また、図8(C)に示すように、Highの期間が50%よりも小さい場合は、デューティの増加指令としてUp信号(Highレベル)を出力する。20

【0114】

上記構成において、クロック検知結果の信号がHigh(クロッキング動作有り)の場合は、セレクタ306では、入力端子aによりデューティ判定部303側の出力信号が選択され、デューティ判定部303におけるデューティ判定結果の信号が出力される。

【0115】

一方、クロック検知結果がLow(クロッキング動作無し)の場合は、セレクタ306では、入力端子bによりインバータ305の出力信を選択する。30

【0116】

この場合、Dラッチ回路304には、クロック検知結果がLowに遷移したときに、DLLクロックのスタックリベルがラッチされており、このDラッチ回路304に保持されたスタックリベルは、出力Qと接続されたインバータ305により論理反転され、セレクタ306の入力端子bの入力信号となる。

【0117】

従って、クロック検知結果がLow(クロッキング動作無し)の場合において、スタックリベルがHighの時は、デューティ判定結果はLow(デューティDown)、スタックリベルがLowの時は、デューティ判定結果はHigh(デューティUp)が出力される。このHighまたはLowレベルに応じて、デューティをUpまたはDownさせ DLLクロックを復帰させる。これにより、クロッキング動作の復帰(デューティ制御)を行なえるようになる。40

【0118】

以上、本発明の実施の形態について説明したが、本発明のDLL回路は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【図面の簡単な説明】

【0119】

【図1】本発明の第1の実施形態に係るDLL回路の構成を示す図である。

【図2】本発明の第2の実施形態に係るDLL回路の構成を示す図である。50

【図3】本発明の第3の実施形態に係るDLL回路の構成を示す図である。

【図4】DLLクロック検知回路の構成例を示す図である。

【図5】図4に示すDLLクロック検知回路の動作を説明するためのタイムチャートである。

【図6】DLLクロック検知回路におけるシミュレーション波形を示す図である。

【図7】遅延制御回路の構成例を示す図である。

【図8】デューティ検知回路の構成例を示す図である。

【図9】従来のDLL回路の構成を示す図である。

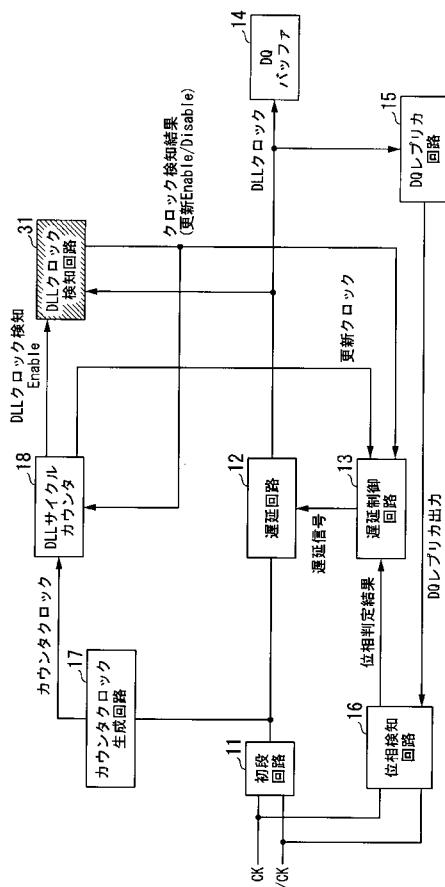
【符号の説明】

【0120】

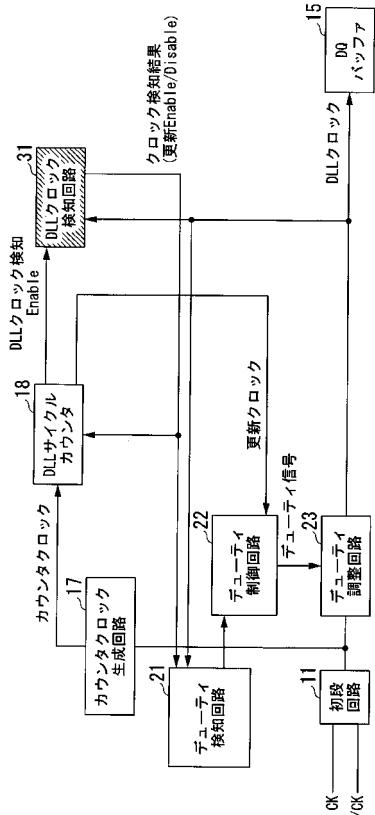
10

11...初段回路、12...遅延回路、13...遅延制御回路、14...DQバッファ、15...DQレプリカ回路、16...位相検知回路、17...カウンタクロック生成回路、18...DLLサイクルカウンタ、21...デューティ検知回路、22...デューティ制御回路、23...デューティ調整回路、31...DLLクロック検知回路、101...インバータ、102、103、107... NAND回路、104...RSラッチ回路、105、106...Dラッチ回路、201...加算器、202、203、204...Dラッチ回路、205...アンド回路、301、302、305...インバータ、303...デューティ判定部、304...Dラッチ回路、306...セレクタ

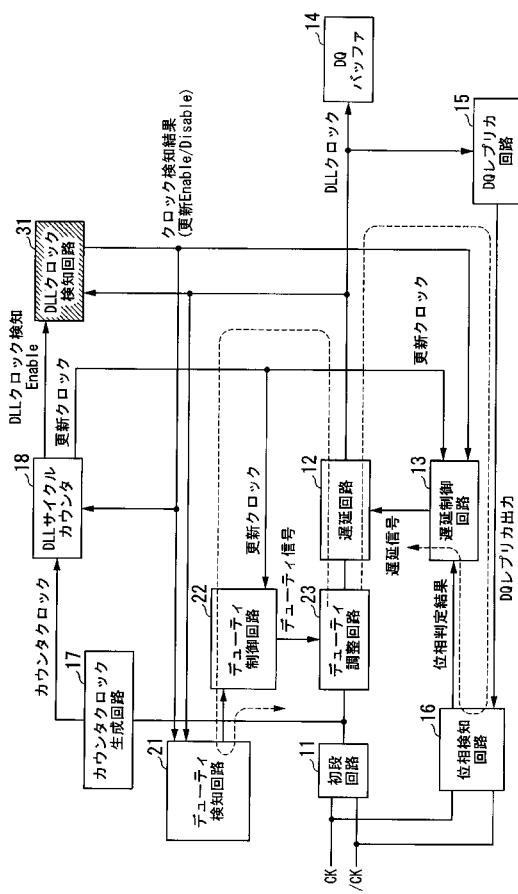
【図1】



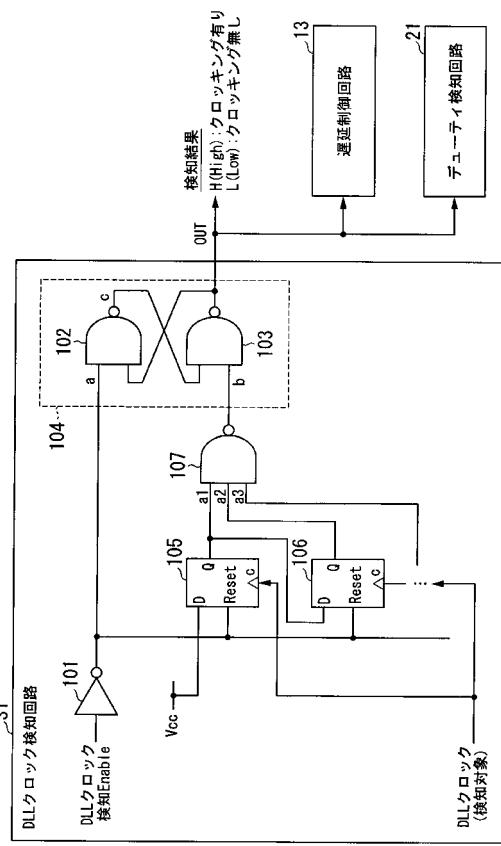
【図2】



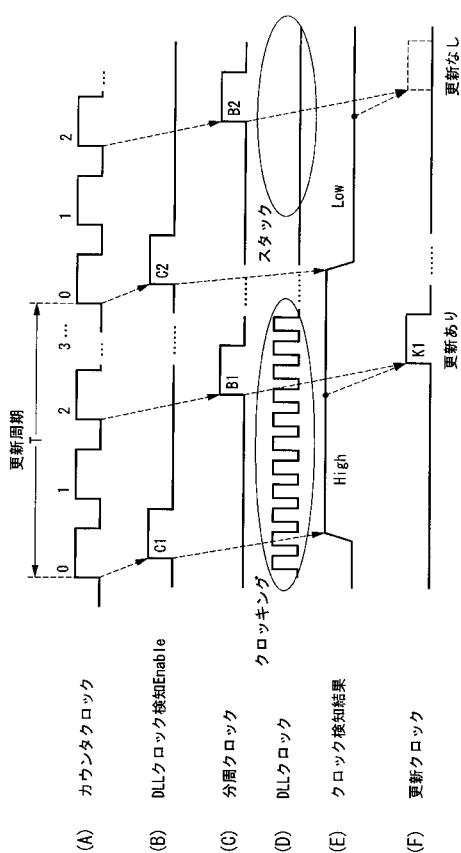
【 図 3 】



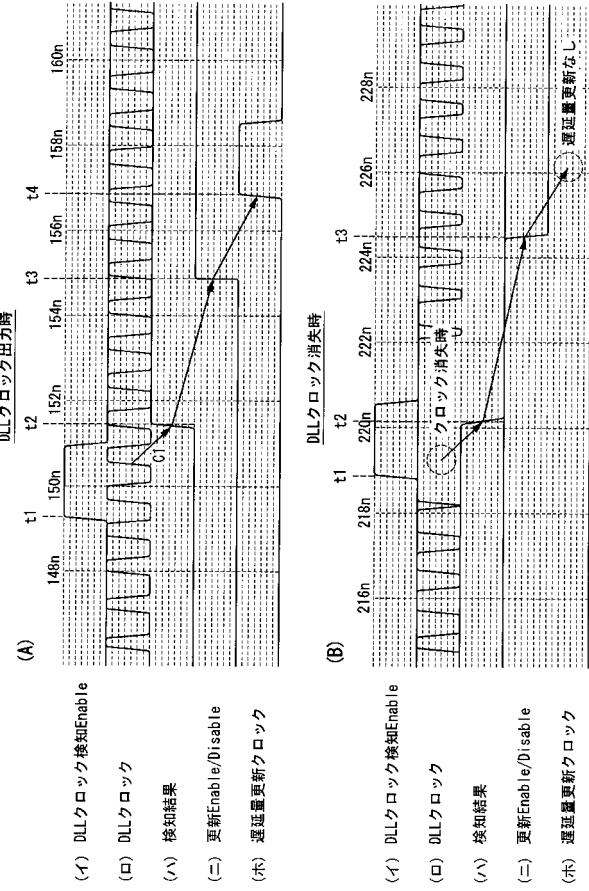
【 図 4 】



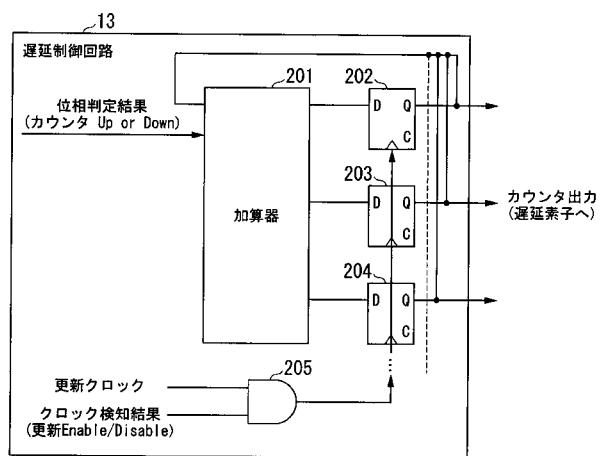
【 四 5 】



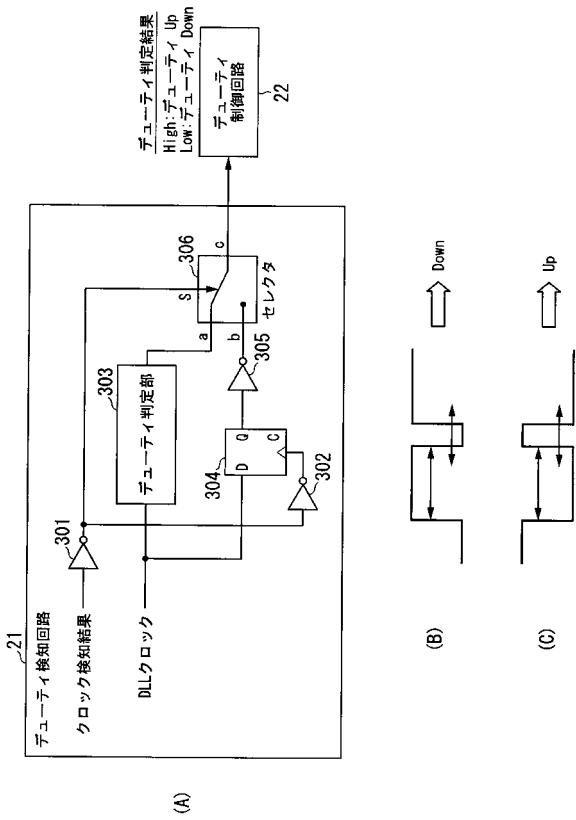
【 四 6 】



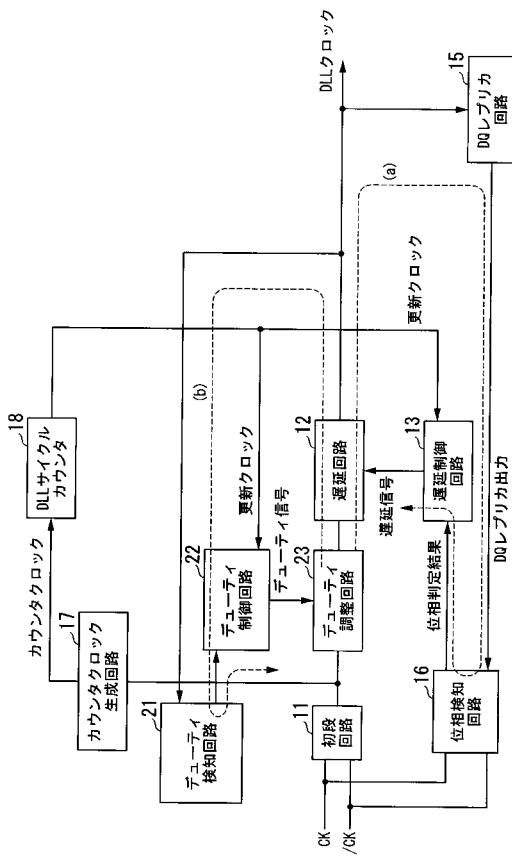
【図7】



【図8】



【図9】



---

フロントページの続き

(72)発明者 黒木 浩二

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 瀧下 隆治

東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

F ターム(参考) 5B079 CC02 DD06

5J001 BB05 BB12 BB21 DD09

5J039 HH02 HH06 KK09 KK10 KK13 KK23 MM06 MM11

5J106 AA04 CC21 CC59 DD13 DD24 DD42 DD43 DD46 DD48 EE06

FF08 GG10 HH08 JJ06 KK03 KK18

5M024 AA36 BB27 JJ03 JJ38 PP01 PP02 PP07