

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016年1月7日 (07.01.2016)



(10) 国际公布号
WO 2016/000339 A1

- (51) 国际专利分类号:
G06F 13/40 (2006.01)
- (21) 国际申请号: PCT/CN2014/087995
- (22) 国际申请日: 2014年9月30日 (30.09.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410307250.X 2014年6月30日 (30.06.2014) CN
- (71) 申请人: 深圳市中兴微电子技术有限公司 (ZHONGXING MICROELECTRONICS TECHNOLOGY CO. LTD) [CN/CN]; 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 蒋建平 (JIANG, Jianping); 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: CHIP INTERCONNECTION METHOD, CHIP AND DEVICE

(54) 发明名称: 一种芯片互连的方法、芯片及装置

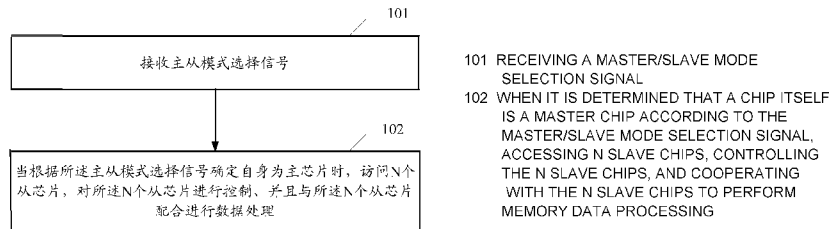


图 1 / Fig. 1

(57) Abstract: Disclosed are a chip interconnection method, a chip and a device, wherein the method comprises: receiving a master/slave mode selection signal, wherein the master/slave mode selection signal is used for indicating that a chip is a master chip or a slave chip; and when it is determined that the chip itself is a master chip according to the master/slave mode selection signal, accessing N slave chips, controlling the N slave chips, and cooperating with the N slave chips to perform memory data processing, where N is a positive integer which is greater than or equal to 1.

(57) 摘要: 本发明公开了一种芯片互连的方法、芯片及装置, 其中方法包括: 接收主从模式选择信号; 其中, 所述主从模式选择信号用于指示芯片为主芯片或从芯片; 当根据所述主从模式选择信号确定自身为主芯片时, 访问N个从芯片, 对所述N个从芯片进行控制、并且与所述N个从芯片配合进行内存数据处理; N为大于等于1的正整数。

WO 2016/000339 A1

一种芯片互连的方法、芯片及装置

技术领域

本发明涉及通信领域的芯片技术，尤其涉及一种芯片互连的方法、芯片及装置。

5 背景技术

随着无线和有线技术的迅速发展，业务处理能力成倍增长，对系统核心芯片的规模和处理能力提出了更高的要求，但是受到加工工艺、芯片功耗和成本的限制，芯片不能无限制的增大其设计规模，这就迫切要求在业务处理能力巨大增长下，需要提高芯片的处理能力，目前业界的方案主要是增大芯片的设计规模，但是，这样在一定程度上都提高了芯片的设计成本和技术难度，增加了芯片的功耗。

发明内容

有鉴于此，本发明实施例的主要目的在于提供一种芯片互连的方法、芯片及装置，至少解决了现有技术中存在的上述问题。

15 本发明实施例提供了一种芯片互连的方法，所述方法包括：

接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；

当根据所述主从模式选择信号确定自身为主芯片时，访问N个从芯片，对所述N个从芯片进行控制、并且与所述N个从芯片配合进行内存数据处理；N为大于等于1的正整数。

20 上述方案中，所述根据所述主从模式选择信号确定自身为主芯片包括：当接收到的主从模式选择信号中的值为0时，确定自身为主芯片；当接收

到主从模式选择信号中的值非 0 时，确定自身为从芯片。

上述方案中，所述与所述 N 个从芯片配合进行内存数据处理包括：通过数据信号向从芯片写入数据、或在从芯片中读取数据。

上述方案中，对所述 N 个从芯片进行控制包括以下操作至少之一：

- 5 通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；

通过有效使能信号设置从芯片的读写模式；

通过写使能信号设置从芯片是否处于写有效模式；

- 10 通过读使能信号设置从芯片是否处于读使能模式；

通过接收读有效信号，确定自身是否处于读取从芯片数据的状态；

通过复位信号对从芯片进行复位。

上述方案中，所述访问 N 个从芯片为：对从芯片进行不同地址空间的通道访问，所述地址空间可配置。

- 15 本发明实施例还提供了一种芯片互连的方法，所述方法包括：

接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；

当根据所述主从模式选择信号确定自身为从芯片时，接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

- 20 上述方案中，所述根据所述主从模式选择信号确定自身为主芯片包括：当接收到主从模式选择信号中的值非 0 时，确定自身为从芯片。

上述方案中，所述与主芯片配合进行数据处理包括：与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

上述方案中，所述接收主芯片的访问及控制包括以下操作至少之一：

- 25 接收主芯片发来的地址信号，根据所述地址信号的第二数据中的从芯

片的标识，判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；

通过接收主芯片发来的有效使能信号确定自身的读写模式；

通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；

5 通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；

向主芯片发送读有效信号，用以通知所述主芯片读取自身数据；

根据主芯片发来的复位信号，进行复位。

上述方案中，所述方法还包括：接收主芯片配置的地址通道，并通过所述地址通道接收主芯片的访问。

10 本发明实施例提供了一种芯片，所述芯片包括：

接口信号控制模块，用于接收主从模式选择信号，当根据所述主从模式选择信号确定自身为主芯片时，开启系统级联总线转换模块；

系统级联总线转换模块，用于访问 N 个从芯片，与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

15 上述方案中，所述接口信号控制模块，包括：

接收子模块，用于接收主从模式选择信号；

逻辑判断子模块，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号为 0 时表示芯片是主芯片。

20 上述方案中，所述芯片还包括：所述数据选择模块，用于通过数据信号向从芯片写入数据、或从任意一个从芯片中读取数据；

相应的，所述系统级联总线转换模块，还用于控制所述数据选择模块进行读写访问选择控制和环回访问数据。

上述方案中，所述系统级联总线转换模块，包括：

内部缓存子模块，用于缓存系统级联总线转换时的数据和控制信号；

25 内存控制子模块，用于控制内部缓存子模块的读写控制功能；

系统级联总线转换子模块，用于通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；通过有效使能信号设置从芯片的读写模式；通过写使能信号设置从芯片是否处于写有效模式；通过读使能信号设置从芯片是否处于读使能模式；通过接收读有效信号，确定自身是否处于读取从芯片数据的状态；向从芯片发送复位信号，通过复位信号对从芯片进行复位。

上述方案中，所述系统级联总线转换模块，具体用于对从芯片进行不同地址空间的通道访问，所述地址空间可配置。

本发明还提供了一种芯片，所述芯片包括：

接口信号控制模块，用于接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为从芯片时，开启级联系统总线转换模块；

级联系统总线转换模块，用于接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

上述方案中，所述接口信号控制模块，包括：

接收子模块，用于接收主从模式选择信号；

逻辑判断子模块，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号不为 0 时表示芯片是从芯片。

上述方案中，所述芯片还包括：数据选择模块，用于与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

上述方案中，所述级联系统总线转换模块，包括：

内部缓存子模块，用于数据和控制信号的缓存；

内存控制子模块，用于控制内部缓存模块的读写；

地址映射子模块，用于预存地址映射表，用于将从芯片的地址空间按照空间单元划分了可配置的固定通道；

级联系统总线转换子模块，用于接收主芯片发来的地址信号判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；通过接收主
5 芯片发来的有效使能信号确定自身的读写模式；通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；向主芯片发送读有效信号，用以通知所述主芯片读取自身数据；

系统控制寄存器子模块，用于当接收到主芯片发来的复位信号时，进
10 行复位。

上述方案中，所述级联系统总线转换模块，具体用于接收主芯片配置
的地址通道，并通过所述地址通道接收主芯片的访问。

本发明实施例还提供了一种芯片互连的装置，所述装置包括：主芯片
及N个从芯片，N为大于等于1的正整数；其中，

15 主芯片，用于接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为主芯片时，访问N个从芯片，对所述N个从芯片进行控制、并且与所述N个从芯片配合进行内存数据处理；

从芯片，用于接收主从模式选择信号；当所述第二芯片根据所述主从
20 模式选择信号确定自身为从芯片时，接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

上述方案中，所述主芯片包括：

接口信号控制模块，用于接收主从模式选择信号，当根据所述主从模
式选择信号确定自身为主芯片时，开启系统级联总线转换模块；

25 系统级联总线转换模块，用于访问N个从芯片，与所述N个从芯片配

合进行内存数据处理；N为大于等于1的正整数。

上述方案中，所述接口信号控制模块，包括：

接收子模块，用于接收主从模式选择信号；

5 逻辑判断子模块，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号为0时表示芯片是主芯片。

上述方案中，所述主芯片还包括：所述数据选择模块，用于通过数据信号向从芯片写入数据、或从任意一个从芯片中读取数据；相应的，所述系统级联总线转换模块，还用于控制所述数据选择模块进行读写访问选择控制和环回访问数据。

10 上述方案中，所述系统级联总线转换模块，包括：

内部缓存子模块，用于缓存系统级联总线转换时的数据和控制信号；

内存控制子模块，用于控制内部缓存子模块的读写控制功能；

15 系统级联总线转换子模块，用于通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；通过有效使能信号设置从芯片的读写模式；通过写使能信号设置从芯片是否处于写有效模式；通过读使能信号设置从芯片是否处于读使能模式；通过接收读有效信号，确定自身是否处于读取从芯片数据的状态；

20 系统控制寄存器子模块，用于向从芯片发送复位信号，通过复位信号对从芯片进行复位。

上述方案中，所述系统级联总线转换模块，具体用于对从芯片进行不同地址空间的通道访问，所述地址空间可配置。

上述方案中，所述从芯片包括：

25 接口信号控制模块，用于接收主从模式选择信号；其中，所述主从模

式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为从芯片时，开启级联系统总线转换模块；

级联系统总线转换模块，用于接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

5 上述方案中，所述接口信号控制模块，包括：

接收子模块，用于接收主从模式选择信号；

逻辑判断子模块，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号不为0时表示芯片是从芯片。

10 上述方案中，所述从芯片还包括：数据选择模块，用于与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

上述方案中，所述级联系统总线转换模块，包括：

内部缓存子模块，用于数据和控制信号的缓存；

内存控制子模块，用于控制内部缓存模块的读写；

15 地址映射子模块，用于预存地址映射表，用于将从芯片的地址空间按照空间单元划分了可配置的固定通道；

级联系统总线转换子模块，用于接收主芯片发来的地址信号判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；通过接收主芯片发来的有效使能信号确定自身的读写模式；通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；向主芯片发送读有效信号，用以通知所
20 述主芯片读取自身数据；

系统控制寄存器子模块，用于当接收到主芯片发来的复位信号时，进行复位。

25 上述方案中，所述级联系统总线转换模块，具体用于接收主芯片配置的地址通道，并通过所述地址通道接收主芯片的访问。

本发明实施例所提供的芯片互连的方法、芯片及装置，能够通过设置主芯片以及从芯片，并且通过主芯片与从芯片协同工作，可使得芯片的综合业务处理能力增强，提高芯片利用率，进而提高芯片所应用系统市场竞争力。

5 附图说明

图 1 为本发明实施例芯片互连的方法流程示意图一；

图 2 为本发明实施例芯片互连的方法流程示意图二；

图 3 为本发明实施例芯片组成结构示意图一；

图 4 为本发明实施例芯片中系统级联总线转换模块组成结构示意图；

10 图 5 为本发明实施例芯片组成结构示意图二；

图 6 为本发明实施例芯片中级联系统总线转换模块组成结构示意图；

图 7 为本发明实施例芯片互连的装置组成结构示意图；

图 8 为本发明实施例芯片互连场景示意一；

图 9 为本发明实施例芯片互连场景示意二。

15 具体实施方式

下面结合附图及具体实施例对本发明再作进一步详细的说明。

实施例一、

本发明实施例提供了一种芯片互连的方法，如图 1 所示，包括：

20 步骤 101：接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片。

步骤 102：当根据所述主从模式选择信号确定自身为主芯片时，访问 N 个从芯片，对所述 N 个从芯片进行控制、并且与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

这里，所述接收主从模式选择信号包括：所述第一芯片中的主从模式

设置管脚，通过互连总线接收主从模式选择信号（CC_BS）；

其中，所述主从模式选择信号的位宽值可配置，位宽最小值为 1，最大值根据需要进行设置，该信号为所述芯片的输入信号，当值为 0 时，指示芯片为主芯片，当其值非 0 时，指示芯片为从芯片，并且指示该从芯片的
5 编号，该信号的值一般在芯片正常工作时保持恒定。

其中，所述第一芯片根据所述主从模式选择信号确定自身为主芯片可以包括：当接收到的主从模式选择信号中的值为 0 时，确定自身为主芯片；当接收到主从模式选择信号中的值非 0 时，确定自身为从芯片。

所述访问 N 个从芯片为：对从芯片进行不同地址空间的通道访问，所述地址空间可配置；主芯片通过配置的 N 个地址通道分别访问对应的 N 个
10 从芯片，所述地址通道为可配置的。

所述与所述 N 个从芯片配合进行数据处理可以包括：通过数据信号（CC_DATA）向从芯片写入数据、或从任意一个从芯片中读取数据；该信号的位宽值可配置，该信号实现主芯片片内总线数据和从芯片内总线的数据
15 传输，主芯片写入从芯片的数据是主芯片的读出数据，主芯片从从芯片的读出数据是主芯片的写入数据。

优选地，对所述 N 个从芯片进行控制包括以下操作至少之一：

通过地址信号（CC_ADDR）选取所要访问的从芯片；该信号的位宽值可配置，该信号在主芯片模式中是主芯片的输出信号，在从芯片模式中是
20 从芯片的输入信号，该信号的有效地址是主芯片的物理空间地址，也是从芯片的物理空间地址；所述地址信号中可以包括第一数据和第二数据，所述第一数据与 CC_BS 信号保持一致位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；进而，通过发送地址信号就可以使得从芯片判断主芯片是否要访问自身，从而将主从的芯片的
25 访问联系起来；

通过有效使能信号 (CC_CS) 设置从芯片的读写模式, 为单 bit 信号, 该信号在主芯片模式中是主芯片的输出信号, 在从芯片模式中是从芯片的输入信号, 该信号为低电平时表示总线处于读或写模式, 读和写模式有效, 由 CC_WE 和 CC_OE 信号决定;

- 5 通过写使能信号 (CC_WE) 设置从芯片是否处于写有效模式, 为单 bit 信号, 该信号在主芯片中是输出信号, 比如, 当该信号为低电平、且有效使能信号为低电平时, 设置对应的从芯片为写有效, 该信号和 CC_CS 信号的相位是可以配置的;

- 10 通过读使能信号 (CC_OE) 设置从芯片是否处于读使能模式, 为单 bit 信号, 该信号在主芯片中是输出信号, 比如, 当该信号为低电平、且 CC_CS 信号为低电平时, 表示总线的读有效, 该信号和 CC_CS 信号的相位是可以配置的;

- 15 通过接收读有效信号 (CC_BUSY), 确定自身是否处于读取从芯片数据的状态; 是单 bit 信号, 该信号在主芯片中是输入信号, 在从芯片中是输出信号, 该信号为高电平时, 表示从芯片送到主芯片的数据是有效数据, 该信号和 CC_CS、CC_OE 信号的相位关系是可以配置的;

通过复位信号 (CC_RST) 对从芯片进行复位, 是单 bit 信号, 该信号在主芯片中是输出信号, 在从片中是输入信号, 比如, 该信号为低电平时, 复位该接口总线和从芯片中的该装置的寄存器等配置。

- 20 上述互联总线在芯片中可以和任意片内总线进行转换; 互联总线的时序参数可以配置; 该互联接口总线是单工异步接口, 无时钟信号。

实施例二、

本实施例提供了一种芯片互连的方法, 如图 2 所示, 包括:

- 25 步骤 201: 接收主从模式选择信号; 其中, 所述主从模式选择信号用于指示芯片为主芯片或从芯片。

步骤 202: 当根据所述主从模式选择信号确定自身为从芯片时, 接收主芯片的访问及控制, 并且与主芯片配合进行数据处理。

这里, 所述接收主从模式选择信号包括: 所述第二芯片中的主从模式设置管脚, 通过互连总线接收主从模式选择信号 (CC_BS);

5 其中, 所述主从模式选择信号的位宽值可配置, 位宽最小值为 1, 最大值根据需要进行设置, 该信号为所述芯片的输入信号, 当值为 0 时, 指示芯片为主芯片, 当其值非 0 时, 指示芯片为从芯片, 并且指示该从芯片的编号, 该信号的值一般在芯片正常工作时保持恒定。

其中, 所述根据所述主从模式选择信号确定自身为主芯片可以包括:
10 当接收到主从模式选择信号中的值非 0 时, 确定自身为从芯片。

所述与主芯片配合进行数据处理可以包括: 与主芯片相互传输数据信号 (CC_DATA), 用以在自身写入数据、或由主芯片读取数据; 该信号的位宽值可配置。

优选地, 接收主芯片的访问及控制包括以下操作至少之一:

15 接收主芯片发来的地址信号 (CC_ADDR) 判断自身是否为主芯片所要访问的芯片, 若是, 则与主芯片建立联系; 该信号的位宽值可配置, 该信号在主芯片模式中是主芯片的输出信号, 在从芯片模式中是从芯片的输入信号, 该信号的有效地址是主芯片的物理空间地址, 也是从芯片的物理空间地址; 所述地址信号中可以包括第一数据和第二数据, 所述第一数据与
20 CC_BS 信号保持一致位于所述地址信号中的高位或低位, 所述第二数据为所述主芯片所要访问的从芯片的标识;

通过接收主芯片发来的有效使能信号 (CC_CS) 确定自身的读写模式, 为单 bit 信号, 该信号在主芯片模式中是主芯片的输出信号, 在从芯片模式中是从芯片的输入信号, 该信号为低电平时表示总线处于读或写模式, 读
25 和写模式有效, 由 CC_WE 和 CC_OE 信号决定;

通过接收主芯片发来的写使能信号 (CC_WE) 确定自身是否处于写有效模式, 为单 bit 信号, 该信号在主芯片中是输出信号, 比如, 当该信号为低电平、且有效使能信号为低电平时, 设置对应的从芯片为写有效, 该信号和 CC_CS 信号的相位是可以配置的;

5 通过接收主芯片发来的读使能信号 (CC_OE) 确定自身是否处于读使能模式, 为单 bit 信号, 该信号在主芯片中是输出信号, 比如, 当该信号为低电平、且 CC_CS 信号为低电平时, 表示总线的读有效, 该信号和 CC_CS 信号的相位是可以配置的;

10 向主芯片发送读有效信号 (CC_BUSY), 用以通知所述主芯片读取自身数据; 是单 bit 信号, 该信号在主芯片中是输入信号, 在从芯片中是输出信号, 该信号为高电平时, 表示从芯片送到主芯片的数据是有效数据, 该信号和 CC_CS、CC_OE 信号的相位关系是可以配置的;

15 根据主芯片发来的复位信号 (CC_RST), 进行复位, 是单 bit 信号, 该信号在主芯片中是输出信号, 在从片中是输入信号, 比如, 该信号为低电平时, 复位该接口总线和从芯片中的该装置的寄存器等配置。

所述方法还包括: 预设地址通道, 对应访问地址空间, 所述访问地址空间可以按照不同大小的容量设置访问通道。

上述互联总线在芯片中可以和任意片内总线进行转换; 互联总线的时序参数可以配置; 该互联接口总线是单工异步接口, 无时钟信号。

20

实施例三、

本实施例提供了一种芯片, 如图 3 所示, 包括:

25 接口信号控制模块 31 (IO_CTRL), 用于接收主从模式选择信号, 当根据所述主从模式选择信号确定自身为主芯片时, 开启系统级联总线转换模块;

系统级联总线转换模块 32 (BUS2ASRAM), 用于访问 N 个从芯片,

与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

所述接口信号控制模块 31，包括：

接收子模块 311，用于接收主从模式选择信号 (CC_BS)；

5 逻辑判断子模块 312，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号为 0 时表示芯片是主芯片，不为 0 时表示芯片是从芯片。

所述系统级联总线转换模块 32 (BUS2ASRAM) 实现该装置的一些基本配置功能，包括装置的环回访问控制配置、外部级联接口总线读写控制信号的相位控制参数配置等功能。并提供通过系统总线向外部级联总线的
10 转换功能，支持任何系统总线，如 AMBA 总线的 AXI、AHB 和 APB 总线等。组成如图 2 所示。

所述芯片还包括：数据选择模块 33，用于当所述芯片作为主芯片时，向从芯片写入数据、或从任意一个从芯片中读取数据；相应的，所述系统级联总线转换模块，还用于控制所述数据选择模块进行读写访问选择控制
15 和环回访问数据。

所述系统级联总线转换模块，如图 4 所示，包括：系统控制寄存器子模块 (CFGREG)、系统级联总线转换子模块 (BUS2ASRAM)、内部缓存子模块 (MEM) 和内存控制子模块。

内部缓存子模块 41，用于缓存系统级联总线转换时的数据和控制信号；
20 缓存的数据足够一个 burst 长度，或一定长度时系统级联总线转换子模块 43 可以读取；

内存控制子模块 42，用于控制内部缓存子模块 41 的读写控制功能；

系统级联总线转换子模块 43 (BUS2ASRAM)，用于通过地址信号 (CC_ADDR) 选取所要访问的从芯片；该信号的位宽值可配置，该信号在
25 主芯片模式中是主芯片的输出信号，在从芯片模式中是从芯片的输入信号，

该信号的有效地址是主芯片的物理空间地址，也是从芯片的物理空间地址；
所述地址信号中可以包括第一数据和第二数据，所述第一数据与 CC_BS 信号保持一致位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；通过发送地址信号就可以使得从芯片判断主
5 芯片是否要访问自身，从而将主从的芯片的访问联系起来；

通过有效使能信号 (CC_CS) 设置从芯片的读写模式，为单 bit 信号，
该信号在主芯片模式中是主芯片的输出信号，在从芯片模式中是从芯片的
输入信号，该信号为低电平时表示总线处于读或写模式，读和写模式有效，
由 CC_WE 和 CC_OE 信号决定；

10 通过写使能信号 (CC_WE) 设置从芯片是否处于写有效模式，为单 bit
信号，该信号在主芯片中是输出信号，比如，当该信号为低电平、且有效
使能信号为低电平时，设置对应的从芯片为写有效，该信号和 CC_CS 信号
的相位是可以配置的；

通过读使能信号 (CC_OE) 设置从芯片是否处于读使能模式，为单 bit
15 信号，该信号在主芯片中是输出信号，比如，当该信号为低电平、且 CC_CS
信号为低电平时，表示总线的读有效，该信号和 CC_CS 信号的相位是可以
配置的；

通过接收读有效信号 (CC_BUSY)，确定自身是否处于读取从芯片数
据的状态；是单 bit 信号，该信号在主芯片中是输入信号，在从芯片中是输
20 出信号，该信号为高电平时，表示从芯片送到主芯片的数据是有效数据，
该信号和 CC_CS、CC_OE 信号的相位关系是可以配置的；

向从芯片发送复位信号，通过复位信号 (CC_RST) 对从芯片进行复位，
是单 bit 信号，该信号在主芯片中是输出信号，在从片中是输入信号，比如，
该信号为低电平时，复位该接口总线和从芯片中的寄存器等配置。

25 所述系统控制寄存器子模块，用于获取主芯片的配置。

所述数据选择模块，具体用于通过数据信号（CC_DATA）向从芯片写入数据、或从任意一个从芯片中读取数据；该信号的位宽值可配置，该信号实现主芯片片内总线数据和从芯片内总线的数据传输，主芯片写入从芯片的数据是主芯片的读出数据，主芯片从从芯片的读出数据是主芯片的写入数据。

优选地，所述芯片还可以具备级联系统总线转换模块，但是，当所述芯片作为主芯片时，所述级联系统总线转换模块是不工作的。

实施例四、

本实施例提供了一种芯片，如图 5 所示，包括：

接口信号控制模块 51，用于接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为从芯片时，开启级联系统总线转换模块（ASRAM2BUS）；

级联系统总线转换模块 52，用于接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

所述接口信号控制模块，包括：

接收子模块 511，用于接收主从模式选择信号（CC_BS）；

逻辑判断子模块 512，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号为 0 时表示芯片是主芯片，不为 0 时表示芯片是从芯片。

其中，所述主从模式选择信号的位宽值可配置，位宽最小值为 1，最大值根据需要进行设置，该信号为所述芯片的输入信号，当其值非 0 时，指示芯片为从芯片，并且指示了自身的编号，该信号的值一般在芯片正常工作时保持恒定。

所述芯片还包括：数据选择模块，用于与主芯片相互传输数据信号（CC_DATA），用以在自身写入数据、或由主芯片读取数据；该信号的位

宽值可配置。

优选地，级联系统总线转换模块（ASRAM2BUS），如图 6 所示，包括系统控制寄存器子模块（CFGREG）、级联系统总线转换子模块（ASRAM2BUS）、内部缓存子模块（MEM）、内存控制子模块和地址映射子模块；

内部缓存子模块 61 用于数据和控制信号的缓存；

内存控制子模块 62，用于控制内部缓存模块的读写；

地址映射子模块 63，用于预存地址映射表，该地址映射表将主芯片访问从芯片的地址空间按照 4KB、16KB、32KB、64KB、128KB、1M 和 2M 等空间单元划分了可配置的固定通道，将主芯片中的该装置物理地址按这些通道划分，在从芯片中每个通道代表了一个设备的物理地址的起始地址和空间大小，该物理地址的起始地址可以设置为一个具体的设备起始地址，从芯片工作时，该起始地址是可配置的，该地址可以被复位。

在主芯片中，级联系统总线转换模块是不工作的。

级联系统总线转换子模块 64，用于接收主芯片发来的地址信号（CC_ADDR）判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；该信号的位宽值可配置，该信号在主芯片模式中是主芯片的输出信号，在从芯片模式中是从芯片的输入信号，该信号的有效地址是主芯片的物理空间地址，也是从芯片的物理空间地址；所述地址信号中可以包括第一数据和第二数据，所述第一数据与 CC_BS 信号保持一致位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；访问地址空间可以按照不同大小的容量设置访问通道；

通过接收主芯片发来的有效使能信号（CC_CS）确定自身的读写模式，为单 bit 信号，该信号在主芯片模式中是主芯片的输出信号，在从芯片模式中是从芯片的输入信号，该信号为低电平时表示总线处于读或写模式，读

和写模式有效，由 CC_WE 和 CC_OE 信号决定；

通过接收主芯片发来的写使能信号 (CC_WE) 确定自身是否处于写有效模式，为单 bit 信号，该信号在主芯片中是输出信号，比如，当该信号为低电平、且有效使能信号为低电平时，设置对应的从芯片为写有效，该信号和 CC_CS 信号的相位是可以配置的；

通过接收主芯片发来的读使能信号 (CC_OE) 确定自身是否处于读使能模式，为单 bit 信号，该信号在主芯片中是输出信号，比如，当该信号为低电平、且 CC_CS 信号为低电平时，表示总线的读有效，该信号和 CC_CS 信号的相位是可以配置的；

向主芯片发送读有效信号 (CC_BUSY)，用以通知所述主芯片读取自身数据；是单 bit 信号，该信号在主芯片中是输入信号，在从芯片中是输出信号，该信号为高电平时，表示从芯片送到主芯片的数据是有效数据，该信号和 CC_CS、CC_OE 信号的相位关系是可以配置的；

系统控制寄存器子模块 65，用于当接收到主芯片发来的复位信号 (CC_RST) 时，进行复位，是单 bit 信号，该信号在主芯片中是输出信号，在从片中是输入信号，比如，该信号为低电平时，复位该接口总线和从芯片中的该装置的寄存器等配置。

上述互联总线在芯片中可以和任意片内总线进行转换；互联总线的时序参数可以配置；该互联接口总线是单工异步接口，无时钟信号。

实施例五、

基于上述芯片互联的方法以及芯片，本实施例提供了一种芯片互连的装置，如图 7 所示，可以包括：主芯片及 N 个从芯片；

主芯片 71，用于接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为主芯片时，访问 N 个从芯片，对所述 N 个从芯片进行控制、并且与所

述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数；

从芯片 72，用于接收主从模式选择信号；当所述第二芯片根据所述主从模式选择信号确定自身为从芯片时，接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

5 其中，所述主芯片包括：接口信号控制模块，用于接收主从模式选择信号，当根据所述主从模式选择信号确定自身为主芯片时，开启系统级联总线转换模块；

系统级联总线转换模块，用于访问 N 个从芯片，与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

10 所述接口信号控制模块，包括：

接收子模块，用于接收主从模式选择信号；

逻辑判断子模块，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号为 0 时表示芯片是主芯片。

15 所述主芯片还包括：所述数据选择模块，用于通过数据信号向从芯片写入数据、或从任意一个从芯片中读取数据；相应的，所述系统级联总线转换模块，还用于控制所述数据选择模块进行读写访问选择控制和环回访问数据。

所述系统级联总线转换模块，包括：

内部缓存子模块，用于缓存系统级联总线转换时的数据和控制信号；

20 内存控制子模块，用于控制内部缓存子模块的读写控制功能；

系统级联总线转换子模块，用于通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；通过有效使能信号设置从芯片的读写模式；通过写使能信号设置从芯片是否处于写有效模式；通过读使能信号设置从芯
25

片是否处于读使能模式；通过接收读有效信号，确定自身是否处于读取从芯片数据的状态；

系统控制寄存器子模块，用于向从芯片发送复位信号，通过复位信号对从芯片进行复位。

- 5 所述系统级联总线转换模块，具体用于对从芯片进行不同地址空间的通道访问，所述地址空间可配置。

另外，上述从芯片包括：

- 接口信号控制模块，用于接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为从芯片时，开启级联系统总线转换模块；

级联系统总线转换模块，用于接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

所述接口信号控制模块，包括：

接收子模块，用于接收主从模式选择信号；

- 15 逻辑判断子模块，用于根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号不为 0 时表示芯片是从芯片。

所述从芯片还包括：数据选择模块，用于与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

所述级联系统总线转换模块，包括：

- 20 内部缓存子模块，用于数据和控制信号的缓存；

内存控制子模块，用于控制内部缓存模块的读写；

地址映射子模块，用于预存地址映射表，用于将从芯片的地址空间按照空间单元划分了可配置的固定通道；

- 25 级联系统总线转换子模块，用于接收主芯片发来的地址信号判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；通过接收主

芯片发来的有效使能信号确定自身的读写模式；通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；向主芯片发送读有效信号，用以通知所述主芯片读取自身数据；

- 5 系统控制寄存器子模块，用于当接收到主芯片发来的复位信号时，进行复位。

所述级联系统总线转换模块，具体用于接收主芯片配置的地址通道，并通过所述地址通道接收主芯片的访问。

- 级联应用如图 8 所示。在级联应用时，主芯片的 CC_BS 的输入值为 0，
10 从芯片的 CC_BS 输入值为非 0。主从芯片通过级联接口总线进行连接，从芯片的最大数目是 CC_BS 的值减去 1。另外，通过图 8 可以直观的看到，当芯片作为主芯片时，其级联系统总线转换模块处于不工作状态；相应的，当芯片作为从芯片时，如从芯片 0，其中系统级联总线转换模块处于不工作状态。

- 15 下面以外部级联接口总线的地址位宽为 26bit，数据位宽为 16bit，主从模式选择信号为 4bit 的配置模式，对该装置进行详细描述。

16 组芯片的芯片级联装置装置如图 9 所示，图中只画出了 2 个芯片的级联，其它 14 个芯片的级联连接相似，以此类推。

- 在本申请所提供的几个实施例中，应该理解到，所揭露的设备和方法，
20 可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备或单元
25 的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元，即可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

5 另外，在本发明各实施例中的各功能单元可以全部集成在一个处理单元中，也可以是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

本领域普通技术人员可以理解：实现上述方法实施例的全部或部分步
10 骤可以通过程序指令相关的硬件来完成，前述的程序可以存储于一计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：移动存储设备、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

15 或者，本发明上述集成的单元如果以软件功能模块的形式实现并作为独立的产品销售或使用，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算
20 机、服务器、或者网络设备等）执行本发明各个实施例所述方法的全部或部分。而前述的存储介质包括：移动存储设备、只读存储器（ROM，Read-Only Memory）、随机存取存储器（RAM，Random Access Memory）、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局
25 限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可

轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

工业实用性

5 本发明公开了一种芯片互连的方法、芯片及装置，能够根据接收到的主从模式选择信号确定芯片为主芯片或从芯片，并且通过主芯片与从芯片协同工作，可使得芯片的综合业务处理能力增强，提高芯片利用率，进而提高芯片所应用系统市场竞争力。

权利要求书

1、一种芯片互连的方法，所述方法包括：

接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；

5 当根据所述主从模式选择信号确定自身为主芯片时，访问 N 个从芯片，对所述 N 个从芯片进行控制、并且与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

2、根据权利要求 1 所述的方法，其中，所述根据所述主从模式选择信号确定自身为主芯片，包括：

10 当接收到的主从模式选择信号中的值为 0 时，确定自身为主芯片；

当接收到主从模式选择信号中的值非 0 时，确定自身为从芯片。

3、根据权利要求 1 所述的方法，其中，所述与所述 N 个从芯片配合进行内存数据处理，包括：通过数据信号向从芯片写入数据、或在从芯片中读取数据。

15 4、根据权利要求 1 所述的方法，其中，对所述 N 个从芯片进行控制包括以下操作至少之一：

通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；

20 通过有效使能信号设置从芯片的读写模式；

通过写使能信号设置从芯片是否处于写有效模式；

通过读使能信号设置从芯片是否处于读使能模式；

通过接收读有效信号，确定自身是否处于读取从芯片数据的状态；

通过复位信号对从芯片进行复位。

25 5、根据权利要求 1 所述的方法，其中，所述访问 N 个从芯片为：对从

芯片进行不同地址空间的通道访问，所述地址空间可配置。

6、一种芯片互连的方法，所述方法包括：

接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；

5 当根据所述主从模式选择信号确定自身为从芯片时，接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

7、根据权利要求6所述的方法，其中，所述根据所述主从模式选择信号确定自身为从芯片，包括：

当接收到主从模式选择信号中的值非0时，确定自身为从芯片。

10 8、根据权利要求6所述的方法，其中，所述与主芯片配合进行数据处理包括：与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

9、根据权利要求6所述的方法，其中，所述接收主芯片的访问及控制包括以下操作至少之一：

15 接收主芯片发来的地址信号，根据所述地址信号的第二数据中的从芯片的标识，判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；

通过接收主芯片发来的有效使能信号确定自身的读写模式；

通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；

20 通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；

向主芯片发送读有效信号，用以通知所述主芯片读取自身数据；

根据主芯片发来的复位信号，进行复位。

10、根据权利要求6所述的方法，其中，所述方法还包括：接收主芯片配置的地址通道，并通过所述地址通道接收主芯片的访问。

25 11、一种芯片，所述芯片包括：

接口信号控制模块，配置为接收主从模式选择信号，当根据所述主从模式选择信号确定自身为主芯片时，开启系统级联总线转换模块；

系统级联总线转换模块，配置为访问 N 个从芯片，与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

5 12、根据权利要求 11 所述的芯片，其中，所述接口信号控制模块，包括：

接收子模块，配置为接收主从模式选择信号；

逻辑判断子模块，配置为根据接收的主从模式选择信号进行内部逻辑判断，当所述主从模式选择信号为 0 时表示芯片是主芯片。

10 13、根据权利要求 12 所述的芯片，其中，所述芯片还包括：

数据选择模块，配置为通过数据信号向从芯片写入数据、或从任意一个从芯片中读取数据；

相应的，所述系统级联总线转换模块，配置为控制所述数据选择模块进行读写访问选择控制和环回访问数据。

15 14、根据权利要求 13 所述的芯片，其中，所述系统级联总线转换模块，包括：

内部缓存子模块，配置为缓存系统级联总线转换时的数据和控制信号；

内存控制子模块，配置为控制内部缓存子模块的读写控制功能；

20 系统级联总线转换子模块，配置为通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；通过有效使能信号设置从芯片的读写模式；通过写使能信号设置从芯片是否处于写有效模式；通过读使能信号设置从芯片是否处于读使能模式；通过接收读有效信号，确定自身是否处于读取
25 从芯片数据的状态；向从芯片发送复位信号，通过复位信号对从芯片进行

复位。

15、根据权利要求 13 所述的芯片，其中，所述系统级联总线转换模块，配置为对从芯片进行不同地址空间的通道访问，所述地址空间可配置。

16、一种芯片，所述芯片包括：

5 接口信号控制模块，配置为接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为从芯片时，开启级联系统总线转换模块；

级联系统总线转换模块，配置为接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

10 17、根据权利要求 16 所述的芯片，其中，所述接口信号控制模块，包括：

接收子模块，配置为接收主从模式选择信号；

逻辑判断子模块，配置为根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号不为 0 时表示芯片是从芯片。

15 18、根据权利要求 17 所述的芯片，其中，所述芯片还包括：数据选择模块，配置为与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

19、根据权利要求 18 所述的芯片，其中，所述级联系统总线转换模块，包括：

20 内部缓存子模块，配置为数据和控制信号的缓存；

内存控制子模块，配置为控制内部缓存模块的读写；

地址映射子模块，配置为预存地址映射表，用于将从芯片的地址空间按照空间单元划分了可配置的固定通道；

25 级联系统总线转换子模块，配置为接收主芯片发来的地址信号判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；通过接收

主芯片发来的有效使能信号确定自身的读写模式；通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；向主芯片发送读有效信号，用以通知所述主芯片读取自身数据；

- 5 系统控制寄存器子模块，配置为当接收到主芯片发来的复位信号时，进行复位。

20、根据权利要 18 所述的芯片，其中，所述级联系统总线转换模块，配置为接收主芯片配置的地址通道，并通过所述地址通道接收主芯片的访问。

- 10 21、一种芯片互连的装置，所述装置包括：主芯片及 N 个从芯片，N 为大于等于 1 的正整数；其中，

主芯片，配置为接收主从模式选择信号；其中，所述主从模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为主芯片时，访问 N 个从芯片，对所述 N 个从芯片进行控制、并且与所
15 述 N 个从芯片配合进行内存数据处理；

从芯片，配置为接收主从模式选择信号；当所述第二芯片根据所述主从模式选择信号确定自身为从芯片时，接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

22、根据权利要求 21 所述的装置，其中，所述主芯片包括：

- 20 接口信号控制模块，配置为接收主从模式选择信号，当根据所述主从模式选择信号确定自身为主芯片时，开启系统级联总线转换模块；

系统级联总线转换模块，配置为访问 N 个从芯片，与所述 N 个从芯片配合进行内存数据处理；N 为大于等于 1 的正整数。

- 25 23、根据权利要求 22 所述的装置，其中，所述接口信号控制模块，包括：

接收子模块，配置为接收主从模式选择信号；

逻辑判断子模块，配置为根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号为 0 时表示芯片是主芯片。

24、根据权利要求 23 所述的装置，其中，所述主芯片还包括：数据选择模块，配置为通过数据信号向从芯片写入数据、或从任意一个从芯片中读取数据；

相应的，所述系统级联总线转换模块，配置为控制所述数据选择模块进行读写访问选择控制和环回访问数据。

25、根据权利要求 24 所述的装置，其中，所述系统级联总线转换模块，包括：

内部缓存子模块，配置为缓存系统级联总线转换时的数据和控制信号；

内存控制子模块，配置为控制内部缓存子模块的读写控制功能；

系统级联总线转换子模块，配置为通过地址信号选取所要访问的从芯片；所述地址信号包括第一数据和第二数据，所述第一数据与主从模式选择信号一致，位于所述地址信号中的高位或低位，所述第二数据为所述主芯片所要访问的从芯片的标识；通过有效使能信号设置从芯片的读写模式；通过写使能信号设置从芯片是否处于写有效模式；通过读使能信号设置从芯片是否处于读使能模式；通过接收读有效信号，确定自身是否处于读取从芯片数据的状态；

系统控制寄存器子模块，配置为向从芯片发送复位信号，通过复位信号对从芯片进行复位。

26、根据权利要求 24 所述的装置，其中，所述系统级联总线转换模块，配置为对从芯片进行不同地址空间的通道访问，所述地址空间可配置。

27、根据权利要求 21 所述的装置，其中，所述从芯片包括：

接口信号控制模块，配置为接收主从模式选择信号；其中，所述主从

模式选择信号用于指示芯片为主芯片或从芯片；当根据所述主从模式选择信号确定自身为从芯片时，开启级联系统总线转换模块；

级联系统总线转换模块，配置为接收主芯片的访问及控制，并且与主芯片配合进行数据处理。

5 28、根据权利要求 27 所述的装置，其中，所述接口信号控制模块，包括：

接收子模块，配置为接收主从模式选择信号；

逻辑判断子模块，配置为根据接收的主从模式选择信号进行内部逻辑判断，当该主从模式选择信号不为 0 时表示芯片是从芯片。

10 29、根据权利要求 28 所述的装置，其中，所述从芯片还包括：数据选择模块，配置为与主芯片相互传输数据信号，用以在自身写入数据、或由主芯片读取数据。

30、根据权利要求 29 所述的装置，其中，所述级联系统总线转换模块，包括：

15 内部缓存子模块，配置为数据和控制信号的缓存；

内存控制子模块，配置为控制内部缓存模块的读写；

地址映射子模块，配置为预存地址映射表，用于将从芯片的地址空间按照空间单元划分了可配置的固定通道；

级联系统总线转换子模块，配置为接收主芯片发来的地址信号判断自身是否为主芯片所要访问的芯片，若是，则与主芯片建立联系；通过接收主芯片发来的有效使能信号确定自身的读写模式；通过接收主芯片发来的写使能信号确定自身是否处于写有效模式；通过接收主芯片发来的读使能信号确定自身是否处于读使能模式；向主芯片发送读有效信号，用以通知
20 所述主芯片读取自身数据；

25 系统控制寄存器子模块，配置为当接收到主芯片发来的复位信号时，

进行复位。

31、根据权利要 29 所述的装置，其中，所述级联系统总线转换模块，配置为接收主芯片配置的地址通道，并通过所述地址通道接收主芯片的访问。

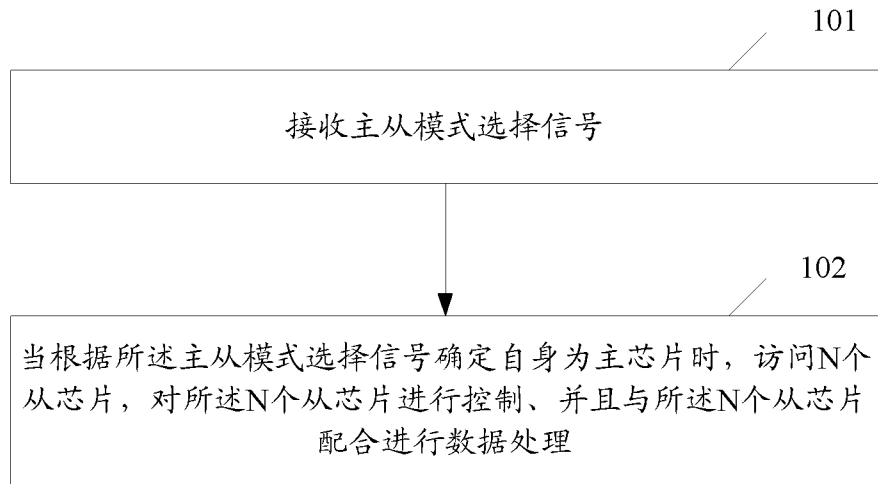


图 1

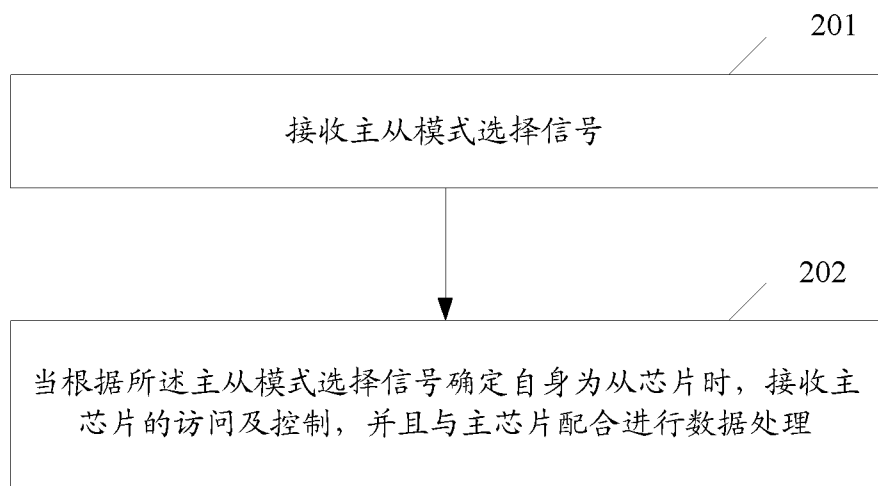


图 2

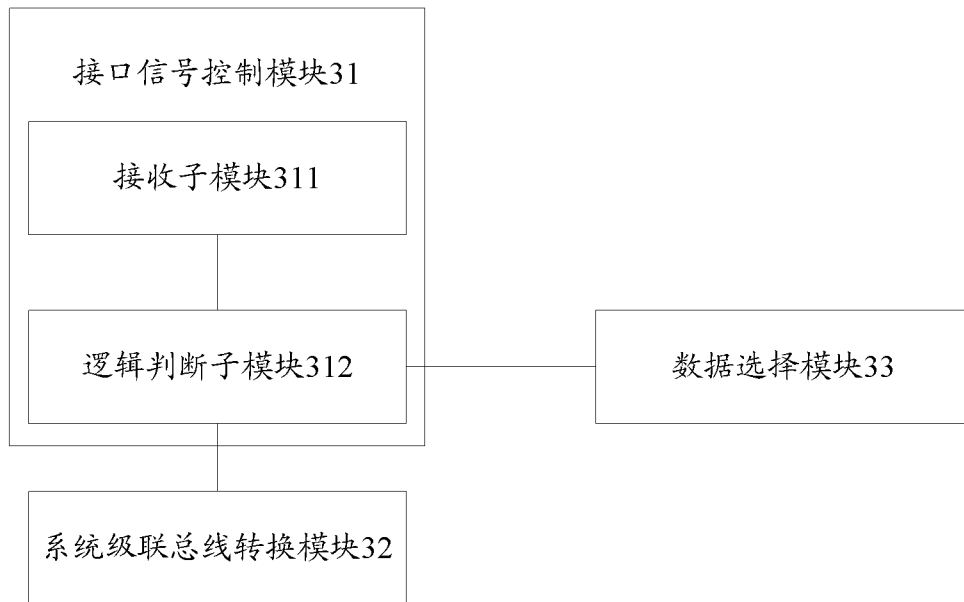


图 3



图 4

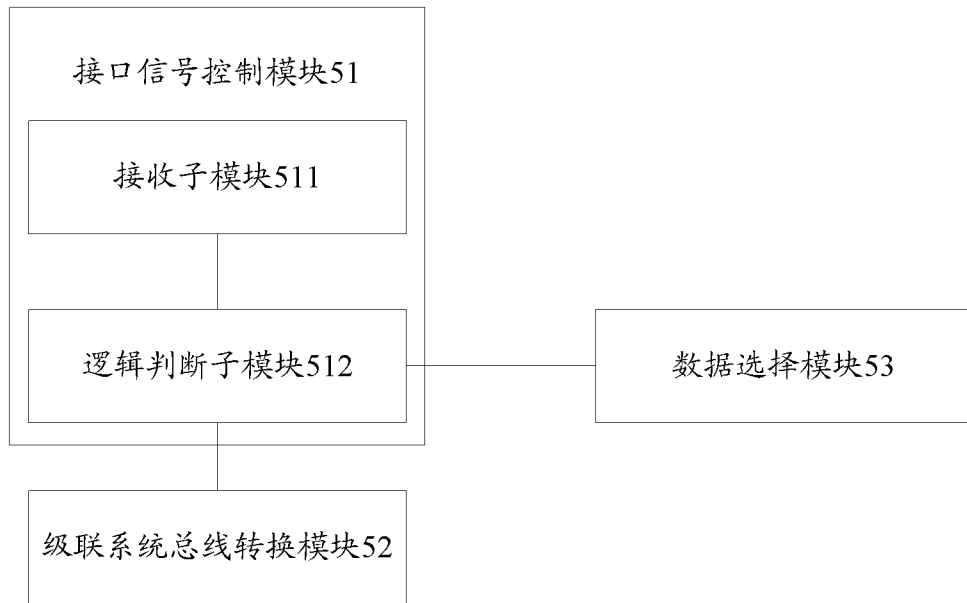


图 5

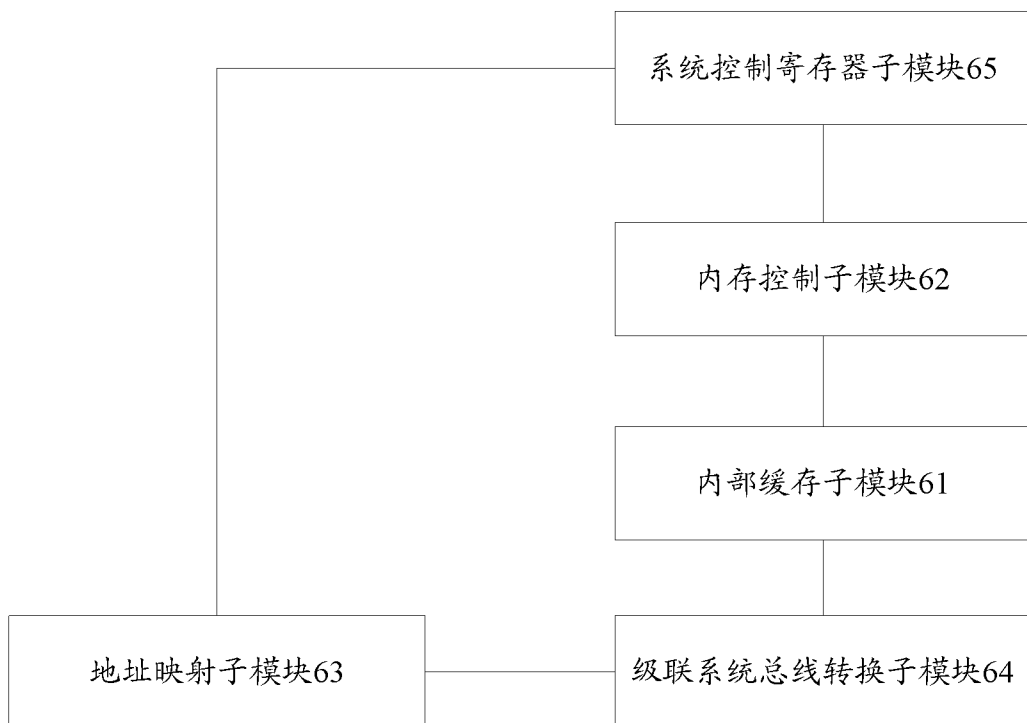


图 6



图 7

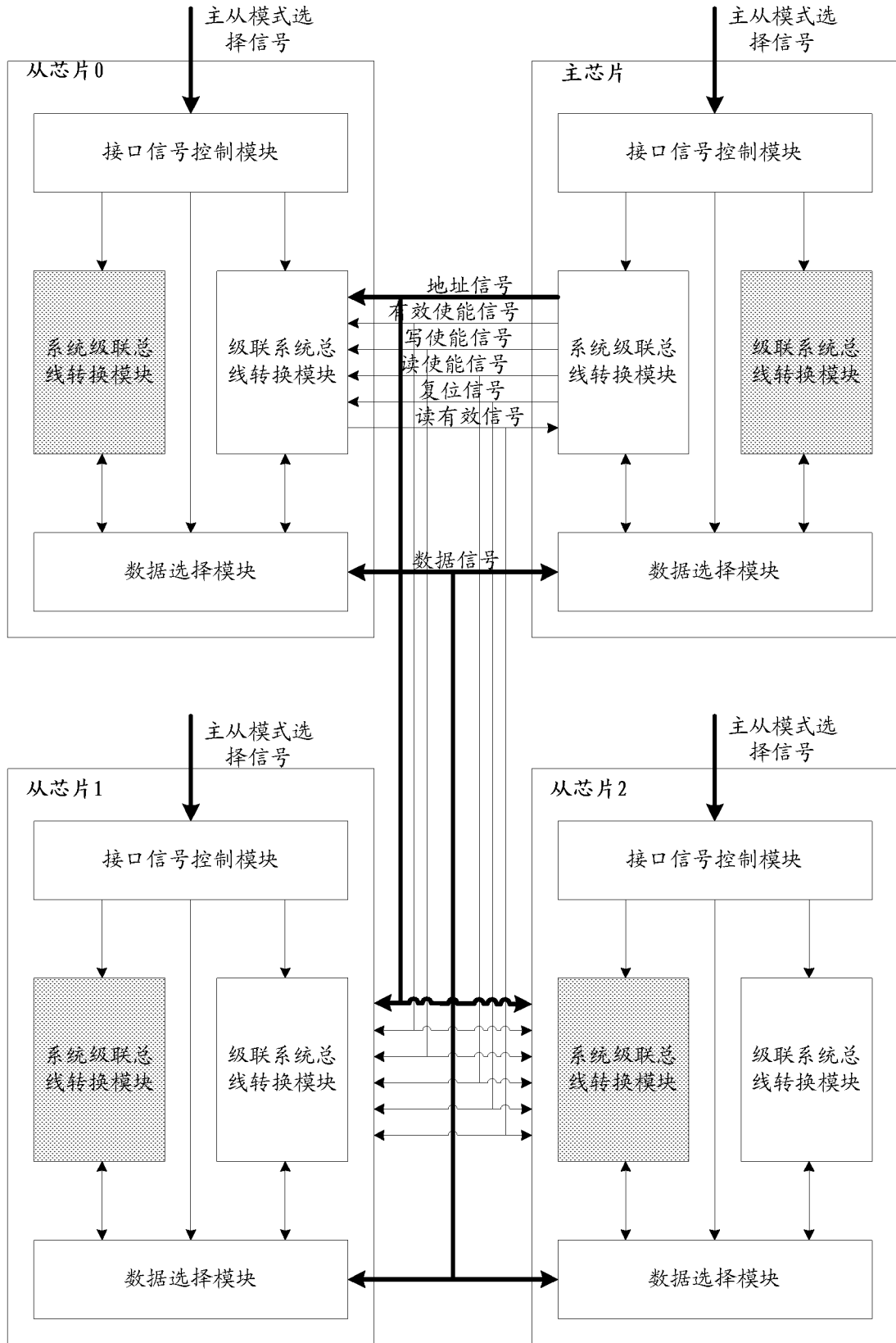


图 8

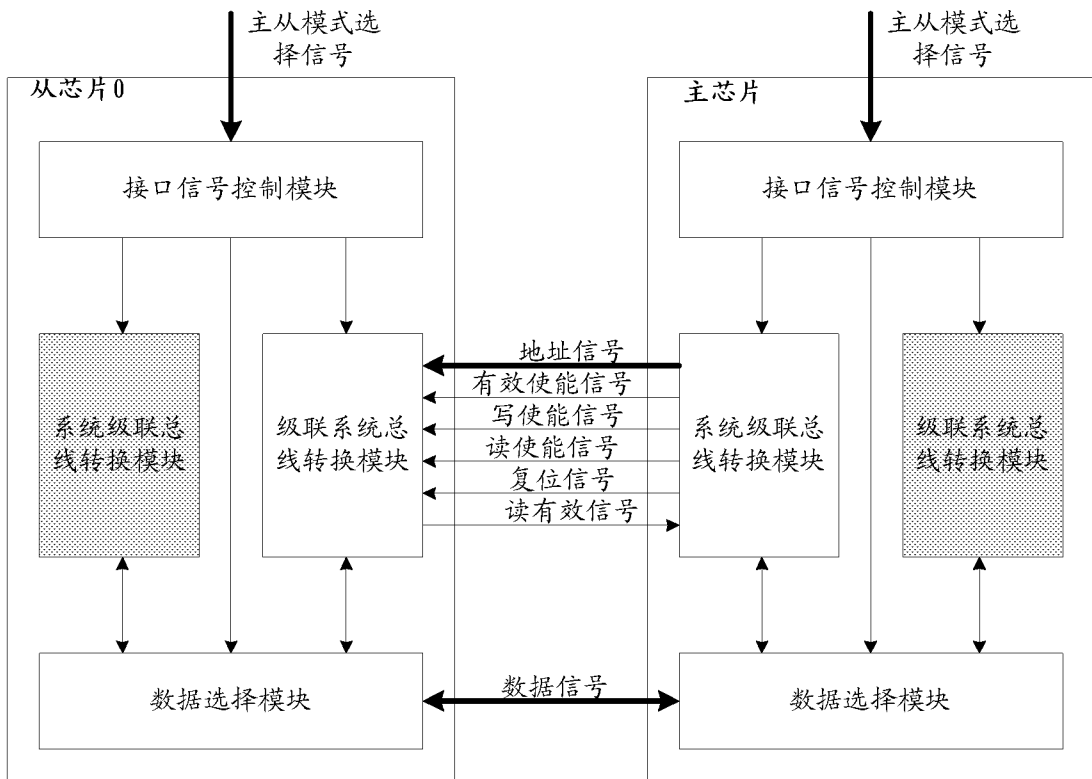


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/087995

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/40 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; VEN; CNKI: processor, CPU, chip, select+, master, primary, prime, subsidiary, secondary, subordinate, interconnect+, signal, command, instruction, memory, RAM, random w access w memory, multi+, plural+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5056000 A (INT PARALLEL MACHINES INC.) 08 October 1991 (08.10.1991) description, column 3, lines 1 to 53 and column 7, lines 10 to 53, and figures 2, 8 and 10	1-3, 5-8, 10-13, 15-18, 20-24, 26-29, 31
Y	US 5056000 A (INT PARALLEL MACHINES INC.) 08 October 1991 (08.10.1991) description, column 3, lines 1 to 53 and column 7, lines 10 to 53, and figures 2, 8 and 10	4, 9, 14, 19, 25, 30
Y	US 6145041 A (ALCATEL USA SOURCING LP) 07 November 2000 (07.11.2000) description, column 2, lines 19 to 39	4, 9, 14, 19, 25, 30
A	US 5291605 A (NEC CORP.) 01 March 1994 (01.03.1994) the whole document	1-31
A	US 5859986 A (IBM) 12 January 1999 (12.01.1999) the whole document	1-31

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&”document member of the same patent family</p>
---	--

Date of the actual completion of the international search
26 March 2015

Date of mailing of the international search report
01 April 2015

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
WU, Guangping
Telephone No. (86-10) 62411829

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/087995

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6496880 B1 (AGERE SYSTEMS INC.) 17 December 2002 (17.12.2002) the whole document	1-31
A	CN 102163184 A (ZTE CORP.) 24 August 2011 (24.08.2011) the whole document	1-31
A	CN 201638573 U (RICHTEK TECHNOLOGY CORP.) 17 November 2010 (17.11.2010) the whole document	1-31

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/087995

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 5056000 A	08 October 1991	None	
US 6145041 A	07 November 2000	None	
US 5291605 A	01 March 1994	FR 2672708 A1	14 August 1992
		JP 3093293 B2	03 October 2000
		FR 2672708 B1	01 December 1995
US 5859986 A	12 January 1999	None	
US 6496880 B1	17 December 2002	None	
CN 102163184 A	24 August 2011	None	
CN 201638573 U	17 November 2010	None	

<p>A. 主题的分类</p> <p>G06F 13/40 (2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F 13</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CPRSABS;VEN;CNKI: 处理器, 芯片, 选择, 主从, 主协, 主副, 互连, 信号, 命令, 指令, 内存, 随机访问存储, 多个, 复数个, processor, CPU, chip, select+, master, primary, prime, slave, subsidiary, secondary, subordinate, interconnect+, signal, command, instruction, momery, RAM, random w access w memory, multi+, plural+</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 5056000 A (INT PARALLEL MACHINES INC) 1991年 10月 8日 (1991 - 10 - 08) 说明书第3栏第1-53行、第7栏第10-53行, 图2、8、10</td> <td>1-3, 5-8, 10-13, 15-18, 20-24, 26-29, 31</td> </tr> <tr> <td>Y</td> <td>US 5056000 A (INT PARALLEL MACHINES INC) 1991年 10月 8日 (1991 - 10 - 08) 说明书第3栏第1-53行、第7栏第10-53行, 图2、8、10</td> <td>4, 9, 14, 19, 25, 30</td> </tr> <tr> <td>Y</td> <td>US 6145041 A (ALCATEL USA SOURCING LP) 2000年 11月 7日 (2000 - 11 - 07) 说明书第2栏第19-39行</td> <td>4, 9, 14, 19, 25, 30</td> </tr> <tr> <td>A</td> <td>US 5291605 A (NEC CORP) 1994年 3月 1日 (1994 - 03 - 01) 全文</td> <td>1-31</td> </tr> <tr> <td>A</td> <td>US 5859986 A (IBM) 1999年 1月 12日 (1999 - 01 - 12) 全文</td> <td>1-31</td> </tr> <tr> <td>A</td> <td>US 6496880 B1 (AGERE SYSTEMS INC) 2002年 12月 17日 (2002 - 12 - 17) 全文</td> <td>1-31</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 5056000 A (INT PARALLEL MACHINES INC) 1991年 10月 8日 (1991 - 10 - 08) 说明书第3栏第1-53行、第7栏第10-53行, 图2、8、10	1-3, 5-8, 10-13, 15-18, 20-24, 26-29, 31	Y	US 5056000 A (INT PARALLEL MACHINES INC) 1991年 10月 8日 (1991 - 10 - 08) 说明书第3栏第1-53行、第7栏第10-53行, 图2、8、10	4, 9, 14, 19, 25, 30	Y	US 6145041 A (ALCATEL USA SOURCING LP) 2000年 11月 7日 (2000 - 11 - 07) 说明书第2栏第19-39行	4, 9, 14, 19, 25, 30	A	US 5291605 A (NEC CORP) 1994年 3月 1日 (1994 - 03 - 01) 全文	1-31	A	US 5859986 A (IBM) 1999年 1月 12日 (1999 - 01 - 12) 全文	1-31	A	US 6496880 B1 (AGERE SYSTEMS INC) 2002年 12月 17日 (2002 - 12 - 17) 全文	1-31
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	US 5056000 A (INT PARALLEL MACHINES INC) 1991年 10月 8日 (1991 - 10 - 08) 说明书第3栏第1-53行、第7栏第10-53行, 图2、8、10	1-3, 5-8, 10-13, 15-18, 20-24, 26-29, 31																					
Y	US 5056000 A (INT PARALLEL MACHINES INC) 1991年 10月 8日 (1991 - 10 - 08) 说明书第3栏第1-53行、第7栏第10-53行, 图2、8、10	4, 9, 14, 19, 25, 30																					
Y	US 6145041 A (ALCATEL USA SOURCING LP) 2000年 11月 7日 (2000 - 11 - 07) 说明书第2栏第19-39行	4, 9, 14, 19, 25, 30																					
A	US 5291605 A (NEC CORP) 1994年 3月 1日 (1994 - 03 - 01) 全文	1-31																					
A	US 5859986 A (IBM) 1999年 1月 12日 (1999 - 01 - 12) 全文	1-31																					
A	US 6496880 B1 (AGERE SYSTEMS INC) 2002年 12月 17日 (2002 - 12 - 17) 全文	1-31																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2015年 3月 26日</p>		<p>国际检索报告邮寄日期</p> <p>2015年 4月 1日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>吴广平</p> <p>电话号码 (86-10)62411829</p>																					

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102163184 A (中兴通讯股份有限公司) 2011年 8月 24日 (2011 - 08 - 24) 全文	1-31
A	CN 201638573 U (立锜科技股份有限公司) 2010年 11月 17日 (2010 - 11 - 17) 全文	1-31

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/087995

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	5056000	A	1991年 10月 8日	无			
US	6145041	A	2000年 11月 7日	无			
US	5291605	A	1994年 3月 1日	FR	2672708	A1	1992年 8月 14日
				JP	3093293	B2	2000年 10月 3日
				FR	2672708	B1	1995年 12月 1日
US	5859986	A	1999年 1月 12日	无			
US	6496880	B1	2002年 12月 17日	无			
CN	102163184	A	2011年 8月 24日	无			
CN	201638573	U	2010年 11月 17日	无			