



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0097725
(43) 공개일자 2020년08월19일

(51) 국제특허분류(Int. Cl.)
H02M 3/158 (2006.01) H02M 1/00 (2007.01)
(52) CPC특허분류
H02M 3/158 (2013.01)
H02M 2001/0006 (2013.01)
(21) 출원번호 10-2020-7017312
(22) 출원일자(국제) 2018년12월05일
심사청구일자 없음
(85) 번역문제출일자 2020년06월16일
(86) 국제출원번호 PCT/FR2018/053111
(87) 국제공개번호 WO 2019/115913
국제공개일자 2019년06월20일
(30) 우선권주장
1762221 2017년12월15일 프랑스(FR)

(71) 출원인
엑사간
프랑스 38040 그르노블 세텍스 9 비피 50 파르비
스 루이스 닐 7
(72) 발명자
아구스토니 제랄드
프랑스 13114 푸이로비에 헨리 프로이드폰드 에비
뉴 131
기요 로랑
프랑스 31600 쉐스 튀 장 자크 루소 1
수도 티에리
프랑스 31600 쉐스 루트 드 풍소흐브 400
(74) 대리인
정홍식, 김태현

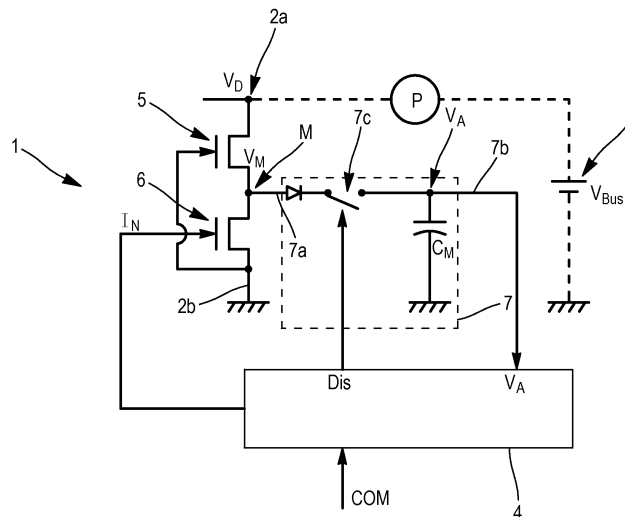
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 자체 전원 스위칭 디바이스 및 이러한 디바이스 동작을 위한 방법

(57) 요약

본 발명은 부하의 스위칭 디바이스(1)에 관한 것으로, 스위칭 디바이스(1)는: - 2개의 스위칭 단자(2a, 2b); - 2개의 스위칭 단자(2a, 2b) 사이에 직렬로 배치되고 중간점(M)을 규정하는 공핍 모드 고전압 트랜지스터(5) 및 인핸스먼트(enhancement) 모드 저전압 트랜지스터(6); - 디바이스(1)를 온 상태 또는 오프 상태로 선택적으로 배치하기 위해 저전압 트랜지스터(5)의 게이트의 제어 신호(IN)를 생성하는 제어 회로(4); - 중간점(M)에 접속된 입력력(7a) 및 제어 회로(4)에 전원 전압(Va)을 공급하기 위한 출력(7b)을 포함하는 전원 회로(7)를 포함한다. 전원 회로는 스위칭 디바이스(1)가 부하에 접속될 때, 저장 커패시턴스(Cm)를 충전시키고 전원 전압(Va)을 제어 회로(4)에 공급하기 위한 노멀리 온 스위치(7c)에 접속된 저장 커패시턴스(Cm)를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

부하의 스위칭 디바이스(1)로서,

- 2개의 스위칭 단자(2a, 2b);
- 상기 2개의 스위칭 단자(2a, 2b) 사이에 직렬로 배치되고 중간점(M)을 규정하는, 공핍 모드 고전압 트랜지스터(5) 및 인헨스먼트(enhancement) 모드 저전압 트랜지스터(6);
- 상기 저전압 트랜지스터(6)의 게이트의 제어 신호(IN)를 생성하여 상기 디바이스(1)를 온 상태 또는 오프 상태로 선택적으로 배치하는 제어 회로(4);
- 상기 중간점(M)에 접속된 입력(7a) 및 상기 제어 회로(4)에 전원 전압(Va)을 공급하기 위한 출력(7b)을 포함하는 전원 회로(7);를 포함하고,

상기 전원 회로는:

- 상기 스위칭 디바이스(1)가 상기 부하에 접속될 때, 상기 제어 회로(4)에 공급되는 전원 전압(Va)을 설정하는 저장 커패시턴스(Cm);
- 상기 입력(7a)과 상기 저장 커패시턴스(Cm) 사이에 배치되고, 상기 스위치가 개방될 때 상기 저장 커패시턴스를 상기 중간점(M)으로부터 전기적으로 절연시키기에 적합한, 노멀리 온 스위치(normally-on switch, 7c);를 포함하는,

스위칭 디바이스(1).

청구항 2

제1항에 있어서,

상기 고전압 트랜지스터(5)의 게이트는 상기 저전압 트랜지스터(6)의 소스에 전기적으로 접속되는, 스위칭 디바이스(1).

청구항 3

제1항에 있어서,

상기 제어 회로는 상기 고전압 트랜지스터(5)의 게이트의 제2 제어 신호를 생성하는, 스위칭 디바이스(1).

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 스위치(7c)는,

공핍 모드 저전압 트랜지스터 및 상기 회로의 상기 입력(7a)에 전기적으로 접속되고 상기 공핍 모드 저전압 트랜지스터와 직렬로 배치된 다이오드를 포함하는, 스위칭 디바이스(1).

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 스위치(7c)는,

직렬로 접속된 제1 공핍 모드 저전압 트랜지스터 및 제2 공핍 모드 저전압 트랜지스터를 포함하는, 스위칭 디바이스.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 전원 회로(7)는 상기 전원 전압을 조절하기 위한 회로를 더 포함하는, 스위칭 디바이스(1).

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제어 회로(4)는,

상기 디바이스(1)를 온 상태로 배치하기 위해 제1 제어 신호가 생성되도록 상기 스위치(7c)에 대한 비활성화 신호(DIS: deactivation signal)를 생성하도록 구성되는, 스위칭 디바이스(1).

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 고전압 트랜지스터(5)는 상기 제어 디바이스(4)를 기능하게 하는 데 충분한 전원 전압(V_a)보다 절대값이 더 큰 임계 전압(V_t')을 갖는, 스위칭 디바이스(1).

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 제어 회로(4)는, 상기 전원 전압(V_a)이 임계 전압(V_{amax})을 초과할 때 상기 스위치(7c)에 대한 비활성화 신호(DIS)를 생성하도록 구성되는, 스위칭 디바이스(1).

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 제어 회로(4)는,

상기 전원 전압(V_a)이 최소 임계 전압(V_{amin}) 아래로 떨어질 때 상기 디바이스를 보호된 구성으로 배치하도록 구성되는, 스위칭 디바이스(1).

청구항 11

제1항 내지 제10항 중 어느 한 항에 따른 스위칭 디바이스(1)를 제어하기 위한 방법으로서,

- 상기 제어 회로(4)가 상기 저전압 트랜지스터(6)를 개방하기 위해 제어 신호를 생성하는 오프 페이즈(off phase);
- 상기 제어 회로(4)가 상기 저전압 트랜지스터(6)를 폐쇄하기 위해 제어 신호를 생성하는 온 페이즈(on phase);를 포함하고,

상기 방법은, 적어도 상기 스위칭 디바이스(1)의 상기 온 페이즈 동안 상기 전원 회로(7)의 상기 스위치(7c)를 개방하기 위해 상기 제어 회로(4)가 비활성화 신호(DIS)를 생성하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전기적 부하의 스위칭 디바이스에 관한 것이다. 보다 구체적으로, 이는 제어 회로 및 이러한 제어 회로의 전원 회로를 포함하는 스위칭 디바이스를 목적으로 한다.

배경 기술

[0002] 공핍 모드 고전압 트랜지스터와 인핸스먼트(enhancement) 모드 저전압 트랜지스터를 직렬로 결합하는 부하의 스위칭 디바이스가 본 기술 분야에 알려져 있다. 트랜지스터는 디바이스의 핀에 인가된 외부 스위칭 신호의 값에 따라 디바이스를 도전을 위한 온 상태 또는 오프 상태로 선택적으로 배치하도록 제어된다. 스위칭 디바이스는 전원 회로 및 발전기로 구성된, 부하에 전기적으로 접속되는 시스템에 통합되도록 설계되며, 도전 기간(conductive period) 동안 발전기로부터 전원 회로로 전력을 전달할 수 있게 한다. 발전기에 의해 공급되는 전

압은 통상적으로 예를 들어 400V, 600V 이상으로 높다.

- [0003] 2개의 트랜지스터는 캐스코드(cascode)로 장착될 수 있으며, 이 경우 저전압 트랜지스터의 소스는 고전압 트랜지스터의 게이트에 전기적으로 접속된다. 디바이스의 제어 회로는 저전압 트랜지스터의 게이트에 인가된 제어 신호에 의해 이 디바이스를 온 상태 또는 오프 상태로 선택적으로 배치할 수 있다.
- [0004] 2개의 트랜지스터는 대안적으로 캐스케이드(cascade)로 장착될 수 있으며, 이 경우 제어 회로는 제1 제어 신호 및 제2 제어 신호를 생성하며, 이는 이러한 디바이스를 온 상태 또는 오프 상태로 선택적으로 배치하기 위해 저전압 트랜지스터의 게이트 및 고전압 트랜지스터의 게이트에 각각 인가된다.
- [0005] 두 경우 모두, 스위칭 디바이스는 노멀리 오프(normally off)이며; 즉, 디바이스에 전원이 없을 때, 특히 제어 회로에 전원이 없을 때, 스위칭 디바이스는 오프 상태에서 비활성 모드에 있다. 이로 인해 잠재적으로 심각한 안전 문제를 야기하는, 부하에 대해 디바이스를 시기 부적절하게 폐쇄하는 것을 피할 수 있다.
- [0006] 제어 회로는 스위칭 디바이스의 도전 상태를 제어하는 기능 외에, 상기 디바이스가 제대로 작동하는 것을 보장한다. 결함 또는 이러한 결함을 유발하기 쉬운 이벤트가 검출되면, 이는 제어 신호 또는 신호들을 생성하여 디바이스를 비활성 모드로 설정하여 스위칭 오프한다. 이는 특히 디바이스의 동작 온도가 너무 높거나 특정 전압이 연관된 설정점 전압으로부터 벗어난 경우이다.
- [0007] 제어 회로는 예를 들어, 프로그래머블 논리 게이트의 시스템의 형태, 이산 구성 요소의 형태 또는 적절히 프로그래밍된 마이크로컨트롤러의 형태의 통합된 형태로 구현된다. 모든 경우에, 제어 회로는 외부 스위칭 신호의 값 및 디바이스의 내부 상태에 따라 제어 신호의 적절한 시퀀싱을 구현한다.
- [0008] 제어 회로에는 전원이 공급되어야 하고, 이를 위해 디바이스에는 통상적으로 시스템의 전용 회로로부터의 전원 전압이 인가되는 공급 핀이 제공된다. 이 회로는 시스템의 스위칭된 부하로부터 전력을 끌어오고 이 전력을 프로세싱하여 상대적으로 낮은 진폭(수 볼트)의 안정적인 전원 전압을 디바이스에 제공하기 위해 다이오드, 인덕터 및/또는 커패시터와 같은 고전압 구성 요소를 구현한다. 이러한 유형의 외부 전원 회로는 구현하기 복잡하고 비용이 많이 든다.
- [0009] EP0585788호는 외부 변압기의 2차 코일에 의해 저전압에서 공급되는 제어 회로를 포함하는 전기 부하의 스위칭 디바이스를 개시한다. 스타터 회로는 변압기의 2차측에 의해 공급되는 전압을 필요로 하는 스위칭 디바이스의 동작 동안 제어 회로 및 전기 전원의 기동을 개시할 수 있게 한다.
- [0010] 몇몇 종래 기술 문헌은 스위칭 디바이스의 보조 내부 전원을 제공한다. 특히 US9590507호의 경우이다.

발명의 내용

- [0011] 본 발명은 종래 기술의 해결책에 대안적인 해결책을 제안하는 것을 포함한다. 본 발명은 특히 2개의 스위칭 단자, 2개의 스위칭 단자 사이에 직렬로 배치되고 중간점을 규정하는 공핍 모드 고전압 트랜지스터 및 인핸스먼트(enhancement) 모드 저전압 트랜지스터, 디바이스를 온 상태 또는 오프 상태로 선택적으로 배치하기 위해 저전압 트랜지스터의 게이트의 제어 신호를 생성하는 제어 회로, 및 중간점에 접속된 입력 및 제어 회로에 전원 전압을 공급하기 위한 출력을 포함하는 전원 회로(power-supply circuit)를 포함하는 부하의 스위칭 디바이스를 제안하는 것을 포함한다.
- [0012] 본 발명에 따르면, 전원 회로는, 스위칭 디바이스가 부하에 접속될 때 제어 회로에 공급되는 전원 전압을 설정하는 저장 커패시턴스를 포함한다.
- [0013] 본 발명에 따르면, 전원 회로는 또한 입력과 저장 커패시턴스 사이에 배치되고, 스위치가 개방될 때 저장 커패시턴스를 중간점으로부터 전기적으로 절연시키기에 적합한, 노멀리 온(normally-on) 스위치를 포함한다.
- [0014] 본 발명에 따르면, 저장 커패시턴스는, 스위칭 디바이스가 부하에 접속될 때 제어 회로에 공급되는 전원 전압을 확립하며, 저장 커패시턴스는 스위치가 개방될 때 중간점으로부터 전기적으로 절연된다.
- [0015] 따라서, 제어 회로의 자체 전원 회로가 제공되며, 디바이스 외부에 전원 회로를 제공할 필요가 없다.
- [0016] 본 발명의 다른 유리한, 비한정적인 특징에 따르면, 단독으로 또는 임의의 기술적으로 가능한 조합으로:
- [0017] - 고전압 트랜지스터의 게이트는 저전압 트랜지스터의 소스에 전기적으로 접속되고;
- [0018] - 제어 회로는 저전압 트랜지스터의 게이트의 제2 제어 신호를 생성하고;

- [0019] - 스위치는 공핍 모드 저전압 트랜지스터 및 회로의 입력에 전기적으로 접속되고 공핍 모드 저전압 트랜지스터와 직렬로 배치된 다이오드를 포함하고;
- [0020] - 스위치는 직렬로 접속된 제1 공핍 모드 저전압 트랜지스터 및 제2 공핍 모드 저전압 트랜지스터를 포함하고;
- [0021] - 전원 회로는 전원 전압을 조절하기 위한 회로를 더 포함하고;
- [0022] - 제어 회로는, 디바이스를 온 상태로 배치하기 위해 제1 제어 신호가 생성되도록 스위치에 대한 비활성화 신호를 생성하도록 구성되고;
- [0023] - 고전압 트랜지스터는 제어 디바이스를 기능하게 하는 데 충분한 전원 전압보다 절대값이 더 큰 임계 전압을 갖고;
- [0024] - 제어 회로는, 전원 전압(Va)이 임계 전압을 초과할 때 스위치에 대한 비활성화 신호를 생성하도록 구성되고;
- [0025] - 제어 회로는, 전원 전압이 최소 임계 전압 아래로 떨어질 때 디바이스를 보호된 구성으로 배치하도록 구성된다.
- [0026] 본 발명은 또한 이러한 스위칭 디바이스를 제어하기 위한 방법에 관한 것으로, 본 방법은:
- [0027] - 제어 회로가 저전압 트랜지스터를 개방하기 위해 제어 신호를 생성하는 오프 페이즈(off phase);
- [0028] - 제어 회로가 저전압 트랜지스터를 폐쇄하기 위해 제어 신호를 생성하는 온 페이즈(on phase)를 포함한다.
- [0029] 본 발명에 따르면, 본 방법은 적어도 스위칭 디바이스의 상기 온 페이즈 동안 전원 회로의 스위치를 개방하기 위해 제어 회로가 비활성화 신호를 생성하는 단계를 포함한다.

도면의 간단한 설명

- [0030] 본 발명의 추가의 특징 및 이점은 첨부 도면을 참조하여 후술하는 본 발명의 상세한 설명으로부터 명백해질 것이다.
 - 도 1은 본 발명에 따른 스위칭 디바이스의 예시적인 실시예를 나타낸다.
 - 도 2는 그 동작 중에 본 발명에 따른 디바이스에서 발생하는 전압의 크로노그램(chronogram)이다.
 - 도 3a 내지 도 3d는 그 동작에 있어서 상이한 단계에서의 본 발명에 따른 디바이스의 상태를 개략적으로 나타낸다.
 - 도 4는 본 발명에 따른 스위칭 디바이스의 개선된 버전을 나타낸다.
 - 도 5는 전원 전압을 조절하기 위한 회로의 예시적인 실시예를 나타낸다.
 - 도 6은 본 발명에 따른 전원 회로의 제1 실시예를 나타낸다.
 - 도 7a 내지 도 7d는 본 발명에 따른 전원 회로의 다른 4개의 실시예를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0031] 도 1은 본 발명에 따른 스위칭 디바이스(1)의 예시적인 실시예를 나타낸다.
- [0032] 이는 도면에서 점선으로 나타낸 바와 같이, 접속될 수 있는 2개의 스위칭 단자(2a, 2b), 부하(P) 및 스위칭 디바이스(1)가 접속된 전원 회로를 나타내는 발전기(G)를 포함한다. 발전기(G)의 전압(Vbus)은 예를 들어 400V, 600V 이상으로 상당할 수 있고, 전원 디바이스에 흐를 수 있는 전류는 예를 들어 1 A 초과로 높을 수 있다.
- [0033] 그 자체로 공지된 바와 같이, 스위칭 디바이스(1)는 제어 회로(4)에 공급되도록 디바이스의 핀에 인가될 수 있는 스위칭 신호(COM)에 따라 발전기(G)의 전압을 부하(P)에 선택적으로 인가하는 것을 가능하게 한다. 이 스위칭 신호(COM)가 스위칭 디바이스(1) 자체에 의해, 또는 보다 구체적으로 이 디바이스(1)의 제어 회로(4)에 의해 생성되는 것을 또한 고려할 수 있다.
- [0034] 스위칭 디바이스(1)는 공핍 모드 고전압 트랜지스터(5)를 포함한다.
- [0035] "고전압 트랜지스터"는 드레인, 소스 및 게이트를 포함하는 트랜지스터를 칭하며, 게이트에 인가되는 저진폭 전압(대략 수 볼트)은 드레인과 소스 사이의 접속을 전기적으로 온 또는 오프로 되게 할 수 있다. 오프

상태에서, 드레인과 소스 사이에서 발생하는 전압은 트랜지스터를 손상시키지 않으면서 고전폭, 예를 들어, 400V, 600V 이상일 수 있다.

- [0036] 공핍 모드 트랜지스터는 음의 임계값을 갖는다(본 발명과 관련하여 통상적으로 -8 V 내지 -5 V). 따라서, 게이트와 소스 사이의 전압은 이 트랜지스터를 오프로 하기 위해서 이러한 임계 전압 아래의 음이어야 한다.
- [0037] 공핍 모드 고전압 트랜지스터(5)는 예를 들어, GaN 또는 SiC에 기초한 HEMT 트랜지스터일 수 있다. 이 유형의 트랜지스터는 예를 들어, 400 V 또는 600 V를 초과하는, 전원 회로의 발전기의 전압보다 큰 것으로 선택된 고전압 애벌랜치(avalanche) 전압(즉, 손상을 주지 않고 트랜지스터의 드레인과 소스 사이에 인가될 수 있는 최대 전압이며, 항복 전압일 수 있음)을 갖는다.
- [0038] 스위칭 디바이스(1)는 드레인, 소스 및 게이트를 포함하는 인헨스먼트 모드 저전압 트랜지스터(6)를 더 포함한다.
- [0039] 인헨스먼트 모드 트랜지스터는 양의 임계 전압을 갖는다. 따라서, 그리드와 소스 사이의 전압은 이 트랜지스터를 온으로 하기 위해 양이어야 하고 이 임계 전압보다 커야 한다.
- [0040] 저전압 트랜지스터(6)는 실리콘 기반 MOSFET 트랜지스터일 수 있다. 저전압 트랜지스터의 애벌랜치 전압은 고전압 트랜지스터의 애벌랜치 전압보다 낮다. 이는 예를 들어, 대략 30 V일 수 있다.
- [0041] 저전압 트랜지스터(6) 및 고전압 트랜지스터(5)는 2개의 스위칭 단자(2a, 2b) 사이에 직렬로 배치된다. 따라서, 고전압 트랜지스터의 드레인은 이들 두 단자 중 하나에 접속되고, 저전압 트랜지스터의 소스는 이들 단자 중 다른 하나에 접속된다. 고전압 트랜지스터(5)의 소스는 중간점(M)에서 낮은 텐션(low-tension) 트랜지스터(6)의 드레인에 접속된다. 나타낸 예에서, 제1 단자(2a)는 부하에 접속되고 제2 단자(2b)는 시스템의 전기 접지에 접속되지만, 본 발명은 이러한 특정 구성으로 한정되지 않는다.
- [0042] 나타낸 예에서, 저전압 트랜지스터(6) 및 고전압 트랜지스터(5)는 캐스코드(cascode)로 장착되고; 즉, 여기서 시스템의 접지에 접속되는 저전압 트랜지스터의 소스는 또한 고전압 트랜지스터(5)의 게이트에 전기적으로 접속된다.
- [0043] 이러한 구성에서, 디바이스(1)의 온 또는 오프 상태는 저전압 트랜지스터(6)의 게이트에 인가된 전압에 의해 결정된다. 이 트랜지스터의 임계 전압(V_t)을 초과하는 전압은 이를 온으로 만들고, 이 임계 전압(V_t) 아래의 전압은 이를 오프로 만든다.
- [0044] 도 1의 스위칭 디바이스(1)의 설명에 추가하여, 이는 또한 제어 회로(4)를 포함한다. 나타낸 바와 같이, 이 회로는 디바이스(1) 외부에서 생성된 스위칭 신호(COM)를 수신할 수 있다. 대안적으로, 제어 회로(4)는 디바이스의 상태에 따라, 즉, 디바이스로부터의 특정 전압 또는 끌어진 특정 전류의 측정으로부터 이러한 스위칭 신호를 자체 생성할 수 있으며, 이는 전기적 접속(개략적인 도 1에는 미도시)을 통해 디바이스에 전달된다. 제어 회로(4)가 이 스위칭 신호(COM)를 수신 또는 생성하는 방식에 관계없이, 제어 신호는 디바이스를 효과적으로 온 또는 오프 상태로 배치하기 위해 저전압 트랜지스터(6)의 게이트에 인가되는 제어 신호(IN)를 확립 및 생성하기 위해 이 신호를 프로세싱한다.
- [0045] 나타낸 바와 같이, 제어 회로(4)는 능동 회로이므로, 이는 전원이 공급될 필요가 있다. 이를 위해, 디바이스(1)에는 전원 회로(7)가 제공된다. 이 회로는 고전압 트랜지스터(5)와 저전압 트랜지스터(6) 사이에 규정된 중간점(M)에 전기적으로 접속된 입력(7a)을 포함한다. 이는 또한 전원 전압(V_a)을 공급하고 제어 회로(7)에 전기적으로 접속되는 출력(7b)을 갖는다. 전원 전압(V_a)은 스위칭 단자(2a, 2b) 또는 중간점(M)에서 발생할 수 있는 전압과 비교하여 낮은 값이다. 이는 대략 수 볼트, 예를 들어, 5 V이다.
- [0046] 전원 회로(7)는 저장 커패시턴스(C_m)를 포함하며, 이들 중 하나의 전극은 출력(7b)에 접속되고 다른 하나는 시스템의 전기 접지 또는 이 시스템의 다른 기준 전압에 접속된다. 이 커패시턴스(C_m)는 제어 회로에 제공될 전원 전압(V_a)을 확립하기 위해 중간점(M)에서 끌어당겨진 부하를 저장하는 기능을 갖는다.
- [0047] 중간점(M)에서의 전압(V_m)은 디바이스의 동작 동안, 디바이스가 온일 때 시스템의 전기 접지와 디바이스가 오프일 때 저전압 트랜지스터의 애벌랜치 전압 사이에서 변한다.
- [0048] 전원 회로(7)는 입력(7a)과 출력(7b)에 대응하는 전원 전압(V_a)을 갖는 저장 커패시턴스(C_m)의 단자 사이에 배치된 스위치(7c)를 포함한다. 스위치(7c)는 노멀리 온이며; 즉, 어떠한 커맨드도 없는 상태에서 스위치는 폐쇄되고, 이 경우 저장 커패시턴스는 디바이스(1)의 중간점(M)에 접속된다.

- [0049] 스위치(7c)의 "노멀리 온(normally on)" 특징은 디바이스(1)의 기동시에, 즉, 2개의 스위칭 단자(2a, 2b)에서 부하와 전기적으로 접촉되는 순간에, 전원 회로가 저장 커패시턴스(Cm)를 충전하고 제어 디바이스(7)를 활성화시킬 수 있는 충분한 전원 전압(Va)을 발생 및 공급하기 위해 중간점(M)에서 전하를 끌어당길 수 있도록 보장하기 때문에 중요하다. 디바이스의 동작은 본 개시의 후반부에 더욱 상세히 설명될 것이다.
- [0050] 스위치(7c)는 제어 회로(4)에 의해 생성된 비활성화 신호(DIS)에 의해 개방된다. 제어 회로(4)가 공급되고 동작할 때, 제어 신호(IN)가 디바이스(1)를 온 상태로 배치하기 위해 생성될 때 스위치(7c)의 비활성화 신호(DIS)를 확립 및 생성한다. 따라서, 전원 회로(7)는 이 기간 동안 고전압 및 저전압 트랜지스터(5, 6)로부터 절연된다. 보다 구체적으로, 저장 커패시턴스(Cm)는 중간점으로부터 전기적으로 절연되며, 이는 고강도 전류에 의해 디바이스의 도전 페이즈 동안 통과되며, 이는 전원 회로(7)를 향하여 전환되어서는 안된다.
- [0051] 자체로 공지된 바와 같이, 스위치(7c)는 노멀리 온 트랜지스터, 예를 들어, 공핍 모드 MOSFET 트랜지스터와 같은 저전압 트랜지스터를 포함할 수 있다. 이러한 유형의 트랜지스터에 본질적으로 존재하는 바디 다이오드는 역전류가 트랜지스터에 흐를 수 있게 한다. 이러한 역전류의 존재로 인해, 이러한 유형의 트랜지스터는 스위치가 개방될 때 저장 커패시턴스(Cm)를 중간점(M)으로부터 전기적으로 절연할 수 있게 하는 스위치를 그 자체로는 구성할 수 없다.
- [0052] 도 6에 나타난 본 발명의 제1 실시예에서, 스위치(7c)는 공핍 모드 저전압 트랜지스터 및 회로의 입력(7a)에 전기적으로 접속되고 공핍 모드 저전압 트랜지스터와 직렬로 배치된 다이오드를 포함한다.
- [0053] 이러한 유형의 다이오드의 존재는 저장 커패시턴스(Cm)가 고전압 및 저전압 트랜지스터(5, 6) 중 하나로 방전되는 것을 피할 수 있게 하고, 따라서 중간점(M)이 저장 커패시턴스(Cm)의 단자에서 이용 가능한 전원 전압 아래로 떨어진 경우 전하를 보존할 수 있게 하는 이점을 갖는다.
- [0054] 이러한 상황에서, 다이오드 및 공핍 모드 저전압 트랜지스터의 직렬 접속은 저장 커패시턴스(Cm)를 중간점으로부터 전기적으로 절연할 수 있게 한다.
- [0055] 공핍 모드 저전압 트랜지스터는 P 채널 트랜지스터일 수 있다. 이 경우, 공핍 모드 저전압 트랜지스터의 드레인에는 저장 커패시턴스(Cm)의 단자에 접속되고, 그 소스는 다이오드에 접속되고, 그 게이트는 제어 회로(4)에 접속된다. 따라서, 공핍 모드 낮은 턴오프 트랜지스터가 온 상태에 있을 때, 전류는 중간점으로부터 저장 커패시턴스(Cm)를 향해 흐른다. 저전압 공핍 모드 트랜지스터가 오프 상태에 있을 때, 바디 다이오드는 전류가 드레인으로부터 소스를 향해 흐를 수 있게 하고, 다이오드는 바디 다이오드를 통해 흐르는 전류를 차단하여 중간점(M)으로부터 커패시턴스(Cm)를 절연한다.
- [0056] 대안적으로, 공핍 모드 저전압 트랜지스터는 N 채널 트랜지스터일 수 있다. 이 경우, 공핍 모드 저전압 트랜지스터의 소스는 저장 커패시턴스(Cm)의 단자에 접속되고, 그 드레인은 다이오드에 접속되고, 그 게이트는 제어 회로(4)에 접속된다. 공핍 모드 저전압 트랜지스터가 온 상태일 때, 전류는 중간점으로부터 저장 커패시턴스(Cm)를 향해 흐른다. 공핍 모드 저전압 트랜지스터가 오프 상태일 때, 바디 다이오드는 전류가 소스로부터 드레인을 향해 흐를 수 있게 하고, 다이오드는 바디 다이오드를 통해 흐르는 전류를 차단하여 중간점(M)으로부터 저장 커패시턴스(Cm)를 절연한다.
- [0057] 도 7a 내지 도 7d는 본 발명에 따른 4개의 다른 실시예를 나타낸다. 이들 4개의 실시예에서, 다이오드 및 공핍 모드 저전압 트랜지스터의 직렬 접속은 직렬로 접속된 제1 및 제2 공핍 모드 저전압 트랜지스터로 대체된다.
- [0058] 일 실시예에서, 제1 및 제2 공핍 모드 저전압 트랜지스터는 2개의 N 채널 트랜지스터 또는 2개의 P 채널 트랜지스터이며, 각각의 트랜지스터의 드레인이 상호 접속되거나 각각의 트랜지스터의 소스가 상호 접속된다.
- [0059] 도 7a에 나타난 바와 같이, 제1 및 제2 공핍 모드 저전압 트랜지스터는 2개의 P 채널 트랜지스터일 수 있다. 이 상황에서 각각의 트랜지스터의 바디 다이오드는 전류가 소스로부터 드레인을 향해 흐를 수 있게 하며, 이러한 2개의 트랜지스터는 백 투 백(back to back)으로 배치되어야 한다. 따라서, 2개의 공핍 모드 낮은 턴오프 트랜지스터가 온 상태(즉, 그 디폴트 상태)에 있을 때, 전류는 중간점(M)으로부터 저장 커패시턴스(Cm)를 향해 흐른다. 2개의 공핍 모드 저전압 트랜지스터가 오프 상태에 있을 때, 그 바디 다이오드는 반대 방향으로 위치되고, 전류는 어느 방향으로도 흐르지 못하여, 저장 커패시턴스(Cm)를 중간점(M)으로부터 절연시킨다.
- [0060] 대안적으로, 도 7b에 나타난 바와 같이, 제1 및 제2 공핍 모드 저전압 트랜지스터는 2개의 N 채널 트랜지스터일 수 있다. 이 상황에서, 각각의 트랜지스터의 바디 다이오드는 전류가 드레인으로부터 소스를 향해 흐를 수 있게 하며, 이러한 2개의 트랜지스터는 마찬가지로 백 투 백으로 배치되어야 한다. 따라서, 2개의 공핍 모드 저

전압 트랜지스터가 온 상태에 있을 때, 전류는 중간점(M)으로부터 저장 커패시턴스(Cm)를 향해 흐른다. 2개의 공핍 모드 저전압 트랜지스터가 오프 상태에 있을 때, 그 바디 다이오드는 반대 방향으로 위치되고, 전류는 어느 방향으로도 흐르지 못하여, 저장 커패시턴스(Cm)를 중간점(M)으로부터 절연시킨다.

- [0061] "백 투 백"이라는 용어는, 각각의 트랜지스터의 드레인이 상호 접속되거나 각각의 트랜지스터의 소스가 상호 접속됨을 의미한다. 따라서, 이들 모든 구성에서, 제1 트랜지스터의 드레인은 중간점에 접속되고, 그 소스는 제2 트랜지스터의 소스에 접속되고, 제2 트랜지스터의 드레인은 저장 커패시턴스(Cm)의 단자에 접속된다.
- [0062] 당연히, 제1 트랜지스터의 소스가 중간점에 접속되고, 그 드레인이 제2 트랜지스터의 드레인에 접속되고, 제2 트랜지스터의 소스가 저장 커패시턴스(Cm)의 단자에 접속되는 방식으로, 제1 및 제2 트랜지스터의 단자를 반전시킬 수 있다.
- [0063] 다른 실시예에서, 제1 및 제2 공핍 모드 낮은 텐션의 트랜지스터는 각각 N 채널 트랜지스터 및 P 채널 트랜지스터 또는 P 채널 트랜지스터 및 N 채널 트랜지스터이며, 제1 트랜지스터의 소스는 제2 트랜지스터의 드레인에 접속된다.
- [0064] 도 7c에 나타난 바와 같이, 제1 트랜지스터는 N 채널 트랜지스터일 수 있고, 제2 트랜지스터는 P 채널 트랜지스터일 수 있다. 이 상황에서, N 채널 트랜지스터와 P 채널 트랜지스터의 바디 다이오드는 전류가 소스로부터 드레인으로, 드레인으로 소스로 각각 흐를 수 있게 하며, 두 트랜지스터는 직렬로 배치되어야 하며, 이는 제1 트랜지스터의 소스가 제2 트랜지스터의 드레인에 접속됨을 의미한다. 따라서, 2개의 공핍 모드 저전압 트랜지스터가 온 상태에 있을 때, 전류는 중간점(M)으로부터 저장 커패시턴스(Cm)를 향해 흐른다. 2개의 공핍 모드 저전압 트랜지스터가 오프 상태에 있을 때, 그 바디 다이오드는 반대 방향으로 위치되고, 전류는 어느 방향으로도 흐르지 못하여 저장 커패시턴스(Cm)를 중간점(M)으로부터 절연시킨다.
- [0065] 대안적으로, 도 7d에 나타난 바와 같이, 제1 트랜지스터는 P 채널 트랜지스터일 수 있고, 제2 트랜지스터는 N 채널 트랜지스터일 수 있다. 이 상황에서, P 채널 트랜지스터와 N 채널 트랜지스터의 바디 다이오드는 전류가 드레인으로 소스로 그리고 소스로부터 드레인으로 각각 흐를 수 있게 하며, 2개의 트랜지스터는 직렬로 배치되어야 하며, 이는 제1 트랜지스터의 소스가 제2 트랜지스터의 드레인에 접속됨을 의미한다. 따라서, 2개의 공핍 모드 저전압 트랜지스터가 온 상태에 있을 때, 전류는 중간점(M)으로부터 저장 커패시턴스(Cm)를 향해 흐른다. 2개의 공핍 모드 저전압 트랜지스터가 오프 상태에 있을 때, 그 바디 다이오드는 반대 방향으로 위치되고, 전류는 어느 방향으로도 흐르지 못하여 저장 커패시턴스(Cm)를 중간점(M)으로부터 절연시킨다.
- [0066] 당연히, 제1 및 제2 트랜지스터의 단자는, 제1 트랜지스터의 소스가 중간점(M)에 접속되고, 제1 트랜지스터의 드레인이 제2 트랜지스터의 소스에 접속되고, 제2 트랜지스터의 드레인이 저장 커패시턴스(Cm)의 단자에 접속되는 방식으로 역전될 수 있다.
- [0067] 선택된 실시예에 관계없이, 스위치(7c)를 형성하는 2개의 트랜지스터가 동시에 온 상태 또는 오프 상태에 있는 것이 열적으로 특히 유리하다.
- [0068] 2개의 트랜지스터를 동시에 폐쇄하는 것은 전류가 이들 각각의 채널을 통과하게 하여 그 바디 다이오드를 단락시킬 수 있다. 이러한 유형의 단락은 바디 다이오드를 통한 열 방출을 피할 수 있게 한다.
- [0069] 유리하게는, 각각의 트랜지스터의 온 또는 오프 상태를 동기화하기 위해, 스위치(7c)는 게이트에 공급된 전압 레벨을 적응시키는 것을 목적으로 하는 제어 박스(CTRL)를 포함할 수 있다. 도 7a 내지 도 7d에 나타난 바와 같이, 이 박스는 제어 회로(4)와 각각의 공핍 모드 저전압 트랜지스터의 게이트 사이에 배치된다. 제어 박스(CTRL)는 동시에 양쪽 트랜지스터를 온 또는 오프 상태로 배치하도록 각각의 게이트에 전압을 인가하기 위해 제어 회로에 의해 전달된 신호를 적응시키도록 구성된다. 이러한 유형의 박스의 구성은 그 자체로 공지되어 있고, 예를 들어, 공핍 모드 저전압 트랜지스터의 특성에 따라 인버터를 포함할 수 있다.
- [0070] 선택된 구성에 관계없이, 스위치(7c)는 실제로 개방될 때 저장 커패시턴스(Cm)를 중간점(M)으로부터 전기적으로 절연시키기에 적합한 노멀리 온 스위치이다.
- [0071] 예시의 방식으로, 도 2는 그 동작 동안 디바이스(1)에서 전개된 전압의 크로노그램이다.
- [0072] 매우 일반적으로, 디바이스(1)는 제어 회로(4)에 의해 이하를 교번하도록 명령을 받는다:
- [0073] - 제어 회로(4)가 저전압 트랜지스터(6)를 개방하기 위해 제어 신호(IN)를 생성하는 오프 페이지. 이 신호는 도 2의 크로노그램에서 0 V에 있다. 이는 저전압 트랜지스터(6)를 오프로 하기 위해 저전압 트랜지스터(6)의

임계 전압(V_t)보다 낮다.

- [0074] - 제어 회로(4)가 저전압 트랜지스터(6)를 폐쇄하기 위해 제어 신호를 생성하는 온(또는 도전) 페이즈. 이 신호는 수 볼트일 수 있지만, 모든 경우에 저전압 트랜지스터(6)를 온으로 하기 위해 저전압 트랜지스터(6)의 임계 전압(V_t)보다 크다. 이 페이즈 동안 마찬가지로, 제어 회로는 전원 회로(7)의 스위치(7c)가 개방되도록 비활성화 신호(DIS)를 생성한다.
- [0075] 도 2의 설명으로 되돌아가서, 시간(t_0)은 디바이스(1)가 그 부하에 물리적으로 접속되는 시간으로서 규정된다. 이 시간(t_0)에서, 저장 커패시턴스(C_m)는 그에 따라 완전히 방전되고, 전원 전압(V_a)은 0이다. 제어 회로(4)는 동작할 수 없으며, 즉, 저전압 트랜지스터의 게이트의 커맨드(IN) 또는 스위치의 제어와 같은 커맨드(DIS)를 제공할 수 없다. 그러나, 저전압 및 고전압 트랜지스터(5, 6)의 "캐스코드" 구성은, 디바이스(1)가 실제로 오프 상태에 있다는 것을 보장한다.
- [0076] 도 3a는 이 기동 시간(t_0)에서의 이 디바이스의 상태를 개략적으로 나타낸다. 제어 회로(4)는 전력이 공급되지 않고, 제어 신호(IN)는 인헨스먼트 모드 저전압 트랜지스터의 임계 전압(V_t)보다 낮은 제로 전압을 가지며, 따라서 이 트랜지스터는 개방된다. 전원 회로(7)의 노멀리 온 스위치(7c)는 폐쇄되고, 제어 회로(4)는 비활성화 신호(DIS)를 제공할 수 없다. 공핍 모드 고전압 트랜지스터(5)의 소스 전압(이 트랜지스터의 제어 전압(V_{gs})에 대응)은 마찬가지로 기동 시간(t_0)에서 실질적으로 0이지만, 이 트랜지스터의 임계 전압(V_t')보다 여전히 더 크며(이러한 임계 전압은 음임), 따라서 이 트랜지스터는 온이다. 시간(t_0) 이후의 순간에, 고전압 트랜지스터(5)에 흐르는 전류(I)에 의해 중간점에서 전하가 끌어당겨지고, 저장 커패시턴스(C_m)가 충전되고, 전원 전압(V_a)이 점차 확립된다. 고전압 트랜지스터의 단자에서의 전압(VDM)은 온일 때, 이 트랜지스터의 드레인-소스 저항이 무시되는 경우 실질적으로 0이다(임의의 경우에 발전기의 전압(V_{bus})보다 적어도 한 자릿수 더 작음).
- [0077] 이 전원 전압(V_a)이 충분한 경우, 예를 들어, 5 V일 수 있는 제어 회로(4)의 명목 공급 전압에 예를 들어 도달할 때, 제어 회로(4)가 활성화되어 동작하게 된다. 즉, 제어 회로(4)는 그에 따라 전원 회로(7)에 의해 전력을 공급받으므로, 동작하고 디바이스(1)를 동작시킬 수 있게 하는 커맨드를 생성할 준비가 된다.
- [0078] 당연히, 고전압 트랜지스터의 임계 전압(V_t')은 제어 디바이스(4)가 동작하기에 충분한 전원 전압(V_a)보다 (절대값으로) 더 크게 선택되었다.
- [0079] 중간점(V_m)의 전압은 전원 전압과 등가이다. 따라서 이 전압은 전원 전압에 따라 점차 증가한다. t_0' 는, 제어 전압(V_{gs})(중간점의 전압(V_m)의 반대에 대응)이 고전압 트랜지스터의 임계 전압(V_t') 아래에서 통과하도록 중간점의 전압이 진행되는 순간을 나타낸다. 이 순간(t_0')으로부터, 고전압 트랜지스터(5)가 개방되고, 그 단자 사이에 인가된 전압(VDM)은 실질적으로 발전기의 전압(V_{bus})에서 확립된다. 그러나, 이 트랜지스터를 거쳐 통과하는 누설 전류는 저전압 트랜지스터(6)의 애벌랜치 전압(VBR)까지 중간점으로부터 전압이 계속 증가하는 것으로 이어진다. 이 시간(t_0')으로부터의 디바이스(1)의 개략적인 상태가 도 3b에 나타내어진다.
- [0080] 과도할 수 있는 저전압 트랜지스터(6)의 애벌랜치 전압(VBR)까지 저장 커패시턴스(V_m)를 계속 충전하는 것을 피하기 위해, 전원 전압(V_a)이 충분한 방식으로 제어 디바이스(4)가 기동시에 스위치를 개방하기 위한 커맨드(DIS)를 생성하는 것이 제공될 수 있다. 도 2 및 도 3b의 디바이스(1)의 동작을 예시하기 위해 나타난 예에서, 제어 디바이스는 중간점이 저전압 트랜지스터(6)의 애벌랜치 전압(VBR)에 도달한 시간에 후속하여 시간(t_1)에서 스위치(7c)의 비활성화 신호(DIS)를 생성한다. 결과적으로, 스위치(7c)는 개방되고, 제어 회로를 공급하기 위해 끌어당겨진 저장 커패시턴스(C_m)의 충전은 갱신되지 않는다. 그러므로, 이 시간(t_1)으로부터 전원 전압(V_a)이 감소된다.
- [0081] 예를 들어, 스위치(7c)가 공핍 모드 저전압 트랜지스터와 다이오드의 직렬 조합에 의해 형성되는 경우, 스위치의 개방 커맨드(DIS)는 그 임계 전압보다 낮은 게이트 전압의 이 트랜지스터에 대한 인가에 대응할 수 있어, 트랜지스터를 오프 상태에 배치되게 한다. 다이오드와 트랜지스터의 직렬 조합은 저장 커패시턴스(C_m)를 중간점(M)으로부터 전기적으로 절연하는 것을 가능하게 한다.
- [0082] 스위치(7c)가 2개의 공핍 모드 저전압 트랜지스터의 조합에 의해 형성되는 경우, 스위치를 개방하는 커맨드(DIS)는 그 임계 전압보다 낮은 게이트 전압의 이들 트랜지스터 각각에 대한 인가에 대응할 수 있어, 트랜지스터들이 오프 상태에 배치되게 한다. 상술한 구성 중 하나에서 이들 2개의 트랜지스터의 조합은 저장 커패시턴스(C_m)를 중간점(M)으로부터 전기적으로 절연시키는 것을 가능하게 한다.
- [0083] 대안적으로 그리고 유리하게, 스위치를 개방하는 커맨드(DIS)는 게이트에 공급된 전압 레벨을 적응시키고 공핍 모드 저전압 트랜지스터를 동시에 오프 상태로 배치하도록 구성된 제어 박스(CTRL)에 신호를 공급하는 것에 대

응할 수 있다.

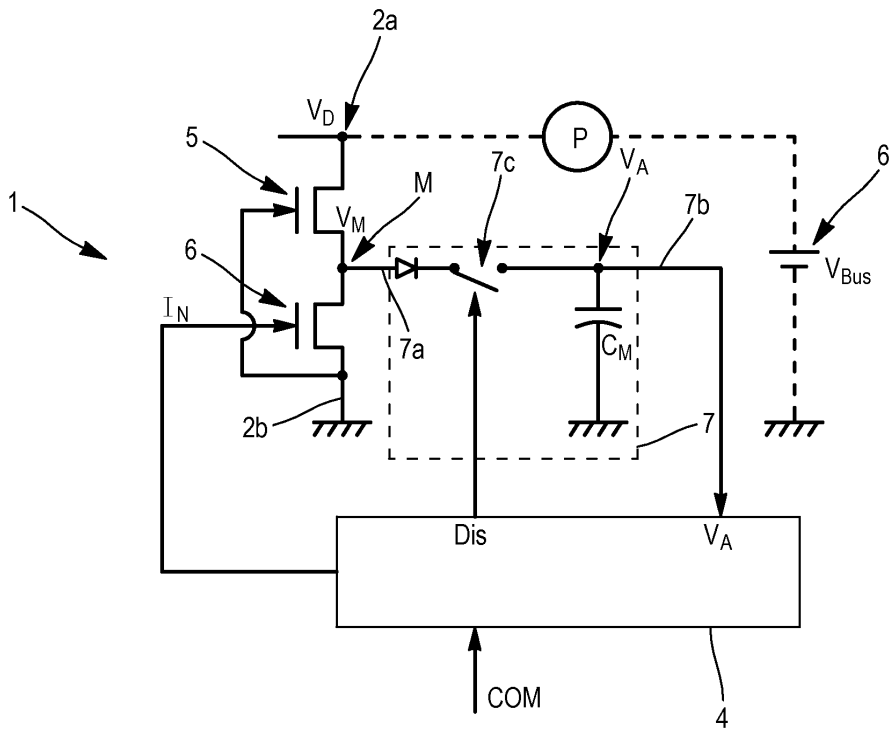
- [0084] 이미 상술한 바와 같이, 이러한 동시성은 다른 트랜지스터가 온 상태에 있는 동안 오프 상태에 배치될 트랜지스터의 바디 다이오드를 통한 열 방출을 피할 수 있게 한다.
- [0085] 시간(t2)에서, 제어 회로(4)는 이를 폐쇄되게 하고 디바이스(1)가 도전 페이즈로 진입하게 하는 것을 목적으로 하는 저전압 트랜지스터의 게이트의 커맨드(IN)를 생성한다. 나타낸 바와 같이, 이는 외부 스위칭 신호(COM)의 전환에 의해 야기될 수 있다. 제어 회로(4)는 나타낸 바와 같이, 이 회로가 이 페이즈 동안 중간점(M)에 접속되는 것을 방지하기 위하여 이 이벤트가 시간(t1)에서 전원 회로(7)의 스위치(7c)의 비활성화에 의해 선행되는 것을 보장한다. 따라서, 일반적으로, 그리고 이것이 아직 그러한 경우가 아니라면, 제어 회로(4)는 저전압 트랜지스터 게이트의 제어 신호(IN)를 생성하여 이를 폐쇄하기 전에, 이 스위치의 개방 제어(DIS)를 생성함으로써 전원 회로의 스위치(7c)를 비활성화시키도록 구성된다.
- [0086] 제어 디바이스(4)는 저전압 트랜지스터(6)의 게이트의 제어 신호(IN)를 생성하여, 도 2 및 도 3c에 나타낸 바와 같이, 시간(t3)까지 연장되는 기간 동안 디바이스(1)를 온 상태로 배치한다. 이 기간에 걸쳐, 시간(t2)과 시간(t3) 사이에서, 제어 회로(4)는 스위치(7c)의 비활성화 신호(DIS)를 개방되는 방식으로 유지한다. 따라서, 저장 커패시턴스(Cm)는 제어 회로에 공급되는 전하가 소비됨에 따라 계속 방전된다.
- [0087] 시간(t3)에서, 제어 디바이스(4)는 저전압 트랜지스터(6)의 게이트의 제어(IN)를 스위칭하여 이를 개방하고 디바이스(1)의 도전 페이즈를 중단시킨다. 이 시간(t3)은 디바이스(1)에 대해 외부 스위칭 신호(COM)의 스위칭에 의해 유발될 수 있거나 예를 들어, 결정된 도전 페이즈의 지속 시간의 끝에서, 제어 회로(4) 자체에 의해 확립될 수 있다.
- [0088] 이 시간(t3) 직후에, 제어 디바이스(4)는 저장 커패시턴스(Cm)를 중간점(M)과 다시 접촉시키고 재충전될 수 있게 하도록 시간(t4)에서 스위치(7c)의 비활성화 신호(DIS)를 스위칭한다. 서로 매우 가까운 시간(t3)과 시간(t4) 사이에서, 중간점의 전압은 저전압 트랜지스터(6)의 애벌랜치 전압(VBR)을 향해 조금씩 상승한다. 고전압 트랜지스터(5)는 폐쇄된 상태로 유지되고, 고전압 트랜지스터(5)의 드레인-소스 저항을 무시하면, 단자 사이에 인가된 전압(VDM)은 실질적으로 0이다. 시간(t3)과 시간(t4) 사이의 디바이스 상태가 도 3d에 개략적으로 나타내어져 있다.
- [0089] 시간(t4)에서, 디바이스는 시간(t0 또는 t0')의 상태와 유사한 상태로 돌아간다. 따라서, 디바이스의 온 및 오프 페이즈는 (스위칭 신호(COM)의 상태에 따라) 서로 후속할 수 있고, 방금 개시된 사이클을 재생할 수 있다.
- [0090] 본 발명에 따른 디바이스(1)의 동작의 상보적인 예시에서, 도 2는 시간(t5)에서, 전원 전압(Va)이 저전압 트랜지스터(6)의 애벌랜치 전압(VBR)보다 낮은 미리 정해진 임계값(Vamax)에 도달할 때 스위치(7c)의 비활성화 신호(DIS)가 생성되는 상황을 나타낸다. 이 전압(Vamax)은 제어 회로(4)의 명목 전원 전압보다 더 크게 선택된다. 저전압 트랜지스터(6)의 애벌랜치 전압(VBR)까지 저장 커패시턴스의 과도한 충전을 피하기 위해, 전원 회로(7)에 의해 공급된 전원 전압(Va)이 이 임계값(Vamax)을 초과하면, 제어 회로는 스위치(7c)의 비활성화 신호(DIS)를 생성하여 스위치를 개방하고, 저장 커패시턴스(Cm)의 충전을 중지하도록 구성된다.
- [0091] 따라서, 이 시간(t5)으로부터 시작하여, 스위치(7c)를 개방하는 것은 중간점(Vm)의 전압이 저전압 트랜지스터의 애벌랜치 전압(VBR)으로 급격히 상승하는 것으로 이어진다는 것을 도 2에서 알 수 있다. 동시에, 고전압 트랜지스터(5)의 게이트-소스 전압(Vgs)은 이 트랜지스터의 임계 전압(Vt') 아래를 통과하여 이를 개방되게 하는 것으로 이어지고 발전기의 전압(Vbus)이 그 단자들 사이에 인가되는 것으로 이어진다는 점에 또한 유의한다. 제어 회로(4)의 전기 소비는 계속되어, 전원 회로에 의해 공급되는 전원 전압(Va)이 낮아지는 것으로 이어진다.
- [0092] 나타내지 않은 변형에서, 제어 회로가 미리 정해진 최소 임계값(Vamin) 아래를 통과하는 전원 전압(Va)을 검출 하도록 구성되는 것이 동일하게 제공될 수 있다. 이러한 임계 전원 전압 아래에서는, 제어 회로의 올바른 동작이 더 이상 보장되지 않는다. 또한, 제어 회로는 이 검출이 디바이스(1)가 보호된 구성으로 나아가는 것으로 이어지는 방식으로 구성된다. 이것은 예를 들어, 전원 전압이 이러한 최소 임계값(Vamin) 아래로 떨어지면 저전압 트랜지스터(6)의 게이트의 제어 신호를 개방 상태에서 또는 개방 상태로 유지하거나 스위칭하는 것을 포함할 수 있다. 따라서, 디바이스(1)는 보호된 오프 상태에 배치된다.
- [0093] 도 4는 개선된 명료성을 위해 고전압 트랜지스터(5) 및 저전압 트랜지스터(6)가 생략된 본 발명에 따른 개선된 버전의 스위칭 디바이스(1)를 나타낸다.
- [0094] 도 1의 디바이스와 관련하여 이미 설명된 요소들 외에, 개선된 버전의 디바이스(1)의 전원 회로(7)는 전원 회로

에서 저장 커패시턴스(V_m)와 회로의 출력(7b)에 접속되고 전원 전압(V_a)을 제어 회로에 공급하는 조절된 커패시턴스(C_r) 사이에 배치된 전압 조절기(LDO)를 포함한다. 이러한 추가 구성 요소는 저장 커패시턴스(C_m)의 단자에서 발생하는 것보다 상당히 적게 진동하고, 충전/방전 사이클에 따라 변동하며 디바이스(1)의 오프/온 페이즈에 링크된 전원 전압(V_a)을 공급할 수 있게 한다.

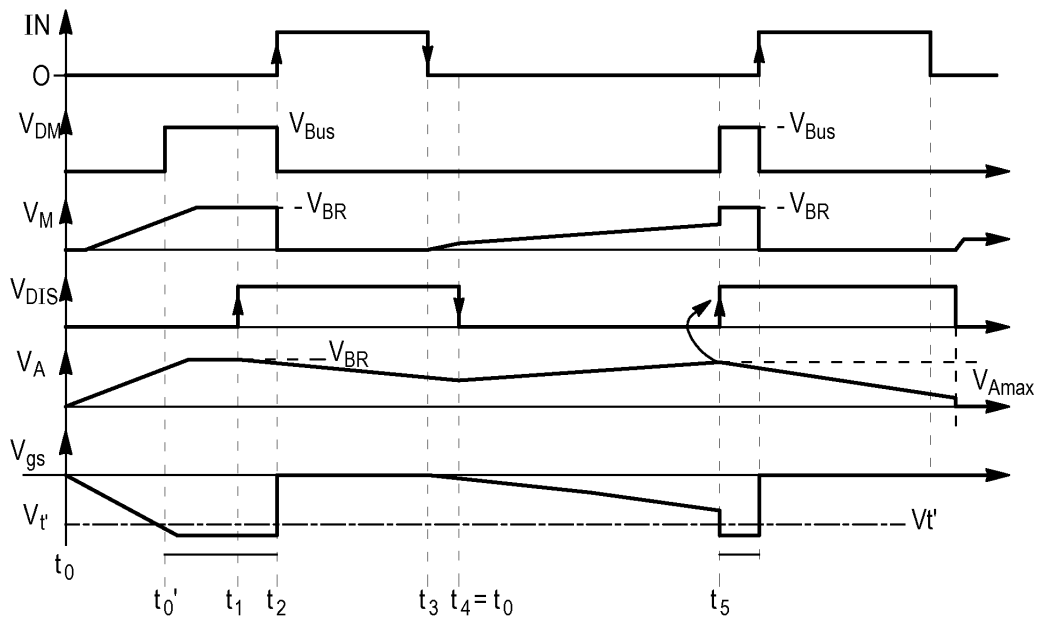
- [0095] 그럼에도 불구하고, 저장 커패시턴스(C_m)의 단자에서 발생하는 전압은 이 회로의 높은 임피던스 측정 입력에서 제어 회로(4)에 공급되며, 이 전압의 측정은 상술한 바와 같이, 측정된 전압이 미리 정해진 임계값(V_{amax})을 초과할 때 스위치(7c)의 비활성화 신호를 생성하는 데, 또는 측정된 전압이 최소 임계 전압(V_{amin}) 미만인 경우 디바이스를 보호된 구성으로 배치하는 데 잠재적으로 유용하다.
- [0096] 자체로 공지되고 도 5에 나타난 바와 같이, 조절 회로(LDO)는 통상적으로 게이트가 (밴드 갭 전압과 같은) 기준 전압 비교기 및 조절된 커패시턴스(C_r)의 단자에서 발생하는 것을 나타내는 전압의 출력에 접속되는 트랜지스터를 포함한다. 조절된 커패시턴스(C_r)가 제어 회로(4)에 공급하고 이를 기능하게 하는 데 충분한 설정점 전압과 실질적으로 동일한 방식으로, 비교기는 저장 커패시턴스(C_m)의 전하를 조절된 커패시턴스(C_r)로 전달하도록 트랜지스터를 온 또는 오프로 만든다. 이 설정점 전압은 분배기 브릿지의 저항의 값에 의해 결정되며, 그 중간점 전압은 기준 전압과 비교된다.
- [0097] 본원에서 제안된 바와 같이 전원 전압(V_a)의 이러한 조절 기능을 전원 전압(7)에 통합하기보다는, 이 기능이 제어 회로(4)에 통합되는 것이 제공될 수 있다. 이는 도 1에 나타난 구성과 유사한 구성으로 귀결된다.
- [0098] 일반적으로, 본 발명에 따른 스위칭 디바이스는 그에 따라 디바이스(1)가 오프인 페이즈 동안 전원 회로(7)의 저장 커패시턴스(C_m)에 전하를 축적하는 것을 가능하게 한다. 디바이스(1)가 온인 페이즈 동안, 전원 회로는 고전류가 흐르는 노드로부터 절연된다. 따라서, 저장 커패시턴스(C_m)는 전원 회로(7)가 절연될 때 제어 회로에 공급하기에 충분한 전하를 축적하는 방식으로 선택될 것이다. 유사하게, 스위치(7c)는 저장 커패시턴스(C_m)를 충분히 충전하기 위해 디바이스(1)가 오프인 페이즈 동안 충분히 오래 폐쇄된 상태로 유지될 것이다. 실제로, 스위치(7c)가 폐쇄되는 이러한 지속 시간은 디바이스(1)가 한 페이즈로부터 다른 페이즈로 매우 높은 주파수로 스위칭하는 능력을 제한하지 않도록 매우 짧을 수 있다(예를 들어, 대략 수백 나노초).
- [0099] 따라서, 본 발명은 외부 전원을 필요로 하지 않고 디바이스에 공급할 수 있게 하는 내부 전원 회로를 포함하는 스위칭 디바이스를 설명한다.
- [0100] 전원 회로는 (저전압 트랜지스터(6)의 애벌랜치 전압(VBR) 정도의) 작은 전압에 노출되지 않으므로, 제조 또는 공급하기 쉽고 그에 따라 저렴한 구성 요소로 구성될 수 있다는 점에 유의한다. 따라서, 디바이스 외부의 전원으로부터 낮은 비용으로 바꿀 수 있다.
- [0101] 당연히, 본 발명은 설명된 구현으로 한정되지 않으며, 청구 범위에 의해 규정된 바와 같은 본 발명의 범위를 벗어나지 않고도 변형 실시예가 이에 적용될 수 있다.
- [0102] 따라서, 저전압 트랜지스터(6) 및 저전압 트랜지스터(5)가 캐스코드 구성으로 접속된 것으로 나타내었지만, 본 발명에 따른 스위칭 디바이스(1)는 캐스캐이드 구성으로 구현될 수 있다. 이 구성에서, 저전압 트랜지스터(5)의 게이트는 저전압 트랜지스터(6)의 소스에 접속되지 않으므로, 제어 회로(4)는 고전압 트랜지스터(5)의 게이트를 제어하기 위해 제2 제어 신호(IN')를 발생시킨다. 따라서, 2개의 신호(IN, IN')가 실제로 본 설명에 나타난 바와 같이, 디바이스(1)가 오프인 페이즈 동안 전원 회로(7)에 전하를 축적할 수 있도록 제어될 것이다.
- [0103] 본 발명에 따른 스위칭 디바이스는 하프 브릿지 구성의 전력 변환 시스템에 사용될 수 있다. 자체로 공지된 바와 같이, 이러한 유형의 시스템은 2개의 접속 단자에 접속된 하이 스위처(high switcher) 및 로우(low) 스위처(그 각각은 본 발명에 따를 수 있음)를 포함한다. 이 단자 중 하나는 높은 연속 전압의 소스에 접속되고 다른 하나는 접지에 접속된다. 2개의 스위처는 공진 부하가 접속되는 중간점을 규정한다.

도면

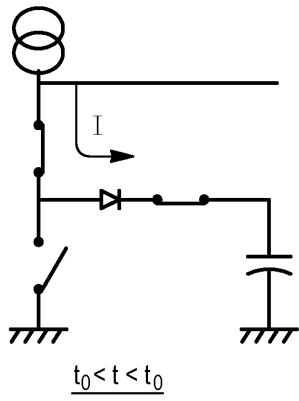
도면1



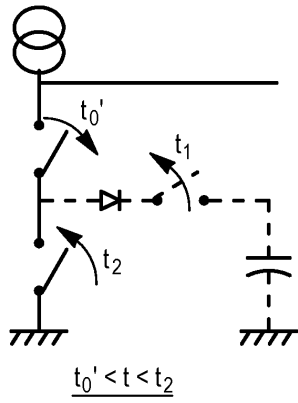
도면2



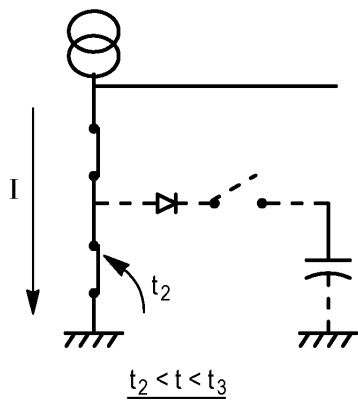
도면3a



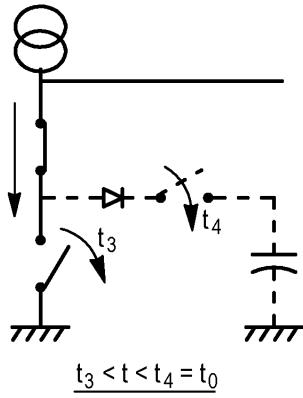
도면3b



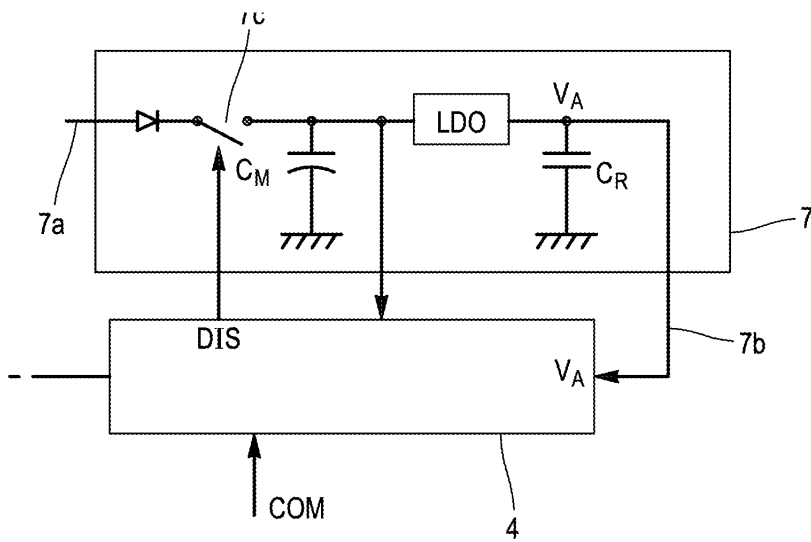
도면3c



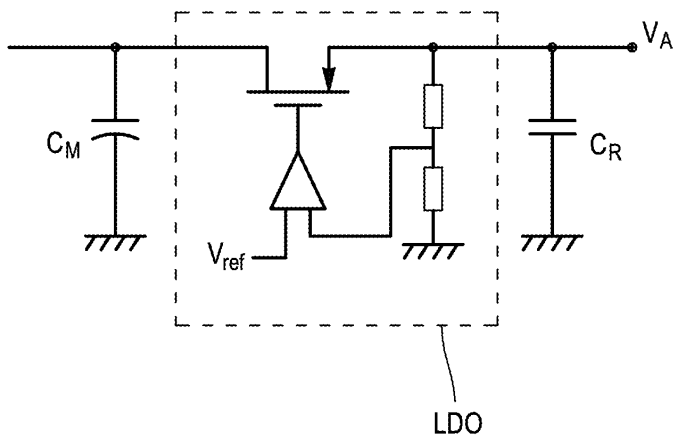
도면3d



도면4



도면5



도면6

