

10



Europäisches Patentamt
European Patent Office
Office européen des brevets



11 Veröffentlichungsnummer: **0 282 976 B1**

12

EUROPÄISCHE PATENTSCHRIFT

48 Veröffentlichungstag der Patentschrift: 09.10.91

51 Int. Cl.⁵: **G11C 29/00**

21 Anmeldenummer: 88104115.6

22 Anmeldetag: 15.03.88

64 Verfahren und Schaltungsanordnung zum parallelen Einschreiben von Daten in einen Halbleiterspeicher.

30 Priorität: 16.03.87 DE 3708527

43 Veröffentlichungstag der Anmeldung:
21.09.88 Patentblatt 88/38

45 Bekanntmachung des Hinweises auf die
Patenterteilung:
09.10.91 Patentblatt 91/41

64 Benannte Vertragsstaaten:
AT DE FR GB IT NL

69 Entgegenhaltungen:
EP-A- 0 055 594
EP-A- 0 083 099
DE-A- 3 530 591

INTEGRATION THE VLSI JOURNAL, Band 2,
Nr. 4, Dezember 1984, Seiten 309-330, Else-
vier Science Publishers B.V., Amsterdam,
NL; K.K. SALUJA et al.: "Testable design of
large random access memories"

IEEE TRANSACTIONS ON ELECTRON DEVI-
CES, Band ED-32, Nr. 2, Februar 1985, Seiten
508-515, IEEE, New York, US; Y. YOU et al.: "A
self-testing dynamic RAM chip"

IEEE JOURNAL OF SOLID-STATE CIRCUITS,
Band SC-21, Nr. 5, Oktober 1986, Seiten
636-642, IEEE, New York, US; H. McADAMS et
al.: "A 1-Mbit CMOS dynamic RAM with
design-for test functions"

73 Patentinhaber: SIEMENS AKTIENGESELL-
SCHAFT
Wittelsbacherplatz 2
W-8000 München 2(DE)

72 Erfinder: Oberle, Hans-Dieter, Dipl.-Ing.
Edelweissstrasse 82
W-8039 Puchheim(DE)
Erfinder: Kowarik, Oskar, Dr. rer. nat.
Goethering 70
W-8018 Grafing(DE)
Erfinder: Kraus, Rainer, Dipl.-Phys.
Weidener Strasse 21
W-8000 München 83(DE)
Erfinder: Paul, Manfred, Dipl.-Ing.
Fichtenstrasse 18
W-8043 Unterföhring(DE)
Erfinder: Hoffmann, Kurt, Dr. Prof.
Nelkenweg 20
W-8028 Taufkirchen(DE)

EP 0 282 976 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung betrifft ein Verfahren zum parallelen Einschreiben von Daten in Form eines Prüfmusters in Speicherzellen eines Halbleiterspeichers sowie eine Schaltungsanordnung insbesondere zur Durchführung des Verfahrens nach dem Oberbegriff des Patentanspruchs 6.

Halbleiterspeicher, insbesondere integrierte Halbleiterspeicher vom RAM-Typ (DRAM, SRAM) weisen heute eine große Speicherkapazität auf (z.B. 1MB x 1). Bislang vervierfacht sich die realisierbare Speicherkapazität alle drei bis vier Jahre. Beim Testen solcher Halbleiterspeicher steigt bekanntlich der notwendige Zeitaufwand zur Durchführung der Prüfungen in Abhängigkeit von den an den Halbleiterspeicher anzulegenden Prüfmustern mindestens um den Faktor 2^N bei Zunahme der Speichergröße um den Faktor N an.

Um Testzeit zu sparen, wird in EP-A 01 86 040 vorgeschlagen, einen Halbleiterspeicher intern in mehrere gleiche Blöcke einzuteilen, diese im Testbetrieb parallel zu betreiben und über eine Auswerterschaltung den größten Teil der möglicherweise auftretenden Fehler zu erfassen. In der Praxis ist es möglich, einen Halbleiterspeicher in vier oder acht gleiche Blöcke in diesem Sinne einzuteilen, ohne daß der dazu notwendige Verdrahtungsmehraufwand und Schaltungsmehraufwand nennenswert ansteigt. Eine Einteilung in wesentlich mehr Blöcke erfordert jedoch erhöhten Schaltungs- und Verdrahtungsmehraufwand, was sich bei integrierten Halbleiterspeichern insbesondere auf den notwendigen Platzbedarf negativ auswirkt (Chipfläche).

Aus der US-A 4,055,754 ist eine Testschaltung bekannt, die spaltenparalleles Auslesen aller Speicherzellen an einer einzigen Wortleitung erlaubt, sofern alle Speicherzellen der auszulesenden Wortleitung gleiche Informationen enthalten sollen. Ein Einschreiben von Informationen in die Speicherzellen erfolgt jedoch traditionell.

Aus DE-A-3 530 591 ist es bekannt, Daten von einem externen Bitleitungspaar über Transfertransistoren und interne Bitleitungen in alle Speicherzellen parallel einzuschreiben, wenn die Bitleitungsdecker ein Testmodus Signal erhalten.

Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren zu finden, das ein Beschreiben von Speicherzellen eines Halbleiterspeichers in möglichst kurzer Zeit mit möglichst geringem Schaltungs- und Platzmehraufwand gegenüber bekannten Halbleiterspeichern ermöglicht. Es ist weiterhin Aufgabe der vorliegenden Erfindung, eine Schaltungsanordnung zu schaffen, die die Durchführung des erfindungsgemäßen Verfahrens ermöglicht.

Diese Aufgabe wird gelöst durch die Merkmale des Patentanspruchs 1 und durch die kennzeichnenden Merkmale des Patentanspruchs 6.

Nachfolgend wird die Erfindung anhand von Figuren näher erläutert. Es zeigen

- FIG 1 eine erfindungsgemäße Schaltungsanordnung,
- FIG 2 eine interne Bewertererschaltung nach dem Stande der Technik,
- FIG 3 eine Umschalteneinrichtung,
- FIG 4 eine weitere Ausbildung der Schaltungsanordnung.

Die erfindungsgemäße Schaltungsanordnung nach FIG 1 zeigt einen Block B eines Halbleiterspeichers, der 2^{N+M} übliche Speicherzellen SZ enthält. Im Falle eines DRAM's als Halbleiterspeicher sind dies im allgemeinen sogenannte 1-Transistor-Speicherzellen. Die Speicherzellen SZ sind, wie allgemein üblich, in Form einer Matrix aus Zeilen und Spalten angeordnet. Die spaltenweise Adressierung erfolgt über Wortleitungen WL_i, die zeilenweise Adressierung über Bitleitungen B_j, \bar{B}_j . Die aus den Speicherzellen SZ ausgelesenen Informationen werden in internen Bewertererschaltungen BWS_{int} bewertet und vorverstärkt. Für jede Zeile von Speicherzellen SZ ist eine interne Bewertererschaltung BWS_{int} vorgesehen.

Es sind prinzipiell zwei verschiedene Konzepte von Bitleitungsführung bekannt: zum einen das historisch ältere, sogenannte Open-Bitline-Konzept und zum anderen das sogenannte Folded-Bitline-Konzept. Beide Konzepte sind in US-A 4,044,340 erläutert und dargestellt. Die vorliegende Erfindung ist auf beide Bitleitungskonzepte anwendbar. Aus Gründen der einfacheren Darstellung ist sie jedoch nur anhand des Folded-Bitline-Konzeptes erläutert.

Allgemein ist jeder Bitleitung eine interne Bewertererschaltung BWS_{int} zugeordnet. Dies bedeutet, daß beim Folded-Bitline-Konzept an jede interne Bewertererschaltung BWS_{int} zwei parallel nebeneinander verlaufende Bitleitungshälften B_j, \bar{B}_j als insgesamt eine einzige Bitleitung angeschlossen sind. Dieser Anordnung entsprechen jeweils eine linke und eine rechte Bitleitungshälfte und eine dazwischen angeordnete Bewertererschaltung beim Open-Bitline-Konzept. Im nachfolgenden werden die beiden Bitleitungshälften insgesamt als "interne Bitleitung B_j, \bar{B}_j " bezeichnet.

Die vorteilhafte Schaltungsanordnung weist außerdem eine externe Bewertererschaltung BWS_{ext} auf, an die eine externe Sammelbitleitung mit einer ersten (XB) und einer zweiten Sammelbitleitungshälfte ($\bar{X}\bar{B}$) angeschlossen ist. Die externe Sammelbitleitung XB, $\bar{X}\bar{B}$ ist jeweils über ein Transfertransistorpaar TT_j mit jeder internen Bitleitung B_j, \bar{B}_j und der zugehörigen internen Bewertererschaltung BWS_{int} verbunden. Die externe Bewertererschaltung BWS_{ext} dient im Falle des Auslesens von Daten aus dem Halbleiterspeicher dem Verstärken des ausgelesenen, von einer der internen Bewertererschaltungen BWS_{int} bewerteten und vorverstärkten

Datums und auch der Weitergabe dieses Datums D0 beispielsweise an eine (nicht dargestellte) Datenausgangspufferschaltung.

Die externe Bewerterschaltung BWSext dient jedoch auch im Falle des Einschreibens von Daten DI in den Halbleiterspeicher der Übernahme des einzuschreibenden Datums DI von einer mit der externen Bewerterschaltung BWSext verbundenen Dateneingangsschaltung DIN und der Weitergabe an die externe Sammelbitleitung XB, \overline{XB} , von wo aus das Einschreiben über eine entsprechend aktivierte interne Bitleitung Bj, \overline{Bj} in eine adressierte Speicherzelle SZ erfolgt.

Wie üblich, sind die Wortleitungen, WLi durch Wortleitungsdekoder WLDEC aktivierbar, d.h. auswählbar, und die internen Bitleitungen Bj, \overline{Bj} durch Bitleitungsdekoder BLDEC und die bereits erwähnten Transfertransistorpaare TTj. In vorteilhafter Weise ist die Dateneingangsschaltung DIN weiterhin mit zwei Potentialen POT1, POT2 verbunden, die wertemäßig zwei zueinander komplementären logischen Pegeln D, \overline{D} zugeordnet sind, denen wiederum die möglichen Signalwerte der einzuschreibenden Daten DI entsprechen. Im allgemeinen sind die Potentiale POT1, POT2 wertemäßig gleich den möglichen Signalwerten der Daten DI und sogar gleich den Versorgungsspannungen VCC, VSS des Halbleiterspeichers selbst. Dies ist jedoch nicht notwendig für die Realisierung der vorliegenden Erfindung. Die Verbindung der beiden Potentiale POT1, POT2 mit der Dateneingangsschaltung DIN erfolgt über jeweils einen Schalttransistor ST.

Die erfindungsgemäße Schaltungsanordnung weist weiterhin eine Steuerschaltung SS auf. Sie ist eingangsseitig mit Steuersignalen P1 bis Pk verbunden. Im praktischen Betrieb der Schaltungsanordnung enthalten die Steuersignale P1 bis Pk Informationen darüber, ob paralleles Einschreiben durchgeführt werden soll und welches Prüfmuster beim parallelen Einschreiben zu verwenden ist. Ein erstes Ausgangssignal T1 der Steuerschaltung SS steuert die Schalttransistoren ST gatemäßig an. Ein Durchschalten der Schalttransistoren ST mittels des ersten Ausgangssignales T1 erfolgt nur dann, wenn Speicherzellen SZ des angesteuerten Blockes B parallel zueinander beschrieben werden sollen.

Ein zweites Ausgangssignal T2 ist mit der Dateneingangsschaltung DIN verbunden. Es steuert im Falle parallelen Einschreibens innerhalb der Dateneingangsschaltung DIN, welches der über die Schalttransistoren ST angelegten Potentiale POT1, POT2 als logischer Pegel D über die externe schaltung BWSext an die erste Hälfte XB der externen Sammelbitleitung XB, \overline{XB} anzulegen ist und welches der über die Schalttransistoren ST angelegten Potentiale POT1, POT2 als logischer Pegel \overline{D} über die externe Bewerterschaltung BWSext an

die zweite Hälfte \overline{XB} der externen Sammelbitleitung XB, \overline{XB} anzulegen ist. Der Wert der logischen Pegel D und \overline{D} ist durch das in den Speicher einzuschreibende Prüfmuster und die gerade aktuelle Adressierung von Speicherzellen SZ bestimmt.

Eine Umschalteneinrichtung US ermöglicht ein gleichzeitiges Ansteuern von mehreren oder allen internen Bitleitungen Bj, \overline{Bj} über die zugehörigen Transfertransistorpaare TTj. Die Umschalteneinrichtung US enthält erfindungsgemäß beispielsweise je Ausgang der Bitleitungsdecoder BLDEC, d.h. je interner Bitleitung Bj, \overline{Bj} ein Paar weiterer Transfertransistor WTTj. Der eine weitere Transfertransistor eines solchen Paares WTTj ist beispielsweise als n-Kanal-Transistor ausgebildet. Er ist mit Source und Drain zwischen den zugeordneten Dekoderausgang des Bitleitungsdekoders BLDEC und die Gates des der jeweiligen Bitleitung Bj, \overline{Bj} zugeordneten Transfertransistorpaares TTj geschaltet. Der andere weitere Transfertransistor eines solchen Paares WTTj ist entsprechend beispielsweise als p-Kanal-Transistor ausgebildet. Er ist sourcemäßig mit dem Versorgungspotential VCC des Halbleiterspeichers verbunden und drainmäßig mit den Gates des entsprechenden Transfertransistorpaares TTj. Beide Transistoren des weiteren Transfertransistorpaares WTTj sind an ihren Gates mit einem dritten Ausgangssignal T3 der Steuerschaltung SS verbunden. In einer ersten Ausführungsform der Umschalteneinrichtung US, dargestellt in FIG 1, sind die Gates aller weiteren Transfertransistorpaare WTTj mit einem einzigen Ausgangssignal T3 der Steuerschaltung SS verbunden. Im Normalbetrieb ist das dritte Ausgangssignal T3 aktiviert, so daß die n-Kanal-Transistoren aller weiteren Transfertransistorpaare WTTj durchgeschaltet sind, d.h. die Gates der Transfertransistorpaare TTj werden mit den Signalen angesteuert, die die Ausgänge der Bitleitungsdekoder BLDEC aufweisen.

Im Testbetrieb, zum parallelen Einschreiben von Daten in mehrere Speicherzellen SZ an mindestens einer Wortleitung WLi ist das dritte Ausgangssignal T3 deaktiviert, so daß zwar alle n-Kanal-Transistoren der weiteren Transfertransistorpaare WTTj sperren. Es leiten jedoch die entsprechenden p-Kanal-Transistoren. Die Gates aller Transfertransistorpaare TTj erhalten das Potential VCC, d.h. alle Transfertransistorpaare TTj schalten durch. Somit kann in alle Speicherzellen SZ, die mit einer aktivierten Wortleitung WLi verbunden sind, das über die externe Sammelbitleitung XB, \overline{XB} anstehende Datum D, \overline{D} eingeschrieben werden. Damit lassen sich einfache Prüfmuster wie "All 0's"; "All 1's"; "eine Hälfte '0' und eine Hälfte '1'" in einen Block B eines Halbleiterspeichers sehr schnell und ohne nennenswerten Flächenmehraufwand einschreiben.

In einer weiteren, vorteilhaften Ausführungs-

form (vgl. FIG 3) der Umschalteinrichtung US sind die Gates der weiteren Transfertransistorpaare WTTJ nicht insgesamt mit dem dritten Ausgangssignal T3 der Steuerschaltung SS verbunden. Anstelle dessen weist die Steuerschaltung SS mehrere, d.h. wenigstens zwei voneinander unabhängige dritte Ausgangssignale T3 auf (im dargestellten Fall drei Signale T3', T3'', T3'''). Außerdem sind die Gateanschlüsse der weiteren Transfertransistorpaare WTTJ in mehrere, d.h. wenigstens zwei voneinander unabhängige Gruppen zusammengefaßt (in FIG 3: drei Gruppen), wobei jede Gruppe mit einem der dritten Ausgangssignale T3 (FIG 3: T3', T3'', T3''') verbunden ist. Damit lassen sich auch kompliziertere Prüfmuster wie z.B. Checkerboard in die Speicherzellen einer aktuellen Wortleitung WLi einschreiben.

In diesem Zusammenhang wird ausdrücklich auf die im Zeitrang gleichen Schutzrechte mit den amtlichen Aktenzeichen 88104113.1 und 88104117.2 hingewiesen. Die dort vorgestellten Bitleitungsdecoder vermögen vorteilhaft die Bitleitungsdecoder BLDEC und die Umschalteinrichtung US der vorliegenden Erfindung zu ersetzen und ermöglichen es auf einfache Art und Weise, verschiedene Bitmuster parallel in alle Speicherzellen SZ einer Wortleitung WL einzuschreiben.

Anhand der erfindungsgemäßen Schaltungsanordnung läßt sich nun das erfindungsgemäße Verfahren relativ einfach erläutern:

Soll in einen Block B eines Halbleiterspeichers ein Prüfmuster zu Testzwecken, beispielsweise "All 0's" eingeschrieben werden, so läßt sich das erfindungsgemäße Verfahren wie folgt anwenden: Zunächst werden alle internen Bewerteraltungen BWSint inaktiv geschaltet. Dies kann bei heutzutage üblicherweise verwendeten internen Bewerteraltungen BWSint aus kreuzgekoppelten Transistoren (vgl. FIG 2) dadurch geschehen, daß der gemeinsame Fußpunkt FP jeder internen Bewerterhaltung BWSint zunächst auf hohem Potential gehalten wird (positive Logik wie z.B. bei CMOS- oder n-Kanal-Technologie). Anschließend werden, wie allgemein üblich, alle internen Bitleitungen Bj, B̄j auf einen Vorladepegel vorgeladen, der durch das verwendete Ausleseprinzip festgelegt ist. Während es früher üblich war, auf die Versorgungspotentiale VSS bzw. VCC vorzuladen, wird heutzutage zunehmend das sogenannte Mid-Level-Konzept verwendet, bei dem auf die halbe Versorgungsspannung (VSS + VCC)/2 vorgeladen wird. Das Vorladen, das in FIG 1 beispielsweise nach dem Mid-Level-Konzept erfolgen soll, wird von einem Vorladeimpuls PC über Vorladetransistoren TP durchgeführt. Näheres Eingehen darauf erübrigt sich, da das Vorladen nach dem Stande der Technik erfolgt.

Spätestens nach Beenden des Vorladens wer-

den an die Steuerschaltung SS, die nachfolgend noch näher beschrieben wird, Steuersignale P1 bis Pk angelegt. Diese bestimmen anhand der Steuerschaltung SS, ob paralleles Einschreiben von Daten in mehrere Speicherzellen SZ einer Wortleitung WLi gleichzeitig gewünscht ist und wenn ja, welches Prüfmuster zu verwenden ist. Im vorliegenden Falle wird ein erstes Ausgangssignal T1 aktiviert, das die Schalttransistoren ST durchschaltet und so die Potentiale POT1 und POT2 an die Dateneingangsschaltung DIN legt. Ein zweites Ausgangssignal T2 der Steuerschaltung SS wird an die Dateneingangsschaltung DIN gelegt. Die Dateneingangsschaltung DIN legt mittels der Potentiale POT1 und POT2 über die externe Bewerterhaltung BWSext an die erste Hälfte XB der externen Sammelbitleitung XB, X̄B einen bestimmten logischen Pegel D und an die zweite Hälfte X̄B der externen Sammelbitleitung XB, X̄B einen zu diesem bestimmten logischen Pegel D komplementären logischen Pegel D̄ an. Welcher logische Zustand (0 oder 1) als logischer Pegel D an die erste Hälfte XB gelegt wird und welcher logische Pegel D̄ entsprechend an die zweite Hälfte X̄B der externen Sammelbitleitung XB, X̄B gelegt wird, entscheidet der Zustand des zweiten Ausgangssignales T2. Dieser wird über die Steuerschaltung SS durch die Steuersignale P1 bis Pk festgelegt, da über die Steuersignale P1 bis Pk festgelegt ist, welches Prüfbitmuster in den Halbleiterspeicher einzuschreiben ist. Er ist wegen der Abhängigkeit vom Prüfmuster abhängig von der Aktivierung der Wortleitungen WLi über die Wortleitungsdecoder WLDEC.

Im vorliegenden Beispiel werde an die erste Hälfte XB der externen Sammelbitleitung XB, X̄B eine logische "1" angelegt. Demzufolge wird an die zweite Hälfte X̄B der externen Sammelbitleitung XB, X̄B eine logische "0" angelegt. Anschließend werden, gesteuert durch die weiteren Transfertransistorpaare WTTJ der Umschalteinrichtung US für wenigstens zwei interne Bewerteraltungen BWSint und maximal alle internen Bewerteraltungen BWSint die diesen zugeordneten Transfertransistorpaare TTj elektrisch leitend geschaltet. Dadurch gelangen die an der externen Sammelbitleitung XB, X̄B anliegenden einzuschreibenden Daten D, D̄ in Form von logischen Pegeln an die mit den durchgeschalteten Transfertransistorpaaren TTj verbundenen internen Bitleitungen Bj, B̄j und die (inaktiv geschalteten) internen Bewerteraltungen BWSint. Jetzt wird eine Wortleitung WLi aktiviert. Dadurch erfolgt das Einschreiben der Daten D, D̄ in alle Speicherzellen SZ, die einerseits mit der aktivierten Wortleitung WLi und andererseits mit denjenigen internen Bitleitungen Bj, B̄j verbunden sind, deren zugehörige Transfertransistorpaare TTj elektrisch leitend geschaltet sind. Dann wird die Wortleitung WLi wieder deaktiviert.

Sollen die Daten D, \bar{D} , die sich auf den ersten und zweiten Hälften der externen Sammelbitleitung $XB, \bar{X}\bar{B}$ befinden, in Speicherzellen SZ eingeschrieben werden, die mit anderen als der bereits aktivierten Wortleitung WLi verbunden sind, so werden diese anderen Wortleitungen WLi nacheinander aktiviert und wieder deaktiviert, wodurch das Einschreiben erfolgt. Weist der Block B des Halbleiterspeichers Wortleitungsdekodiereinrichtungen auf, die es ermöglichen, mehr als eine Wortleitung WLi gleichzeitig zu aktivieren (vgl. FIG 4), so werden diejenigen Speicherzellen SZ, die zwar mit gleichen Daten wie sie die beiden Hälften der externen Sammelbitleitung $XB, \bar{X}\bar{B}$ aufweisen, zu beschreiben sind, die aber an verschiedenen Wortleitungen WLi angeordnet sind, gleichzeitig beschrieben, indem die betroffenen Wortleitungen WLi gleichzeitig aktiviert und deaktiviert werden, soweit dies die Wortleitungsdekoder WLDEC ermöglichen.

Unter idealen Voraussetzungen (alle Wortleitungen WLi sind gleichzeitig aktivierbar (beispielsweise mittels einer Vorrichtung ähnlich der Umschalteneinrichtung US); in alle Speicherzellen SZ, die mit der ersten Hälfte ihrer ihnen zugeordneten Bitleitungen, B_j, \bar{B}_j verbunden sind, soll eine logische '1' (logisch '0') eingeschrieben werden; in alle Speicherzellen SZ, die mit der zweiten Hälfte ihrer ihnen zugeordneten Bitleitungen B_j, \bar{B}_j verbunden sind, soll der dazu komplementäre Wert logisch '0' (logisch '1') eingeschrieben werden; alle Trenntransistorpaare TTj sind gleichzeitig elektrisch leitend schaltbar) genügt so ein einziger Zyklus, um alle Speicherzellen SZ des Blockes B des Halbleiterspeichers gleichzeitig zu beschreiben. Dazu sind jedoch hohe Ströme notwendig, was in der Praxis zu einer Verlängerung dieses Schreibzyklus gegenüber herkömmlichen Schreibzyklen führt. Dadurch wird die notwendige Energiezufuhr auf einen längeren Zeitraum unkritisch verteilt.

Im vorliegenden, vom verwendeten Prüfmuster her (All '1'-s) bewußt sehr einfach gehaltenen Beispiel ist es jedoch so, daß diejenigen Speicherzellen SZ, die mit der zweiten Hälfte \bar{B}_j ihrer jeweiligen internen Bitleitung verbunden sind, nicht notwendigerweise beschrieben werden brauchen, weil diese zweite Hälfte den Zustand logisch 0 aufweist. Im vorliegenden Beispiel werden also diejenigen Speicherzellen SZ, die mit der ersten Hälfte B_j ihrer jeweiligen internen Bitleitung verbunden sind, gleichzeitig oder nacheinander beschrieben, jedoch immer mehrere bis alle Speicherzellen SZ an einer Wortleitung WLi gleichzeitig.

Ist dies erfolgt, so müssen die internen Bitleitungen B_j, \bar{B}_j umgeladen werden, d.h. sie müssen einen zu ihrem bisherigen logischen Zustand ($B_j: D = 1, \bar{B}_j: \bar{D} = 0$) komplementären logischen Zustand ($B_j: D = 0, \bar{B}_j: \bar{D} = 1$) erreichen. Dazu werden zunächst alle internen Bitleitungen B_j, \bar{B}_j

über die Vorladetransistoren TP, wie zuvor bereits beschrieben, auf ihre Vorladepegel vorgeladen. Jetzt wird die erste Hälfte XB der externen Sammelbitleitung mit dem gegenüber ihrem bisherigen Pegel (logisch 1) komplementären Pegel logisch 0 geladen und entsprechend die zweite Hälfte $\bar{X}\bar{B}$ der externen Sammelbitleitung mit dem gegenüber ihrem bisherigen Pegel (logisch '0') komplementären Pegel logisch '1' geladen. Dies erfolgt über die Dateneingangsschaltung DIN in Verbindung mit dem zweiten Ausgangssignal T2 der Steuerschaltung SS, das jetzt einen komplementären logischen Zustand aufweist gegenüber seinem bisherigen Zustand.

Ab diesem Zeitpunkt wird für die verbliebenen, noch zu beschreibenden Speicherzellen SZ analog verfahren wie zuvor bereits beschrieben: Zunächst werden für wenigstens zwei bis maximal alle internen Bewertererschaltungen BWSint die diesen internen Bewertererschaltungen BWSint zugehörigen Transfertransistorpaare TTj elektrisch leitend geschaltet, sodaß die logischen Pegel D, \bar{D} der externen Sammelbitleitung $XB, \bar{X}\bar{B}$ über die elektrisch leitend geschalteten Transfertransistorpaare TTj auf die internen Bitleitungen B_j, \bar{B}_j gelangen. Anschließend werden diejenigen Wortleitungen WLi, deren daran angeschlossene Speicherzellen SZ zuvor noch nicht (oder mit einem nicht gewünschten Datum) beschrieben wurden, entweder einzeln oder in Gruppen hintereinander oder alle gleichzeitig angesteuert, sodaß die über die internen Bitleitungen B_j, \bar{B}_j und die Wortleitungen WLi angesteuerten Speicherzellen SZ beschrieben werden.

Auf diese Weise lassen sich insgesamt sehr schnell und ohne großen Schaltungs- und Platzaufwand sämtliche Speicherzellen eines Halbleiterspeichers im Testfall beschreiben, indem beispielsweise jeweils alle Speicherzellen SZ an einer Wortleitung WLi gleichzeitig mit einfachen, regelmäßig aufgebauten Prüfmustern beschrieben werden. Bei einem modernen DRAM als Halbleiterspeicherbaustein wie z.B. 1MB-DRAM mit 1024 Worten x 1024 Spalten werden, um das zuvor beispielhaft angenommene Prüfmuster "All 1's" einzuschreiben, anstelle von $1024 \times 1024 = 1'048.576$ Schreibzyklen nur 1024 Schreibzyklen benötigt, wenn jede Wortleitung WLi einzeln angesteuert wird, jedoch pro Wortleitung WLi jeweils alle daran angeschlossenen Speicherzellen SZ beschrieben werden.

In vorteilhafter Weiterbildung der Erfindung werden zumindest diejenigen internen Bewertererschaltungen BWSint, deren zugehörige Transfertransistorpaare TTj elektrisch leitend geschaltet werden, nach dem Leitendschalten der Transfertransistorpaare aktiv geschaltet, sodaß sie ihre (im Lesebetrieb sowieso übliche) Verstärkungsfunktion hinsichtlich der logischen Signale D, \bar{D} auf der ihnen zugeordneten internen Bitleitung B_j, \bar{B}_j erfüllen

können. Dadurch wird die Übernahme der logischen Pegel D, \bar{D} der externen Sammelbitleitung $XB, \bar{X}B$ auf die entsprechenden internen Bitleitungen $Bj, \bar{B}j$ beschleunigt. Diese Weiterbildung bedingt allerdings, daß vor dem Wechsel der logischen Pegel D, \bar{D} auf den externen Sammelbitleitungen $XB, \bar{X}B$ die internen Bewerterhaltungen $BWSint$ erst deaktiviert werden müssen, damit das anschließende Vorladen der internen Bitleitungen $Bj, \bar{B}j$ durchgeführt werden kann.

Es ist weiterhin von Vorteil, daß es bei Halbleiterspeichern, deren Speicherzellen SZ in einzelne, einander gleiche Blöcke B eingeteilt sind, beispielsweise auch im Sinne der EP-A 0 186 040, je Block B durchgeführt wird, wobei das Verfahren für alle Blöcke B zeitlich parallel im Sinne von EP-A 0 186 040 durchgeführt wird. Damit ist es dann beispielsweise möglich, in einem Block B alle Speicherzellen SZ , die an einer Wortleitung WLI angeordnet sind, mit Daten zu beschreiben und gleichzeitig in jedem der anderen Blöcke B alle Speicherzellen SZ derjenigen Wortleitung WLI , die in ihrer Adressierung innerhalb ihres Blockes B derjenigen des erstgenannten Blockes B entspricht, ebenfalls zu beschreiben.

Die vorteilhafte Anordnung zur Durchführung des Verfahrens wurde zuvor bereits beschrieben. In Weiterbildung der Erfindung ist es nun vorteilhaft, daß die Steuerschaltung SS einen Dekodiererteil DEC enthält, der die Steuersignale $P1$ bis Pk auswertet. Der Dekodiererteil DEC erkennt zum einen, ob paralleles Einschreiben in Speicherzellen SZ einer Wortleitung WLI gewünscht ist. Zum anderen erkennt er, welches von verschiedenen möglichen Prüfmustern gewünscht ist.

Die Steuersignale $P1$ bis Pk können Signale sein, die über separate Anschlüsse an den Halbleiterspeicher angelegt werden. Sie können aber auch Signale sein, die über am Halbleiterspeicher sowie schon vorhandene Anschlüsse geführt werden, beispielsweise über Adreßsignalanschlüsse. In diesem Fall ist es notwendig, daß der Dekodiererteil DEC so ausgelegt ist, daß er erkennen kann, ob 'normale' Adreßsignale am Halbleiterspeicher extern anlegen oder ob die Steuersignale $P1$ bis Pk im Sinne der vorliegenden Erfindung anlegen. Zur Lösung dieses Problems bieten sich dem Fachmann mehrere Möglichkeiten: Zum einen kann der Dekodiererteil DEC so ausgelegt sein, daß er extern am Halbleiterspeicher anliegende Signale dann als Steuersignale $P1$ bis Pk erkennt, wenn (mindestens) eines davon einen gegenüber den im Halbleiterspeicher ansonsten üblichen logischen Pegeln deutlich überhöhten Signalpegel aufweist. Dies läßt sich beispielsweise mittels einer Spannungsdiskriminatorschaltung ermitteln (vgl. auch EP-B 0 046 215). Es ist jedoch auch möglich, an den Halbleiterspeicher zunächst eine spezielle Si-

gnalkombination und Signalfolge anzulegen, die über den Dekodiererteil DEC den Halbleiterspeicher in einen Testbetrieb umschaltet, innerhalb dessen das vorstehend beschriebene parallele Einschreiben von Daten erfolgen kann. Nach erfolgter Testdurchführung wird an den Halbleiterspeicher eine weitere, spezielle Signalkombination und Signalfolge angelegt, die den Halbleiterspeicher (und damit auch die Steuerschaltung SS) wieder in den Normalbetrieb zurückschaltet. Entsprechende Signalkombinationen und Signalfolgen zur Steuerung und zum Auslösen von Spezialfunktionen eines Halbleiterspeichers sind der Fachwelt bereits bekannt. Beispielsweise fand vom 9. bis 11. September 1986 in Minneapolis/USA ein "JEDEC Mos Memory Meeting" statt, bei dem über eine künftige Norm hinsichtlich solcher Signalkombinationen und Signalfolgen beraten wurde.

Der Kern der Steuerschaltung SS enthält vorteilhafterweise eine PLA-Schaltung. Diese enthält im wesentlichen Informationen über die vom Halbleiterspeicher-Hersteller vorgesehenen Prüfmuster. Die PLA-Schaltung wird vom Dekodiererteil DEC , der ja die Steuersignale $P1$ bis Pk auswertet, bei Erkennen der Betriebsart "parallel Einschreiben in mehrere Zellen eines Blockes" mittels vom Dekodiererteil DEC erzeugter interner Steuersignale angesteuert. Sie generiert in Abhängigkeit von ihrer Schaltungsauslegung und der internen Steuerschaltung die Ausgangssignale $T1 \dots$ der Steuerschaltung SS .

Anstelle der PLA-Schaltung kann die Steuerschaltung SS auch einen nicht flüchtigen Speicherbereich vom Typ ROM, PROM, etc. aufweisen. Seine Funktion ist analog der der PLA-Schaltung.

In einer vorteilhaften Weiterbildung der Erfindung, dargestellt in FIG 4, ist den Wortleitungsdekodern $WLDEC$ eine Wortleitungs-Adreßtrennerschaltung $WLTS$ vorgeschaltet. Sie ist eingangsseitig einerseits mit einem vierten Ausgangssignal $T4$ der Steuerschaltung SS verbunden und andererseits mit Adreßleitungen $A0$ bis $AM, \bar{A}0$ bis $\bar{A}M$, die üblicherweise der Adressierung der Wortleitungen WLI über die Wortleitungsdekoder dienen. Im Normalbetrieb sind die Adreßleitungen $A0$ bis $AM, \bar{A}0$ bis $\bar{A}M$ auf die Wortleitungsdekoder $WLDEC$ durchgeschaltet, sodaß die Wortleitungsdekoder $WLDEC$ von extern an den Halbleiterspeicher angelegten Adreßsignalen ansteuerbar sind. Im Falle von parallelem Einschreiben von Daten in mehrere Speicherzellen SZ mindestens einer Wortleitung WLI , d.h. also im Testbetrieb, bewirkt das vierte Ausgangssignal $T4$ der Steuerschaltung SS in einer ersten Ausführungsform der Wortleitungs-Adreßtrennerschaltung $WLTS$, daß diese die Wortleitungsdekoder $WLDEC$ so ansteuert, daß die Wortleitungen WLI einzeln nacheinander aktiviert werden zum Einschreiben der Daten. In einer zweiten

Ausführungsform werden die Wortleitungen WLi gruppenweise nacheinander aktiviert. In einer dritten Ausführungsform werden alle Wortleitungen WLi gleichzeitig aktiviert zum Einschreiben. Aufgrund des dabei auftretenden hohen Energiebedarfs ist in einem solchen Fall einerseits die Spannungsversorgung des Halbleiterspeichers entsprechend kräftig auszulegen und andererseits ist zu erwarten, daß der (einzige) Einschreibzyklus etwas länger dauert als üblich aufgrund des erhöhten Energiebedarfes des Halbleiterspeichers.

Patentansprüche

1. Verfahren zum parallelen Einschreiben von Daten in Form eines Prüfmusters in einen Block von mehreren Speicherzellen eines Halbleiterspeichers mit folgenden Merkmalen:

- a) Alle internen Bewertererschaltungen (BWSint) werden inaktiv geschaltet,
- b) alle internen Bitleitungen (Bj, \bar{B}_j) werden auf einen Vorladepegel vorgeladen,
- c) die erste Hälfte (XB) einer externen Sammelbitleitung wird auf einen ersten logischen Pegel (D) aufgeladen und die zweite Hälfte ($\bar{X}\bar{B}$) der externen Sammelbitleitung wird auf einen zweiten logischen Pegel (\bar{D}) aufgeladen, der zum ersten logischen Pegel (D) komplementär ist, wobei mindestens einer der logischen Pegel (D, \bar{D}) den einzuschreibenden Daten entspricht,
- d) für wenigstens zwei interne Bewertererschaltungen (BWSint) und maximal alle internen Bewertererschaltungen (BWSint) wird ein der internen Bewertererschaltung (BWSint) jeweils zugehöriges Transfertransistorpaar (TTj) elektrisch leitend geschaltet, wodurch die an der externen Sammelbitleitung (XB, $\bar{X}\bar{B}$) anliegenden logischen Pegel (D, \bar{D}) an die mit den durchgeschalteten Transfertransistorpaaren (TTj) verbundenen internen Bitleitungen (Bj, \bar{B}_j) gelangen,
- e) unter Ansteuerung wenigstens einer Wortleitung (WLi) erfolgt Einschreiben der gewünschten Daten in diejenigen Speicherzellen (SZ), die sowohl mit einer angesteuerten Wortleitung (WLi) verbunden sind als auch mit solchen internen Bitleitungen (Bj, \bar{B}_j), deren zugehöriges Transfertransistorpaar (TTj) elektrisch leitend geschaltet ist,
- f) Schritt (e) wird so oft durchgeführt unter Ansteuerung von jeweils wenigstens einer zuvor noch nicht angesteuerten Wortleitung (WLi), bis alle diejenigen Speicherzellen (SZ) des Blockes (B) des Halbleiterspeichers beschrieben sind, deren Beschreiben aufgrund der gewählten Zuordnung zwil-

chen der externen Sammelbitleitung (XB, $\bar{X}\bar{B}$) und den beiden logischen Pegeln (D, \bar{D}) möglich ist,

g) Wiederholen der Schritte ab Merkmal b) unter Vertauschen der ursprünglich gewählten Zuordnung zwischen der externen Sammelbitleitung (XB, $\bar{X}\bar{B}$) und den beiden logischen Pegeln (D, \bar{D}), falls mit letztmaligem Abarbeiten von Merkmal f) noch nicht alle Speicherzellen (SZ) mit dem gewünschten Prüfmuster beschrieben sind.

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß zur Beschleunigung des Einschreibens der Daten in die Speicherzellen (SZ) nach dem Schritt d) des Patentanspruches 1 mindestens diejenigen internen Bewertererschaltungen (BWSint) aktiv geschaltet werden, deren zugehörige Transfertransistorpaare (TTj) elektrisch leitend geschaltet sind und daß das Wiederholen von Schritten gemäß Merkmal g) des Patentanspruches 1 bereits ab Merkmal a) des Patentanspruches 1 geschieht.
3. Verfahren nach Anspruch 1 oder Anspruch 2, **dadurch gekennzeichnet**, daß als erster logischer Pegel (D) beim ersten Durchlauf des Verfahrens die logische "0" gewählt wird.
4. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß als erster logischer Pegel (D) beim ersten Durchlauf des Verfahrens die logische '1' gewählt wird.
5. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß es bei Halbleiterspeichern mit mehreren, einander gleichen Speicherblöcken (B) auf diese Speicherblöcke (B) gleichzeitig parallel angewandt wird.
6. Schaltungsanordnung, insbesondere zur Durchführung des Verfahrens nach einem der vorhergehenden Ansprüche, aufweisend folgende Merkmale:
 - Ein Halbleiterspeicher enthält wenigstens einen Block (B) von in Form einer Matrix angeordneten 2^{N+M} Speicherzellen (SZ),
 - die Speicherzellen (SZ) sind über Wortleitungen (WLi) und interne Bitleitungen (Bj, \bar{B}_j) adressierbar,
 - jeder internen Bitleitung (Bj, \bar{B}_j) ist eine interne Bewertererschaltung (BWSint) zugeordnet, die die interne Bitleitung (Bj, \bar{B}_j) in zwei Hälften teilt,
 - jede interne Bewertererschaltung (BWSint) ist über ein Transfertransistorpaar (TTj) mit einer allen Transfertransistorpaaren

- (TT) gemeinsamen externen Sammelbitleitung (XB, $\bar{X}\bar{B}$) verbunden,
- an der externen Sammelbitleitung (XB, $\bar{X}\bar{B}$) ist eine externe Bewerter-schaltung (BWSext) angeschlossen, die sowohl im Falle des Auslesens von Daten aus dem Halbleiterspeicher dem Verstärken des ausgelesenen Datums und letztendlich der Weitergabe des verstärkten Datums (D0) dient als auch im Falle des Einschreibens von Daten in Form von logischen Pegeln (D, \bar{D}) in den Halbleiterspeicher der Übernahme des einzuschreibenden Datums von einer Dateneingangsschaltung (DIN) und der Weitergabe an die externe Sammelbitleitung (XB, $\bar{X}\bar{B}$),
 - die Wortleitungen (WLI) sind durch Wortleitungsdekoder (WLDEC) aktivierbar und die internen Bitleitungen (Bj, \bar{B}_j) durch Bitleitungsdekoder (BLDEC),
- gekennzeichnet durch folgende Merkmale:**
- die Dateneingangsschaltung (DIN) ist über je einen Schalttransistor (ST) mit Potentialen (POT1, POT2) verbunden, die wertemäßig den beiden logischen Pegeln (D, \bar{D}) zugeordnet sind,
 - eine Steuerschaltung (SS) ist einseitig mit Steuersignalen (P1, ..., Pk) verbunden,
 - die Steuersignale (P1, ..., Pk) enthalten Informationen, ob paralleles Einschreiben durchgeführt werden soll und welches Prüfmuster dabei verwendet werden soll,
 - die Steuerschaltung (SS) weist ein erstes Ausgangssignal (T1) auf, das die Schalttransistoren (ST) ansteuert,
 - sie weist ein zweites Ausgangssignal (T2) auf, das mit der Dateneingangsschaltung (DIN) verbunden ist und das innerhalb der Dateneingangsschaltung (DIN) steuert, welches der über die Schalttransistoren (ST) angelegten Potentiale (POT1, POT2) als erster logischer Pegel (D) über die externe Bewerter-schaltung (BWSext) an eine erste Hälfte (XB) der externen Sammelbitleitung anzulegen ist und das weiterhin steuert, welches der über die Schalttransistoren (ST) angelegten Potentiale (POT1, POT2) als zweiter logischer Pegel (\bar{D}) über die externe Bewerter-schaltung (BWSext) an eine zweite Hälfte ($\bar{X}\bar{B}$) der externen Sammelbitleitung anzulegen ist,
 - die Bitleitungsdekoder (BLDEC) sind mit einer Umschalteinrichtung (US) versehen zur parallelen Aktivierung mindestens mehrerer bis maximal aller Trans-

fertransistorpaare (TT) über ein drittes Ausgangssignal (T3) der Steuerschaltung (SS).

- 5 7. Schaltungsanordnung nach Anspruch 6, **dadurch gekennzeichnet**, daß die Steuerschaltung (SS) einen Dekodier-teil (DEC) enthält, der die Steuersignale (P1, ..., Pk) auswertet.
- 10 8. Schaltungsanordnung nach Anspruch 6 oder 7, **dadurch gekennzeichnet**, daß die Steuerschaltung (SS) eine PLA-Schaltung enthält.
- 15 9. Schaltungsanordnung nach Anspruch 6 oder 7, **dadurch gekennzeichnet**, daß die Steuerschaltung (SS) eine nicht flüchtige Speicherschaltung enthält.
- 20 10. Schaltungsanordnung nach einem der Ansprüche 6 bis 9, **dadurch gekennzeichnet**, daß die Umschalteinrichtung (US) ein weiteres Transfertransistorpaar (WTT) mit zwei zueinander komplementären Transistoren je interne Bitleitung (Bj, \bar{B}_j) aufweist, daß je weiterem Transfertransistorpaar (WTT) Source und Drain des einen Transistors zwischen den Gateanschlüssen des Transfertransistorpaares (TT) einer internen Bitleitung (Bj, \bar{B}_j) und dem Ausgang des der jeweiligen internen Bitleitung (Bj, \bar{B}_j) zugeordneten Bitleitungsdekoders (BLDEC) angeordnet ist, daß der andere Transistor zwischen dem Versorgungspotential (VCC) der Schaltungsanordnung und den Gateanschlüssen des Transfertransistorpaares (TT) angeordnet ist und daß die Gates beider Transistoren des weiteren Transfertransistorpaares (WTT) mit einem dritten Ausgangssignal (T3) der Steuerschaltung (SS) verbunden sind.
- 30
- 35
- 40 11. Schaltungsanordnung nach einem der Ansprüche 6 bis 9, **dadurch gekennzeichnet**, daß die Umschalteinrichtung (US) ein weiteres Transfertransistorpaar (WTT) mit zwei zueinander komplementären Transistoren je interne Bitleitung (Bj, \bar{B}_j) aufweist, daß je weiterem Transfertransistorpaar (WTT) Source und Drain des einen Transistors zwischen den Gateanschlüssen des Transfertransistorpaares (TT) einer internen Bitleitung (Bj, \bar{B}_j) und dem Ausgang des der jeweiligen internen Bitleitung (Bj, \bar{B}_j) zugeordneten Bitleitungsdekoders (BLDEC) angeordnet ist, daß der andere Transistor zwischen dem Versorgungspotential (VCC) der Schaltungsanordnung und den Gateanschlüssen des Transfertransistorpaares (TT) angeordnet ist und daß die Gates der Transistoren aller weiteren Transfertransistorpaare (WTT) gruppenweise mit dritten Aus-
- 45
- 50
- 55

gangssignalen ($T3'$, $T3''$, $T3'''$) der Steuerschaltung (SS) verbunden sind.

12. Schaltungsanordnung nach einem der Ansprüche 6 bis 11, **dadurch gekennzeichnet**, daß sie des weiteren eine Wortleitungs-Adreßtrennerschaltung (WLTS) enthält, die eingangsmäßig einerseits mit einem vierten Ausgangssignal ($T4$) der Steuerschaltung (SS) verbunden ist und andererseits mit Adreßleitungen ($A0$ bis AM , $\overline{A0}$ bis \overline{AM}) verbunden ist, die der Adressierung der Wortleitungen (WLi) dienen, daß sie im Normalbetrieb die Adreßleitungen ($A0$ bis AM , $\overline{A0}$ bis \overline{AM}) auf die Wortleitungsdekoder (WLDEC) durchschaltet und im Testbetrieb einerseits die Adreßleitungen ($A0$ bis AM , $\overline{A0}$ bis \overline{AM}) blockiert und andererseits die Wortleitungsdekoder (WLDEC) so ansteuert, daß diese zum Einschreiben eine Wortleitung (WLi) oder eine Gruppe von Wortleitungen (WLi) nach der anderen ansteuern.
13. Schaltungsanordnung nach einem der Ansprüche 6 bis 11, **dadurch gekennzeichnet**, daß sie des weiteren eine Wortleitungs-Adreßtrennerschaltung (WLTS) enthält, die eingangsmäßig einerseits mit einem vierten Ausgangssignal ($T4$) der Steuerschaltung (SS) verbunden ist und andererseits mit Adreßleitungen ($A0$ bis AM , $\overline{A0}$ bis \overline{AM}) verbunden ist, die der Adressierung der Wortleitung (WLi) dienen, daß sie im Normalbetrieb die Adreßleitungen ($A0$ bis AM , $\overline{A0}$ bis \overline{AM}) auf die Wortleitungsdekoder (WLDEC) durchschaltet und im Testbetrieb einerseits die Adreßleitungen ($A0$ bis AM , $\overline{A0}$ bis \overline{AM}) blockiert und andererseits alle Wortleitungsdekoder (WLDEC) parallel ansteuert, so daß diese zum Einschreiben alle Wortleitungen (WLi) gleichzeitig ansteuern.

Claims

1. Method for the parallel input of data items in the form of a test pattern into a block of a plurality of storage cells of a semiconductor memory having the following features:
 - a) all internal evaluator circuits (BWSint) are switched to the inactive state,
 - b) all internal bit lines (Bj , \overline{Bj}) are precharged to a precharge level,
 - c) the first half (XB) of an external collective bit line is charged to a first logic level (D) and the second half (\overline{XB}) of the external collective bit line is charged to a second logic level (\overline{D}) complementary to the first logic level (D), at least one of the logic levels (D , \overline{D}) corresponding to the data items to be input,
 - d) a transfer transistor pair (TTj) associated in each case with the internal evaluator circuit (BWSint) is switched so as to be electrically conductive for at least two internal evaluator circuits (BWSint) and a maximum of all internal evaluator circuits (BWSint), as a result of which the logic levels (D , \overline{D}) present on the external collective bit line (XB , \overline{XB}) reach the internal bit lines (Bj , \overline{Bj}) connected to the switched-through transfer transistor pairs (TTj),
 - e) while driving at least one word line (WLi), inputting occurs of the desired data items into those storage cells (SZ) which are connected both to a driven word line (WLi) and to those internal bit lines (Bj , \overline{Bj}) whose associated transfer transistor pair (TTj) is switched so as to be electrically conductive,
 - f) step (e) is performed while driving in each case at least one word line (WLi) previously not yet driven until all those storage cells (SZ) of the block (B) of the semiconductor memory have been written into which permit writing in on the basis of the selected assignment between the external collective bit line (XB , \overline{XB}) and the two logic levels (D , \overline{D}),
 - g) repetition of the steps from feature b), exchanging the originally selected assignment between the external collective bit line (XB , \overline{XB}) and the two logic levels (D , \overline{D}) if the desired test pattern has not yet been written into all of the storage cells (SZ) after feature f) was carried out the last time.
2. Method according to Claim 1, characterised in that, for speeding up the input of the data items into the storage cells (SZ), after step d) of Patent Claim 1 at least those internal evaluator circuits (BWSint) whose associated transfer transistor pairs (TTj) have been switched so as to be electrically conductive are switched to the active state, and in that the repetition of steps in accordance with feature g) of Patent Claim 1 is carried out already from feature a) of Patent Claim 1.
3. Method according to Claim 1 or Claim 2, characterised in that logic "0" is selected as the first logic level (D) for the first execution of the method.
4. Method according to Claim 1 or 2, characterised in that logic '1' is selected as the first logic level (D) for the first execution of the method.
5. Method according to one of the preceding

claims, characterised in that in the case of semiconductor memories having a plurality of mutually identical storage blocks (B), the method is applied simultaneously and in parallel to these storage blocks (B).

6. Circuit arrangement, in particular for carrying out the method according to one of the preceding claims, having the following features:

- a semiconductor memory contains at least one block (B) of 2^{N+M} storage cells (SZ) disposed in the form of a matrix,
- the storage cells (SZ) can be addressed via word lines (WLI) and internal bit lines (B_j , \bar{B}_j),
- each internal bit line (B_j , \bar{B}_j) is assigned an internal evaluator circuit (BWSint) which divides the internal bit line (B_j , \bar{B}_j) into two halves,
- each internal evaluator circuit (BWSint) is connected via a transfer transistor pair (TTj) to an external collective bit line (XB, $\bar{X}B$) shared by all transfer transistor pairs (TTj),
- connected to the external collective bit line (XB, $\bar{X}B$) is an external evaluator circuit (BWSext), which serves both, when data items are read out of the semiconductor memory, to amplify the data item read out and finally to forward the amplified data item (DO), and, when data items are input into the semiconductor memory in the form of logic levels (D, \bar{D}), to transfer the data item to be written in from a data input circuit (DIN) and to forward it to the external collective bit line (XB, $\bar{X}B$),
- the word lines (WLI) can be activated by word line decoders (WLDEC) and the internal bit lines (B_j , \bar{B}_j) can be activated by bit line decoders (BLDEC),

characterised by the following features:

- the data input circuit (DIN) is connected via in each case one switching transistor (ST) to potentials (POT1, POT2), the values of which are associated with the two logic levels (D, \bar{D}),
- a control circuit (SS) is connected on the input side to control signals (P1, ..., Pk),
- the control signals (P1, ..., Pk) contain information relating to whether parallel input is to be performed and which test pattern is to be used therefor,
- the control circuit (SS) has a first output signal (T1) which drives the switching transistors (ST),
- it has a second output signal (T2) which is connected to the data input circuit

(DIN) and which controls within the data input circuit (DIN) which of the potentials (POT1, POT2) generated via the switching transistors (ST) is to be applied as first logic level (D) via the external evaluator circuit (BWSext) to a first half (XB) of the external collective bit line, and which furthermore controls which of the potentials (POT1, POT2) generated via the switching transistors (ST) is to be applied as second logic level (\bar{D}) via the external evaluator circuit (BWSext) to a second half ($\bar{X}B$) of the external collective bit line,

- the bit line decoders (BLDEC) are provided with a switch-over device (US) for the parallel activation of at least a plurality of, up to a maximum of all, transfer transistor pairs (TTj) via a third output signal (T3) of the control circuit (SS).

7. Circuit arrangement according to Claim 6, characterised in that the control circuit (SS) contains a decoder section (DEC) which evaluates the control signals (P1, ..., Pk).

8. Circuit arrangement according to Claim 6 or 7, characterised in that the control circuit (SS) contains a PLA circuit.

9. Circuit arrangement according to Claim 6 or 7, characterised in that the control circuit (SS) contains a non-volatile storage circuit.

10. Circuit arrangement according to one of Claims 6 to 9, characterised in that the switchover device (US) has a further transfer transistor pair (WTTj) with two mutually complementary transistors for each internal bit line (B_j , \bar{B}_j) in that for each further transistor pair (WTTj), source and drain of the one transistor are disposed between the gate terminals of the transfer transistor pair (TTj) of an internal bit line (B_j , \bar{B}_j) and the output of the bit line decoder (BLDEC) associated with the output of the respective internal bit line (B_j , \bar{B}_j), in that the other transistor is disposed between the supply potential (VCC) of the circuit arrangement and the gate terminals of the transfer transistor pair (TTj), and in that the gates of both transistors of the further transfer transistor pair (WTTj) are connected to a third output signal (T3) of the control circuit (SS).

11. Circuit arrangement according to one of Claims 6 to 9, characterised in that the switchover device (US) has a further transfer transistor pair (WTTj) with two mutually complementary

- transistors for each internal bit line (B_j , \bar{B}_j), in that for each further transfer transistor pair (WTT), source and drain of the one transistor are disposed between the gate terminals of the transfer transistor pair (TT) of an internal bit line (B_j , \bar{B}_j) and the output of the bit line decoder (BLDEC) associated with the respective internal bit line (B_j , \bar{B}_j), in that the other transistor is disposed between the supply potential (VCC) of the circuit arrangement and the gate terminals of the transfer transistor pair (TT), and in that the gates of the transistors of all further transfer transistor pairs (WTT) are connected in groups to third output signals ($T3'$, $T3''$, $T3'''$) of the control circuit (SS).
12. Circuit arrangement according to one of Claims 6 to 11, characterised in that it furthermore contains a word line address separating circuit (WLTS) which is connected on the input side on the one hand to a fourth output signal ($T4$) of the control circuit (SS) and on the other hand to address lines ($A0$ to AM , $\bar{A0}$ to \bar{AM}), and which serves for addressing the word lines (WLi), in that it switches through the address lines ($A0$ to AM , $\bar{A0}$ to \bar{AM}) to the word line decoders (WLDEC) in normal operation, and in test operation on the one hand blocks the address lines ($A0$ to AM , $\bar{A0}$ to \bar{AM}) and on the other hand drives the word line decoders (WLDEC) in such a way that they drive a word line (WLi) or a group of word lines (WLi) one after the other for input.
13. Circuit arrangement according to one of Claims 6 to 11, characterised in that it furthermore contains a word line address separating circuit (WLTS) which is connected on the input side on the one hand to a fourth output signal ($T4$) of the control circuit (SS) and on the other hand to address lines ($A0$ to AM , $\bar{A0}$ to \bar{AM}) which serve for addressing the word lines (WLi), in that it switches through the address lines ($A0$ to AM , $\bar{A0}$ to \bar{AM}) to the word line decoders (WLDEC) in normal operation, and in test operation on the one hand blocks the address lines ($A0$ to AM , $\bar{A0}$ to \bar{AM}) and on the other hand drives all word line decoders (WLDEC) in parallel so that they drive all word lines (WLi) simultaneously for input.

Revendications

1. Procédé pour enregistrer en parallèle des données sous la forme d'un profil de contrôle dans un bloc de plusieurs cellules d'une mémoire à semi-conducteurs, présentant les caractéristiques suivantes:

- a) tous les circuits internes d'évaluation (BWSint) sont branchés à l'état inactif,
- b) tous les conducteurs internes de transmission de Dits (B_j , \bar{B}_j) sont préchargés à un niveau de précharge,
- c) la première moitié (XB) d'un conducteur formant bus externe de transmission de bit est chargée à un premier niveau logique (D) et la seconde moitié ($\bar{X}\bar{B}$) du conducteur formant bus externe de transmission de bits est chargée à un second niveau logique (\bar{D}), qui est complémentaire du premier niveau logique (D), au moins l'un des niveaux logiques (D, \bar{D}) correspondant aux données devant être enregistrées,
- d) pour au moins deux circuits internes d'évaluation (BWSint) et pour au maximum tous les circuits internes d'évaluation (BWSint), un couple de transistors de transfert (TT), associé respectivement au circuit interne d'évaluation (BWSint) est branché à l'état électriquement conducteur, ce qui a pour effet que les niveaux logiques (D, \bar{D}) appliqués au conducteur formant bus externe de transmission de Dits ($XB, \bar{X}\bar{B}$) parviennent aux conducteurs internes de transmission de bits (B_j , \bar{B}_j) raccordés aux couples de transistors de transfert (TT) rendus passants,
- e) l'enregistrement des données désirées est réalisé sous la commande d'au moins un conducteur de transmission de mots (WLi), dans les cellules de mémoire (SZ), qui sont raccordées aussi bien à un conducteur commandé de transmission de mots (WLi) qu'à des conducteurs internes de transmission de bits (B_j , \bar{B}_j), dont le couple associé de transistors de transfert (TT) est placé à l'état électriquement conducteur,
- f) le pas (e) est exécuté suffisamment fréquemment sous la commande respectivement d'au moins un conducteur de transmission de mots (WLi) non encore commandé au préalable, jusqu'à ce que soient enregistrés les cellules de mémoire (SZ) du bloc (B) de la mémoire à semi-conducteurs, dont l'enregistrement est possible sur la base de l'association sélectionnée entre le conducteur formant bus externe de transmission de bits ($X2, \bar{X}\bar{2}$) et les deux niveaux logiques (D, \bar{D}),
- g) les pas sont répétés, à partir de la caractéristique b), moyennant une permutation de l'association choisie initialement entre le conducteur formant bus externe de transmission de Dits ($XB, \bar{X}\bar{B}$), et les deux niveaux logiques (D, \bar{D}), dans le cas où, lors

de la dernière mise en oeuvre de la caractéristique f, toutes les cellules de mémoire (SZ) ne sont pas encore enregistrées avec le profil binaire désiré.

2. Procédé suivant la revendication 1, caractérisé par le fait que pour accélérer l'enregistrement des données dans les cellules de mémoire (SZ), après le pas d) de la revendication 1, on branche à l'état actif au moins les circuits internes d'évaluation (BWSint), dont les couples associés de transistors de transfert (TTj) sont placés à l'état électriquement conducteur, et que la répétition de pas conformément à la caractéristique g) de la revendication 1 s'effectue déjà à partir de la caractéristique a) de la revendication 1.
3. Procédé suivant la revendication 1 ou 2, caractérisé par le fait qu'on choisit comme premier niveau logique (D), lors de la première exécution du procédé, le "0" logique.
4. Procédé suivant la revendication 1 ou 2, caractérisé par le fait qu'on choisit comme premier niveau logique (D) lors de la première exécution du procédé, le "1" logique.
5. Procédé suivant l'une des revendications précédentes, caractérisé par le fait que dans les mémoires à semiconducteurs comportant plusieurs blocs de mémoire identiques (B), on applique le procédé simultanément en parallèle à ces blocs de mémoire (B).
6. Montage, notamment pour la mise en oeuvre du procédé suivant l'une des revendications précédentes, caractérisé par les caractéristiques suivantes:
 - une mémoire à semiconducteurs contient au moins un bloc (B) de 2^{N+M} cellules de mémoire (SZ) disposées sous la forme d'une matrice,
 - des cellules de mémoire (SZ) peuvent être adressées par l'intermédiaire de conducteurs de transmission de mots (WLi) et de conducteurs internes de transmission de bits (Bj, Bj),
 - à chaque conducteur interne de transmission de bits (Bj, Bj) est associé un circuit interne d'évaluation (BWSint), qui subdivise le conducteur interne de transmission de bits (Bj, Bj) en deux moitiés,
 - chaque circuit interne d'évaluation (BWSint) est raccordé par l'intermédiaire d'un couple de transistors de transfert (TTj) à un conducteur formant bus de transmission de bits (XB, XB), comme à

tous les couples de transistors de transfert (TTj),

- au conducteur formant bus externe de transmission de bits (XB, XB) est raccordé un circuit externe d'évaluation (BWSext), qui est utilisé, aussi bien dans le cas de la lecture de données à partir de la mémoire à semiconducteurs, pour amplifier la donnée lue et finalement à reproduire la donnée amplifiée (DO), que dans le cas de l'enregistrement de données sous la forme de niveaux logiques (D, D) dans la mémoire à semiconducteurs, pour prendre en charge la donnée devant être enregistrée, à partir d'un circuit d'entrée de données (DIN) et à transférer cette donnée au conducteur formant bus externe de transmission de bits (XB, XB),
- les conducteurs de transmission de mots (WLi) peuvent être activés au moyen de décodeurs (WLDEC) des conducteurs de transmission de mots et les conducteurs internes de transmission de bits (Bj, Bj) peuvent être activés par des décodeurs (BLDEC) des conducteurs de transmission de bits,

caractérisé par les caractéristiques suivantes:

- le circuit d'entrée de données (DIN) est raccordé par l'intermédiaire d'un transistor respectif de commutation (ST) à des potentiels (POT1, POT2), dont les valeurs sont associées aux deux niveaux logiques (D, D),
- un circuit de commande (SS) reçoit, côté entrée, des signaux de commande (P1, ..., Pk),
- les signaux de commande (P1, ..., Pk) contiennent des informations indiquant si l'enregistrement en parallèle doit être exécuté et quel profil de contrôle doit être alors utilisé,
- le circuit de commande (SS) fournit un premier signal de sortie (T1), qui commande les transistors de commutation (ST),
- il possède un second signal de sortie (T1), qui est appliqué au circuit de données d'entrée (DIN) et commande, à l'intérieur de ce circuit (DIN), celui des potentiels (POT1, POT2), appliqué par l'intermédiaire des transistors de commutation (ST), qui doit être appliqué en tant que premier niveau logique (D), par l'intermédiaire du circuit externe d'évaluation (BWSext), à une première moitié (XB) du conducteur formant bus externe de transmission de bits, et commande en

- autre celui du potentiel (POT1,POT2) appliqué par l'intermédiaire des transistors de commutation (ST), qui doit être appliqué en tant que second niveau logique (\bar{D}) par l'intermédiaire du circuit externe d'évaluation (BWSext) à une seconde moitié (XB) du conducteur formant bus externe de transmission de bits,
- les décodeurs (BLDEC) des conducteurs de transmission de bits sont équipés d'un dispositif de commutation (US) qui sert à activer en parallèle au moins plusieurs et au maximum tous les couples de transistors de transfert (TTj) par l'intermédiaire d'un troisième signal de sortie (T3) du circuit de commande (SS).
7. Montage suivant la revendication 6, caractérisé par le fait que le circuit de commande (SS) contient une partie formant décodeur (DEC), qui évalue les signaux de commande (P1, ..., Pk).
 8. Montage suivant la revendication 6 ou 7, caractérisé par le fait que le circuit de commande (SS) contient un circuit PLA.
 9. Montage suivant la revendication 6 ou 7, caractérisé par le fait que le circuit de commande (SS) contient un circuit de mémoire non volatile.
 10. Montage suivant l'une des revendications 6 à 9, caractérisé par le fait que le dispositif de commutation (US) comporte un autre couple de transistors de transfert (WTTj) comprenant deux transistors complémentaires l'un à l'autre pour chaque conducteur interne de transmission de bits (Bj, \bar{B}_j), que pour chaque autre couple de transistors (WTTj), la source et le drain d'un transistor sont disposés entre les bornes de grille du couple de transistors de transfert (TTj) d'un conducteur interne de transmission de bits (Bj, \bar{B}_j) et la sortie du décodeur de conducteurs de transmission de bits (BLDEC), associé à la sortie du conducteur interne respectif de transmission de bits (Bj, \bar{B}_j), que l'autre transistor est disposé entre le potentiel d'alimentation (VCC) du montage et les bornes de grille du couple de transistors de transfert (TTj), et que les grilles des deux transistors de l'autre couple de transistors de transfert (WTTj) reçoivent un troisième signal de sortie (T3) du circuit de commande (SS).
 11. Montage suivant l'une des revendications 6 à 9, caractérisé par le fait que le dispositif de commutation (US) comporte un autre couple de transistors de transfert (WTTj) comportant deux transistors complémentaires l'un à l'autre pour chaque conducteur interne de transmission de bits (Bj, \bar{B}_j), que pour chaque autre couple de transistors de transfert (WTTj), la source et le drain d'un transistor sont disposés entre les bornes de grille du couple de transistors de transfert (TTj) d'un conducteur interne de transmission de bits (Bj, \bar{B}_j) et la sortie du décodeur (BLDEC) des conducteurs de transmission de bits, associé au conducteur interne respectif de transmission de bits (Bj, \bar{B}_j), que l'autre transistor est disposé entre le potentiel d'alimentation (VCC) du montage et les bornes de grille du couple de transistors de transfert (TTj), et que les grilles des transistors de tous les autres couples de transistors de transfert (WTTj) reçoivent, par groupes, des troisièmes signaux de sortie (T3', T3'', T3''') du circuit de commande (SS).
 12. Montage suivant l'une des revendications 6 à 11, caractérisé par le fait qu'il contient d'autre part un circuit (WLTS) de séparation des adresses des conducteurs de transmission de mots, qui, côté entrée, d'une part reçoit un quatrième signal de sortie (T4) du circuit de commande (SS) et d'autre part est raccordé à des conducteurs de transmission d'adresses (A0 à AM, \bar{A}_0 à \bar{A}_M), qui servent à réaliser l'adressage des conducteurs de transmission de mots (W1i), que pendant le fonctionnement normal, il réalise l'interconnexion directe des conducteurs de transmission d'adresses (A0 à AM, \bar{A}_0 à \bar{A}_M) aux décodeurs (WLDEC) des conducteurs de transmission de mots et, pendant le fonctionnement de test, d'une part bloque les conducteurs d'adresses de transmission d'adresses (A0 à AM, \bar{A}_0 à \bar{A}_M) et commande d'autre part les décodeurs (WLDEC) des conducteurs de transmission de mots de manière que ces derniers commandent successivement, pour l'enregistrement, un conducteur de transmission de mots (WLi) ou un groupe de conducteurs de transmission de mots (WLi).
 13. Montage suivant l'une des revendications 6 à 11, caractérisé par le fait qu'il contient en outre un circuit (WLTS) de séparation des adresses des conducteurs de transmission de mots, qui, côté entrée, d'une part reçoit un quatrième signal de sortie (T4) du circuit de commande (SS) et d'autre part est raccordé à des conducteurs de transmission d'adresses (A0 à AM, \bar{A}_0 à \bar{A}_M), qui sont utilisés pour l'adressage des conducteurs de transmission de mots (WLi), que pendant le fonctionnement normal,

il interconnecte directement les conducteurs de transmission d'adresses (A0 à AM, $\overline{A0}$ à \overline{AM}) aux décodeurs (WLDEC) des conducteurs de transmission de mots et, lors du fonctionnement de test, d'une part bloque les conducteurs de transmission d'adresses (A0 à AM, $\overline{A0}$ à \overline{AM}) et d'autre part commande en parallèle tous les décodeurs (WLDEC) des conducteurs de transmission de mots de manière que ces derniers commandent simultanément, pour l'enregistrement, tous les conducteurs de transmission de mots (WLI).

5

10

15

20

25

30

35

40

45

50

55

14

FIG 1

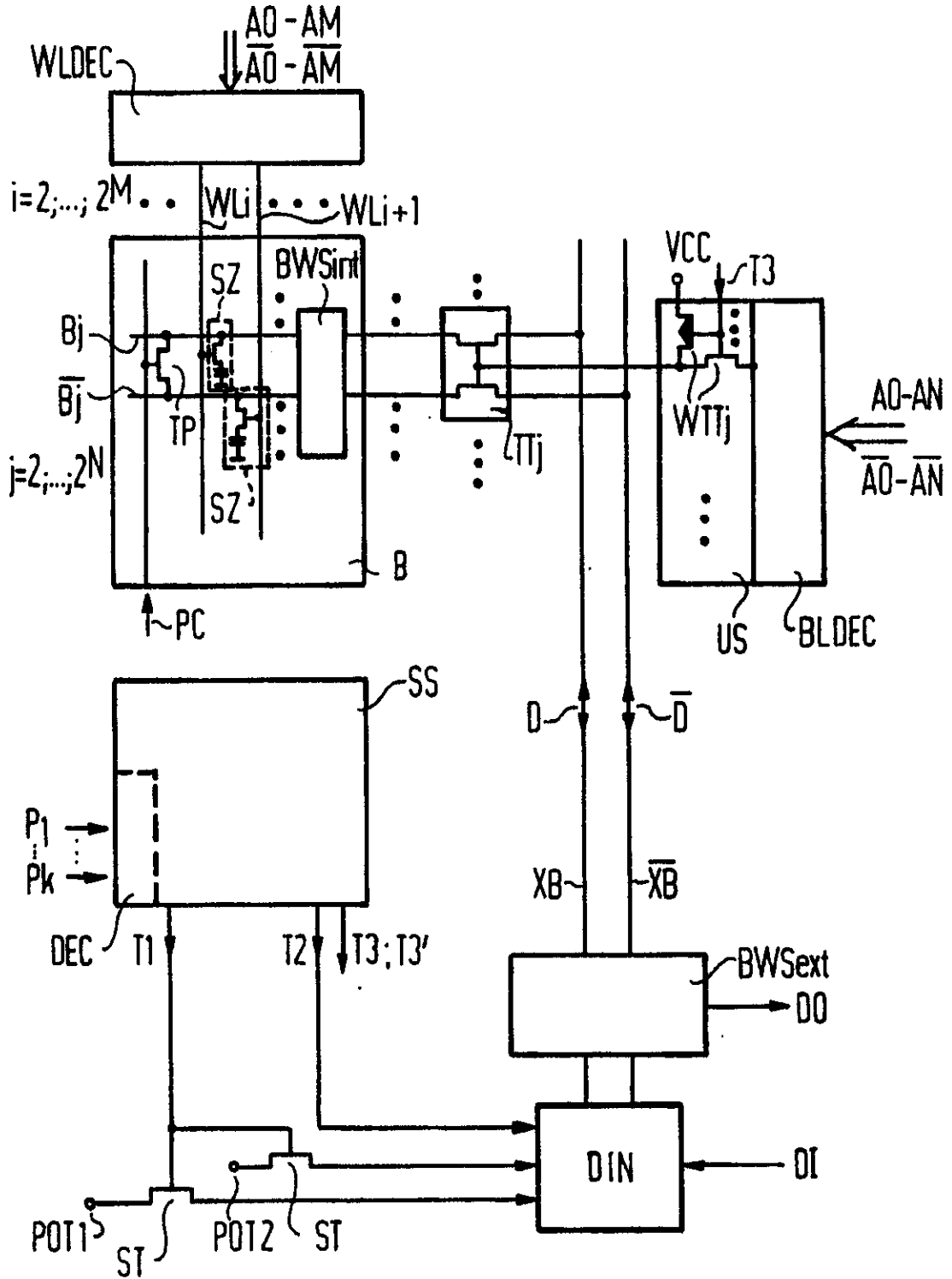


FIG 2

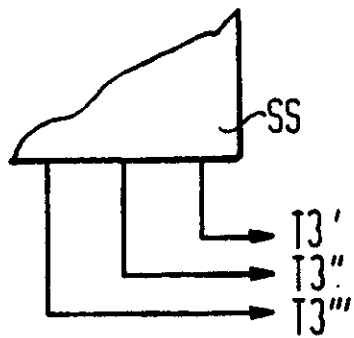
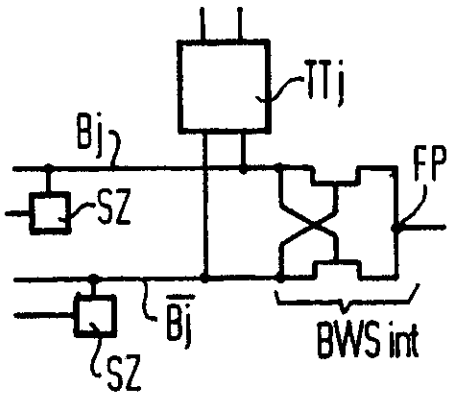


FIG 3

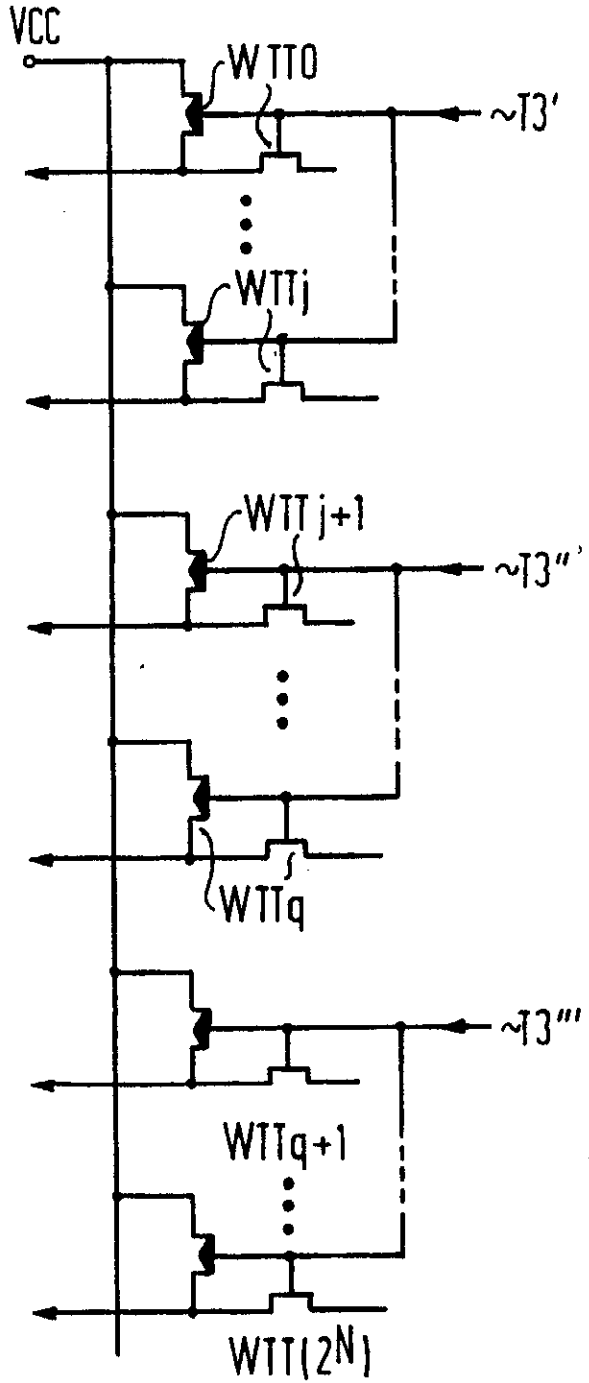
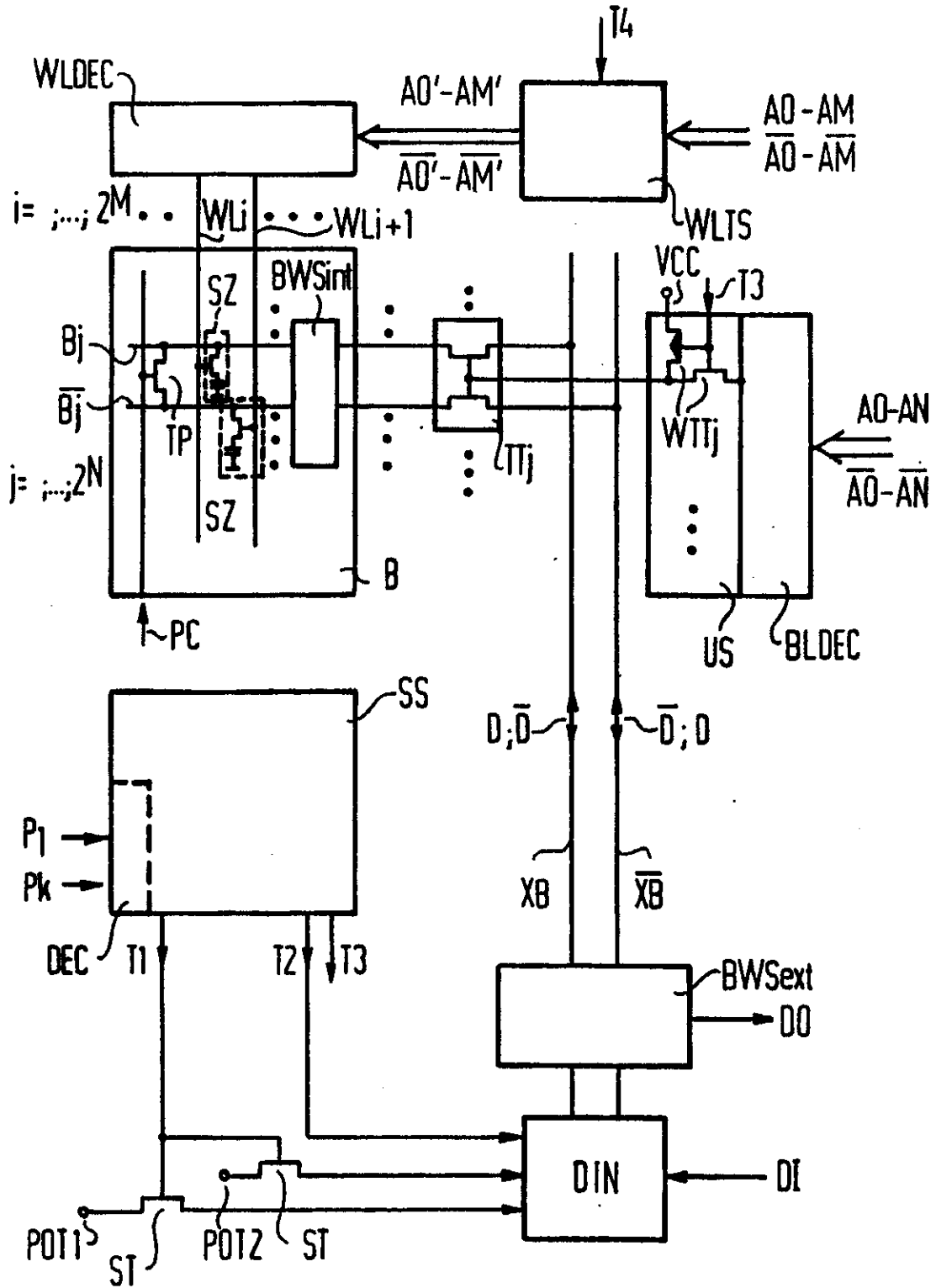


FIG 4



THE PATENT OFFICE

NTS ACT 1977

PATENTS FORM NO. 54/77

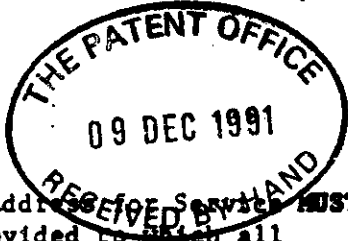
FILING OF TRANSLATION OF EUROPEAN PATENT (UK) UNDER SECTION 77(6)(a)

FORM 54/77 (1/77) PA 07 77 00 01.00

Please write or type in **BLOCK LETTERS** using dark ink. For details of current fees please contact the Patent Office

Enter the name and address of the proprietor(s) of the European patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published.



A UK Address for Service **MUST** be provided to which all communications from the Patent Office will be sent

Please sign here

Attention is drawn to rules 90 and 106 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

- 1) the whole description
 - 2) those claims appropriate to the UK (in the language of the proceedings),
 - 3) all drawings, whether or not these contain any textual matter
- but excluding the front page which contains bibliographic information. The translation must be verified to the satisfaction of the comptroller as corresponding to the original text.

1. European Patent Number	<div style="border: 1px solid black; padding: 5px; display: inline-block;">0 282 976</div>						
2. Name	Siemens Aktiengesellschaft						
Address	WITTELSBACHERPLATZ 2 W-8000 MÜNCHEN 2 FEDERAL REPUBLIC OF GERMANY						
3. European Patent Bulletin Date:	<table style="margin: auto;"> <tr> <td style="text-align: center;">09</td> <td style="text-align: center;">10</td> <td style="text-align: center;">91</td> </tr> <tr> <td style="text-align: center;">Day</td> <td style="text-align: center;">Month</td> <td style="text-align: center;">Year</td> </tr> </table>	09	10	91	Day	Month	Year
09	10	91					
Day	Month	Year					
4. Name of Agent (if any)	Agent's Patent Office ADP number (if known) <div style="border: 1px solid black; width: 150px; height: 20px; display: inline-block; vertical-align: middle;"></div>						
5. Address for Service	SIEMENS PLC ATT. MR I. P. HOWARD, GR 87 P 8013 E SIEMENS HOUSE, WINDMILL ROAD SUNBURY-ON-THAMES MIDDLESEX Postcode TW16 7HS						
6. Signature:	<div style="display: flex; justify-content: space-between; align-items: center;"> <div style="font-family: cursive; font-size: 1.2em;">Ira Jaker</div> <div style="text-align: right;">Date: 09 12 91 Day Month Year</div> </div> <p style="text-align: center; font-weight: bold; font-size: 1.2em; margin-top: 10px;">pp. RWS TRANSLATIONS LTD</p>						
Reminder							
Have you attached							
One duplicate copy of this form	<input checked="" type="checkbox"/>						
Two copies of the Translation	<input checked="" type="checkbox"/>						
Any continuation sheets (if appropriate)	<input type="checkbox"/>						

PATENTS ACT 1977

and

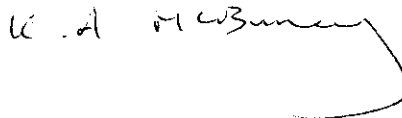
PATENTS (AMENDMENT) RULES 1987

I, Kay Anne McBURNEY, M.A.,

translator to Randall Woolcott Services plc of Europa House,
Marsham Way, Gerrards Cross, Buckinghamshire, England, hereby
declare that I am conversant with the German and English
languages and that to the best of my knowledge and belief the
accompanying document is a true translation of the text on which
the European Patent Office intends to grant or has granted
European Patent No. 0,282,976

in the name of SIEMENS AKTIENGESELLSCHAFT

Signed this 3rd day of December 1991



K. A. McBURNEY

The invention relates to a method for the parallel input of data items in the form of a test pattern into storage cells of a semiconductor memory, and also a circuit arrangement in particular for carrying out the method according to the preamble of Patent Claim 6.

Semiconductor memories, in particular integrated semiconductor memories of the RAM type (DRAM, SRAM), currently have a large storage capacity (for example 1 MB x 1). In the past the realisable storage capacity has quadrupled every three to four years. With respect to the testing of such semiconductor memories, it is known that the time required to carry out the tests increases, in dependence on the test patterns to be applied to the semiconductor memory, at least by the factor of 2^N given an increase in the storage size by the factor of N.

In order to save test time, it is proposed in EP-A-0 186 040 that a semiconductor memory be divided internally into a plurality of identical blocks, that these be operated in parallel during test operation, and it is possible to detect the majority of the faults which may occur by means of an evaluator circuit. In practice it is possible to divide a semiconductor memory into four or eight identical blocks in this manner without any noticeable increase in the additional outlay required for wiring and circuitry. However, division into substantially more blocks requires an increased additional outlay for circuitry and wiring, which in integrated semiconductor memories has a negative effect in particular on the necessary space requirement (chip area).

A test circuit is known from US-A-4 055 754, which permits the column-parallel read-out of all storage cells on a single word line, provided that all storage cells of the word line to be read out are to contain the same information. However, the information is input into the storage cells in the conventional manner.

It is known from DE-A-3 530 591 to input data items from an external bit line pair into all storage cells in parallel via transfer transistors and internal bit lines when the bit line decoders receive a test-mode

signal.

The object of the present invention is to find a method which permits storage cells of a semiconductor memory to be written into in the shortest possible time with the least possible additional outlay for circuitry and space required in comparison with known semiconductor memories. It is also the object of the present invention to provide a circuit arrangement which makes it possible to carry out the method according to the invention.

This object is achieved by the features of Patent Claim 1 and by the characterising features of Patent Claim 6.

The invention is explained in greater detail below with reference to figures, in which:

FIG 1 shows a circuit arrangement according to the invention,

FIG 2 shows an internal evaluator circuit according to the prior art,

FIG 3 shows a switchover device,

FIG 4 shows a further embodiment of the circuit arrangement.

The circuit arrangement according to the invention in accordance with FIG 1 shows a block B of a semiconductor memory which contains 2^{N+M} conventional storage cells SZ. In the case of a DRAM as semiconductor memory, these are usually so-called 1-transistor storage cells. The storage cells SZ are, as is generally customary, disposed in the form of a matrix composed of rows and columns. The columns are addressed via word lines WLi and the rows are addressed via bit lines Bj , \overline{Bj} . The information read out of the storage cells SZ is evaluated and preamplified in internal evaluator circuits BWSint. One internal evaluator circuit BWSint is provided for each row of storage cells SZ.

In principle two different concepts of bit line control are known: on the one hand the historically earlier, so-called open bit line concept and on the other hand the so-called folded bit line concept. Both concepts

are explained and illustrated in US-A-4 044 340. The present invention can be applied to both bit line concepts. However, in order to simplify the description, it is explained only with reference to the folded bit line concept.

In general, each bit line is assigned an internal evaluator circuit BWSint. In the case of the folded bit line concept, this means that two bit line halves B_j , $\overline{B_j}$ running parallel to one another are connected together as one single bit line to each internal evaluator circuit BWSint. This arrangement corresponds to in each case one left and one right bit line half and an evaluator circuit disposed therebetween in the case of the open bit line concept. In the text which follows, the two bit line halves will be referred to as a whole as "internal bit line B_j , $\overline{B_j}$ ".

The advantageous circuit arrangement also has an external evaluator circuit BWSext, to which an external collective bit line with a first (XB) and a second collective bit line half (\overline{XB}) is connected. The external collective bit line XB, \overline{XB} is connected in each case via a transfer transistor pair TTj to each internal bit line B_j , $\overline{B_j}$ and to the associated internal evaluator circuit BWSint. When data items are read out of the semiconductor memory, the external evaluator circuit BWSext serves to amplify the data item which was read out, evaluated by one of the internal evaluator circuits BWSint and pre-amplified, and also to forward this data item DO, for example, to a data output buffer circuit (not illustrated).

However, when data items DI are input into the semiconductor memory, the external evaluator circuit BWSext also serves to transfer the data item DI to be input from a data input circuit DIN connected to the external evaluator circuit BWSext and to forward it to the external collective bit line XB, \overline{XB} , from where it is input via a correspondingly activated internal bit line B_j , $\overline{B_j}$ into an addressed storage cell SZ.

As is customary, the word lines WLi can be

activated, that is to say selected, by word line decoders WLDEC, and the internal bit lines B_j , $\overline{B_j}$ can be activated by bit line decoders BLDEC and the aforementioned transfer transistor pairs TT_j . The data input circuit DIN is advantageously also connected to two potentials POT1, POT2, the values of which are associated with two mutually complementary logic levels D , \overline{D} , which in turn correspond to the possible signal values of the data items DI to be input. In general the potentials POT1, POT2 are equal in value to the possible signal values of the data items DI and are even equal to supply voltages VCC, VSS of the semiconductor memory itself. However this is not necessary for the realisation of the present invention. The connection of the two potentials POT1, POT2 to the data input circuit DIN is effected via one switching transistor ST in each case.

The circuit arrangement according to the invention furthermore has a control circuit SS. It is connected on the input side to control signals P_1 to P_k . In practical operation of the circuit arrangement, the control signals P_1 to P_k contain information relating to whether parallel input is to be performed and which test pattern is to be used for the parallel input. A first output signal T1 of the control circuit SS drives the gates of the switching transistors ST. The switching transistors ST are switched through by means of the first output signal T1 only when storage cells SZ of the driven block B are to be written into in parallel.

A second output signal T2 is connected to the data input circuit DIN. In the case of parallel input, it controls within the data input circuit DIN which of the potentials POT1, POT2 applied via the switching transistors ST is to be applied as logic level D via the external evaluator circuit BWSext to the first half XB of the external collective bit line XB , \overline{XB} , and which of the potentials POT1, POT2 applied via the switching transistors ST is to be applied as logic level \overline{D} via the external evaluator circuit BWSext to the second half \overline{XB} of the external collective bit line XB , \overline{XB} . The value of the

logic levels D and \bar{D} is determined by the test pattern to be input into the memory and the current addressing of storage cells SZ .

5 A switchover device US permits a simultaneous driving of a plurality of or all internal bit lines B_j , \bar{B}_j via the associated transfer transistor pairs TT_j . According to the invention, the switchover device US contains a pair of further transfer transistors WTT_j , for example for each output of the bit line decoders $BLDEC$, that is to say for each internal bit line B_j , \bar{B}_j . One further transfer transistor of such a pair WTT_j is designed as an n-channel transistor for example. It is connected with source and drain between the associated decoder output of the bit line decoder $BLDEC$ and the gates of the transfer transistor pair TT_j associated with the respective bit line B_j , \bar{B}_j . The other further transfer transistor of such a pair WTT_j is correspondingly designed as a p-channel transistor for example. It is connected by its source to the supply potential VCC of the semiconductor memory and by its drain to the gates of the corresponding transfer transistor pair TT_j . Both transistors of the further transfer transistor pair WTT_j are connected by their gates to a third output signal $T3$ of the control circuit SS . In a first embodiment of the switchover device US , represented in FIG 1, the gates of all further transfer transistor pairs WTT_j are connected to a single output signal $T3$ of the control circuit SS . In normal operation, the third output signal $T3$ is activated so that the n-channel transistors of all further transfer transistor pairs WTT_j are switched through, that is to say the gates of the transfer transistor pairs TT_j are driven by the signals which occur at the outputs of the bit line decoders $BLDEC$.

35 In test operation, for the parallel input of data items into a plurality of storage cells SZ on at least one word line WLi , the third output signal $T3$ is deactivated so that in fact all n-channel transistors of the further transfer transistor pairs WTT_j are blocked. However, the corresponding p-channel transistors are

conductive. The gates of all transfer transistor pairs TTj receive the potential VCC, that is to say all transfer transistor pairs TTj are switched through. The data item D, \bar{D} which is present via the external collective bit line XB, \overline{XB} can thus be input into all storage cells SZ which are connected to an activated word line WLi. In this way simple test patterns such as "All 0's"; "All 1's"; "one half '0' and one half '1'" can be input into a block B of a semiconductor memory very quickly and without any noticeable additional space requirement.

In a further advantageous embodiment (cf. FIG 3) of the switchover device US, the gates of the further transfer transistor pairs WTTj are not all connected to the third output signal T3 of the control circuit SS. Instead of this, the control circuit SS has a plurality of, that is to say at least two, mutually independent third output signals T3 (three signals T3', T3'', T3''' in the case illustrated). In addition, the gate terminals of the further transfer transistor pairs WTTj are combined in a plurality of, that is to say at least two, mutually independent groups (in FIG 3: 3 groups), each group being connected to one of the third output signals T3 (FIG 3: T3', T3'', T3'''). In this way it is also possible to input more complicated test patterns, such as checkerboard for example, into the storage cells of a current word line WLi.

In this context, reference is made expressly to the co-pending patents with the application numbers 88104113.1 and 88104117.2. The bit line decoders presented therein may advantageously replace the bit line decoders BLDEC and the switchover device US of the present invention, and permit in a simple manner the input of various bit patterns in parallel into all storage cells SZ of a word line WL.

The method according to the invention can now be explained relatively simply with reference to the circuit arrangement according to the invention:

If a test pattern, for example "All 0's" is to be input for test purposes into a block B of a semiconductor

memory, the method according to the invention can then be applied as follows:

5 Firstly all internal evaluator circuits BWSint are switched to the inactive state. With the internal evaluator circuits BWSint formed of cross-coupled transistors (cf. FIG 2) customarily used nowadays, this can be accomplished by first holding the common base point FP of each internal evaluator circuit BWSint at a high potential (positive logic such as in the case of CMOS or n-channel technology for example). As is generally customary, all internal bit lines B_j , $\overline{B_j}$ are then pre-charged to a precharge level which is defined by the read-out principle being used. While in the past it was customary to precharge to the supply potentials VSS or VCC, nowadays the so-called mid-level concept is increasingly being used, with which precharging occurs to half the supply voltage $(VSS + VCC)/2$. The precharging, which is to be carried out in FIG 1 in accordance with the mid-level concept for example, is carried out by a precharge pulse PC via precharge transistors TP. Further details of this are unnecessary since the precharging is carried out in accordance with the prior art.

10
15
20
25
30
35 Control signals P1 to Pk are applied, at the latest after the end of the precharging, to the control circuit SS, which will be described in greater detail below. With the assistance of the control circuit SS, these signals determine whether simultaneous parallel input of data items into a plurality of storage cells SZ of a word line WLi is desired, and if so, which test pattern is to be used. In the present case, a first output signal T1 is activated which switches through the switching transistors ST and hence applies the potentials POT1 and POT2 to the data input circuit DIN. A second output signal T2 of the control circuit SS is applied to the data input circuit DIN. By means of the potentials POT1 and POT2, the data input circuit DIN applies via the external evaluator circuit BWSext a specific logic level D to the first half XB of the external collective bit line XB, \overline{XB} , and a logic level \overline{D} complementary to this

specific logic level D to the second half \overline{XB} of the external collective bit line XB, \overline{XB} . The state of the second output signal $T2$ determines which logic state (0 or 1) is applied as logic level D to the first half XB and which logic level \overline{D} is accordingly applied to the second half \overline{XB} of the external collective bit line XB, \overline{XB} . Said output signal is defined by means of the control signal SS by the control signals $P1$ to Pk , since it is defined by means of the control signals $P1$ to Pk which test bit pattern is to be input into the semiconductor memory. Owing to the dependency on the test pattern, it is dependent on the activation of the word lines WLi by the word line decoders $WLDEC$.

In the present example, a logic "1" is applied to the first half XB of the external collective bit line XB, \overline{XB} . Accordingly, a logic "0" is applied to the second half \overline{XB} of the external collective bit line XB, \overline{XB} . Following this, controlled by the further transfer transistor pairs $WTTj$ of the switchover device US for at least two internal evaluator circuits $BWSint$ and a maximum of all internal evaluator circuits $BWSint$, the transfer transistor pairs TTj associated with the latter are switched so as to be electrically conductive. As a result, in the form of logic levels the data items D, \overline{D} to be input and present on the external collective bit line XB, \overline{XB} reach the internal bit lines Bj, \overline{Bj} connected to the switched-through transfer transistor pairs TTj and the internal evaluator circuits $BWSint$ (switched to inactive). A word line WLi is now activated. As a result, the data items D, \overline{D} are input into all storage cells SZ which are firstly connected to the activated word line WLi and are secondly connected to those internal bit lines Bj, \overline{Bj} whose associated transfer transistor pairs TTj have been switched so as to be electrically conductive. The word line WLi is then deactivated again.

If the data items D, \overline{D} which occur on the first and second halves of the external collective bit line XB, \overline{XB} are input into storage cells SZ which are connected to word lines other than the already activated word line

WLi, then these other word lines WLi are successively activated and deactivated again, consequently accomplishing the input. If the block B of the semiconductor memory has word line decoder devices which allow more than one word line WLi to be activated simultaneously (cf. FIG 4), then those storage cells SZ into which the same data items as occur on the two halves of the external collective bit line XB, \overline{XB} are to be written, but which are disposed on different word lines WLi, are written into simultaneously, by simultaneously activating and deactivating the word lines WLi in question, as far as this is permitted by the word line decoders WLDEC.

With ideal conditions (all word lines WLi can be activated simultaneously (for example by means of a device similar to the switchover device US); a logic '1' (logic '0') is to be input into all storage cells SZ which are connected to the first half of their associated bit lines Bj, \overline{Bj} ; the value logic '0' (logic '1') complementary thereto is to be input into all storage cells SZ which are connected to the second half of their associated bit lines Bj, \overline{Bj} ; all transfer transistor pairs TTj are simultaneously switched so as to be electrically conductive), a single cycle is thus sufficient to write into all storage cells SZ of the block B of the semiconductor memory simultaneously. However, this requires high currents, which in practice leads to a lengthening of this write cycle in comparison with conventional write cycles. As a result, the necessary energy supply is distributed non-critically over a longer period of time.

However, in the present example, which has been deliberately kept simple with respect to the test pattern used (All 1's), those storage cells SZ which are connected to the second half \overline{Bj} of their respective internal bit line need not necessarily be written into because this second half has the logic state 0. In the present example, therefore, those storage cells SZ which are connected to the first half Bj of their respective internal bit line are written into simultaneously or successively, but a plurality of, up to all, storage

cells SZ on one word line WLi are always written into simultaneously.

Once this has been done, the internal bit lines Bj, \overline{Bj} must be recharged, that is to say they must attain a logic state (Bj: D = 0, \overline{Bj} : \overline{D} = 1) complementary to their previous logic state (Bj: D = 1, \overline{Bj} : \overline{D} = 0). For this purpose, firstly all internal bit lines Bj, \overline{Bj} are precharged to their precharge levels, as already described above, by the precharge transistors TP. The first half XB of the external collective bit line is now charged with the logic 0 level which is complementary with respect to its previous level (logic 1) and the second half \overline{XB} of the external collective bit line is correspondingly charged to the logic '1' level which is complementary with respect to its previous level (logic '0'). This is carried out by the data input circuit DIN in conjunction with the second output signal T2 of the control circuit SS, which now has a complementary logic state with respect to its previous state.

From this time on, a procedure analogous to that already described is adopted for the remaining storage cells SZ yet to be described: firstly, for at least two, up to a maximum of all, internal evaluator circuits BWSint, the transfer transistor pairs TTj associated with these internal evaluator circuits BWSint are switched so as to be electrically conductive, so that the logic levels D, \overline{D} of the external collective bit line XB, \overline{XB} reach the internal bit lines Bj, \overline{Bj} via the transfer transistor pairs TTj switched so as to be electrically conductive. Those word lines WLi whose storage cells SZ connected thereto were previously not yet written into (or were written with an undesired data item) are then driven, either individually or in groups, successively or all simultaneously, so that the storage cells SZ driven via the internal bit lines Bj, \overline{Bj} and the word lines WLi are written into.

In this way is possible in the test case to write into all storage cells of a semiconductor memory on the whole very quickly and without a large outlay for

circuitry and space, for example by writing simple, regularly constructed test patterns in each case into all storage cells SZ on one word line WLi. In the case of a modern DRAM, such as a 1 MB DRAM with 1024 words x 1024 columns for example; as semiconductor memory module, instead of $1024 \times 1024 = 1,048,576$ write cycles, only 1024 write cycles are required to input the test pattern "All 1's" assumed by way of example if, although each word line WLi is driven individually, in each case all storage cells SZ connected thereto are written into per word line WLi.

In an advantageous further development of the invention, at least those internal evaluator circuits BWSint whose associated transfer transistor pairs TTj have been switched so as to be electrically conductive are switched to the active state after the transfer transistor pairs have been switched to conductive so that they can fulfil their amplification function (customary in reading operation anyway) with respect to the logic signals D, \bar{D} on their associated internal bit line Bj, \bar{Bj} . This results in the transfer of the logic levels D, \bar{D} of the external collective bit line XB, \bar{XB} to the corresponding internal bit lines Bj, \bar{Bj} being speeded up. However, this further development requires that the internal evaluator circuits BWSint must first be deactivated before the change in the logic levels D, \bar{D} on the external collective bit lines XB, \bar{XB} so that the subsequent precharging of the internal bit lines Bj, \bar{Bj} can be carried out.

It is furthermore advantageous if, in the case of semiconductor memories whose storage cells SZ are divided into individual, mutually identical blocks B, for example also in the manner of EP-A-0 186 040, it is carried out for each block B, the method being carried out simultaneously for all blocks B in parallel with respect to time in the manner of EP-A-0 186 040. In this way it is then possible, for example, in one block B to write data items into all storage cells SZ which are disposed on a word line WLi and simultaneously in each of the other blocks

B to write likewise into all storage cells SZ of the word line WLi which corresponds in terms of its addressing within its block B to that of the first block B mentioned.

5 The advantageous arrangement for carrying out the method has already been described above. In a further development of the invention, it is now advantageous if the control circuit SS contains a decoder section DEC which evaluates the control signals P1 to Pk. On the one
10 hand the decoder section DEC recognises whether parallel input into storage cells SZ of a word line WLi is desired. On the other hand it recognises which of the various possible test patterns is desired.

15 The control signals P1 to Pk may be signals which are applied to the semiconductor memory via separate terminals. However, they may also be signals which are fed via terminals already present in any case on the semiconductor memory, for example via address signal
20 terminals. In this case it is necessary for the decoder section DEC to be designed in such a way that it can recognise whether 'normal' address signals are externally supplied to the semiconductor memory or whether the control signals P1 to Pk are present in the manner of the present invention. Several possibilities are available to
25 the person skilled in the art for the solution of this problem: on the one hand the decoder section DEC can be designed in such a way that it recognises signals externally supplied to the semiconductor memory as control signals P1 to Pk if (at least) one of them has a signal
30 level that is distinctly higher than the otherwise customary logic levels in the semiconductor memory. This can be determined, for example, by means of a voltage discriminator circuit (cf. also EP-B-0 046 215). However, it is also possible to apply a special signal combination
35 and signal train first to the semiconductor memory which switches the semiconductor memory into a test operation via the decoder section DEC, within which the above-described parallel input of data items can be carried out. Once the test has been carried out, a further,

special signal combination and signal train is applied to the semiconductor memory which switches back the semiconductor memory (and hence also the control circuit SS) into the normal operation again. Appropriate signal combinations and signal trains for controlling and for triggering special functions of a semiconductor memory are already known to those skilled in the art. For example, a "JEDEC Mos Memory Meeting" was held from the 9th to 11th September 1986 in Minneapolis/USA, in which a future standard with respect to such signal combinations and signal trains was discussed.

The core of the control circuit SS advantageously contains a PLA circuit. This essentially contains information relating to the test patterns provided by the manufacturer of the semiconductor memory. The PLA circuit is driven by the decoder section DEC, which in fact evaluates the control signals P1 to Pk, when the operating mode "parallel input into a plurality of cells of a block" is recognised, by means of internal control signals generated by the decoder section DEC. Depending on its circuit design and the internal control circuit, it generates the output signals T1 ... of the control circuit SS.

Instead of the PLA circuit, the control circuit SS may also have a non-volatile storage area of the ROM, PROM etc. type. Its function is analogous to that of the PLA circuit.

In an advantageous further development of the invention, represented in FIG 4, a word line address separating circuit WLTS is connected upstream of the word line decoders WLDEC. It is connected on the input side on the one hand to a fourth output signal T4 of the control circuit SS and on the other hand to address lines A0 to AM, $\overline{A0}$ to \overline{AM} , which usually serve for the addressing of the word lines WLi by the word line decoders. In normal operation, the address lines A0 to AM, $\overline{A0}$ to \overline{AM} are switched through to the word line decoders WLDEC, so that the word line decoders WLDEC can be driven by address signals applied externally to the semiconductor memories.

In the case of the parallel input of data items into a plurality of storage cells SZ of at least one word line WLi, that is to say in test operation therefore, the fourth output signal T4 of the control circuit SS, in a first embodiment of, the word line address separating circuit WLTS, causes the latter to drive the word line decoders WLDEC in such a way that the word lines WLi are individually activated one after another for the input of the data items. In a second embodiment, the word lines WLi are activated in groups one after another. In a third embodiment, all word lines WLi are activated simultaneously for input. As a result of the high energy requirement that this entails, in such a case on the one hand the voltage supply of the semiconductor memory must be designed to be correspondingly powerful and on the other hand it is to be expected that the (single) write cycle is somewhat longer than usual as a result of the increased energy requirement of the semiconductor memory.

Patent claims

1. Method for the parallel input of data items in the form of a test pattern into a block of a plurality of storage cells of a semiconductor memory having the following features:

5 a) all internal evaluator circuits (BWSint) are switched to the inactive state,

b) all internal bit lines (Bj, \overline{Bj}) are precharged to a precharge level,

10 c) the first half (XB) of an external collective bit line is charged to a first logic level (D) and the second half (\overline{XB}) of the external collective bit line is charged to a second logic level (\overline{D}) complementary to the first logic level (D), at least one of the logic levels (D, \overline{D}) corresponding to the data items to be input,

15 d) a transfer transistor pair (TTj) associated in each case with the internal evaluator circuit (BWSint) is switched so as to be electrically conductive for at least two internal evaluator circuits (BWSint) and a maximum of all internal evaluator circuits (BWSint), as a result of which the logic levels (D, \overline{D}) present on the external collective bit line (XB, \overline{XB}) reach the internal bit lines (Bj, \overline{Bj}) connected to the switched-through transfer transistor pairs (TTj),

20 e) while driving at least one word line (WLi), inputting occurs of the desired data items into those storage cells (SZ) which are connected both to a driven word line (WLi) and to those internal bit lines (Bj, \overline{Bj}) whose associated transfer transistor pair (TTj) is switched so as to be electrically conductive,

25 f) step (e) is performed while driving in each case at least one word line (WLi) previously not yet driven until all those storage cells (SZ) of the block (B) of the semiconductor memory have been written into which permit writing in on the basis of the selected

5

10

15

20

25

30

35

assignment between the external collective bit line (XB, \overline{XB}) and the two logic levels (D, \overline{D}),

g) repetition of the steps from feature b), exchanging the originally selected assignment between the external collective bit line (XB, \overline{XB}) and the two logic levels (D, \overline{D}) if the desired test pattern has not yet been written into all of the storage cells (SZ) after feature f) was carried out the last time.

2. Method according to Claim 1, characterised in that, for speeding up the input of the data items into the storage cells (SZ), after step d) of Patent Claim 1 at least those internal evaluator circuits (BWSint) whose associated transfer transistor pairs (TTj) have been switched so as to be electrically conductive are switched to the active state, and in that the repetition of steps in accordance with feature g) of Patent Claim 1 is carried out already from feature a) of Patent Claim 1.

3. Method according to Claim 1 or Claim 2, characterised in that logic "0" is selected as the first logic level (D) for the first execution of the method.

4. Method according to Claim 1 or 2, characterised in that logic '1' is selected as the first logic level (D) for the first execution of the method.

5. Method according to one of the preceding claims, characterised in that in the case of semiconductor memories having a plurality of mutually identical storage blocks (B), the method is applied simultaneously and in parallel to these storage blocks (B).

6. Circuit arrangement, in particular for carrying out the method according to one of the preceding claims, having the following features:

- a semiconductor memory contains at least one block (B) of $2^{N \times M}$ storage cells (SZ) disposed in the form of a matrix,
- the storage cells (SZ) can be addressed via word lines (WLi) and internal bit lines (Bj, \overline{Bj}),
- each internal bit line (Bj, \overline{Bj}) is assigned an internal evaluator circuit (BWSint) which divides the internal bit line (Bj, \overline{Bj}) into two halves,

- each internal evaluator circuit (BWSint) is connected via a transfer transistor pair (TTj) to an external collective bit line (XB, \overline{XB}) shared by all transfer transistor pairs (TTj),
- 5 - connected to the external collective bit line (XB, \overline{XB}) is an external evaluator circuit (BWSext), which serves both, when data items are read out of the semiconductor memory, to amplify the data item read out and finally to forward the amplified data item
- 10 (DO), and, when data items are input into the semiconductor memory in the form of logic levels (D, \overline{D}), to transfer the data item to be input from a data input circuit (DIN) and to forward it to the external collective bit line (XB, \overline{XB}),
- 15 - the word lines (WLi) can be activated by word line decoders (WLDEC) and the internal bit lines (Bj, \overline{Bj}) can be activated by bit line decoders (BLDEC),
characterised by the following features:
 - the data input circuit (DIN) is connected via in
 - 20 each case one switching transistor (ST) to potentials (POT1, POT2), the values of which are associated with the two logic levels (D, \overline{D}),
 - a control circuit (SS) is connected on the input side to control signals (P1, ..., Pk),
 - 25 - the control signals (P1, ..., Pk) contain information relating to whether parallel input is to be performed and which test pattern is to be used therefor,
 - the control circuit (SS) has a first output signal
 - 30 (T1) which drives the switching transistors (ST),
 - it has a second output signal (T2) which is connected to the data input circuit (DIN) and which controls within the data input circuit (DIN) which of the potentials (POT1, POT2) applied via the
 - 35 switching transistors (ST) is to be applied as first logic level (D) via the external evaluator circuit (BWSext) to a first half (XB) of the external collective bit line, and which furthermore controls which of the potentials (POT1, POT2) applied via the

switching transistors (ST) is to be applied as second logic level (\bar{D}) via the external evaluator circuit (BWSext) to a second half (\overline{XB}) of the external collective bit line,

5 - the bit line decoders (BLDEC) are provided with a switchover device (US) for the parallel activation of at least a plurality of, up to a maximum of all, transfer transistor pairs (TTj) via a third output signal (T3) of the control circuit (SS).

10 7. Circuit arrangement according to Claim 6, characterised in that the control circuit (SS) contains a decoder section (DEC) which evaluates the control signals (P1, ..., Pk).

15 8. Circuit arrangement according to Claim 6 or 7, characterised in that the control circuit (SS) contains a PLA circuit.

9. Circuit arrangement according to Claim 6 or 7, characterised in that the control circuit (SS) contains a non-volatile storage circuit.

20 10. Circuit arrangement according to one of Claims 6 to 9, characterised in that the switchover device (US) has a further transfer transistor pair (WTTj) with two mutually complementary transistors for each internal bit line (Bj, \overline{Bj}), in that for each further transistor pair (WTTj), source and drain of the one transistor are disposed between the gate terminals of the transfer transistor pair (TTj) of an internal bit line (Bj, \overline{Bj}) and the output of the bit line decoder (BLDEC) associated with the output of the respective internal bit line (Bj, \overline{Bj}), in that the other transistor is disposed between the supply potential (VCC) of the circuit arrangement and the gate terminals of the transfer transistor pair (TTj), and in that the gates of both transistors of the further transfer transistor pair (WTTj) are connected to a third output signal (T3) of the control circuit (SS).

30
35 11. Circuit arrangement according to one of Claims 6 to 9, characterised in that the switchover device (US) has a further transfer transistor pair (WTTj) with two

mutually complementary transistors for each internal bit line ($B_j, \overline{B_j}$), in that for each further transfer transistor pair (WTT_j), source and drain of the one transistor are disposed between the gate terminals of the transfer transistor pair (TT_j) of an internal bit line ($B_j, \overline{B_j}$) and the output of the bit line decoder (BLDEC) associated with the respective internal bit line ($B_j, \overline{B_j}$), in that the other transistor is disposed between the supply potential (VCC) of the circuit arrangement and the gate terminals of the transfer transistor pair (TT_j), and in that the gates of the transistors of all further transfer transistor pairs (WTT_j) are connected in groups to third output signals ($T3', T3'', T3'''$) of the control circuit (SS).

12. Circuit arrangement according to one of Claims 6 to 11, characterised in that it furthermore contains a word line address separating circuit (WLTS) which is connected on the input side on the one hand to a fourth output signal ($T4$) of the control circuit (SS) and on the other hand to address lines ($A0$ to $AM, \overline{A0}$ to \overline{AM}), and which serves for addressing the word lines (WLi), in that it switches through the address lines ($A0$ to $AM, \overline{A0}$ to \overline{AM}) to the word line decoders (WLDEC) in normal operation, and in test operation on the one hand blocks the address lines ($A0$ to $AM, \overline{A0}$ to \overline{AM}) and on the other hand drives the word line decoders (WLDEC) in such a way that they drive a word line (WLi) or a group of word lines (WLi) one after the other for input.

13. Circuit arrangement according to one of Claims 6 to 11, characterised in that it furthermore contains a word line address separating circuit (WLTS) which is connected on the input side on the one hand to a fourth output signal ($T4$) of the control circuit (SS) and on the other hand to address lines ($A0$ to $AM, \overline{A0}$ to \overline{AM}) which serve for addressing the word lines (WLi), in that it switches through the address lines ($A0$ to $AM, \overline{A0}$ to \overline{AM}) to the word line decoders (WLDEC) in normal operation, and in test operation on the one hand blocks the address lines ($A0$ to $AM, \overline{A0}$ to \overline{AM}) and on the other hand drives

all word line decoders (WLDEC) in parallel so that they drive all word lines (WLi) simultaneously for input.

FIG 1

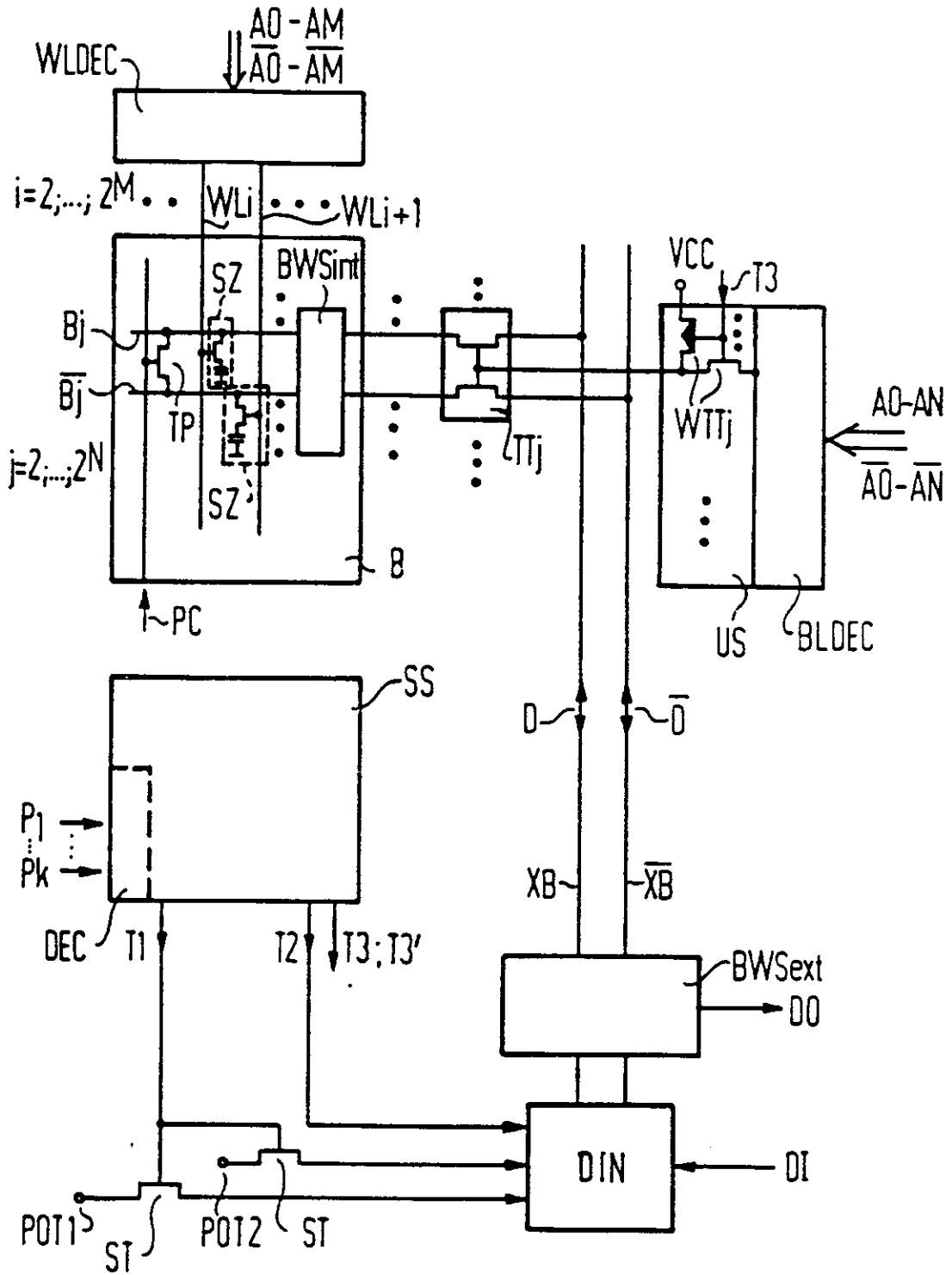


FIG 2

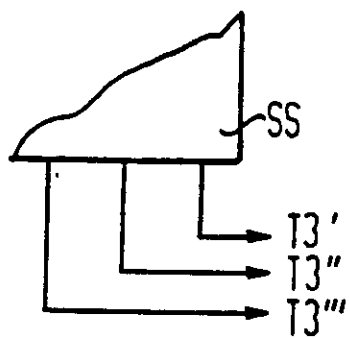
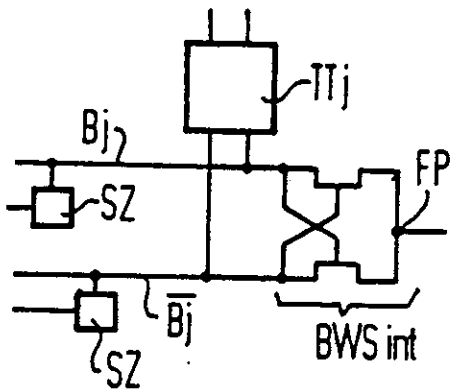
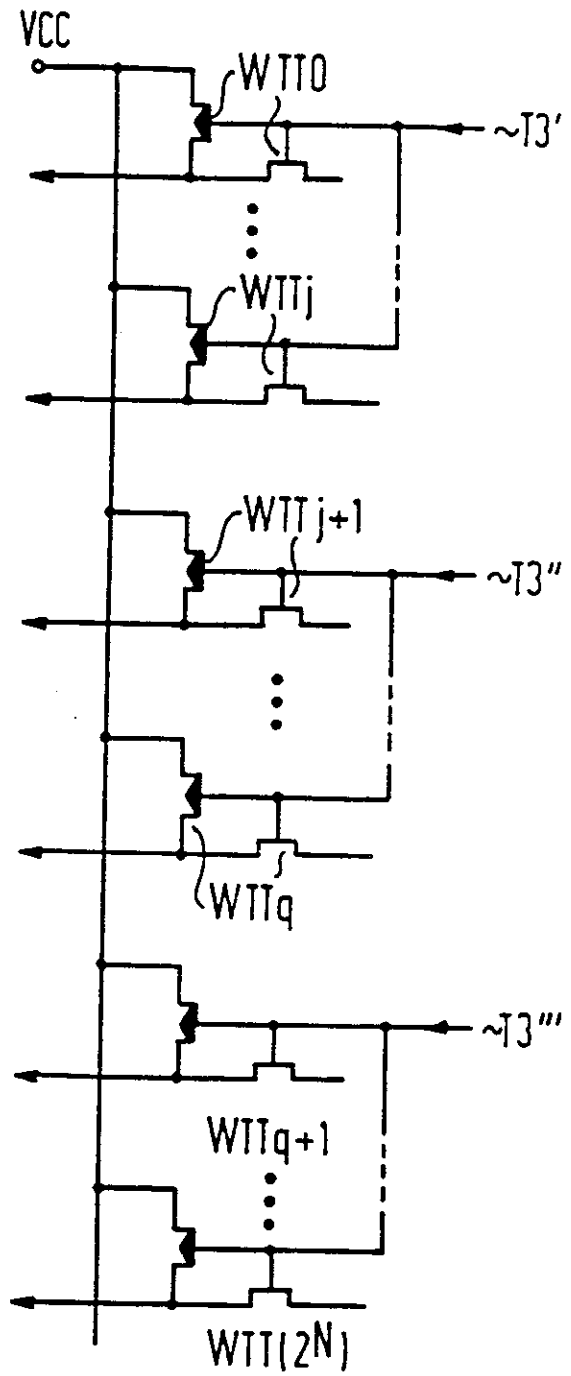


FIG 3



REGISTER ENTRY FOR EP0282976

European Application No EP88104115.6 filing date 15.03.1988

Application in German

Priority claimed:

16.03.1987 in Federal Republic of Germany - doc: 3708527

Designated States DE FR GB IT NL AT

Title METHOD AND CIRCUIT ARRANGEMENT FOR THE PARALLEL WRITE-IN OF DATA IN A SEMICONDUCTOR MEMORY

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the Federal
Republic of Germany, Wittelsbacherplatz 2, D-8000 München 2, Federal
Republic of Germany [ADP No. 50908391001]

Inventors

DIPL.-ING. HANS-DIETER OBERLE, Edelweissstrasse 82, D-8039 Puchheim,
Federal Republic of Germany [ADP No. 55972871001]

DR. RER. NAT. OSKAR KOWARIK, Goethering 70, D-8018 Grafing, Federal
Republic of Germany [ADP No. 55972889001]

DIPL.-PHYS. RAINER KRAUS, Weidener Strasse 21, D-8000 München 83, Federal
Republic of Germany [ADP No. 55972897001]

DIPL.-ING. MANFRED PAUL, Fichtenstrasse 18, D-8043 Unterföhring, Federal
Republic of Germany [ADP No. 55972905001]

DR. PROF. KURT HOFFMANN, Nelkenweg 20, D-8028 Taufkirchen, Federal
Republic of Germany [ADP No. 55972913001]

Classified to
G11C

Address for Service

SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]

Publication No EP0282976 dated 21.09.1988 and granted by EPO 09.10.1991.
Publication in German

Examination requested 15.03.1988

Patent Granted with effect from 09.10.1991 (Section 25(1)) with title METHOD
AND CIRCUIT ARRANGEMENT FOR THE PARALLEL WRITE-IN OF DATA IN A
SEMICONDUCTOR MEMORY.. Translation filed 09.12.1991

- 09.09.1991 Notification from EPO of change of Applicant/Proprietor details
from
SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Incorporated in the
Federal Republic of Germany, Wittelsbacherplatz 2, D-8000 München
2, Federal Republic of Germany [ADP No. 50908391001]
to
SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic
of Germany [ADP No. 50908391001]
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT
- 16.09.1991 FILE RAISED.
Entry Type 10.1 Staff ID. SW1 Auth ID. AA
- 17.12.1991 SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]
registered as address for service
Entry Type 8.11 Staff ID. SH1 Auth ID. F54
- 26.05.1993 Notification of change of Address For Service name and address of
SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]
to
SIEMENS, Intellectual Property Department, Roke Manor, Old
Salisbury Lane, Romsey, Hampshire, SO51 0ZN, United Kingdom
[ADP No. 06338180001]
dated 30.04.1993. Official evidence filed on EP0475941
Entry Type 7.1 Staff ID. SW Auth ID. EO

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

19/07/93 09:11:48
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0282976

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic
of Germany

DATE FILED	15.03.1988
DATE GRANTED	09.10.1991
DATE NEXT RENEWAL DUE	15.03.1994
DATE NOT IN FORCE	
DATE OF LAST RENEWAL	16.02.1993
YEAR OF LAST RENEWAL	06
STATUS	PATENT IN FORCE