(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年3月30日(30.03.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/047745 A1

(51) 国際特許分類:
H03K 17/08 (2006.01) *H02M 1/08* (2006.01)
H01L 29/78 (2006.01)

(21) 国際出願番号： PCT/JP2022/025736

(22) 国際出願日： 2022年6月28日(28.06.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-156468 2021年9月27日(27.09.2021) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: ▲高▼橋 直樹 (**TAKAHASHI Naoki**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所 (**SANO PATENT OFFICE**); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館５Ｆ Osaka (JP).

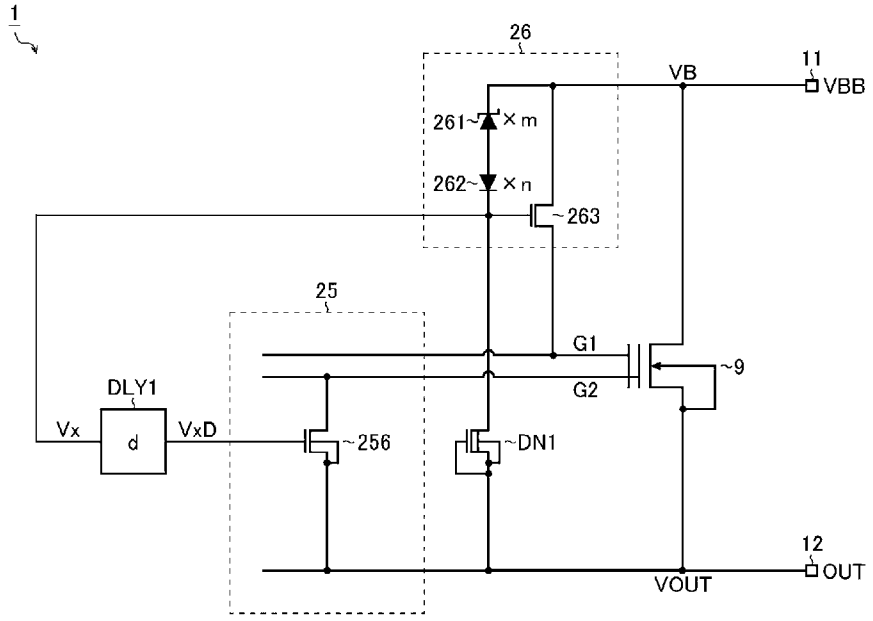
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

WO 2023/047745 A1

(54) **Title:** SEMICONDUCTOR DEVICE, ELECTRONIC APPARATUS, AND VEHICLE

(54) 発明の名称： 半導体装置、電子機器、車両

[図14]



(57) **Abstract:** A semiconductor device 1 comprises: a split gate type output transistor 9 configured such that a plurality of channel regions are controlled individually in accordance with a plurality of gate control signals G1 and G2; an active clamp circuit 26 configured to limit a voltage (=VBB-VOUT) between the two ends of the output transistor 9 to a prescribed clamp voltage or less after the control signals have reached a logic level turning the output transistor 9 off; a delay circuit DLY1 configured to generate a delayed internal signal VxD by applying a prescribed delay to an internal signal Vx that

[続葉有]

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

indicates whether the voltage between the two ends of the output transistor 9 exceeds a prescribed threshold voltage lower than the clamp voltage; and a gate control circuit 25 configured to control the plurality of gate control signals G1 and G2 individually so as to pull up an ON-resistance of the output transistor 9 in accordance with the delayed internal signal VxD.

(57) 要約：半導体装置１は、複数のゲート制御信号Ｇ１及びＧ２に応じて複数のチャネル領域が個別制御されるように構成されたゲート分割型の出力トランジスタ９と、制御信号が出力トランジスタ９をオフするときの論理レベルとなった後に出力トランジスタ９の両端間電圧（＝ＶＢＢ－ＶＯＵＴ）を所定のクランプ電圧以下に制限するように構成されたアクティブクランプ回路２６と、出力トランジスタ９の両端間電圧がクランプ電圧よりも低い所定の閾値電圧を上回った否かを示す内部信号Ｖｘに所定の遅延を与えて遅延内部信号ＶｘＤを生成するように構成された遅延回路ＤＬＹ１と、遅延内部信号ＶｘＤに応じて出力トランジスタ９のオン抵抗を引き上げるように複数のゲート制御信号Ｇ１及びＧ２を個別制御するように構成されたゲート制御回路２５と、を備える。

明　細　書

発明の名称 ： 半導体装置、電子機器、車両

技術分野

[0001]　本明細書中に開示されている発明は、半導体装置、及び、これを用いた電子機器並びに車両に関する。

背景技術

[0002]　本願出願人は、以前より、車載ＩＰＤ［intelligent power device］などの半導体装置に関して、数多くの新技術を提案している（例えば特許文献１を参照）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１７／１８７７８５号

発明の概要

発明が解決しようとする課題

[0004]　ところで、車載ＩＰＤなどの半導体装置は、一般に、誘導性負荷の逆起電力を吸収するための手段として、アクティブクランプ回路を備えている。

[0005]　しかしながら、従来の半導体装置では、出力短絡状態でのアクティブクランプ動作について更なる検討の余地があった。

[0006]　特に、近年では、車載用ＩＣに対して、ＩＳＯ２６２６２（自動車の電気／電子に関する機能安全についての国際規格）を順守することが求められており、車載ＩＰＤについても、より高い信頼性設計が重要となっている。

[0007]　本明細書中に開示されている発明は、本願の発明者により見出された上記課題に鑑み、出力短絡状態でのアクティブクランプ動作を最適化することのできる半導体装置、及び、これを用いた電子機器並びに車両を提供することを目的とする。

課題を解決するための手段

[0008]　本明細書中に開示されている半導体装置は、複数のゲート制御信号に応じ

て複数のチャネル領域が個別制御されるように構成されたゲート分割型の出力トランジスタと、制御信号が前記出力トランジスタをオフするときの論理レベルとなった後に前記出力トランジスタの両端間電圧を所定のクランプ電圧以下に制限するように構成されたアクティブクランプ回路と、前記出力トランジスタの両端間電圧が前記クランプ電圧よりも低い所定の閾値電圧を上回った否かを示す内部信号に所定の遅延を与えて遅延内部信号を生成するように構成された遅延回路と、前記遅延内部信号に応じて前記出力トランジスタのオン抵抗を引き上げるように前記複数のゲート制御信号を個別制御するように構成されたゲート制御回路と、を備える。

[0009] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0010] 本明細書中に開示されている発明によれば、出力短絡状態でのアクティブクランプ動作を最適化することのできる半導体装置、及び、これを用いた電子機器並びに車両を提供することが可能となる。

図面の簡単な説明

[0011] [図1]図１は、半導体装置を１つの方向から見た斜視図である。

[図2]図２は、半導体装置の電気的構造を示すブロック回路図である。

[図3]図３は、半導体装置の通常動作及びアクティブクランプ動作を説明するための回路図である。

[図4]図４は、主要な電気信号の波形図である。

[図5]図５は、図１に示す領域Ｖの断面斜視図である。

[図6]図６は、アクティブクランプ耐量及び面積抵抗率の関係を実測によって調べたグラフである。

[図7]図７は、半導体装置の通常動作を説明するための断面斜視図である。

[図8]図８は、半導体装置のアクティブクランプ動作を説明するための断面斜視図である。

[図9]図９は、第１実施形態に係る半導体装置を示すブロック回路図である。

[図10]図１０は、図９のパワーＭＩＳＦＥＴを第１ＭＩＳＦＥＴ及び第２ＭＩＳＦＥＴとして表した等価回路図である。

[図11]図１１は、図１０におけるゲート制御回路及びアクティブクランプ回路の一構成例を示す回路図である。

[図12]図１２は、アクティブクランプ動作時にパワーＭＩＳＦＥＴの第１Ｈａｌｆ－ＯＮ制御が行われる様子を示すタイミングチャートである。

[図13]図１３は、第１実施形態に係る半導体装置の出力短絡状態におけるアクティブクランプ動作を説明するための図である。

[図14]図１４は、第２実施形態に係る半導体装置を示すブロック回路図である。

[図15]図１５は、第２実施形態に係る遅延回路の一構成例を示す図である。

[図16]図１６は、第２実施形態に係る半導体装置のアクティブクランプ動作を説明するための図である。

[図17]図１７は、第３実施形態に係る半導体装置を示すブロック回路図である。

[図18]図１８は、第３実施形態に係る遅延回路の一構成例を示す図である。

[図19]図１９は、第３実施形態に係る半導体装置のアクティブクランプ動作を説明するための図（遅延回路なし）である。

[図20]図２０は、第３実施形態に係る半導体装置のアクティブクランプ動作を説明するための図（遅延回路あり）である。

[図21]図２１は、車両の一構成例を示す外観図である。

発明を実施するための形態

[0012] ＜半導体装置＞

以下では、添付図面を参照して、半導体装置に関する種々の実施形態を説明する。

[0013] 図１は、半導体装置１を１つの方向から見た斜視図である。以下では、半導体装置１がハイサイド側のスイッチングデバイスである形態例について説

明するが、半導体装置１はハイサイド側のスイッチングデバイスに限定されるものではない。半導体装置１は、各種構造の電気的な接続形態または機能を調整することにより、ローサイド側のスイッチングデバイスとしても提供されることができる。

[0014] 図１を参照して、半導体装置１は、半導体層２を含む。半導体層２はシリコンを含む。半導体層２は、直方体形状のチップ状に形成されている。半導体層２は、一方側の第１主面３、他方側の第２主面４、及び、第１主面３並びに第２主面４を接続する側面５Ａ，５Ｂ，５Ｃ，５Ｄを有している。

[0015] 第１主面３および第２主面４は、それらの法線方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。側面５Ａおよび側面５Ｃは、第１方向Ｘに沿って延び、第１方向Ｘに交差する第２方向Ｙに互いに対向している。側面５Ｂおよび側面５Ｄは、第２方向Ｙに沿って延び、第１方向Ｘに互いに対向している。第２方向Ｙは、より具体的には、第１方向Ｘに直交している。

[0016] 半導体層２には、出力領域６および入力領域７が設定されている。出力領域６は、側面５Ｃ側の領域に設定されている。入力領域７は、側面５Ａ側の領域に設定されている。平面視において、出力領域６の面積ＳＯＵＴは、入力領域７の面積ＳＩＮ以上である（ＳＩＮ≦ＳＯＵＴ）。

[0017] 面積ＳＩＮに対する面積ＳＯＵＴの比ＳＯＵＴ／ＳＩＮは、１以上１０以下であってもよい（１＜ＳＯＵＴ／ＳＩＮ≦１０）。比ＳＯＵＴ／ＳＩＮは、１以上２以下、２以上４以下、４以上６以下、６以上８以下、または、８以上１０以下であってもよい。入力領域７の平面形状および出力領域６の平面形状は、任意であり、特定の形状に限定されない。むろん、比ＳＯＵＴ／ＳＩＮは、０を超えて１未満であってもよい。

[0018] 出力領域６は、絶縁ゲート型のパワートランジスタ（＝出力トランジスタ）の一例として、パワーＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）９を含む。パワーＭＩＳＦＥＴ９は、ゲート、ドレイン及びソースを含む。パワーＭＩＳＦＥＴ９は、電源端と負荷との間

を導通／遮断するハイサイドスイッチとして機能する。

[0019] 入力領域７は、制御回路の一例としてのコントロールＩＣ（Integrated Circuit）１０を含む。コントロールＩＣ１０は、種々の機能を実現する複数種の機能回路を含む。複数種の機能回路は、外部からの電気信号に基づいてパワーＭＩＳＦＥＴ９を駆動制御するゲート制御信号を生成する回路を含む。コントロールＩＣ１０は、パワーＭＩＳＦＥＴ９と共に所謂ＩＰＤ（Intelligent Power Device）を形成している。なお、ＩＰＤは、ＩＰＭ（Intelligent Power Module）とも称される。

[0020] 入力領域７は、領域分離構造８によって出力領域６から電気的に絶縁されている。図１では、領域分離構造８がハッチングによって示されている。具体的な説明は省略するが、領域分離構造８は、トレンチに絶縁体が埋め込まれたトレンチ絶縁構造を有してもよい。

[0021] 半導体層２の上には、複数（ここでは６つ）の電極１１，１２，１３，１４，１５，１６が形成されている。図１では、ハッチングによって複数の電極１１～１６が示されている。複数の電極１１～１６は、導線（たとえばボンディングワイヤ）等によって外部接続される端子電極として形成されている。複数の電極１１～１６の個数、配置および平面形状は任意であり、図１に示される形態に限定されない。

[0022] 複数の電極１１～１６の個数、配置および平面形状は、パワーＭＩＳＦＥＴ９の仕様またはコントロールＩＣ１０の仕様に応じて調整される。複数の電極１１～１６は、この形態では、ドレイン電極１１（電源電極）、ソース電極１２（出力電極）、入力電極１３、基準電圧電極１４、ＥＮＡＢＬＥ電極１５およびＳＥＮＳＥ電極１６を含む。

[0023] ドレイン電極１１は、半導体層２の第２主面４の上に形成されている。ドレイン電極１１は、半導体層２の第２主面４に電気的に接続されている。ドレイン電極１１は、パワーＭＩＳＦＥＴ９のドレインとコントロールＩＣ１０の各種回路に電源電圧ＶＢを伝える。

[0024] ドレイン電極１１は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のう

ちの少なくとも１つを含んでいてもよい。ドレイン電極１１は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層またはＡｌ層を含む単層構造を有していてもよい。ドレイン電極１１は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも２つを任意の態様で積層させた積層構造を有していてもよい。

[0025] ソース電極１２は、第１主面３において出力領域６の上に形成されている。ソース電極１２は、パワーＭＩＳＦＥＴ９のソースに電気的に接続されている。ソース電極１２は、パワーＭＩＳＦＥＴ９によって生成された電気信号を外部に伝達する。

[0026] 入力電極１３、基準電圧電極１４、ＥＮＡＢＬＥ電極１５及びＳＥＮＳＥ電極１６は、第１主面３において入力領域７の上にそれぞれ形成されている。入力電極１３は、コントロールＩＣ１０を駆動するための入力電圧を伝達する。

[0027] 基準電圧電極１４は、コントロールＩＣ１０に基準電圧（たとえばグランド電圧）を伝達する。ＥＮＡＢＬＥ電極１５は、コントロールＩＣ１０の一部または全部の機能を有効または無効にするための電気信号を伝達する。ＳＥＮＳＥ電極１６は、コントロールＩＣ１０の異常を検出するための電気信号を伝達する。

[0028] 半導体層２の上には、制御配線の一例としてのゲート制御配線１７がさらに形成されている。ゲート制御配線１７は、出力領域６及び入力領域７に選択的に引き回されている。ゲート制御配線１７は、出力領域６においてパワーＭＩＳＦＥＴ９のゲートに電気的に接続され、入力領域７においてコントロールＩＣ１０に電気的に接続されている。

[0029] ゲート制御配線１７は、コントロールＩＣ１０によって生成されたゲート制御信号をパワーＭＩＳＦＥＴ９のゲートに伝達する。ゲート制御信号は、オン信号Ｖｏｎおよびオフ信号Ｖｏｆｆを含み、パワーＭＩＳＦＥＴ９のオン状態およびオフ状態を制御する。

[0030] オン信号Ｖｏｎは、パワーＭＩＳＦＥＴ９のゲート閾値電圧Ｖｔｈよりも高い（Ｖｔｈ＜Ｖｏｎ）。オフ信号Ｖｏｆｆは、パワーＭＩＳＦＥＴ９のゲ

ート閾値電圧Ｖｔｈよりも低い（Ｖｏｆｆ＜Ｖｔｈ）。オフ信号Ｖｏｆｆは、基準電圧（たとえばグランド電圧）であってもよい。

[0031] ゲート制御配線１７は、この形態では、第１ゲート制御配線１７Ａ、第２ゲート制御配線１７Ｂおよび第３ゲート制御配線１７Ｃを含む。第１ゲート制御配線１７Ａ、第２ゲート制御配線１７Ｂおよび第３ゲート制御配線１７Ｃは、互いに電気的に絶縁されている。

[0032] この形態では、２つの第１ゲート制御配線１７Ａが異なる領域に引き回されている。また、２つの第２ゲート制御配線１７Ｂが異なる領域に引き回されている。また、２つの第３ゲート制御配線１７Ｃが異なる領域に引き回されている。

[0033] 第１ゲート制御配線１７Ａ、第２ゲート制御配線１７Ｂおよび第３ゲート制御配線１７Ｃは、同一のまたは異なるゲート制御信号をパワーＭＩＳＦＥＴ９のゲートに伝達する。ゲート制御配線１７の個数、配置、形状等は任意であり、ゲート制御信号の伝達距離、または、伝達すべきゲート制御信号の数に応じて調整される。

[0034] ソース電極１２、入力電極１３、基準電圧電極１４、ＥＮＡＢＬＥ電極１５、ＳＥＮＳＥ電極１６およびゲート制御配線１７は、ニッケル、パラジウム、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種をそれぞれ含んでいてもよい。

[0035] ソース電極１２、入力電極１３、基準電圧電極１４、ＥＮＡＢＬＥ電極１５、ＳＥＮＳＥ電極１６およびゲート制御配線１７は、Ａｌ－Ｓｉ－Ｃｕ（アルミニウム－シリコン－銅）合金、Ａｌ－Ｓｉ（アルミニウム－シリコン）合金、および、Ａｌ－Ｃｕ（アルミニウム－銅）合金のうちの少なくとも１種をそれぞれ含んでいてもよい。

[0036] ソース電極１２、入力電極１３、基準電圧電極１４、ＥＮＡＢＬＥ電極１５、ＳＥＮＳＥ電極１６およびゲート制御配線１７は、同一種の電極材料を含んでいてもよいし、互いに異なる電極材料を含んでいてもよい。

[0037] 図２は、図１に示す半導体装置１の電気的構造を示すブロック回路図であ

る。以下では半導体装置１が車両に搭載される場合を例にとって説明する。

[0038] 半導体装置１は、ドレイン電極１１、ソース電極１２、入力電極１３、基準電圧電極１４、ＥＮＡＢＬＥ電極１５、ＳＥＮＳＥ電極１６、ゲート制御配線１７、パワーＭＩＳＦＥＴ９およびコントロールＩＣ１０を含む。

[0039] ドレイン電極１１（＝電源電極ＶＢＢ）は、電源に接続される。ドレイン電極１１は、パワーＭＩＳＦＥＴ９およびコントロールＩＣ１０に電源電圧ＶＢを提供する。電源電圧ＶＢは、１０Ｖ以上２０Ｖ以下であってもよい。一方、ソース電極１２（＝出力電極ＯＵＴ）は、負荷に接続される。

[0040] 入力電極１３（＝入力電極ＩＮ）は、ＭＣＵ（Micro Controller Unit）、ＤＣ／ＤＣコンバータ、ＬＤＯ（Low Drop Out）等に接続されてもよい。入力電極１３は、コントロールＩＣ１０に入力電圧を提供する。入力電圧は、１Ｖ以上１０Ｖ以下であってもよい。基準電圧電極１４は基準電圧配線に接続される。基準電圧電極１４は、パワーＭＩＳＦＥＴ９およびコントロールＩＣ１０に基準電圧を提供する。

[0041] ＥＮＡＢＬＥ電極１５は、ＭＣＵに接続されてもよい。ＥＮＡＢＬＥ電極１５には、コントロールＩＣ１０の一部または全部の機能を有効または無効にするための電気信号が入力される。ＳＥＮＳＥ電極１６は、抵抗器に接続されてもよい。

[0042] パワーＭＩＳＦＥＴ９のゲートは、ゲート制御配線１７を介してコントロールＩＣ１０（後述のゲート制御回路２５）に接続されている。パワーＭＩＳＦＥＴ９のドレインは、ドレイン電極１１に接続されている。パワーＭＩＳＦＥＴ９のソースは、コントロールＩＣ１０（後述する電流検出回路２７）およびソース電極１２に接続されている。

[0043] コントロールＩＣ１０は、センサＭＩＳＦＥＴ２１、入力回路２２、電流・電圧制御回路２３、保護回路２４、ゲート制御回路２５、アクティブクランプ回路２６、電流検出回路２７、電源逆接続保護回路２８および異常検出回路２９を含む。

[0044] センサＭＩＳＦＥＴ２１のゲートは、ゲート制御回路２５に接続されてい

る。センサＭＩＳＦＥＴ２１のドレインは、ドレイン電極１１に接続されている。センサＭＩＳＦＥＴ２１のソースは、電流検出回路２７に接続されている。

[0045] 入力回路２２は、入力電極１３および電流・電圧制御回路２３に接続されている。入力回路２２は、シュミットトリガ回路を含んでいてもよい。入力回路２２は、入力電極１３に印加された電気信号の波形を整形する。入力回路２２により生成された信号は、電流・電圧制御回路２３に入力される。

[0046] 電流・電圧制御回路２３は、保護回路２４、ゲート制御回路２５、電源逆接続保護回路２８および異常検出回路２９に接続されている。電流・電圧制御回路２３は、ロジック回路を含んでいてもよい。

[0047] 電流・電圧制御回路２３は、入力回路２２からの電気信号および保護回路２４からの電気信号に応じて種々の電圧を生成する。電流・電圧制御回路２３は、この形態では、駆動電圧生成回路３０、第１定電圧生成回路３１、第２定電圧生成回路３２および基準電圧・基準電流生成回路３３を含む。

[0048] 駆動電圧生成回路３０は、ゲート制御回路２５を駆動するための駆動電圧を生成する。駆動電圧は、電源電圧ＶＢから所定値を差し引いた値に設定されてもよい。駆動電圧生成回路３０は、電源電圧ＶＢから５Ｖを差し引いた５Ｖ以上１５Ｖ以下の駆動電圧を生成してもよい。駆動電圧は、ゲート制御回路２５に入力される。

[0049] 第１定電圧生成回路３１は、保護回路２４を駆動するための第１定電圧を生成する。第１定電圧生成回路３１は、ツェナーダイオードまたはレギュレータ回路（ここではツェナーダイオード）を含んでいてもよい。第１定電圧は、１Ｖ以上５Ｖ以下であってもよい。第１定電圧は、保護回路２４（より具体的には、後述する負荷オープン検出回路３５等）に入力される。

[0050] 第２定電圧生成回路３２は、保護回路２４を駆動するための第２定電圧を生成する。第２定電圧生成回路３２は、ツェナーダイオードまたはレギュレータ回路（ここではレギュレータ回路）を含んでいてもよい。第２定電圧は、１Ｖ以上５Ｖ以下であってもよい。第２定電圧は、保護回路２４（より具

体的には、後述する過熱保護回路３６及び低電圧誤動作抑制回路３７）に入力される。

[0051] 基準電圧・基準電流生成回路３３は、各種回路の基準電圧および基準電流を生成する。基準電圧は、１Ｖ以上５Ｖ以下であってもよい。基準電流は、１ｍＡ以上１Ａ以下であってもよい。基準電圧および基準電流は、各種回路に入力される。各種回路がコンパレータを含む場合、基準電圧および基準電流は、当該コンパレータに入力されてもよい。

[0052] 保護回路２４は、電流・電圧制御回路２３、ゲート制御回路２５、異常検出回路２９、パワーＭＩＳＦＥＴ９のソース及びセンサＭＩＳＦＥＴ２１のソースに接続されている。保護回路２４は、過電流保護回路３４、負荷オープン検出回路３５、過熱保護回路３６および低電圧誤動作抑制回路３７を含む。

[0053] 過電流保護回路３４は、過電流からパワーＭＩＳＦＥＴ９を保護する。過電流保護回路３４は、ゲート制御回路２５およびセンサＭＩＳＦＥＴ２１のソースに接続されている。過電流保護回路３４は、電流モニタ回路を含んでいてもよい。過電流保護回路３４によって生成された信号は、ゲート制御回路２５（より具体的には、後述する駆動信号出力回路４０）に入力される。

[0054] 負荷オープン検出回路３５は、パワーＭＩＳＦＥＴ９のショート状態及びオープン状態を検出する。負荷オープン検出回路３５は、電流・電圧制御回路２３及びパワーＭＩＳＦＥＴ９のソースに接続されている。負荷オープン検出回路３５により生成された信号は、電流・電圧制御回路２３に入力される。

[0055] 過熱保護回路３６は、パワーＭＩＳＦＥＴ９の温度を監視し、過度な温度上昇からパワーＭＩＳＦＥＴ９を保護する。過熱保護回路３６は、電流・電圧制御回路２３に接続されている。過熱保護回路３６は、感温ダイオードまたはサーミスタ等の感温デバイスを含んでいてもよい。過熱保護回路３６によって生成された信号は、電流・電圧制御回路２３に入力される。

[0056] 低電圧誤動作抑制回路３７は、電源電圧ＶＢが所定値未満である場合にパ

ワーＭＩＳＦＥＴ９が誤動作するのを抑制する。低電圧誤動作抑制回路３７は、電流・電圧制御回路２３に接続されている。低電圧誤動作抑制回路３７によって生成された信号は、電流・電圧制御回路２３に入力される。

[0057] ゲート制御回路２５は、パワーＭＩＳＦＥＴ９のオン状態並びにオフ状態、及び、センサＭＩＳＦＥＴ２１のオン状態並びにオフ状態を制御する。ゲート制御回路２５は、電流・電圧制御回路２３、保護回路２４、パワーＭＩＳＦＥＴ９のゲートおよびセンサＭＩＳＦＥＴ２１のゲートに接続されている。

[0058] ゲート制御回路２５は、電流・電圧制御回路２３からの電気信号および保護回路２４からの電気信号に応じて、ゲート制御配線１７の個数に応じた複数のゲート制御信号を生成する。複数のゲート制御信号は、ゲート制御配線１７を介してパワーＭＩＳＦＥＴ９のゲートおよびセンサＭＩＳＦＥＴ２１のゲートにそれぞれ入力される。

[0059] ゲート制御回路２５は、具体的に述べると、入力電極１３に印加された電気信号（入力信号）に応じて複数のゲート制御信号を一括制御することによりパワーＭＩＳＦＥＴ９をオン／オフする一方、アクティブクランプ回路２６の動作時にパワーＭＩＳＦＥＴ９のオン抵抗を引き上げるように複数のゲート制御信号を個別制御する機能を備えている（詳細については後述）。

[0060] ゲート制御回路２５は、より具体的には、発振回路３８、チャージポンプ回路３９および駆動信号出力回路４０を含む。発振回路３８は、電流・電圧制御回路２３からの電気信号に応じて発振し、所定の電気信号を生成する。発振回路３８によって生成された電気信号は、チャージポンプ回路３９に入力される。チャージポンプ回路３９は、発振回路３８からの電気信号を昇圧させる。チャージポンプ回路３９によって昇圧された電気信号は、駆動信号出力回路４０に入力される。

[0061] 駆動信号出力回路４０は、チャージポンプ回路３９からの電気信号および保護回路２４（より具体的には、過電流保護回路３４）からの電気信号に応じて複数のゲート制御信号を生成する。複数のゲート制御信号は、ゲート制

御配線１７を介してパワーＭＩＳＦＥＴ９のゲートおよびセンサＭＩＳＦＥＴ２１のゲートに入力される。センサＭＩＳＦＥＴ２１およびパワーＭＩＳＦＥＴ９は、ゲート制御回路２５によって同時に制御される。

[0062] アクティブクランプ回路２６は、逆起電力からパワーＭＩＳＦＥＴ９を保護する。アクティブクランプ回路２６は、ドレイン電極１１、パワーＭＩＳＦＥＴ９のゲートおよびセンサＭＩＳＦＥＴ２１のゲートに接続されている。アクティブクランプ回路２６は、複数のダイオードを含んでいてもよい。

[0063] アクティブクランプ回路２６は、互いに順バイアス接続された複数のダイオードを含んでいてもよい。アクティブクランプ回路２６は、互いに逆バイアス接続された複数のダイオードを含んでいてもよい。アクティブクランプ回路２６は、互いに順バイアス接続された複数のダイオード、および、互いに逆バイアス接続された複数のダイオードを含んでいてもよい。

[0064] 複数のダイオードは、ｐｎ接合ダイオード、または、ツェナーダイオード、もしくは、ｐｎ接合ダイオードおよびツェナーダイオードを含んでいてもよい。アクティブクランプ回路２６は、互いにバイアス接続された複数のツェナーダイオードを含んでいてもよい。アクティブクランプ回路２６は、互いに逆バイアス接続されたツェナーダイオードおよびｐｎ接合ダイオードを含んでいてもよい。

[0065] 電流検出回路２７は、パワーＭＩＳＦＥＴ９およびセンサＭＩＳＦＥＴ２１を流れる電流を検出する。電流検出回路２７は、保護回路２４、異常検出回路２９、パワーＭＩＳＦＥＴ９のソースおよびセンサＭＩＳＦＥＴ２１のソースに接続されている。電流検出回路２７は、パワーＭＩＳＦＥＴ９によって生成された電気信号およびセンサＭＩＳＦＥＴ２１によって生成された電気信号に応じて、電流検出信号を生成する。電流検出信号は、異常検出回路２９に入力される。

[0066] 電源逆接続保護回路２８は、電源が逆接続された際に、逆電圧から電流・電圧制御回路２３及びパワーＭＩＳＦＥＴ９等を保護する。電源逆接続保護回路２８は、基準電圧電極１４および電流・電圧制御回路２３に接続されて

いる。

[0067] 異常検出回路２９は、保護回路２４の電圧を監視する。異常検出回路２９は、電流・電圧制御回路２３、保護回路２４および電流検出回路２７に接続されている。過電流保護回路３４、負荷オープン検出回路３５、過熱保護回路３６および低電圧誤動作抑制回路３７のいずれかに異常（電圧の変動等）が生じた場合、異常検出回路２９は、保護回路２４の電圧に応じた異常検出信号を生成し、外部に出力する。

[0068] 異常検出回路２９は、より具体的には、第１マルチプレクサ回路４１および第２マルチプレクサ回路４２を含む。第１マルチプレクサ回路４１は、２つの入力部、１つの出力部および１つの選択制御入力部を含む。第１マルチプレクサ回路４１の入力部には、保護回路２４および電流検出回路２７がそれぞれ接続されている。第１マルチプレクサ回路４１の出力部には、第２マルチプレクサ回路４２が接続されている。第１マルチプレクサ回路４１の選択制御入力部には、電流・電圧制御回路２３が接続されている。

[0069] 第１マルチプレクサ回路４１は、電流・電圧制御回路２３からの電気信号、保護回路２４からの電圧検出信号および電流検出回路２７からの電流検出信号に応じて、異常検出信号を生成する。第１マルチプレクサ回路４１によって生成された異常検出信号は、第２マルチプレクサ回路４２に入力される。

[0070] 第２マルチプレクサ回路４２は、２つの入力部および１つの出力部を含む。第２マルチプレクサ回路４２の入力部には、第２マルチプレクサ回路４２の出力部およびＥＮＡＢＬＥ電極１５がそれぞれ接続されている。第２マルチプレクサ回路４２の出力部には、ＳＥＮＳＥ電極１６が接続されている。

[0071] ＥＮＡＢＬＥ電極１５にＭＣＵが接続され、ＳＥＮＳＥ電極１６に抵抗器が接続されている場合、ＭＣＵからＥＮＡＢＬＥ電極１５にオン信号が入力され、ＳＥＮＳＥ電極１６から異常検出信号が取り出される。異常検出信号は、ＳＥＮＳＥ電極１６に接続された抵抗器によって電気信号に変換される。半導体装置１の状態異常は、この電気信号に基づいて検出される。

[0072] 図３は、図１に示す半導体装置１のアクティブクランプ動作を説明するための回路図である。図４は、図３に示す回路図の主要な電気信号の波形図である。

[0073] ここでは、パワーＭＩＳＦＥＴ９に誘導性負荷Ｌが接続された回路例を用いて、半導体装置１の通常動作及びアクティブクランプ動作を説明する。ソレノイド、モータ、トランス、リレー等の巻線（コイル）を利用したデバイスが、誘導性負荷Ｌとして例示される。誘導性負荷Ｌは、Ｌ負荷とも称される。

[0074] 図３を参照して、パワーＭＩＳＦＥＴ９のソースは、誘導性負荷Ｌに接続されている。パワーＭＩＳＦＥＴ９のドレインは、ドレイン電極１１に電気的に接続されている。パワーＭＩＳＦＥＴ９のゲートおよびドレインは、アクティブクランプ回路２６に接続されている。アクティブクランプ回路２６は、この回路例では、ｍ個（ｍは自然数）のツェナーダイオードＤＺおよびｎ個（ｎは自然数）のｐｎ接合ダイオードＤを含む。ｐｎ接合ダイオードＤは、ツェナーダイオードＤＺに対して逆バイアス接続されている。

[0075] 図３および図４を参照して、オフ状態のパワーＭＩＳＦＥＴ９のゲートにオン信号Ｖｏｎが入力されると、パワーＭＩＳＦＥＴ９がオフ状態からオン状態に切り替わる（通常動作）。オン信号Ｖｏｎは、ゲート閾値電圧Ｖｔｈ以上（Ｖｔｈ≦Ｖｏｎ）の電圧を有している。パワーＭＩＳＦＥＴ９は、所定のオン時間ＴＯＮだけ、オン状態に維持される。

[0076] パワーＭＩＳＦＥＴ９がオン状態に切り替わると、ドレイン電流ＩＤが、パワーＭＩＳＦＥＴ９のドレインからソースに向けて流れ始める。ドレイン電流ＩＤは、零から所定の値まで増加し、飽和する。誘導性負荷Ｌは、ドレイン電流ＩＤの増加に起因して誘導性エネルギを蓄積させる。

[0077] パワーＭＩＳＦＥＴ９のゲートにオフ信号Ｖｏｆｆが入力されると、パワーＭＩＳＦＥＴ９がオン状態からオフ状態に切り替わる。オフ信号Ｖｏｆｆは、ゲート閾値電圧Ｖｔｈ未満の電圧（Ｖｏｆｆ＜Ｖｔｈ）を有している。オフ信号Ｖｏｆｆは、基準電圧（たとえばグランド電圧）であってもよい。

[0078] パワーＭＩＳＦＥＴ９がオン状態からオフ状態に切り替わる遷移時では、誘導性負荷Ｌの誘導性エネルギが、逆起電力としてパワーＭＩＳＦＥＴ９に印加される。これにより、パワーＭＩＳＦＥＴ９がアクティブクランプ状態になる（アクティブクランプ動作）。パワーＭＩＳＦＥＴ９がアクティブクランプ状態になると、ソース電圧ＶＳＳが、基準電圧（グランド電圧）未満の負電圧まで急激に下降する。

[0079] このとき、ソース電圧ＶＳＳは、アクティブクランプ回路２６の動作に起因して、電源電圧ＶＢから制限電圧ＶＬ及びクランプオン電圧ＶＣＬＰを減算した電圧以上の電圧（ＶＳＳ≧ＶＢ－ＶＬ－ＶＣＬＰ）に制限される。

[0080] 換言すると、パワーＭＩＳＦＥＴ９がアクティブクランプ状態になると、パワーＭＩＳＦＥＴ９のドレイン・ソース間のドレイン電圧ＶＤＳは、クランプ電圧ＶＤＳＳＣＬまで急激に上昇する。クランプ電圧ＶＤＳＳＣＬは、パワーＭＩＳＦＥＴ９およびアクティブクランプ回路２６によって、クランプオン電圧ＶＣＬＰおよび制限電圧ＶＬを加算した電圧以下の電圧（ＶＤＳ≦ＶＣＬＰ＋ＶＬ）に制限される。

[0081] 制限電圧ＶＬは、この形態では、アクティブクランプ回路２６におけるツェナーダイオードＤＺの端子間電圧ＶＺ及びｐｎ接合ダイオードの端子間電圧ＶＦの総和（ＶＬ＝ｍ・ＶＺ＋ｎ・ＶＦ）である。

[0082] クランプオン電圧ＶＣＬＰは、パワーＭＩＳＦＥＴ９のゲート・ソース間に印加される正電圧（つまり、ゲート電圧ＶＧＳ）である。クランプオン電圧ＶＣＬＰは、ゲート閾値電圧Ｖｔｈ以上（Ｖｔｈ≦ＶＣＬＰ）である。したがって、パワーＭＩＳＦＥＴ９は、アクティブクランプ状態においてオン状態を維持する。

[0083] クランプ電圧ＶＤＳＳＣＬが最大定格ドレイン電圧ＶＤＳＳを超えた場合（ＶＤＳＳ＜ＶＤＳＳＣＬ）、パワーＭＩＳＦＥＴ９は破壊に至る。パワーＭＩＳＦＥＴ９は、クランプ電圧ＶＤＳＳＣＬが最大定格ドレイン電圧ＶＤＳＳ以下（ＶＤＳＳＣＬ≦ＶＤＳＳ）になるように設計される。

[0084] クランプ電圧ＶＤＳＳＣＬが最大定格ドレイン電圧ＶＤＳＳ以下の場合（

ＶＤＳＳＣＬ≦ＶＤＳＳ）、ドレイン電流ＩＤがパワーＭＩＳＦＥＴ９のドレインからソースに向けて流れ続け、誘導性負荷Ｌの誘導性エネルギがパワーＭＩＳＦＥＴ９において消費（吸収）される。

[0085] ドレイン電流ＩＤは、アクティブクランプ時間ＴＡＶを経て、パワーＭＩＳＦＥＴ９のオフ直前のピーク値ＩＡＶからゼロに減少する。これにより、ゲート電圧ＶＧＳが基準電圧（たとえばグランド電圧）になり、パワーＭＩＳＦＥＴ９がオン状態からオフ状態に切り替わる。

[0086] パワーＭＩＳＦＥＴ９のアクティブクランプ耐量Ｅａｃは、アクティブクランプ動作時におけるパワーＭＩＳＦＥＴ９の耐量によって定義される。アクティブクランプ耐量Ｅａｃは、より具体的には、パワーＭＩＳＦＥＴ９のオン状態からオフ状態への遷移時において、誘導性負荷Ｌの誘導性エネルギに起因して生じる逆起電力に対するパワーＭＩＳＦＥＴ９の耐量によって定義される。

[0087] アクティブクランプ耐量Ｅａｃは、さらに具体的には、クランプ電圧ＶＤＳＳＣＬに起因して生じるエネルギに対するパワーＭＩＳＦＥＴ９の耐量によって定義される。たとえば、アクティブクランプ耐量Ｅａｃは、制限電圧ＶＬ、クランプオン電圧ＶＣＬＰ、ドレイン電流ＩＤ及びアクティブクランプ時間ＴＡＶを用いて、Ｅａｃ＝（ＶＬ＋ＶＣＬＰ）×ＩＤ×ＴＡＶの式で表される。

[0088] 図５は、図１に示す領域Ｖの断面斜視図である。なお、本図では、説明の便宜上、第１主面３の上部構造（ソース電極１２並びにゲート制御配線１７、及び、層間絶縁層など）を省略している。

[0089] 本図の半導体装置１において、半導体層２は、この形態では、n^+型の半導体基板５１およびｎ型のエピタキシャル層５２を含む積層構造を有している。半導体基板５１によって半導体層２の第２主面４が形成されている。エピタキシャル層５２によって半導体層２の第１主面３が形成されている。半導体基板５１およびエピタキシャル層５２によって半導体層２の側面５Ａ～５Ｄが形成されている。

[0090] エピタキシャル層５２は、半導体基板５１のｎ型不純物濃度未満のｎ型不純物濃度を有する。半導体基板５１のｎ型不純物濃度は、１×１０^{18}ｃｍ$^{-3}$以上１×１０^{20}ｃｍ$^{-3}$以下であってもよい。エピタキシャル層５２のｎ型不純物濃度は、１×１０^{15}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下であってもよい。

[0091] エピタキシャル層５２は、半導体基板５１の厚さＴｓｕｂ未満の厚さＴｅｐｉ（Ｔｅｐｉ＜Ｔｓｕｂ）を有している。厚さＴｓｕｂは、５０μｍ以上４５０μｍ以下であってもよい。厚さＴｓｕｂは、５０μｍ以上１５０μｍ以下、１５０μｍ以上２５０μｍ以下、２５０μｍ以上３５０μｍ以下、又は、３５０μｍ以上４５０μｍ以下であってもよい。

[0092] 厚さＴｓｕｂを低減させることにより、抵抗値を低減できる。厚さＴｓｕｂは、研削によって調整される。この場合、半導体層２の第２主面４は、研削痕を有する研削面であってもよい。

[0093] エピタキシャル層５２の厚さＴｅｐｉは、厚さＴｓｕｂの１／１０以下であることが好ましい。厚さＴｅｐｉは、５μｍ以上２０μｍ以下であってもよい。厚さＴｅｐｉは、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、または、１５μｍ以上２０μｍ以下であってもよい。厚さＴｅｐｉは、５μｍ以上１５μｍ以下であることが好ましい。

[0094] 半導体基板５１は、ドレイン領域５３として半導体層２の第２主面４側に形成されている。エピタキシャル層５２は、ドリフト領域５４（ドレインドリフト領域）として半導体層２の第１主面３の表層部に形成されている。ドリフト領域５４の底部は、半導体基板５１およびエピタキシャル層５２の境界によって形成されている。以下、エピタキシャル層５２をドリフト領域５４という。

[0095] 出力領域６において半導体層２の第１主面３の表層部には、ｐ型のボディ領域５５が形成されている。ボディ領域５５は、パワーＭＩＳＦＥＴ９の基礎となる領域である。ボディ領域５５のｐ型不純物濃度は、１×１０^{16}ｃｍ$^{-3}$以上１×１０^{18}ｃｍ$^{-3}$以下であってもよい。

[0096] ボディ領域５５は、ドリフト領域５４の表層部に形成されている。ボディ

領域５５の底部は、ドリフト領域５４の底部に対して第１主面３側の領域に形成されている。ボディ領域５５の厚さは、０．５μｍ以上２μｍ以下であってもよい。ボディ領域５５の厚さは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、または、１．５μｍ以上２μｍ以下であってもよい。

[0097] パワーＭＩＳＦＥＴ９は、第１ＭＩＳＦＥＴ５６（第１トランジスタ）および第２ＭＩＳＦＥＴ５７（第２トランジスタ）を含む。第１ＭＩＳＦＥＴ５６は、第２ＭＩＳＦＥＴ５７から電気的に分離されており、独立して制御される。第２ＭＩＳＦＥＴ５７は、第１ＭＩＳＦＥＴ５６から電気的に分離されており、独立して制御される。

[0098] つまり、パワーＭＩＳＦＥＴ９は、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７の双方がオン状態において駆動するように構成されている（ＦｕＩＩ－ＯＮ制御）。また、パワーＭＩＳＦＥＴ９は、第１ＭＩＳＦＥＴ５６がオン状態である一方で第２ＭＩＳＦＥＴ５７がオフ状態で駆動するように構成されている（第１Ｈａｌｆ－ＯＮ制御）。更に、パワーＭＩＳＦＥＴ９は、第１ＭＩＳＦＥＴ５６がオフ状態である一方で第２ＭＩＳＦＥＴ５７がオン状態で駆動するように構成されている（第２Ｈａｌｆ－ＯＮ制御）。

[0099] ＦｕＩＩ－ＯＮ制御の場合、全ての電流経路が解放された状態でパワーＭＩＳＦＥＴ９が駆動される。したがって、半導体層２内のオン抵抗は相対的に低下する。一方、第１Ｈａｌｆ－ＯＮ制御または第２Ｈａｌｆ－ＯＮ制御の場合、一部の電流経路が遮断された状態でパワーＭＩＳＦＥＴ９が駆動される。したがって、半導体層２内のオン抵抗は相対的に増加する。

[0100] 第１ＭＩＳＦＥＴ５６は、具体的には複数の第１ＦＥＴ（Field Effect Transistor）構造５８を含む。複数の第１ＦＥＴ構造５８は、平面視において第１方向Ｘに沿って間隔を空けて配列され、第２方向Ｙに沿って帯状にそれぞれ延びている。複数の第１ＦＥＴ構造５８は、平面視において全体としてストライプ状に形成されている。

[0101] 図５では第１ＦＥＴ構造５８の一端部側の領域を図示し、第１ＦＥＴ構造５８の他端部側の領域の図示を省略している。なお、第１ＦＥＴ構造５８の

他端部側の領域の構造は、第１ＦＥＴ構造５８の一端部側の領域の構造とほぼ同様である。以下では、第１ＦＥＴ構造５８の一端部側の領域の構造を例にとって説明し、第１ＦＥＴ構造５８の他端部側の領域の構造についての説明は省略する。

[0102] 各第１ＦＥＴ構造５８は、この形態では、第１トレンチゲート構造６０を含む。第１トレンチゲート構造６０の第１幅ＷＴ１は、０．５μｍ以上５μｍ以下であってもよい。第１幅ＷＴ１は、第１トレンチゲート構造６０が延びる方向（第２方向Ｙ）に直交する方向（第１方向Ｘ）の幅である。

[0103] なお、第１幅ＷＴ１は、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、または、４．５μｍ以上５μｍ以下であってもよい。第１幅ＷＴ１は、０．８μｍ以上１．２μｍ以下であることが好ましい。

[0104] 第１トレンチゲート構造６０は、ボディ領域５５を貫通し、ドリフト領域５４に達している。第１トレンチゲート構造６０の第１深さＤＴ１は、１μｍ以上１０μｍ以下であってもよい。第１深さＤＴ１は、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、又は、８μｍ以上１０μｍ以下であってもよい。第１深さＤＴ１は、２μｍ以上６μｍ以下であることが好ましい。

[0105] 第１トレンチゲート構造６０は、一方側の第１側壁６１、他方側の第２側壁６２、および、第１側壁６１並びに第２側壁６２を接続する底壁６３を含む。以下では、第１側壁６１、第２側壁６２および底壁６３を纏めて「内壁」または「外壁」ということがある。

[0106] 半導体層２内において第１側壁６１が第１主面３との間で成す角度（テーパ角）の絶対値は、９０°を超えて９５°以下（たとえば９１°程度）であってもよい。半導体層２内において第２側壁６２が第１主面３との間で成す角度（テーパ角）の絶対値は、９０°を超えて９５°以下（たとえば９１°

程度）であってもよい。第１トレンチゲート構造６０は、断面視において第１主面３側から底壁６３側に向けて第１幅ＷＴ１が狭まる先細り形状（テーパ形状）に形成されていてもよい。

[0107] 第１トレンチゲート構造６０の底壁６３は、ドリフト領域５４の底部に対して第１主面３側の領域に位置している。第１トレンチゲート構造６０の底壁６３は、ドリフト領域５４の底部に向かう凸湾曲状（Ｕ字状）に形成されている。

[0108] 第１トレンチゲート構造６０の底壁６３は、ドリフト領域５４の底部に対して１μｍ以上１０μｍ以下の第１間隔ＩＴ１を空けて第１主面３側の領域に位置している。第１間隔ＩＴ１は、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、又は、８μｍ以上１０μｍ以下であってもよい。第１間隔ＩＴ１は、１μｍ以上５μｍ以下であることが好ましい。

[0109] 第２ＭＩＳＦＥＴ５７は、この形態では、複数の第２ＦＥＴ構造６８を含む。複数の第２ＦＥＴ構造６８は、平面視において第１方向Ｘに沿って間隔を空けて配列され、第２方向Ｙに沿って帯状にそれぞれ延びている。

[0110] 複数の第２ＦＥＴ構造６８は、複数の第１ＦＥＴ構造５８と同一方向に沿って延びている。複数の第２ＦＥＴ構造６８は、平面視において全体としてストライプ状に形成されている。複数の第２ＦＥＴ構造６８は、この形態では、１個の第１ＦＥＴ構造５８を挟む態様で複数の第１ＦＥＴ構造５８と交互に配列されている。

[0111] 図５では第２ＦＥＴ構造６８の一端部側の領域を図示し、第２ＦＥＴ構造６８の他端部側の領域の図示を省略している。なお、第２ＦＥＴ構造６８の他端部側の領域の構造は、第２ＦＥＴ構造６８の一端部側の領域の構造とほぼ同様である。以下では、第２ＦＥＴ構造６８の一端部側の領域の構造を例にとって説明し、第２ＦＥＴ構造６８の他端部側の領域の構造についての説明は省略する。

[0112] 各第２ＦＥＴ構造６８は、この形態では、第２トレンチゲート構造７０を

含む。第２トレンチゲート構造７０の第２幅ＷＴ２は、０．５μｍ以上５μｍ以下であってもよい。第２幅ＷＴ２は、第２トレンチゲート構造７０が延びる方向（第２方向Ｙ）に直交する方向（第１方向Ｘ）の幅である。

[0113] なお、第２幅ＷＴ２は、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、または、４．５μｍ以上５μｍ以下であってもよい。第２幅ＷＴ２は、０．８μｍ以上１．２μｍ以下であることが好ましい。

[0114] 第２トレンチゲート構造７０の第２幅ＷＴ２は、第１トレンチゲート構造６０の第１幅ＷＴ１以上（ＷＴ１≦ＷＴ２）であってもよい。第２幅ＷＴ２は、第１幅ＷＴ１以下（ＷＴ１≧ＷＴ２）であってもよい。第２幅ＷＴ２は、第１幅ＷＴ１と等しい（ＷＴ１＝ＷＴ２）ことが好ましい。

[0115] 第２トレンチゲート構造７０は、ボディ領域５５を貫通し、ドリフト領域５４に達している。第２トレンチゲート構造７０の第２深さＤＴ２は、１μｍ以上１０μｍ以下であってもよい。第２深さＤＴ２は、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、又は、８μｍ以上１０μｍ以下であってもよい。第２深さＤＴ２は、２μｍ以上６μｍ以下であることが好ましい。

[0116] 第２トレンチゲート構造７０の第２深さＤＴ２は、第１トレンチゲート構造６０の第１深さＤＴ１以上（ＤＴ１≦ＤＴ２）であってもよい。第２深さＤＴ２は、第１深さＤＴ１以下（ＤＴ１≧ＤＴ２）であってもよい。なお、第２深さＤＴ２は、第１深さＤＴ１と等しい（ＤＴ１＝ＤＴ２）ことが好ましい。

[0117] 第２トレンチゲート構造７０は、一方側の第１側壁７１、他方側の第２側壁７２、ならびに、第１側壁７１および第２側壁７２を接続する底壁７３を含む。以下では、第１側壁７１、第２側壁７２および底壁７３を纏めて「内壁」または「外壁」ということがある。

[0118] 半導体層２内において第１側壁７１が第１主面３との間で成す角度（テーパ角）の絶対値は、９０°を超えて９５°以下（たとえば９１°程度）であってもよい。半導体層２内において第２側壁７２が第１主面３との間で成す角度（テーパ角）の絶対値は、９０°を超えて９５°以下（たとえば９１°程度）であってもよい。第２トレンチゲート構造７０は、断面視において第１主面３側から底壁７３側に向けて第２幅ＷＴ２が狭まる先細り形状（テーパ形状）に形成されていてもよい。

[0119] 第２トレンチゲート構造７０の底壁７３は、ドリフト領域５４の底部に対して第１主面３側の領域に位置している。第２トレンチゲート構造７０の底壁７３は、ドリフト領域５４の底部に向かう凸湾曲状（Ｕ字状）に形成されている。

[0120] 第２トレンチゲート構造７０の底壁７３は、ドリフト領域５４の底部に対して１μｍ以上１０μｍ以下の第２間隔ＩＴ２を空けて第１主面３側の領域に位置している。第２間隔ＩＴ２は、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、又は、８μｍ以上１０μｍ以下であってもよい。第２間隔ＩＴ２は、１μｍ以上５μｍ以下であることが好ましい。

[0121] 複数の第１トレンチゲート構造６０および複数の第２トレンチゲート構造７０の間の領域には、セル領域７５がそれぞれ区画されている。複数のセル領域７５は、平面視において第１方向Ｘに沿って間隔を空けて配列され、第２方向Ｙに沿って帯状にそれぞれ延びている。複数のセル領域７５は、第１トレンチゲート構造６０および第２トレンチゲート構造７０と同一方向に沿って延びている。複数のセル領域７５は、平面視において全体としてストライプ状に形成されている。

[0122] 第１トレンチゲート構造６０の外壁からは、ドリフト領域５４の内部に第１空乏層が拡がる。第１空乏層は、第１トレンチゲート構造６０の外壁から第１主面３に沿う方向および法線方向Ｚに向けて広がる。同様に、第２トレンチゲート構造７０の外壁からは、ドリフト領域５４内に第２空乏層が拡が

る。第２空乏層は、第２トレンチゲート構造７０の外壁から第１主面３に沿う方向および法線方向Ｚに向けて広がる。

[0123] 第２トレンチゲート構造７０は、第２空乏層が第１空乏層に重なる態様で、第１トレンチゲート構造６０から間隔を空けて配列されている。つまり、第２空乏層は、セル領域７５において第２トレンチゲート構造７０の底壁７３に対して第１主面３側の領域で第１空乏層に重なる。このような構造によれば、第１トレンチゲート構造６０および第２トレンチゲート構造７０に電界が集中するのを抑制できるから、ブレークダウン電圧の低下を抑制できる。

[0124] 第２空乏層は、第２トレンチゲート構造７０の底壁７３に対してドリフト領域５４の底部側の領域で第１空乏層に重なることが好ましい。このような構造によれば、第１トレンチゲート構造６０の底壁６３および第２トレンチゲート構造７０の底壁７３に電界が集中するのを抑制できるから、ブレークダウン電圧の低下を適切に抑制できる。

[0125] 第１トレンチゲート構造６０および第２トレンチゲート構造７０の側壁間のピッチＰＳは、０．２μｍ以上２μｍ以下であってもよい。ピッチＰＳは、第１トレンチゲート構造６０の第１側壁６１（第２側壁６２）および第２トレンチゲート構造７０の第２側壁７２（第１側壁７１）の間において、第１トレンチゲート構造６０および第２トレンチゲート構造７０が延びる方向（第２方向Ｙ）に直交する方向（第１方向Ｘ）の距離である。

[0126] ピッチＰＳは、０．２μｍ以上０．４μｍ以下、０．４μｍ以上０．６μｍ以下、０．６μｍ以上０．８μｍ以下、０．８μｍ以上１．０μｍ以下、１．０μｍ以上１．２μｍ以下、１．２μｍ以上１．４μｍ以下、１．４μｍ以上１．６μｍ以下、１．６μｍ以上１．８μｍ以下、又は、１．８μｍ以上２．０μｍ以下であってもよい。ピッチＰＳは、０．３μｍ以上１．５μｍ以下であることが好ましい。

[0127] 第１トレンチゲート構造６０および第２トレンチゲート構造７０の中央部間のピッチＰＣは、１μｍ以上７μｍ以下であってもよい。ピッチＰＣは、

第１トレンチゲート構造６０の中央部および第２トレンチゲート構造７０の中央部の間において、第１トレンチゲート構造６０および第２トレンチゲート構造７０が延びる方向（第２方向Ｙ）に直交する方向（第１方向Ｘ）の距離である。

[0128] なお、ピッチＰＣは、１μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、４μｍ以上５μｍ以下、５μｍ以上６μｍ以下、または、６μｍ以上７μｍ以下であってもよい。ピッチＰＣは、１μｍ以上３μｍ以下であることが好ましい。

[0129] 第１トレンチゲート構造６０は、より具体的には、第１ゲートトレンチ８１、第１絶縁層８２および第１電極８３を含む。第１ゲートトレンチ８１は、第１主面３を第２主面４側に向けて掘り下げることによって形成されている。

[0130] 第１ゲートトレンチ８１は、第１トレンチゲート構造６０の第１側壁６１、第２側壁６２および底壁６３を区画している。以下では、第１トレンチゲート構造６０の第１側壁６１、第２側壁６２および底壁６３を、第１ゲートトレンチ８１の第１側壁６１、第２側壁６２および底壁６３ともいう。

[0131] 第１絶縁層８２は、第１ゲートトレンチ８１の内壁に沿って膜状に形成されている。第１絶縁層８２は、第１ゲートトレンチ８１内において凹状の空間を区画している。第１絶縁層８２において第１ゲートトレンチ８１の底壁６３を被覆する部分は、第１ゲートトレンチ８１の底壁６３に倣って形成されている。これにより、第１絶縁層８２は、第１ゲートトレンチ８１内においてＵ字状に窪んだＵ字空間を区画している。

[0132] 第１絶縁層８２は、酸化シリコン（SiO_2）、窒化シリコン（ＳｉＮ）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）および酸化タンタル（Ta_2O_3）のうちの少なくとも１種を含む。

[0133] 第１絶縁層８２は、半導体層２側からこの順に積層されたＳｉＮ層およびSiO_2層を含む積層構造を有していてもよい。第１絶縁層８２は、半導体層２側からこの順に積層されたSiO_2層およびＳｉＮ層を含む積層構造を有し

ていてもよい。第１絶縁層８２は、SiO_2層またはＳｉＮ層からなる単層構造を有していてもよい。第１絶縁層８２は、この形態では、SiO_2層からなる単層構造を有している。

[0134] 第１絶縁層８２は、第１ゲートトレンチ８１の底壁６３側から第１主面３側に向けてこの順に形成された第１底側絶縁層８４および第１開口側絶縁層８５を含む。

[0135] 第１底側絶縁層８４は、第１ゲートトレンチ８１の底壁６３側の内壁を被覆している。第１底側絶縁層８４は、より具体的には、ボディ領域５５の底部に対して第１ゲートトレンチ８１の底壁６３側の内壁を被覆している。第１底側絶縁層８４は、第１ゲートトレンチ８１の底壁６３側においてＵ字空間を区画している。第１底側絶縁層８４は、Ｕ字空間を区画する平滑な内壁面を有している。第１底側絶縁層８４は、ドリフト領域５４に接している。第１底側絶縁層８４の一部は、ボディ領域５５に接していてもよい。

[0136] 第１開口側絶縁層８５は、第１ゲートトレンチ８１の開口側の内壁を被覆している。第１開口側絶縁層８５は、より具体的には、ボディ領域５５の底部に対して第１ゲートトレンチ８１の開口側の領域において第１ゲートトレンチ８１の第１側壁６１および第２側壁６２を被覆している。第１開口側絶縁層８５は、ボディ領域５５に接している。第１開口側絶縁層８５の一部は、ドリフト領域５４に接していてもよい。

[0137] 第１底側絶縁層８４は、第１厚さＴ１を有している。第１開口側絶縁層８５は、第１厚さＴ１未満の第２厚さＴ２（Ｔ２＜Ｔ１）を有している。第１厚さＴ１は、第１底側絶縁層８４において第１ゲートトレンチ８１の内壁の法線方向に沿う厚さである。第２厚さＴ２は、第１開口側絶縁層８５において第１ゲートトレンチ８１の内壁の法線方向に沿う厚さである。

[0138] なお、第１ゲートトレンチ８１の第１幅ＷＴ１に対する第１厚さＴ１の第１比Ｔ１／ＷＴ１は、０．１以上０．４以下であってもよい。また、第１比Ｔ１／ＷＴ１は、０．１以上０．１５以下、０．１５以上０．２以下、０．２以上０．２５以下、０．２５以上０．３以下、０．３以上０．３５以下、

または、０．３５以上０．４以下であってもよい。第１比Ｔ１／ＷＴ１は、０．２５以上０．３５以下であることが好ましい。

[0139] なお、第１底側絶縁層８４の第１厚さＴ１は、１５００Å以上４０００Å以下であってもよい。第１厚さＴ１は、１５００Å以上２０００Å以下、２０００Å以上２５００Å以下、２５００Å以上３０００Å以下、３０００Å以上３５００Å以下、または、３５００Å以上４０００Å以下であってもよい。第１厚さＴ１は、１８００Å以上３５００Å以下であることが好ましい。

[0140] 第１厚さＴ１は、第１ゲートトレンチ８１の第１幅ＷＴ１に応じて、４０００Å以上１２０００Å以下に調整されてもよい。第１厚さＴ１は、４０００Å以上５０００Å以下、５０００Å以上６０００Å以下、６０００Å以上７０００Å以下、７０００Å以上８０００Å以下、８０００Å以上９０００Å以下、９０００Å以上１００００Å以下、１００００Å以上１１０００Å以下、又は、１１０００Å以上１２０００Å以下であってもよい。この場合、第１底側絶縁層８４の厚化により半導体装置１の耐圧を高めることができる。

[0141] 第１開口側絶縁層８５の第２厚さＴ２は、第１底側絶縁層８４の第１厚さＴ１の１／１００以上１／１０以下であってもよい。第２厚さＴ２は、１００Å以上５００Å以下であってもよい。第２厚さＴ２は、１００Å以上２００Å以下、２００Å以上３００Å以下、３００Å以上４００Å以下、または、４００Å以上５００Å以下であってもよい。第２厚さＴ２は、２００Å以上４００Å以下であることが好ましい。

[0142] 第１底側絶縁層８４は、第１ゲートトレンチ８１の第１側壁６１および第２側壁６２を被覆する部分から第１ゲートトレンチ８１の底壁６３を被覆する部分に向けて第１厚さＴ１が減少する態様で形成されている。

[0143] 第１底側絶縁層８４において第１ゲートトレンチ８１の底壁６３を被覆する部分の厚さは、第１底側絶縁層８４において第１ゲートトレンチ８１の第１側壁６１および第２側壁６２を被覆する部分の厚さよりも小さい。第１底

側絶縁層８４によって区画されたＵ字空間の底壁側の開口幅は、第１厚さＴ１の減少分だけ拡張されている。これにより、Ｕ字空間の先細りが抑制されている。このようなＵ字空間は、たとえば、第１底側絶縁層８４の内壁に対するエッチング法（たとえばウエットエッチング法）によって形成される。

[0144] 第１電極８３は、第１絶縁層８２を挟んで、第１ゲートトレンチ８１に埋め込まれている。第１電極８３にはオン信号Ｖｏｎおよびオフ信号Ｖｏｆｆを含む第１ゲート制御信号（第１制御信号）が印加される。第１電極８３は、この形態では、第１底側電極８６、第１開口側電極８７および第１中間絶縁層８８を含む絶縁分離型のスプリット電極構造を有している。

[0145] 第１底側電極８６は、第１絶縁層８２を挟んで第１ゲートトレンチ８１の底壁６３側に埋設されている。第１底側電極８６は、より具体的には、第１底側絶縁層８４を挟んで第１ゲートトレンチ８１の底壁６３側に埋設されている。第１底側電極８６は、第１底側絶縁層８４を挟んでドリフト領域５４に対向している。第１底側電極８６の一部は、第１底側絶縁層８４を挟んでボディ領域５５に対向していてもよい。

[0146] 第１底側電極８６は、第１ゲートトレンチ８１の開口側において、第１底側絶縁層８４および第１開口側絶縁層８５との間で、断面視において逆凹状のリセスを区画している。このような構造によれば、第１底側電極８６に対する局所的な電界集中を抑制できるから、ブレークダウン電圧の低下を抑制できる。特に、第１底側絶縁層８４の拡張されたＵ字空間に第１底側電極８６を埋設することにより、第１底側電極８６が上端部から下端部に向けて先細り形状になることを適切に抑制できる。これにより、第１底側電極８６の下端部に対する局所的な電界集中を適切に抑制できる。

[0147] 第１底側電極８６は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種を含んでいてもよい。第１底側電極８６は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、ｎ型不純物またはｐ型不純物を含んでいてもよい。なお、導電性ポリシリコンは、ｎ型不純物を含むことが好ましい。

[0148] 第１開口側電極８７は、第１絶縁層８２を挟んで第１ゲートトレンチ８１の開口側に埋設されている。第１開口側電極８７は、より具体的には、第１開口側絶縁層８５を挟んで第１ゲートトレンチ８１の開口側に区画された逆凹状のリセスに埋設されている。第１開口側電極８７は、第１開口側絶縁層８５を挟んでボディ領域５５に対向している。第１開口側電極８７の一部は、第１開口側絶縁層８５を挟んでドリフト領域５４に対向していてもよい。

[0149] 第１開口側電極８７は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種を含んでいてもよい。第１開口側電極８７は、第１底側電極８６と同一種の導電材料を含むことが好ましい。第１開口側電極８７は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、ｎ型不純物またはｐ型不純物を含んでいてもよい。導電性ポリシリコンは、ｎ型不純物を含むことが好ましい。

[0150] 第１中間絶縁層８８は、第１底側電極８６および第１開口側電極８７の間に介在し、第１底側電極８６および第１開口側電極８７を電気的に絶縁している。第１中間絶縁層８８は、より具体的には、第１底側電極８６及び第１開口側電極８７の間の領域において第１底側絶縁層８４から露出する第１底側電極８６を被覆している。第１中間絶縁層８８は、第１底側電極８６の上端部（より具体的には突出部）を被覆している。第１中間絶縁層８８は、第１絶縁層８２（第１底側絶縁層８４）に連なっている。

[0151] 第１中間絶縁層８８は、第３厚さＴ３を有している。第３厚さＴ３は、第１底側絶縁層８４の第１厚さＴ１未満（Ｔ３＜Ｔ１）である。第３厚さＴ３は、第１厚さＴ１の１／１００以上１／１０以下であってもよい。第３厚さＴ３は、１００Å以上５００Å以下であってもよい。第３厚さＴ３は、１００Å以上２００Å以下、２００Å以上３００Å以下、３００Å以上４００Å以下、または、４００Å以上５００Å以下であってもよい。第３厚さＴ３は、２００Å以上４００Å以下であることが好ましい。

[0152] 第１中間絶縁層８８は、酸化シリコン（SiO_2）、窒化シリコン（ＳｉＮ）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）、酸化タ

ンタル（Ta_2O_3）のうちの少なくとも１種を含む。第１中間絶縁層８８は、この形態では、SiO_2層からなる単層構造を有している。

[0153] 第１開口側電極８７において第１ゲートトレンチ８１から露出する露出部は、この形態では、第１主面３に対して第１ゲートトレンチ８１の底壁６３側に位置している。第１開口側電極８７の露出部は、第１ゲートトレンチ８１の底壁６３に向かう湾曲状に形成されている。

[0154] 第１開口側電極８７の露出部は、膜状に形成された第１キャップ絶縁層によって被覆されている。第１キャップ絶縁層は、第１ゲートトレンチ８１内において第１絶縁層８２（第１開口側絶縁層８５）に連なっている。第１キャップ絶縁層は、酸化シリコン（SiO_2）を含んでいてもよい。

[0155] 各第１ＦＥＴ構造５８は、ｐ型の第１チャネル領域９１（第１チャネル）を更に含む。第１チャネル領域９１は、ボディ領域５５において第１絶縁層８２（第１開口側絶縁層８５）を挟んで第１電極８３（第１開口側電極８７）に対向する領域に形成される。

[0156] 第１チャネル領域９１は、第１トレンチゲート構造６０の第１側壁６１または第２側壁６２、もしくは、第１側壁６１および第２側壁６２に沿って形成されている。第１チャネル領域９１は、この形態では、第１トレンチゲート構造６０の第１側壁６１および第２側壁６２に沿って形成されている。

[0157] 各第１ＦＥＴ構造５８は、ボディ領域５５の表層部に形成されたn^+型の第１ソース領域９２をさらに含む。第１ソース領域９２は、ボディ領域５５内においてドリフト領域５４との間で第１チャネル領域９１を画定する。第１ソース領域９２のｎ型不純物濃度は、ドリフト領域５４のｎ型不純物濃度を超えている。第１ソース領域９２のｎ型不純物濃度は、$1\times10^{19}cm^{-3}$以上$1\times10^{21}cm^{-3}$以下であってもよい。

[0158] 各第１ＦＥＴ構造５８は、この形態では、複数の第１ソース領域９２を含む。複数の第１ソース領域９２は、ボディ領域５５の表層部において第１トレンチゲート構造６０に沿って間隔を空けて形成されている。複数の第１ソース領域９２は、より具体的には、第１トレンチゲート構造６０の第１側壁

６１または第２側壁６２、もしくは、第１側壁６１及び第２側壁６２に沿って形成されている。複数の第１ソース領域９２は、この形態では、第１トレンチゲート構造６０の第１側壁６１および第２側壁６２に沿って間隔を空けて形成されている。

[0159] 複数の第１ソース領域９２の底部は、ボディ領域５５の底部に対して第１主面３側の領域に位置している。これにより、複数の第１ソース領域９２は、第１絶縁層８２（第１開口側絶縁層８５）を挟んで第１電極８３（第１開口側電極８７）に対向している。このようにして、第１ＭＩＳＦＥＴ５６の第１チャネル領域９１が、ボディ領域５５において複数の第１ソース領域９２およびドリフト領域５４に挟まれた領域に形成される。

[0160] 各第１ＦＥＴ構造５８は、ボディ領域５５の表層部に形成されたｐ$^{+}$型の第１コンタクト領域９３を更に含む。第１コンタクト領域９３のｐ型不純物濃度は、ボディ領域５５のｐ型不純物濃度を超えている。第１コンタクト領域９３のｐ型不純物濃度は、例えば、１×１０^{19}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下であってもよい。

[0161] 各第１ＦＥＴ構造５８は、この形態では、複数の第１コンタクト領域９３を含む。複数の第１コンタクト領域９３は、ボディ領域５５の表層部において第１トレンチゲート構造６０に沿って間隔を空けて形成されている。複数の第１コンタクト領域９３は、より具体的には、第１トレンチゲート構造６０の第１側壁６１または第２側壁６２、もしくは、第１側壁６１および第２側壁６２に沿って形成されている。

[0162] 複数の第１コンタクト領域９３は、この形態では、第１トレンチゲート構造６０の第１側壁６１及び第２側壁６２に沿って間隔を空けて形成されている。複数の第１コンタクト領域９３は、より具体的には、複数の第１ソース領域９２に対して交互の配列となる態様でボディ領域５５の表層部に形成されている。複数の第１コンタクト領域９３の底部は、ボディ領域５５の底部に対して第１主面３側の領域に位置している。

[0163] 第２トレンチゲート構造７０は、第２ゲートトレンチ１０１、第２絶縁層

１０２および第２電極１０３を含む。第２ゲートトレンチ１０１は、第１主面３を第２主面４側に向けて掘り下げることによって形成されている。

[0164] 第２ゲートトレンチ１０１は、第２トレンチゲート構造７０の第１側壁７１、第２側壁７２および底壁７３を区画している。以下では、第２トレンチゲート構造７０の第１側壁７１、第２側壁７２および底壁７３を、第２ゲートトレンチ１０１の第１側壁７１、第２側壁７２および底壁７３ともいう。

[0165] 第２絶縁層１０２は、第２ゲートトレンチ１０１の内壁に沿い膜状に形成されている。第２絶縁層１０２は、第２ゲートトレンチ１０１内において凹状の空間を区画している。第２絶縁層１０２において第２ゲートトレンチ１０１の底壁７３を被覆する部分は、第２ゲートトレンチ１０１の底壁７３に倣って形成されている。これにより、第２絶縁層１０２は、第２ゲートトレンチ１０１内においてＵ字状に窪んだＵ字空間を区画している。

[0166] 第２絶縁層１０２は、酸化シリコン（SiO_2）、窒化シリコン（ＳｉＮ）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）及び酸化タンタル（Ta_2O_3）のうちの少なくとも１種を含む。

[0167] 第２絶縁層１０２は、半導体層２側からこの順に積層されたＳｉＮ層およびSiO_2層を含む積層構造を有していてもよい。第２絶縁層１０２は、半導体層２側からこの順に積層されたSiO_2層およびＳｉＮ層を含む積層構造を有していてもよい。第２絶縁層１０２は、SiO_2層またはＳｉＮ層からなる単層構造を有していてもよい。第２絶縁層１０２は、この形態では、SiO_2層からなる単層構造を有している。

[0168] 第２絶縁層１０２は、第２ゲートトレンチ１０１の底壁７３側から第１主面３側に向けてこの順に形成された第２底側絶縁層１０４および第２開口側絶縁層１０５を含む。

[0169] 第２底側絶縁層１０４は、第２ゲートトレンチ１０１の底壁７３側の内壁を被覆している。第２底側絶縁層１０４は、より具体的には、ボディ領域５５の底部に対して第２ゲートトレンチ１０１の底壁７３側の内壁を被覆している。第２底側絶縁層１０４は、第２ゲートトレンチ１０１の底壁７３側に

おいてＵ字空間を区画している。第２底側絶縁層１０４は、Ｕ字空間を区画する平滑な内壁面を有している。第２底側絶縁層１０４は、ドリフト領域５４に接している。第２底側絶縁層１０４の一部は、ボディ領域５５に接していてもよい。

[0170] 第２開口側絶縁層１０５は、第２ゲートトレンチ１０１の開口側内壁を被覆している。第２開口側絶縁層１０５は、より具体的には、ボディ領域５５の底部に対して第２ゲートトレンチ１０１の開口側の領域において第２ゲートトレンチ１０１の第１側壁７１及び第２側壁７２を被覆している。第２開口側絶縁層１０５は、ボディ領域５５に接している。第２開口側絶縁層１０５の一部は、ドリフト領域５４に接していてもよい。

[0171] 第２底側絶縁層１０４は、第４厚さＴ４を有している。第２開口側絶縁層１０５は、第４厚さＴ４未満の第５厚さＴ５（Ｔ５＜Ｔ４）を有している。第４厚さＴ４は、第２底側絶縁層１０４において第２ゲートトレンチ１０１の内壁の法線方向に沿う厚さである。第５厚さＴ５は、第２開口側絶縁層１０５において第２ゲートトレンチ１０１の内壁の法線方向に沿う厚さである。

[0172] 第２ゲートトレンチ１０１の第２幅ＷＴ２に対する第４厚さＴ４の第２比Ｔ４／ＷＴ２は、０．１以上０．４以下であってもよい。例えば、第２比Ｔ４／ＷＴ２は、０．１以上０．１５以下、０．１５以上０．２以下、０．２以上０．２５以下、０．２５以上０．３以下、０．３以上０．３５以下、または、０．３５以上０．４以下であってもよい。第２比Ｔ４／ＷＴ２は、０．２５以上０．３５以下であることが好ましい。

[0173] 第２比Ｔ４／ＷＴ２は、第１比Ｔ１／ＷＴ１以下（Ｔ４／ＷＴ２≦Ｔ１／ＷＴ１）であってもよい。第２比Ｔ４／ＷＴ２は、第１比Ｔ１／ＷＴ１以上（Ｔ４／ＷＴ２≧Ｔ１／ＷＴ１）であってもよい。また、第２比Ｔ４／ＷＴ２は、第１比Ｔ１／ＷＴ１と等しくてもよい（Ｔ４／ＷＴ２＝Ｔ１／ＷＴ１）。

[0174] 第２底側絶縁層１０４の第４厚さＴ４は、１５００Å以上４０００Å以下

であってもよい。第４厚さＴ４は、１５００Å以上２０００Å以下、２０００Å以上２５００Å以下、２５００Å以上３０００Å以下、３０００Å以上３５００Å以下、または、３５００Å以上４０００Å以下であってもよい。第４厚さＴ４は、１８００Å以上３５００Å以下であることが好ましい。

[0175] 第４厚さＴ４は、第２ゲートトレンチ１０１の第２幅ＷＴ２に応じて、４０００Å以上１２０００Å以下であってもよい。第４厚さＴ４は、４０００Å以上５０００Å以下、５０００Å以上６０００Å以下、６０００Å以上７０００Å以下、７０００Å以上８０００Å以下、８０００Å以上９０００Å以下、９０００Å以上１００００Å以下、１００００Å以上１１０００Å以下、又は、１１０００Å以上１２０００Å以下であってもよい。この場合、第２底側絶縁層１０４の厚化により半導体装置１の耐圧を高めることができる。

[0176] 第４厚さＴ４は、第１厚さＴ１以下（Ｔ４≦Ｔ１）であってもよい。第４厚さＴ４は、第１厚さＴ１以上（Ｔ４≧Ｔ１）であってもよい。第４厚さＴ４は、第１厚さＴ１と等しくてもよい（Ｔ４＝Ｔ１）。

[0177] 第２開口側絶縁層１０５の第５厚さＴ５は、第２底側絶縁層１０４の第４厚さＴ４未満（Ｔ５＜Ｔ４）である。第５厚さＴ５は、第４厚さＴ４の１／１００以上１／１０以下であってもよい。１００Å以上５００Å以下であってもよい。第５厚さＴ５は、１００Å以上２００Å以下、２００Å以上３００Å以下、３００Å以上４００Å以下、または、４００Å以上５００Å以下であってもよい。第５厚さＴ５は、２００Å以上４００Å以下であることが好ましい。

[0178] 第５厚さＴ５は、第２厚さＴ２以下（Ｔ５≦Ｔ２）であってもよい。第５厚さＴ５は、第２厚さＴ２以上（Ｔ５≧Ｔ２）であってもよい。第５厚さＴ５は、第２厚さＴ２と等しくてもよい（Ｔ５＝Ｔ２）。

[0179] 第２底側絶縁層１０４は、第２ゲートトレンチ１０１の第１側壁７１および第２側壁７２を被覆する部分から第２ゲートトレンチ１０１の底壁７３を被覆する部分に向けて第４厚さＴ４が減少する態様で形成されている。

[0180] 第２底側絶縁層１０４において第２ゲートトレンチ１０１の底壁７３を被覆する部分の厚さは、第２底側絶縁層１０４において第２ゲートトレンチ１０１の第１側壁７１及び第２側壁７２を被覆する部分の厚さよりも小さい。第２底側絶縁層１０４により区画されたＵ字空間の底壁側の開口幅は、第４厚さＴ４の減少分だけ拡張されている。これにより、Ｕ字空間の先細りが抑制されている。このようなＵ字空間は、例えば、第２底側絶縁層１０４の内壁に対するエッチング法（例えばウエットエッチング法）によって形成される。

[0181] 第２電極１０３は、第２絶縁層１０２を挟んで第２ゲートトレンチ１０１に埋め込まれている。第２電極１０３にはオン信号Ｖｏｎおよびオフ信号Ｖｏｆｆを含む所定の第２ゲート制御信号（第２制御信号）が印加される。

[0182] 第２電極１０３は、この形態では、第２底側電極１０６、第２開口側電極１０７および第２中間絶縁層１０８を含む絶縁分離型のスプリット電極構造を有している。第２底側電極１０６は、この形態では、第１底側電極８６に電気的に接続されている。第２開口側電極１０７は、第１開口側電極８７から電気的に絶縁されている。

[0183] 第２底側電極１０６は、第２絶縁層１０２を挟んで第２ゲートトレンチ１０１の底壁７３側に埋設されている。第２底側電極１０６は、より具体的には、第２底側絶縁層１０４を挟んで第２ゲートトレンチ１０１の底壁７３側に埋設されている。第２底側電極１０６は、第２底側絶縁層１０４を挟んでドリフト領域５４に対向している。第２底側電極１０６の一部は、第２底側絶縁層１０４を挟んでボディ領域５５に対向していてもよい。

[0184] 第２底側電極１０６は、第２ゲートトレンチ１０１の開口側において、第２底側絶縁層１０４および第２開口側絶縁層１０５との間で、断面視において逆凹状のリセスを区画している。このような構造によれば、第２底側電極１０６に対する局所的な電界集中を抑制できるので、ブレークダウン電圧の低下を抑制できる。特に、第２底側絶縁層１０４の拡張されたＵ字空間に第２底側電極１０６を埋設することにより、第２底側電極１０６が上端部から

下端部に向けて先細り形状になることを適切に抑制できる。これにより、第２底側電極１０６の下端部に対する局所的な電界集中を適切に抑制できる。

[0185] 第２底側電極１０６は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種を含んでいてもよい。第２底側電極１０６は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、ｎ型不純物またはｐ型不純物を含んでいてもよい。導電性ポリシリコンは、ｎ型不純物を含むことが好ましい。

[0186] 第２開口側電極１０７は、第２絶縁層１０２を挟んで第２ゲートトレンチ１０１の開口側に埋設されている。第２開口側電極１０７は、より具体的には、第２開口側絶縁層１０５を挟んで第２ゲートトレンチ１０１の開口側に区画された逆凹状のリセスに埋設されている。第２開口側電極１０７は、第２開口側絶縁層１０５を挟んでボディ領域５５に対向している。第２開口側電極１０７の一部は、第２開口側絶縁層１０５を挟んでドリフト領域５４に対向していてもよい。

[0187] 第２開口側電極１０７は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種を含んでいてもよい。第２開口側電極１０７は、第２底側電極１０６と同一種の導電材料を含むことが好ましい。第２開口側電極１０７は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、ｎ型不純物またはｐ型不純物を含んでいてもよい。導電性ポリシリコンは、ｎ型不純物を含むことが好ましい。

[0188] 第２中間絶縁層１０８は、第２底側電極１０６および第２開口側電極１０７の間に介在し、第２底側電極１０６および第２開口側電極１０７を電気的に絶縁している。第２中間絶縁層１０８は、より具体的には、第２底側電極１０６および第２開口側電極１０７の間の領域において第２底側絶縁層１０４から露出する第２底側電極１０６を被覆している。第２中間絶縁層１０８は、第２底側電極１０６の上端部（より具体的には突出部）を被覆している。第２中間絶縁層１０８は、第２絶縁層１０２（第２底側絶縁層１０４）に

連なっている。

[0189] 第２中間絶縁層１０８は、第６厚さＴ６を有している。第６厚さＴ６は、第２底側絶縁層１０４の第４厚さＴ４未満（Ｔ６＜Ｔ４）である。第６厚さＴ６は、第４厚さＴ４の１／１００以上１／１０以下であってもよい。第６厚さＴ６は、１００Å以上５００Å以下であってもよい。第６厚さＴ６は、１００Å以上２００Å以下、２００Å以上３００Å以下、３００Å以上４００Å以下、または、４００Å以上５００Å以下であってもよい。第６厚さＴ６は、２００Å以上４００Å以下であることが好ましい。

[0190] 第６厚さＴ６は、第３厚さＴ３以下（Ｔ６≦Ｔ３）であってもよい。第６厚さＴ６は、第３厚さＴ３以上（Ｔ６≧Ｔ３）であってもよい。第６厚さＴ６は、第３厚さＴ３と等しくてもよい（Ｔ６＝Ｔ３）。

[0191] 第２中間絶縁層１０８は、酸化シリコン（SiO_2）、窒化シリコン（ＳｉＮ）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）および酸化タンタル（Ta_2O_3）のうちの少なくとも１種を含む。なお、第２中間絶縁層１０８は、この形態では、SiO_2層からなる単層構造を有している。

[0192] 第２開口側電極１０７において第２ゲートトレンチ１０１から露出する露出部は、この形態では、第１主面３に対して第２ゲートトレンチ１０１の底壁７３側に位置している。第２開口側電極１０７の露出部は、第２ゲートトレンチ１０１の底壁７３に向かう湾曲状に形成されている。

[0193] 第２開口側電極１０７の露出部は、膜状に形成された第２キャップ絶縁層によって被覆されている。第２キャップ絶縁層は、第２ゲートトレンチ１０１内において第２絶縁層１０２（第２開口側絶縁層１０５）に連なっている。第２キャップ絶縁層は、酸化シリコン（SiO_2）を含んでいてもよい。

[0194] 各第２ＦＥＴ構造６８は、ｐ型の第２チャネル領域１１１（第２チャネル）をさらに含む。第２チャネル領域１１１は、より具体的には、ボディ領域５５において第２絶縁層１０２（第２開口側絶縁層１０５）を挟んで第２電極１０３（第２開口側電極１０７）に対向する領域に形成される。

[0195] 第２チャネル領域１１１は、より具体的には、第２トレンチゲート構造７

０の第１側壁７１または第２側壁７２、もしくは、第１側壁７１および第２側壁７２に沿って形成されている。第２チャネル領域１１１は、この形態では、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２に沿って形成されている。

[0196] 各第２ＦＥＴ構造６８は、ボディ領域５５の表層部に形成されたｎ$^{+}$型の第２ソース領域１１２をさらに含む。第２ソース領域１１２は、ボディ領域５５内においてドリフト領域５４との間で第２チャネル領域１１１を画定する。

[0197] 第２ソース領域１１２のｎ型不純物濃度は、ドリフト領域５４のｎ型不純物濃度を超えている。第２ソース領域１１２のｎ型不純物濃度は、１×１０^{19}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下であってもよい。第２ソース領域１１２のｎ型不純物濃度は、第１ソース領域９２のｎ型不純物濃度と等しいことが好ましい。

[0198] 各第２ＦＥＴ構造６８は、この形態では、複数の第２ソース領域１１２を含む。複数の第２ソース領域１１２は、ボディ領域５５の表層部において第２トレンチゲート構造７０に沿って間隔を空けて形成されている。複数の第２ソース領域１１２は、具体的には、第２トレンチゲート構造７０の第１側壁７１または第２側壁７２、もしくは、第１側壁７１および第２側壁７２に沿って形成されている。複数の第２ソース領域１１２は、この形態では、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２に沿って間隔を空けて形成されている。

[0199] 各第２ソース領域１１２は、この形態では、第１方向Ｘに沿って各第１ソース領域９２と対向している。また、各第２ソース領域１１２は、各第１ソース領域９２と一体を成している。図５では、第１ソース領域９２および第２ソース領域１１２を境界線によって区別して示しているが、第１ソース領域９２および第２ソース領域１１２の間の領域には、実際には明確な境界線はない。

[0200] 各第２ソース領域１１２は、第１方向Ｘに沿って各第１ソース領域９２の

一部または全部と対向しないように、各第１ソース領域９２から第２方向Ｙにずれて形成されていてもよい。つまり、複数の第１ソース領域９２および複数の第２ソース領域１１２は、平面視において千鳥状に配列されていてもよい。

[0201] 複数の第２ソース領域１１２の底部は、ボディ領域５５の底部に対して第１主面３側の領域に位置している。これによって、複数の第２ソース領域１１２は、第２絶縁層１０２（第２開口側絶縁層１０５）を挟んで第２電極１０３（第２開口側電極１０７）に対向している。このようにして、第２ＭＩＳＦＥＴ５７の第２チャネル領域１１１が、ボディ領域５５において複数の第２ソース領域１１２およびドリフト領域５４に挟まれた領域に形成される。

[0202] 各第２ＦＥＴ構造６８は、ボディ領域５５の表層部に形成されたｐ$^{+}$型の第２コンタクト領域１１３を更に含む。第２コンタクト領域１１３のｐ型不純物濃度は、ボディ領域５５のｐ型不純物濃度を超えている。第２コンタクト領域１１３のｐ型不純物濃度は、１×１０^{19}ｃｍ$^{-3}$以上１×１０^{21}ｃｍ$^{-3}$以下であってもよい。第２コンタクト領域１１３のｐ型不純物濃度は、第１コンタクト領域９３のｐ型不純物濃度と等しいことが好ましい。

[0203] 各第２ＦＥＴ構造６８は、この形態では、複数の第２コンタクト領域１１３を含む。複数の第２コンタクト領域１１３は、ボディ領域５５の表層部において第２トレンチゲート構造７０に沿って間隔を空けて形成されている。複数の第２コンタクト領域１１３は、より具体的には、第２トレンチゲート構造７０の第１側壁７１または第２側壁７２、もしくは、第１側壁７１および第２側壁７２に沿って形成されている。複数の第２コンタクト領域１１３の底部は、ボディ領域５５の底部に対して第１主面３側の領域に位置している。

[0204] 複数の第２コンタクト領域１１３は、この形態では、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２に沿って間隔を空けて形成されている。複数の第２コンタクト領域１１３は、より具体的には、複数の第２

ソース領域１１２に対して交互の配列となる態様でボディ領域５５の表層部に形成されている。

[0205] 図５を参照して、各第２コンタクト領域１１３は、この形態では、第１方向Ｘに沿って各第１コンタクト領域９３と対向している。各第２コンタクト領域１１３は、各第１コンタクト領域９３と一体を成している。

[0206] 図５では、第１ソース領域９２および第２ソース領域１１２と区別するため、第１コンタクト領域９３および第２コンタクト領域１１３を纏めて「p^+」の記号で示している。

[0207] 各第２コンタクト領域１１３は、第１方向Ｘに沿って各第１コンタクト領域９３の一部または全部と対向しないように、各第１コンタクト領域９３から第２方向Ｙにずれて形成されていてもよい。つまり、複数の第１コンタクト領域９３および複数の第２コンタクト領域１１３は、平面視において千鳥状に配列されていてもよい。

[0208] 図５を参照して、半導体層２の第１主面３において第１トレンチゲート構造６０の一端部および第２トレンチゲート構造７０の一端部の間の領域からは、この形態では、ボディ領域５５が露出している。第１ソース領域９２、第１コンタクト領域９３、第２ソース領域１１２および第２コンタクト領域１１３は、第１主面３において第１トレンチゲート構造６０の一端部および第２トレンチゲート構造７０の一端部に挟まれた領域に形成されていない。

[0209] 同様に、図示はしないが、半導体層２の第１主面３において第１トレンチゲート構造６０の他端部及び第２トレンチゲート構造７０の他端部の間の領域からは、この形態では、ボディ領域５５が露出している。第１ソース領域９２、第１コンタクト領域９３、第２ソース領域１１２および第２コンタクト領域１１３は、第１トレンチゲート構造６０の他端部および第２トレンチゲート構造７０の他端部に挟まれた領域に形成されていない。

[0210] 図５を参照し、半導体層２の第１主面３には、複数（ここでは２つ）のトレンチコンタクト構造１２０が形成されている。複数のトレンチコンタクト構造１２０は、一方側のトレンチコンタクト構造１２０および他方側のトレ

ンチコンタクト構造１２０を含む。

[0211] 一方側のトレンチコンタクト構造１２０は、第１トレンチゲート構造６０の一端部および第２トレンチゲート構造７０の一端部側の領域に位置する。他方側のトレンチコンタクト構造１２０は、第１トレンチゲート構造６０の他端部および第２トレンチゲート構造７０の他端部側の領域に位置する。

[0212] 他方側のトレンチコンタクト構造１２０は、一方側のトレンチコンタクト構造１２０とほぼ同様の構造を有している。以下では、一方側のトレンチコンタクト構造１２０側の構造を例にとって説明し、他方側のトレンチコンタクト構造１２０側の構造についての具体的な説明は、省略される。

[0213] トレンチコンタクト構造１２０は、第１トレンチゲート構造６０の一端部および第２トレンチゲート構造７０の一端部に接続されている。トレンチコンタクト構造１２０は、この形態では、平面視において第１方向Ｘに沿って帯状に延びている。

[0214] トレンチコンタクト構造１２０の幅ＷＴＣは、０．５μｍ以上５μｍ以下であってもよい。幅ＷＴＣは、トレンチコンタクト構造１２０が延びる方向（第１方向Ｘ）に直交する方向（第２方向Ｙ）の幅である。

[0215] 幅ＷＴＣは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、または、４．５μｍ以上５μｍ以下であってもよい。幅ＷＴＣは、０．８μｍ以上１．２μｍ以下であることが好ましい。

[0216] 幅ＷＴＣは、第１トレンチゲート構造６０の第１幅ＷＴ１と等しいことが好ましい（ＷＴＣ＝ＷＴ１）。幅ＷＴＣは、第２トレンチゲート構造７０の第２幅ＷＴ２と等しいことが好ましい（ＷＴＣ＝ＷＴ２）。

[0217] トレンチコンタクト構造１２０は、ボディ領域５５を貫通し、ドリフト領域５４に達している。トレンチコンタクト構造１２０の深さＤＴＣは、１μｍ以上１０μｍ以下であってもよい。深さＤＴＣは、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、

または、８μｍ以上１０μｍ以下であってもよい。深さＤＴＣは、２μｍ以上６μｍ以下であることが好ましい。

[0218] 深さＤＴＣは、第１トレンチゲート構造６０の第１深さＤＴ１と等しいことが好ましい（ＤＴＣ＝ＤＴ１）。深さＤＴＣは、第２トレンチゲート構造７０の第２深さＤＴ２と等しいことが好ましい（ＤＴＣ＝ＤＴ２）。

[0219] トレンチコンタクト構造１２０は、一方側の第１側壁１２１と、他方側の第２側壁１２２と、第１側壁１２１および第２側壁１２２を接続する底壁１２３とを含む。以下では、第１側壁１２１、第２側壁１２２および底壁１２３を纏めて「内壁」ということがある。第１側壁１２１は、第１トレンチゲート構造６０および第２トレンチゲート構造７０に接続された接続面である。

[0220] 第１側壁１２１、第２側壁１２２および底壁１２３は、ドリフト領域５４内に位置している。第１側壁１２１および第２側壁１２２は、法線方向Ｚに沿って延びている。第１側壁１２１および第２側壁１２２は、第１主面３に対して垂直に形成されていてもよい。

[0221] 半導体層２内において第１側壁１２１が第１主面３との間で成す角度（テーパ角）の絶対値は、９０°を超えて９５°以下（例えば９１°程度）であってもよい。半導体層２内において第２側壁１２２が第１主面３との間で成す角度（テーパ角）の絶対値は、９０°を超えて９５°以下（たとえば９１°程度）であってもよい。トレンチコンタクト構造１２０は、断面視において半導体層２の第１主面３側から底壁１２３側に向けて幅ＷＴＣが狭まる先細り形状（テーパ形状）に形成されていてもよい。

[0222] 底壁１２３は、ドリフト領域５４の底部に対して第１主面３側の領域に位置している。底壁１２３は、ドリフト領域５４の底部に向かう凸湾曲状に形成されている。底壁１２３は、ドリフト領域５４の底部に対して１μｍ以上１０μｍ以下の間隔ＩＴＣを空けて第１主面３側の領域に位置している。間隔ＩＴＣは、１μｍ以上２μｍ以下、２μｍ以上４μｍ以下、４μｍ以上６μｍ以下、６μｍ以上８μｍ以下、または、８μｍ以上１０μｍ以下であっ

てもよい。間隔ＩＴＣは、１μｍ以上５μｍ以下であることが好ましい。

[0223] 間隔ＩＴＣは、第１トレンチゲート構造６０の第１間隔ＩＴ１と等しいことが好ましい（ＩＴＣ＝ＩＴ１）。間隔ＩＴＣは、第２トレンチゲート構造７０の第２間隔ＩＴ２と等しいことが好ましい（ＩＴＣ＝ＩＴ２）。

[0224] トレンチコンタクト構造１２０は、コンタクトトレンチ１３１、コンタクト絶縁層１３２およびコンタクト電極１３３を含む。コンタクトトレンチ１３１は、半導体層２の第１主面３を第２主面４側に向けて掘り下げることによって形成されている。

[0225] コンタクトトレンチ１３１は、トレンチコンタクト構造１２０の第１側壁１２１、第２側壁１２２および底壁１２３を区画している。以下では、トレンチコンタクト構造１２０の第１側壁１２１、第２側壁１２２および底壁１２３を、コンタクトトレンチ１３１の第１側壁１２１、第２側壁１２２および底壁１２３ともいう。

[0226] コンタクトトレンチ１３１の第１側壁１２１は、第１ゲートトレンチ８１の第１側壁６１および第２側壁６２に連通している。コンタクトトレンチ１３１の第１側壁１２１は、第２ゲートトレンチ１０１の第１側壁７１および第２側壁７２に連通している。コンタクトトレンチ１３１は、第１ゲートトレンチ８１および第２ゲートトレンチ１０１との間で１つのトレンチを形成している。

[0227] コンタクト絶縁層１３２は、コンタクトトレンチ１３１の内壁に沿って膜状に形成されている。コンタクト絶縁層１３２は、コンタクトトレンチ１３１内において凹状の空間を区画している。コンタクト絶縁層１３２においてコンタクトトレンチ１３１の底壁１２３を被覆する部分は、コンタクトトレンチ１３１の底壁１２３に倣って形成されている。

[0228] コンタクト絶縁層１３２は、第１底側絶縁層８４（第２底側絶縁層１０４）と同様の態様で、コンタクトトレンチ１３１内においてＵ字状に窪んだＵ字空間を区画している。つまり、コンタクト絶縁層１３２は、コンタクトトレンチ１３１の底壁１２３側の領域が拡張され、先細りが抑制されたＵ字空

間を区画している。このようなU字空間は、例えば、コンタクト絶縁層１３２の内壁に対するエッチング法（たとえばウエットエッチング法）によって形成される。

[0229] コンタクト絶縁層１３２は、第７厚さＴ７を有している。第７厚さＴ７は、１５００Å以上４０００Å以下であってもよい。第７厚さＴ７は、１５００Å以上２０００Å以下、２０００Å以上２５００Å以下、２５００Å以上３０００Å以下、３０００Å以上３５００Å以下、または、３５００Å以上４０００Å以下であってもよい。第７厚さＴ７は、１８００Å以上３５００Å以下であることが好ましい。

[0230] 第７厚さＴ７は、トレンチコンタクト構造１２０の幅ＷＴＣに応じて４０００Å以上１２０００Å以下であってもよい。第７厚さＴ７は、４０００Å以上５０００Å以下、５０００Å以上６０００Å以下、６０００Å以上７０００Å以下、７０００Å以上８０００Å以下、８０００Å以上９０００Å以下、９０００Å以上１００００Å以下、１００００Å以上１１０００Å以下、又は、１１０００Å以上１２０００Å以下であってもよい。この場合、コンタクト絶縁層１３２の厚化により半導体装置１の耐圧を高めることができる。

[0231] 第７厚さＴ７は、第１底側絶縁層８４の第１厚さＴ１と等しい（Ｔ７＝Ｔ１）ことが好ましい。第７厚さＴ７は、第２底側絶縁層１０４の第４厚さＴ４と等しい（Ｔ７＝Ｔ４）ことが好ましい。

[0232] コンタクト絶縁層１３２は、酸化シリコン（SiO_2）、窒化シリコン（ＳｉＮ）、酸化アルミニウム（Al_2O_3）、酸化ジルコニウム（ZrO_2）及び酸化タンタル（Ta_2O_3）のうちの少なくとも１種を含む。

[0233] コンタクト絶縁層１３２は、半導体層２側からこの順に積層されたＳｉＮ層およびSiO_2層を含む積層構造を有していてもよい。コンタクト絶縁層１３２は、半導体層２側からこの順に積層されたSiO_2層およびＳｉＮ層を含む積層構造を有していてもよい。コンタクト絶縁層１３２は、SiO_2層またはＳｉＮ層からなる単層構造を有していてもよい。コンタクト絶縁層１３２

は、この形態では、SiO_2層からなる単層構造を有している。コンタクト絶縁層１３２は、第１絶縁層８２（第２絶縁層１０２）と同一の絶縁材料からなることが好ましい。

[0234] コンタクト絶縁層１３２は、第１ゲートトレンチ８１およびコンタクトトレンチ１３１の間の連通部において第１絶縁層８２と一体を成している。コンタクト絶縁層１３２は、第２ゲートトレンチ１０１およびコンタクトトレンチ１３１の間の連通部において第２絶縁層１０２と一体を成している。

[0235] コンタクト絶縁層１３２は、この形態では、第１ゲートトレンチ８１の一端部および第２ゲートトレンチ１０１の一端部に引き出された引き出し絶縁層１３２Ａを有している。引き出し絶縁層１３２Ａは、連通部を横切って第１ゲートトレンチ８１の一端部の内壁を被覆している。引き出し絶縁層１３２Ａは、連通部を横切って第２ゲートトレンチ１０１の一端部の内壁を被覆している。

[0236] 引き出し絶縁層１３２Ａは、第１ゲートトレンチ８１内で、第１底側絶縁層８４及び第１開口側絶縁層８５と一体を成している。引き出し絶縁層１３２Ａは、第１ゲートトレンチ８１の一端部の内壁において、第１底側絶縁層８４と共にＵ字空間を区画している。

[0237] 引き出し絶縁層１３２Ａは、第２ゲートトレンチ１０１内において第２底側絶縁層１０４および第２開口側絶縁層１０５と一体を成している。引き出し絶縁層１３２Ａは、第２ゲートトレンチ１０１の一端部の内壁において、第２底側絶縁層１０４と共にＵ字空間を区画している。

[0238] コンタクト電極１３３は、コンタクト絶縁層１３２を挟んでコンタクトトレンチ１３１に埋め込まれている。コンタクト電極１３３は、第１電極８３および第２電極１０３とは異なり、一体物としてコンタクトトレンチ１３１に埋め込まれている。コンタクト電極１３３は、コンタクトトレンチ１３１から露出する上端部、コンタクト絶縁層１３２に接する下端部を有している。

[0239] コンタクト電極１３３の下端部は、第１底側電極８６（第２底側電極１０

６）と同様の態様で、コンタクトトレンチ１３１の底壁１２３に向かう凸湾曲状に形成されている。コンタクト電極１３３の下端部は、より具体的には、コンタクト絶縁層１３２によって区画されたＵ字空間の底壁に倣って形成されており、底壁１２３に向かう滑らかな凸湾曲状に形成されている。

[0240] このような構造によれば、コンタクト電極１３３に対する局所的な電界集中を抑制できるので、ブレークダウン電圧の低下を抑制できる。特に、コンタクト絶縁層１３２の拡張されたＵ字空間にコンタクト電極１３３を埋設することにより、コンタクト電極１３３が上端部から下端部に向けて先細り形状になることを適切に抑制できる。これにより、コンタクト絶縁層１３２の下端部に対する局所的な電界集中を適切に抑制できる。

[0241] コンタクト電極１３３は、第１ゲートトレンチ８１およびコンタクトトレンチ１３１の間の接続部において第１底側電極８６に電気的に接続されている。コンタクト電極１３３は、第２ゲートトレンチ１０１およびコンタクトトレンチ１３１の間の接続部において第２底側電極１０６に電気的に接続されている。これにより、第２底側電極１０６は、第１底側電極８６に電気的に接続されている。

[0242] コンタクト電極１３３は、より具体的には、第１ゲートトレンチ８１の一端部および第２ゲートトレンチ１０１の一端部に引き出された引き出し電極１３３Ａを有している。引き出し電極１３３Ａは、第１ゲートトレンチ８１およびコンタクトトレンチ１３１の間の連通部を横切って第１ゲートトレンチ８１内に位置している。引き出し電極１３３Ａは、さらに、第２ゲートトレンチ１０１およびコンタクトトレンチ１３１の間の連通部を横切って第２ゲートトレンチ１０１内に位置している。

[0243] 引き出し電極１３３Ａは、第１ゲートトレンチ８１内においてコンタクト絶縁層１３２によって区画されたＵ字空間に埋め込まれている。引き出し電極１３３Ａは、第１ゲートトレンチ８１内において第１底側電極８６と一体を成している。これにより、コンタクト電極１３３は、第１底側電極８６に電気的に接続されている。

[0244] 第１ゲートトレンチ８１内においてコンタクト電極１３３および第１開口側電極８７の間には、第１中間絶縁層８８が介在している。これにより、コンタクト電極１３３は、第１ゲートトレンチ８１内において第１開口側電極８７から電気的に絶縁されている。

[0245] 引き出し電極１３３Ａは、第２ゲートトレンチ１０１内においてコンタクト絶縁層１３２によって区画されたＵ字空間に埋め込まれている。引き出し電極１３３Ａは、第２ゲートトレンチ１０１内において第２底側電極１０６と一体を成している。これにより、コンタクト電極１３３は、第２底側電極１０６に電気的に接続されている。

[0246] 第２ゲートトレンチ１０１内において、コンタクト電極１３３と第２開口側電極１０７との間には、第２中間絶縁層１０８が介在している。これにより、コンタクト電極１３３は、第２ゲートトレンチ１０１内において、第２開口側電極１０７から電気的に絶縁されている。

[0247] コンタクト電極１３３は、導電性ポリシリコン、タングステン、アルミニウム、銅、アルミニウム合金および銅合金のうちの少なくとも１種を含んでいてもよい。コンタクト電極１３３は、この形態では、導電性ポリシリコンを含む。導電性ポリシリコンは、ｎ型不純物またはｐ型不純物を含んでいてもよい。導電性ポリシリコンは、ｎ型不純物を含むことが好ましい。コンタクト電極１３３は、第１底側電極８６および第２底側電極１０６と同一の導電材料を含むことが好ましい。

[0248] コンタクト電極１３３において、コンタクトトレンチ１３１から露出する露出部は、この形態では、第１主面３に対してコンタクトトレンチ１３１の底壁１２３側に位置している。コンタクト電極１３３の露出部は、コンタクトトレンチ１３１の底壁１２３に向かう湾曲状に形成されている。

[0249] コンタクト電極１３３の露出部は、膜状に形成された第３キャップ絶縁層１３９により被覆されている。第３キャップ絶縁層１３９は、コンタクトトレンチ１３１内においてコンタクト絶縁層１３２に連なっている。第３キャップ絶縁層１３９は、酸化シリコン（SiO_2）を含んでいてもよい。

[0250] なお、コントロールＩＣ１０から第１ゲート制御配線１７Ａ（不図示）に入力されるゲート制御信号は、第１開口側電極８７に伝達される。また、コントロールＩＣ１０から第２ゲート制御配線１７Ｂ（不図示）に入力されるゲート制御信号は、第２開口側電極１０７に伝達される。また、コントロールＩＣ１０から第３ゲート制御配線１７Ｃ（不図示）に入力されるゲート制御信号は、コンタクト電極１３３を介して第１底側電極８６および第２底側電極１０６に伝達される。

[0251] 第１ＭＩＳＦＥＴ５６（第１トレンチゲート構造６０）及び第２ＭＩＳＦＥＴ５７（第２トレンチゲート構造７０）が共にオフ状態に制御される場合、第１チャネル領域９１および第２チャネル領域１１１は共にオフ状態に制御される。

[0252] 第１ＭＩＳＦＥＴ５６および第２ＭＩＳＦＥＴ５７が共にオン状態に制御される場合、第１チャネル領域９１および第２チャネル領域１１１は共にオン状態に制御される（Ｆｕｌｌ－ＯＮ制御）。

[0253] 第１ＭＩＳＦＥＴ５６がオン状態に制御される一方で、第２ＭＩＳＦＥＴ５７がオフ状態に制御される場合、第１チャネル領域９１はオン状態に制御され、第２チャネル領域１１１はオフ状態に制御される（第１Ｈａｌｆ－ＯＮ制御）。

[0254] 第１ＭＩＳＦＥＴ５６がオフ状態に制御される一方で、第２ＭＩＳＦＥＴ５７がオン状態に制御される場合、第１チャネル領域９１はオフ状態に制御され、第２チャネル領域１１１はオン状態に制御される（第２Ｈａｌｆ－ＯＮ制御）。

[0255] このようにして、パワーＭＩＳＦＥＴ９では、１つの出力領域６に形成された第１ＭＩＳＦＥＴ５６および第２ＭＩＳＦＥＴ５７を利用して、Ｆｕｌｌ－ＯＮ制御、第１Ｈａｌｆ－ＯＮ制御および第２Ｈａｌｆ－ＯＮ制御を含む複数種の制御が実現される。

[0256] 第１ＭＩＳＦＥＴ５６を駆動させるとき（つまり、ゲートのオン制御時）、第１底側電極８６にオン信号Ｖｏｎが印加され、第１開口側電極８７にオ

ン信号Ｖｏｎが印加されてもよい。この場合、第１底側電極８６および第１開口側電極８７は、ゲート電極として機能する。

[0257] これにより、第１底側電極８６および第１開口側電極８７の間の電圧降下を抑制できるので、第１底側電極８６及び第１開口側電極８７の間の電界集中を抑制できる。また、半導体層２のオン抵抗を低下させることができるので、消費電力低減を図ることができる。

[0258] 第１ＭＩＳＦＥＴ５６を駆動させるとき（つまり、ゲートのオン制御時）、第１底側電極８６にオフ信号Ｖｏｆｆ（たとえば基準電圧）が印加され、第１開口側電極８７にオン信号Ｖｏｎが印加されてもよい。この場合、第１底側電極８６がフィールド電極として機能する一方で、第１開口側電極８７がゲート電極として機能する。これにより、寄生容量を低下させることができるから、スイッチング速度の向上を図ることができる。

[0259] 第２ＭＩＳＦＥＴ５７を駆動させるとき（つまり、ゲートのオン制御時）、第２底側電極１０６にオン信号Ｖｏｎが印加され、第２開口側電極１０７にオン信号Ｖｏｎが印加されてもよい。この場合、第２底側電極１０６および第２開口側電極１０７は、ゲート電極として機能する。

[0260] これにより、第２底側電極１０６および第２開口側電極１０７の間の電圧降下を抑制できるから、第２底側電極１０６及び第２開口側電極１０７の間の電界集中を抑制できる。また、半導体層２のオン抵抗を低下させることができるから、消費電力の低減を図ることができる。

[0261] 第２ＭＩＳＦＥＴ５７を駆動させるとき（つまり、ゲートのオン制御時）、第２底側電極１０６にオフ信号Ｖｏｆｆ（基準電圧）が印加され、第２開口側電極１０７にオン信号Ｖｏｎが印加されてもよい。この場合、第２底側電極１０６がフィールド電極として機能する一方で、第２開口側電極１０７がゲート電極として機能する。これにより、寄生容量を低下させることができるから、スイッチング速度の向上を図ることができる。

[0262] 図５を参照して、第１チャネル領域９１は、各セル領域７５において第１チャネル面積Ｓ１で形成されている。第１チャネル面積Ｓ１は、各セル領域

７５に形成された複数の第１ソース領域９２のトータル平面面積によって定義される。

[0263] 第１チャネル領域９１は、各セル領域７５において第１チャネル割合Ｒ１（第１割合）で形成されている。第１チャネル割合Ｒ１は、各セル領域７５の平面面積を１００％としたとき、各セル領域７５において第１チャネル面積Ｓ１が占める割合である。

[0264] 第１チャネル割合Ｒ１は、０％以上５０％以下の範囲で調整される。第１チャネル割合Ｒ１は、０％以上５％以下、５％以上１０％以下、１０％以上１５％以下、１５％以上２０％以下、２０％以上２５％以下、２５％以上３０％以下、３０％以上３５％以下、３５％以上４０％以下、４０％以上４５％以下、または、４５％以上５０％以下であってもよい。第１チャネル割合Ｒ１は、１０％以上３５％以下であることが好ましい。

[0265] 第１チャネル割合Ｒ１が５０％の場合、第１トレンチゲート構造６０の第１側壁６１および第２側壁６２のほぼ全域に第１ソース領域９２が形成される。この場合、第１トレンチゲート構造６０の第１側壁６１および第２側壁６２に第１コンタクト領域９３は形成されない。第１チャネル割合Ｒ１は、５０％未満であることが好ましい。

[0266] 第１チャネル割合Ｒ１が０％の場合、第１トレンチゲート構造６０の第１側壁６１および第２側壁６２に第１ソース領域９２は形成されない。この場合、第１トレンチゲート構造６０の第１側壁６１および第２側壁６２にボディ領域５５および／または第１コンタクト領域９３だけが形成される。第１チャネル割合Ｒ１は、０％を超えることが好ましい。この形態では、第１チャネル割合Ｒ１が２５％である例が示されている。

[0267] 第２チャネル領域１１１は、各セル領域７５において第２チャネル面積Ｓ２で形成されている。第２チャネル面積Ｓ２は、各セル領域７５に形成された複数の第２ソース領域１１２のトータル平面面積によって定義される。

[0268] 第２チャネル領域１１１は、各セル領域７５において、第２チャネル割合Ｒ２（第２割合）で形成されている。第２チャネル割合Ｒ２は、各セル領域

７５の平面面積を１００％としたとき、各セル領域７５において第２チャネル面積Ｓ２が占める割合である。

[0269] 第２チャネル割合Ｒ２は、０％以上５０％以下の範囲で調整される。第２チャネル割合Ｒ２は、０％以上５％以下、５％以上１０％以下、１０％以上１５％以下、１５％以上２０％以下、２０％以上２５％以下、２５％以上３０％以下、３０％以上３５％以下、３５％以上４０％以下、４０％以上４５％以下、または、４５％以上５０％以下であってもよい。第２チャネル割合Ｒ２は、１０％以上３５％以下であることが好ましい。

[0270] 第２チャネル割合Ｒ２が５０％の場合、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２のほぼ全域に第２ソース領域１１２が形成される。この場合、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２に第２コンタクト領域１１３は形成されない。第２チャネル割合Ｒ２は、５０％未満であることが好ましい。

[0271] 第２チャネル割合Ｒ２が０％の場合、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２に第２ソース領域１１２は形成されない。この場合、第２トレンチゲート構造７０の第１側壁７１および第２側壁７２にボディ領域５５および／または第２コンタクト領域１１３だけが形成される。第２チャネル割合Ｒ２は、０％を超えることが好ましい。この形態では、第２チャネル割合Ｒ２が２５％である例が示されている。

[0272] このように、第１チャネル領域９１および第２チャネル領域１１１は、各セル領域７５において０％以上１００％以下（好ましくは０％を超えて１００％未満）の総チャネル割合ＲＴ（ＲＴ＝Ｒ１＋Ｒ２）で形成される。

[0273] 各セル領域７５における総チャネル割合ＲＴは、この形態では５０％である。この形態では、全ての総チャネル割合ＲＴが等しい値に設定されている。そのため、出力領域６内（単位面積）における平均チャネル割合ＲＡＶは５０％となる。平均チャネル割合ＲＡＶは、全ての総チャネル割合ＲＴの和を、総チャネル割合ＲＴの総数で除したものである。

[0274] なお、総チャネル割合ＲＴは、セル領域７５毎に調整されてもよい。つま

り、異なる値をそれぞれ有する複数の総チャネル割合ＲＴがセル領域７５毎に適用されてもよい。総チャネル割合ＲＴは、半導体層２の温度上昇に関係している。たとえば、総チャネル割合ＲＴを増加させると、半導体層２の温度が上昇し易くなる。一方で、総チャネル割合ＲＴを減少させると、半導体層２の温度が上昇し難くなる。

[0275] これを利用して、総チャネル割合ＲＴは、半導体層２の温度分布に応じて調整されてもよい。たとえば、半導体層２において温度が高まり易い領域の総チャネル割合ＲＴを比較的小さくし、半導体層２において温度が高まり難い領域の総チャネル割合ＲＴを比較的大きくしてもよい。

[0276] 半導体層２において温度が高まり易い領域として、出力領域６の中央部を例示できる。半導体層２において温度が高まり難い領域として、出力領域６の周縁部を例示できる。むろん、半導体層２の温度分布に応じて総チャネル割合ＲＴを調整しながら、平均チャネル割合ＲＡＶが調整されてもよい。

[0277] ２０％以上４０％以下（たとえば２５％）の総チャネル割合ＲＴを有するセル領域７５を、温度が高まり易い領域（たとえば中央部）に複数集約させてもよい。６０％以上８０％以下（たとえば７５％）の総チャネル割合ＲＴを有するセル領域７５を、温度が高まり難い領域（たとえば周縁部）に複数集約させてもよい。４０％を超えて６０％未満（たとえば５０％）の総チャネル割合ＲＴを有するセル領域７５を、温度が高まり易い領域および温度が高まり難い領域の間の領域に複数集約させてもよい。

[0278] さらに、２０％以上４０％以下の総チャネル割合ＲＴ、４０％以上６０％以下の総チャネル割合ＲＴおよび６０％以上８０％以下の総チャネル割合ＲＴが、規則的な配列で、複数のセル領域７５に適用されてもよい。

[0279] 一例として、２５％（low）→５０％（middle）→７５％（high）の順に繰り返す３種の総チャネル割合ＲＴが、複数のセル領域７５に適用されてもよい。この場合、平均チャネル割合ＲＡＶは、５０％に調整されてもよい。このような構造の場合、比較的簡単な設計で、半導体層２の温度分布に偏りが形成されるのを抑制できる。

[0280] 図６は、アクティブクランプ耐量Ｅａｃおよび面積抵抗率Ｒｏｎ・Ａの関係を実測によって調べたグラフである。図６のグラフは、第１ＭＩＳＦＥＴ５６および第２ＭＩＳＦＥＴ５７を同時にオン状態およびオフ状態に制御した場合の特性を示している。

[0281] 図６において、縦軸はアクティブクランプ耐量Ｅａｃ［ｍＪ／ｍｍ^2］を示しており、横軸は面積抵抗率Ｒｏｎ・Ａ［ｍΩ・ｍｍ^2］を示している。アクティブクランプ耐量Ｅａｃは、図３において述べた通り、逆起電力に対する耐量である。面積抵抗率Ｒｏｎ・Ａは、通常動作時における半導体層２内のオン抵抗を表している。

[0282] 図６には、第１プロット点Ｐ１、第２プロット点Ｐ２、第３プロット点Ｐ３および第４プロット点Ｐ４が示されている。第１プロット点Ｐ１、第２プロット点Ｐ２、第３プロット点Ｐ３および第４プロット点Ｐ４は、平均チャネル割合ＲＡＶ（つまり、各セル領域７５に占める総チャネル割合ＲＴ）が６６％、５０％、３３％および２５％に調整された場合の特性をそれぞれ示している。

[0283] 平均チャネル割合ＲＡＶを増加させた場合、通常動作時に面積抵抗率Ｒｏｎ・Ａが低下し、アクティブクランプ動作時にアクティブクランプ耐量Ｅａｃが低下した。これとは反対に、平均チャネル割合ＲＡＶを低下させた場合、通常動作時に面積抵抗率Ｒｏｎ・Ａが増加し、アクティブクランプ動作時にアクティブクランプ耐量Ｅａｃが向上した。

[0284] 面積抵抗率Ｒｏｎ・Ａを鑑みると、平均チャネル割合ＲＡＶは３３％以上（より具体的には３３％以上１００％未満）であることが好ましい。アクティブクランプ耐量Ｅａｃを鑑みると、平均チャネル割合ＲＡＶは３３％未満（より具体的には０％を超えて３３％未満）であることが好ましい。

[0285] 平均チャネル割合ＲＡＶの増加に起因して面積抵抗率Ｒｏｎ・Ａが低下したのは、電流経路が増加したためである。また、平均チャネル割合ＲＡＶの増加に起因してアクティブクランプ耐量Ｅａｃが低下したのは、逆起電力に起因する急激な温度上昇が引き起こされたためである。

[0286] とりわけ、平均チャネル割合ＲＡＶ（総チャネル割合ＲＴ）が比較的大きい場合には、互いに隣り合う第１トレンチゲート構造６０および第２トレンチゲート構造７０の間の領域において局所的かつ急激な温度上昇が発生する可能性が高まる。アクティブクランプ耐量Ｅａｃは、この種の温度上昇に起因して低下したと考えられる。

[0287] 一方、平均チャネル割合ＲＡＶの低下に起因して面積抵抗率Ｒｏｎ・Ａが増加した理由は、電流経路が縮小したためである。平均チャネル割合ＲＡＶの低下に起因してアクティブクランプ耐量Ｅａｃが向上したのは、平均チャネル割合ＲＡＶ（総チャネル割合ＲＴ）が比較的小さくなり、局所的かつ急激な温度上昇が抑制されたためと考えられる。

[0288] 図６のグラフの結果から、平均チャネル割合ＲＡＶ（総チャネル割合ＲＴ）に基づく調整法にはトレードオフの関係が存在するため、当該トレードオフの関係から切り離して優れた面積抵抗率Ｒｏｎ・Ａおよび優れたアクティブクランプ耐量Ｅａｃを両立することは困難であることが分かる。

[0289] 一方、図６のグラフの結果から、パワーＭＩＳＦＥＴ９において、通常動作時に第１プロット点Ｐ１（ＲＡＶ＝６６％）に近づく動作をさせて、アクティブクランプ動作時に第４プロット点Ｐ４（ＲＡＶ＝２５％）に近づく動作をさせることにより、優れた面積抵抗率Ｒｏｎ・Ａ及び優れたアクティブクランプ耐量Ｅａｃを両立できることが分かる。そこで、半導体装置１では、以下の制御が実施される。

[0290] 図７は、図１に示す半導体装置１の通常動作を説明するための断面斜視図である。図８は、図１に示す半導体装置１のアクティブクランプ動作を説明するための断面斜視図である。図７および図８では、説明の便宜上、第１主面３の上の構造を省略し、ゲート制御配線１７を簡略化している。

[0291] 図７を参照して、パワーＭＩＳＦＥＴ９の通常動作時では、第１ゲート制御配線１７Ａに第１オン信号Ｖｏｎ１が入力され、第２ゲート制御配線１７Ｂに第２オン信号Ｖｏｎ２が入力され、第３ゲート制御配線１７Ｃに第３オン信号Ｖｏｎ３が入力される。

[0292] 第１オン信号Ｖｏｎ１、第２オン信号Ｖｏｎ２および第３オン信号Ｖｏｎ３は、コントロールＩＣ１０からそれぞれ入力される。第１オン信号Ｖｏｎ１、第２オン信号Ｖｏｎ２及び第３オン信号Ｖｏｎ３は、ゲート閾値電圧Ｖｔｈ以上の電圧をそれぞれ有している。第１オン信号Ｖｏｎ１、第２オン信号Ｖｏｎ２および第３オン信号Ｖｏｎ３は、それぞれ等しい電圧を有していてもよい。

[0293] この場合、第１開口側電極８７、第２開口側電極１０７、第１底側電極８６および第２底側電極１０６がそれぞれオン状態になる。つまり、第１開口側電極８７、第２開口側電極１０７、第１底側電極８６および第２底側電極１０６は、ゲート電極としてそれぞれ機能する。

[0294] これにより、第１チャネル領域９１および第２チャネル領域１１１は共にオン状態に制御される。図７では、オン状態の第１チャネル領域９１および第２チャネル領域１１１がドット状のハッチングによって示されている。

[0295] その結果、第１ＭＩＳＦＥＴ５６および第２ＭＩＳＦＥＴ５７の双方が駆動される（Ｆｕｌｌ－ＯＮ制御）。通常動作時のチャネル利用率ＲＵは、１００％である。通常動作時の特性チャネル割合ＲＣは、５０％である。チャネル利用率ＲＵは、第１チャネル領域９１および第２チャネル領域１１１のうちオン状態に制御されている第１チャネル領域９１および第２チャネル領域１１１の割合である。

[0296] なお、特性チャネル割合ＲＣは、平均チャネル割合ＲＡＶにチャネル利用率ＲＵを乗じた値（ＲＣ＝ＲＡＶ×ＲＵ）である。パワーＭＩＳＦＥＴ９の特性（面積抵抗率Ｒｏｎ・Ａおよびアクティブクランプ耐量Ｅａｃ）は、特性チャネル割合ＲＣに基づいて定められる。これにより、面積抵抗率Ｒｏｎ・Ａは、図６のグラフにおいて第２プロット点Ｐ２で示された面積抵抗率Ｒｏｎ・Ａに近づく。

[0297] 一方、図８を参照して、パワーＭＩＳＦＥＴ９のアクティブクランプ動作時では、第１ゲート制御配線１７Ａにオフ信号Ｖｏｆｆが入力され、第２ゲート制御配線１７Ｂに第１クランプオン信号ＶＣｏｎ１が入力され、第３ゲ

ート制御配線１７Ｃに第２クランプオン信号ＶＣｏｎ２が入力される。

[0298] オフ信号Ｖｏｆｆ、第１クランプオン信号ＶＣｏｎ１および第２クランプオン信号ＶＣｏｎ２は、コントロールＩＣ１０からそれぞれ入力される。オフ信号Ｖｏｆｆは、ゲート閾値電圧Ｖｔｈ未満の電圧（たとえば基準電圧）を有している。第１クランプオン信号ＶＣｏｎ１および第２クランプオン信号ＶＣｏｎ２は、ゲート閾値電圧Ｖｔｈ以上の電圧をそれぞれ有している。第１クランプオン信号ＶＣｏｎ１および第２クランプオン信号ＶＣｏｎ２は、それぞれ等しい電圧を有していてもよい。第１クランプオン信号ＶＣｏｎ１および第２クランプオン信号ＶＣｏｎ２は、通常動作時の電圧以下または未満の電圧を有していてもよい。

[0299] この場合、第１開口側電極８７がオフ状態となり、第１底側電極８６、第２底側電極１０６及び第２開口側電極１０７がそれぞれオン状態になる。これにより、第１チャネル領域９１がオフ状態に制御されると共に第２チャネル領域１１１がオン状態に制御される。図８では、オフ状態の第１チャネル領域９１が塗りつぶしハッチングにより示され、オン状態の第２チャネル領域１１１がドット状のハッチングにより示されている。

[0300] その結果、第１ＭＩＳＦＥＴ５６がオフ状態に制御される一方、第２ＭＩＳＦＥＴ５７がオン状態に制御される（第２Ｈａｌｆ－ＯＮ制御）。これによりアクティブクランプ動作時のチャネル利用率ＲＵが、零を超えて通常動作時のチャネル利用率ＲＵ未満となる。

[0301] アクティブクランプ動作時のチャネル利用率ＲＵは、５０％である。また、アクティブクランプ動作時の特性チャネル割合ＲＣは、２５％である。これにより、アクティブクランプ耐量Ｅａｃは、図６のグラフにおいて第４プロット点Ｐ４で示されたアクティブクランプ耐量Ｅａｃに近づく。

[0302] この場合、コントロールＩＣ１０は、通常動作時及びアクティブクランプ動作時の間で異なる特性チャネル割合ＲＣ（チャネルの面積）が適用されるように、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７を制御する。コントロールＩＣ１０は、より具体的には、アクティブクランプ動作時のチャネ

ル利用率ＲＵが、零を超えて通常動作時のチャネル利用率ＲＵ未満となるように第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７を制御する。

[0303] コントロールＩＣ１０は、さらに具体的には、通常動作時に第１ＭＩＳＦＥＴ５６および第２ＭＩＳＦＥＴ５７をオン状態に制御し、アクティブクランプ動作時に第１ＭＩＳＦＥＴ５６をオフ状態に制御すると共に第２ＭＩＳＦＥＴ５７をオン状態に制御する。

[0304] 従って、通常動作時には、特性チャネル割合ＲＣが相対的に増加する。すなわち、通常動作時には、第１ＭＩＳＦＥＴ５６および第２ＭＩＳＦＥＴ５７を利用して電流を流すことができる。これにより、電流経路が相対的に増加するから、面積抵抗率Ｒｏｎ・Ａ（オン抵抗）の低減を図ることができる。

[0305] 一方、アクティブクランプ動作時には、特性チャネル割合ＲＣが相対的に減少する。すなわち、第１ＭＩＳＦＥＴ５６を停止させた状態で第２ＭＩＳＦＥＴ５７を利用して電流を流すことができるから、第２ＭＩＳＦＥＴ５７により逆起電力を消費（吸収）できる。これにより、逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量Ｅａｃの向上を図ることができる。

[0306] その結果、図６に示されるトレードオフの関係から切り離して、優れた面積抵抗率Ｒｏｎ・Ａおよび優れたアクティブクランプ耐量Ｅａｃの両立を図ることができる半導体装置１を提供できる。

[0307] なお、上記の制御例では、アクティブクランプ動作時において第２Ｈａｌｆ－ＯＮ制御が適用された例について説明した。しかし、アクティブクランプ動作時において第１Ｈａｌｆ－ＯＮ制御が適用されてもよい。

[0308] ＜第１実施形態＞

図９は、第１実施形態に係る半導体装置（＝半導体装置１がハイサイドスイッチＩＣである場合において、アクティブクランプ動作時にパワーＭＩＳＦＥＴの第１Ｈａｌｆ－ＯＮ制御を行うための電気的構造）を示すブロック回路図である。

[0309] 本実施形態の半導体装置１は、ドレイン電極１１（＝電源電極ＶＢＢ）と、ソース電極１２（＝出力電極ＯＵＴ）と、パワーＭＩＳＦＥＴ９と、ゲート制御回路２５と、アクティブクランプ回路２６とを有する。なお、既出の構成要素については、これまでと同一の符号を付している。

[0310] また、本図では、説明を簡単とするために、一部の構成要素のみを抽出して示したが、半導体装置１には、基本的に、先出の半導体装置１（図２を参照）と同様の構成要素が含まれていると理解してよい。

[0311] パワーＭＩＳＦＥＴ９は、これまでに種々の実施形態を例示して、その構造を詳細に説明してきたゲート分割素子である。すなわち、パワーＭＩＳＦＥＴ９は、図１０で示すように、並列接続された第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７（＝それぞれ第１トランジスタ及び第２トランジスタに相当）として等価的に表すことができる。

[0312] 別の見方をすると、それぞれ独立して制御される第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７が、単一のゲート分割素子であるパワーＭＩＳＦＥＴ９として、一体的に形成されていると理解することもできる。

[0313] ゲート制御回路２５は、パワーＭＩＳＦＥＴ９のゲート制御（延いては、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲート制御）を行う。例えば、ゲート制御回路２５は、イネーブル信号ＥＮがハイレベルとされるイネーブル状態（＝第１動作状態に相当）において、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７をいずれもオンする一方、イネーブル信号ＥＮがローレベルとされるディセーブル状態（＝第２動作状態に相当）において、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７をいずれもオフするように、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲート制御信号Ｇ１及びＧ２を生成する。

[0314] なお、イネーブル信号ＥＮは、入力電極１３に入力される外部制御信号ＩＮがハイレベル（＝パワーＭＩＳＦＥＴ９をオンするときの論理レベル）であるときにハイレベルとなり、外部制御信号ＩＮがローレベル（＝パワーＭＩＳＦＥＴ９をオフするときの論理レベル）であるときにローレベルとなる

。

[0315] また、ゲート制御回路２５は、アクティブクランプ回路２６から内部ノード電圧Ｖｘの入力を受け付けており、イネーブル状態（ＥＮ＝Ｈ）からディセーブル状態（ＥＮ＝Ｌ）への遷移後、アクティブクランプ回路２６が動作する前（＝出力電圧ＶＯＵＴがクランプされる前）に、第２ＭＩＳＦＥＴ５７のゲート・ソース間をショートする機能、つまり、Ｇ２＝ＶＯＵＴとして第２ＭＩＳＦＥＴ５７を完全に停止させることにより、パワーＭＩＳＦＥＴ９の第１Ｈａｌｆ－ＯＮ制御を実現する機能を備えている。

[0316] アクティブクランプ回路２６は、第１ＭＩＳＦＥＴ５６のドレイン・ゲート間に接続されており、外部制御信号ＩＮ（延いてはイネーブル信号ＥＮ）がローレベルとなった後、ソース電極１２の出力電圧ＶＯＵＴが負電圧となったときに、第１ＭＩＳＦＥＴ５６を強制的にオンさせる（フルオフさせない）ことで、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのドレイン・ソース間電圧（＝ＶＢ－ＶＯＵＴ）を所定のクランプ電圧Ｖｃｌｐ以下に制限する。

[0317] なお、第２ＭＩＳＦＥＴ５７は、アクティブクランプ動作に寄与しないので、そのドレイン・ゲート間には、アクティブクランプ回路２６が接続されていない。

[0318] 図１１は、図９におけるゲート制御回路２５及びアクティブクランプ回路２６の一構成例を示す回路図である。

[0319] まず、アクティブクランプ回路２６の構成について具体的に説明する。本構成例のアクティブクランプ回路２６は、ｍ段（例えばｍ＝８）のツェナーダイオード列２６１と、ｎ段（例えばｎ＝３）のダイオード列２６２と、Ｎチャネル型のＭＩＳＦＥＴ２６３（＝第３トランジスタに相当）と、を含む。

[0320] ツェナーダイオード列２６１のカソードとＭＩＳＦＥＴ２６３のドレインは、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのドレインとともに、ドレイン電極１１（＝電源電圧ＶＢが印加される電源電極ＶＢＢに

相当）に接続されている。ツェナーダイオード列２６１のアノードは、ダイオード列２６２のアノードに接続されている。ダイオード列２６２のカソードは、ＭＩＳＦＥＴ２６３のゲートに接続されている。ＭＩＳＦＥＴ２６３のソースは、第１ＭＩＳＦＥＴ５６のゲート（＝ゲート制御信号Ｇ１の印加端）に接続されている。ＭＩＳＦＥＴ２６３のバックゲートは、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのソースと共に、ソース電極１２（＝出力電圧ＶＯＵＴが印加される出力電極ＯＵＴに相当）に接続されている。なお、ソース電極１２には、先出の図９及び図１０で示したように、コイルまたはソレノイドなどの誘導性負荷Ｌが接続され得る。

[0321] 次に、ゲート制御回路２５の構成について具体的に説明する。本構成例のゲート制御回路２５は、電流源２５１～２５４と、コントローラ２５５と、Ｎチャネル型のＭＩＳＦＥＴ２５６（＝第４トランジスタに相当）と、を含む。

[0322] 電流源２５１は、昇圧電圧ＶＧ（＝チャージポンプ出力）の印加端と第１ＭＩＳＦＥＴ５６のゲートとの間に接続されており、ソース電流ＩＨ１を生成する。

[0323] 電流源２５２は、昇圧電圧ＶＧの印加端と第２ＭＩＳＦＥＴ５７のゲートとの間に接続されており、ソース電流ＩＨ２を生成する。

[0324] 電流源２５３は、第１ＭＩＳＦＥＴ５６のゲートと出力電圧ＶＯＵＴの印加端（＝ソース電極１２）との間に接続されており、シンク電流ＩＬ１を生成する。

[0325] 電流源２５４は、第２ＭＩＳＦＥＴ５７のゲートと出力電圧ＶＯＵＴの印加端との間に接続されており、シンク電流ＩＬ２を生成する。

[0326] コントローラ２５５は、イネーブル状態（ＥＮ＝Ｈ）において、電流源２５１及び２５２をオンし、電流源２５３及び２５４をオフする。このような電流制御により、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲートには、ソース電流ＩＨ１及びＩＨ２が流し込まれる。

[0327] 一方、コントローラ２５５は、ディセーブル状態（ＥＮ＝Ｌ）において、

電流源２５１及び２５２をオフし、電流源２５３及び２５４をオンする。このような電流制御により、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲートから、シンク電流ＩＬ１及びＩＬ２が引き抜かれる。

[0328] ＭＩＳＦＥＴ２５６は、第２ＭＩＳＦＥＴ５７のゲート・ソース間に接続されており、アクティブクランプ回路２６の内部ノード電圧Ｖｘに応じてオン／オフされる。なお、内部ノード電圧Ｖｘとしては、例えば、本図で示したように、ＭＩＳＦＥＴ２６３のゲート電圧を入力することが望ましい。ただし、内部ノード電圧Ｖｘは、これに限定されるものではなく、例えば、ダイオード列２６２を形成するｎ段のダイオードのうち、いずれかのアノード電圧を内部ノード電圧Ｖｘとして用いても構わない。

[0329] また、半導体装置１には、上記構成要素のほか、静電破壊保護素子として、ツェナーダイオードＺＤ１～ＺＤ３と、ダイオードＤ１及びＤ２と、トランジスタＤＮ１（例えばデプレッションＮチャネル型ＭＩＳＦＥＴ）が設けられている。それぞれの接続関係について簡単に述べる。

[0330] ツェナーダイオードＺＤ１及びＺＤ２それぞれのカソードは、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７それぞれのゲートに接続されている。ツェナーダイオードＺＤ１及びＺＤ２それぞれのアノードは、ダイオードＤ１及びＤ２それぞれのアノードに接続されている。ツェナーダイオードＺＤ３のカソードとトランジスタＤＮ１のドレインは、いずれもＭＩＳＦＥＴ２６３のゲートに接続されている。ダイオードＤ１並びにＤ２それぞれのカソード、ツェナーダイオードＺＤ３のアノード、及び、トランジスタＤＮ１のソース、ゲート並びにバックゲートは、出力電圧ＶＯＵＴの印加端に接続されている。

[0331] 以下では、第１ＭＩＳＦＥＴ５６のゲート・ソース間電圧をＶｇｓ１とし、ＭＩＳＦＥＴ２６３のゲート・ソース間電圧をＶｇｓ２とし、ＭＩＳＦＥＴ２５６のゲート・ソース間電圧をＶｇｓ３とし、ツェナーダイオード列２６１の降伏電圧をｍＶＺとし、ダイオード列２６２の順方向降下電圧をｎＶＦとして、アクティブクランプ動作時におけるパワーＭＩＳＦＥＴ９の第１

Ｈａｌｆ－ＯＮ制御を説明する。

[0332] 図１２は、半導体装置１において、アクティブクランプ動作時にパワーＭＩＳＦＥＴ９の第１Ｈａｌｆ－ＯＮ制御が行われる様子を示すタイミングチャートであり、上から順に、イネーブル信号ＥＮ、出力電圧ＶＯＵＴ（実線）、ゲート制御信号Ｇ１（一点鎖線）並びにＧ２（破線）、及び、出力電流ＩＯＵＴが描写されている。なお、本図では、ソース電極１２（＝出力電極ＯＵＴ）と接地端との間に誘導性負荷Ｌが接続されているものとする。

[0333] 時刻ｔ１において、イネーブル信号ＥＮがハイレベル（＝パワーＭＩＳＦＥＴ９をオンするときの論理レベル）に立ち上げられると、ゲート制御信号Ｇ１及びＧ２がハイレベル（≒ＶＧ）に立ち上がり、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７がオンする。その結果、出力電流ＩＯＵＴが流れ始めるので、出力電圧ＶＯＵＴが電源電圧ＶＢ近傍まで上昇する。この状態は、パワーＭＩＳＦＥＴ９のＦｕｌｌ－ＯＮ状態に相当する。

[0334] その後、時刻ｔ２において、イネーブル信号ＥＮがローレベル（＝パワーＭＩＳＦＥＴ９をオフするときの論理レベル）に立ち下げられると、第１ＭＩＳＦＥＴ５６及び第２ＭＩＳＦＥＴ５７をオフするために、ゲート制御信号Ｇ１及びＧ２がローレベル（≒ＶＯＵＴ）に立ち下がる。

[0335] このとき、誘導性負荷Ｌは、パワーＭＩＳＦＥＴ９のオン期間に蓄えたエネルギーを放出するまで出力電流ＩＯＵＴを流し続ける。その結果、出力電圧ＶＯＵＴは、接地電圧ＧＮＤよりも低い負電圧まで急低下する。

[0336] ただし、時刻ｔ４において、出力電圧ＶＯＵＴが電源電圧ＶＢよりも所定値α（＝ｍＶＺ＋ｎＶＦ＋Ｖｇｓ１＋Ｖｇｓ２）だけ低い下限電圧ＶＢ－α（例えばＶＢ－５０Ｖ）まで低下すると、アクティブクランプ回路２６の働きにより、第１ＭＩＳＦＥＴ５６がオンする（フルオフされない）ので、出力電流ＩＯＵＴが第１ＭＩＳＦＥＴ５６を介して放電される。従って、出力電圧ＶＯＵＴは、下限電圧ＶＢ－α以上に制限される。

[0337] つまり、アクティブクランプ回路２６は、電源電圧ＶＢ基準で出力電圧ＶＯＵＴを制限することにより、パワーＭＩＳＦＥＴ９のドレイン・ソース間

電圧Ｖｄｓ（＝ＶＢ－ＶＯＵＴ）を所定のクランプ電圧Ｖｃｌｐ（＝α）以下に制限する。このようなアクティブクランプ動作は、誘導性負荷Ｌに蓄えられたエネルギーが放出し尽くされて出力電流ＩＯＵＴが流れなくなる時刻ｔ５まで継続される。

[0338] 一方、第２ＭＩＳＦＥＴ５７に着目すると、イネーブル状態（ＥＮ＝Ｈ）からディセーブル状態（ＥＮ＝Ｌ）への遷移後、時刻ｔ３において、出力電圧ＶＯＵＴが電源電圧ＶＢよりも所定値β（＝ｍＶＺ＋ｎＶＦ＋Ｖｇｓ３）だけ低いチャネル切替電圧ＶＢ－β（＞ＶＢ－α）まで低下すると、内部ノード電圧Ｖｘがゲート・ソース間電圧Ｖｇｓ３よりも高くなるので、ＭＩＳＦＥＴ２５６がオンして、第２ＭＩＳＦＥＴ５７のゲート・ソース間がショート（Ｇ２＝ＶＯＵＴ）される。

[0339] すなわち、第２ＭＩＳＦＥＴ５７は、ＭＩＳＦＥＴ２５６の働きにより、アクティブクランプ回路２６が動作する前（時刻ｔ４以前）に完全に停止される。この状態は、パワーＭＩＳＦＥＴ９の第１Ｈａｌｆ－ＯＮ状態に相当する。

[0340] このように、Ｆｕｌｌ－ＯＮ状態から第１Ｈａｌｆ－ＯＮ状態への切替を行うことにより、アクティブクランプ動作時（＝時刻ｔ４～ｔ５）のチャネル利用率ＲＵが、零を超えて通常動作時（＝時刻ｔ１～ｔ２）のチャネル利用率ＲＵ未満となる。

[0341] 従って、通常動作時には、特性チャネル割合ＲＣが相対的に増加する（例えばＲＣ＝５０％）。これにより、電流経路が相対的に増加するから、面積抵抗率Ｒｏｎ・Ａ（オン抵抗）の低減を図ることができる。一方、アクティブクランプ動作時には、特性チャネル割合ＲＣが相対的に減少する（例えばＲＣ＝２５％）。これにより、誘導性負荷Ｌの逆起電力に起因する急激な温度上昇を抑制できるから、アクティブクランプ耐量Ｅａｃの向上を図ることができる。

[0342] よって、図６に示されるトレードオフの関係から切り離して、優れた面積抵抗率Ｒｏｎ・Ａおよび優れたアクティブクランプ耐量Ｅａｃの両立を図る

ことができる半導体装置１を提供することが可能となる。特に、ＩＰＤ分野において、アクティブクランプ耐量Ｅａｃは、より大きな誘導性負荷Ｌを駆動するために重要な特性の一つとなる。

[0343] なお、図９～図１２では、アクティブクランプ動作時において、第１Ｈａｌｆ－ＯＮ制御が適用された例について説明した。しかし、アクティブクランプ動作時において、第２Ｈａｌｆ－ＯＮ制御が適用されてもよい。その場合には、第１ＭＩＳＦＥＴ５６と第２ＭＩＳＦＥＴ５７を相互に入れ替えて理解すればよい。

[0344] ＜出力短絡状態でのアクティブクランプ動作に関する考察＞

これまでに説明してきたように、ＩＰＤとして市場に提供される半導体装置１は、誘導性負荷Ｌの逆起電力を吸収するための手段として、アクティブクランプ回路２６を備えている。なお、半導体装置１では、機種毎にアクティブクランプ耐量Ｅａｃが設定されており、このアクティブクランプ耐量Ｅａｃを超える負荷が接続される場合には、外付け部品を用いて半導体装置１を保護する必要がある。

[0345] また、ＩＰＤの主要特性となる面積抵抗率Ｒｏｎ・Ａ（＝オン抵抗）とアクティブクランプ耐量Ｅａｃの両立については、先にも説明したように、ゲート分割型のパワーＭＩＳＦＥＴ９を用いて実現している。より具体的には、パワーＭＩＳＦＥＴ９の第１Ｈａｌｆ－ＯＮ制御（または第２Ｈａｌｆ－ＯＮ制御）を実施することにより、通常動作時における面積抵抗率Ｒｏｎ・Ａ（オン抵抗）の低減と、アクティブクランプ動作時におけるアクティブクランプ耐量Ｅａｃの向上を両立している。

[0346] ここで、ソース電極１２（＝出力電極ＯＵＴ）に出力短絡が生じていなければ、先述の第１Ｈａｌｆ－ＯＮ制御（または第２Ｈａｌｆ－ＯＮ制御）を実施しても特段の問題はない。ただし、例えば、ソース電極１２がワイヤーハーネスを介して地絡（＝接地端またはこれに準ずる低電位端への出力短絡）した状態では、第１Ｈａｌｆ－ＯＮ制御（または第２Ｈａｌｆ－ＯＮ制御）による弊害が生じ得る。なお、ワイヤーハーネスは、一般にインダクタン

ス成分を持つ。

[0347] 図１３は、第１実施形態に係る半導体装置１の出力短絡状態におけるアクティブクランプ動作を説明するための図であり、上から順番に、イネーブル信号ＥＮ、出力電圧ＶＯＵＴ（実線）、ゲート制御信号Ｇ１（一点鎖線）並びにＧ２（破線）、及び、出力電流ＩＯＵＴが描写されている。

[0348] 本図における時刻ｔ１１～ｔ１３は、それぞれ、図１２における時刻ｔ１～ｔ３に相当する。すなわち、本図では、時刻ｔ１２におけるイネーブル状態（ＥＮ＝Ｈ）からディセーブル状態（ＥＮ＝Ｌ）への遷移後、時刻ｔ１３において、出力電圧ＶＯＵＴがチャネル切替電圧ＶＢ－β（＞ＶＢ－α）まで低下した時点で、パワーＭＩＳＦＥＴ９が第１Ｈａｌｆ－ＯＮ状態に切り替えられている。

[0349] このとき、ソース電極１２（＝出力電極ＯＵＴ）に出力短絡が生じていると、パワーＭＩＳＦＥＴ９のオン抵抗が引き上げられた状態（＝パワーＭＩＳＦＥＴ９の電流能力が引き下げられた状態）で瞬時的に大電流が流れ、その後に出力電圧ＶＯＵＴのクランプが行われる。そのため、アクティブクランプ動作として最も厳しい条件となり、アクティブクランプ耐量Ｅａｃが低下する背反を生じる。

[0350] なお、現象としては、本図で示すように、アクティブクランプ回路２６のクランプ能力を超えた出力電流ＩＯＵＴが流れるので、出力電圧ＶＯＵＴのオーバーシュート（＝下限値ＶＢＢ－αを下回る負極性のピーク）が発生する。

[0351] 上記の考察に鑑み、出力短絡状態でのアクティブクランプ動作を最適化することのできる第２実施形態を提案する。

[0352] ＜第２実施形態＞

図１４は、第２実施形態に係る半導体装置１を示すブロック回路図である。第２実施形態に係る半導体装置１は、先出の第１実施形態（図１１）を基本としつつ、遅延回路ＤＬＹ１をさらに備える。

[0353] パワーＭＩＳＦＥＴ９は、これまでに説明してきたゲート分割型であり、

アクティブクランプ回路２６が接続されるクランプゲート（＝第１ゲート制御信号Ｇ１の印加端）と、アクティブクランプ回路２６が接続されない非クランプゲート（＝第２ゲート制御信号Ｇ２の印加端）を備えている。

[0354] 遅延回路ＤＬＹ１は、アクティブクランプ回路２６の内部ノード電圧Ｖｘ（本図では、ＭＩＳＦＥＴ２６３のゲート電圧）に所定の遅延を与えて遅延内部ノード電圧ＶｘＤ（＝遅延内部信号に相当）を生成する。なお、内部ノード電圧Ｖｘは、パワーＭＩＳＦＥＴ９のドレイン・ソース間電圧Ｖｄｓ（＝ＶＢ－ＶＯＵＴ）がクランプ電圧Ｖｃｌｐ（＝α）よりも低い所定の閾値電圧（＝β）を上回ったか否かを示す内部信号に相当する。

[0355] ゲート制御回路２５は、遅延内部ノード電圧ＶｘＤに応じてパワーＭＩＳＦＥＴ９のオン抵抗を引き上げるようにゲート制御信号Ｇ１及びＧ２を個別制御する。本図に即して述べると、ゲート制御回路２５は、パワーＭＩＳＦＥＴ９の非クランプゲートとソース電極１２（＝出力電極ＯＵＴ）との間に接続されたＭＩＳＦＥＴ２５６を含み、遅延内部ノード電圧ＶｘＤに応じてＭＩＳＦＥＴ２５６をオン／オフすることにより、パワーＭＩＳＦＥＴ９の非クランプゲートの有効／無効を切り替える。つまり、先出の第１実施形態（図１１）と異なり、ＭＩＳＦＥＴ２５６のゲートには、内部ノード電圧Ｖｘに代えて遅延内部ノード電圧ＶｘＤが入力されている。

[0356] 図１５は、遅延回路ＤＬＹ１の一構成例を示す図である。本構成例の遅延回路ＤＬＹ１は、キャパシタＣ１と、充電電流生成部ＩｃＧＮＲと、を含む。

[0357] キャパシタＣ１は、充電電流生成部ＩｃＧＮＲから出力される充電電流Ｉｃ（＝後出のミラー電流Ｉ５）により充電され、キャパシタＣ１の充電電圧が遅延内部ノード電圧ＶｘＤとして出力される。

[0358] 充電電流生成部ＩｃＧＮＲは、内部ノード電圧Ｖｘに応じてキャパシタＣ１の充電電流Ｉｃを生成する回路ブロックであり、トランジスタＰ１～Ｐ５（いずれもＰチャネル型ＭＩＳＦＥＴ）と、トランジスタＮ１～Ｎ４（いずれもＮチャネル型ＭＩＳＦＥＴ）と、トランジスタＤＮ２及びＤＮ３（いず

れもデプレッションＮチャネル型ＭＩＳＦＥＴ）と、ツェナーダイオードＺＤ４と、を含む。

[0359] トランジスタＰ１～Ｐ３それぞれのソースは、いずれも電源電圧ＶＢの印加端（＝電源電極ＶＢＢ）に接続されている。トランジスタＰ１～Ｐ３それぞれのゲートは、いずれもトランジスタＰ１のドレインに接続されている。このように接続されたトランジスタＰ１～Ｐ３は、トランジスタＰ１のドレインに入力される基準電流Ｉ１をミラーすることにより、トランジスタＰ２及びＰ３それぞれのドレインからミラー電流Ｉ２及びＩ３（ただしＩ２∝Ｉ１かつＩ３∝Ｉ１）を出力するカレントミラーＣＭ１として機能する。

[0360] トランジスタＰ２のドレインは、トランジスタＮ１及びＤＮ３それぞれのドレインと、トランジスタＮ２のゲートと、ツェナーダイオードＺＤ４のカソードに接続されている。トランジスタＮ１のゲートとトランジスタＤＮ２のドレインは、いずれも内部ノード電圧Ｖｘの入力端に接続されている。トランジスタＮ２のドレインは、遅延内部ノード電圧ＶｘＤの出力端に接続されている。トランジスタＮ１及びＮ２それぞれのソースと、トランジスタＤＮ２及びＤＮ３それぞれのゲート及びソースと、ツェナーダイオードＺＤ４のアノードは、いずれも出力電圧ＶＯＵＴの印加端（＝出力電極ＯＵＴ）に接続されている。

[0361] トランジスタＮ３及びＮ４それぞれのドレインは、いずれも出力電圧ＶＯＵＴの印加端に接続されている。トランジスタＮ３及びＮ４それぞれのゲートは、いずれもトランジスタＮ３のドレインに接続されている。トランジスタＮ３のドレインは、トランジスタＰ３のドレインに接続されている。このように接続されたトランジスタＮ３及びＮ４は、トランジスタＮ３のドレインに入力されるミラー電流Ｉ３をミラーすることにより、トランジスタＮ４のドレインからミラー電流Ｉ４（ただしＩ４∝Ｉ３）を出力するカレントミラーＣＭ２として機能する。

[0362] トランジスタＰ４及びＰ５それぞれのソースは、いずれも内部ノード電圧Ｖｘの印加端に接続されている。トランジスタＰ４及びＰ５それぞれのゲー

トは、いずれもトランジスタＰ４のドレインに接続されている。トランジスタＰ４のドレインは、トランジスタＮ４のドレインに接続されている。このように接続されたトランジスタＰ４及びＰ５は、トランジスタＰ４のドレインに入力されるミラー電流Ｉ４をミラーすることにより、トランジスタＰ５のドレインからミラー電流Ｉ５（ただしＩ５∝Ｉ４）を出力するカレントミラーＣＭ３として機能する。

[0363] トランジスタＰ５のドレインとキャパシタＣ１の第１端は、いずれも遅延内部ノード電圧ＶｘＤの印加端に接続されている。キャパシタＣ１の第２端は、出力電圧ＶＯＵＴの印加端に接続されている。このように接続されたキャパシタＣ１は、トランジスタＰ５のドレインから出力されるミラー電流Ｉ５（＝充電電流Ｉｃに相当）により充電され、キャパシタＣ１の充電電圧が遅延内部ノード電圧ＶｘＤとして出力される。

[0364] 本構成例の遅延回路ＤＬＹ１において、内部ノード電圧ＶｘがトランジスタＮ１のオン閾値電圧よりも低いときには、トランジスタＮ１がオフ状態となる。従って、トランジスタＮ２のゲート電圧Ｖｙがハイレベル（≒ＶＢ）となるので、トランジスタＮ２がオン状態となる。その結果、キャパシタＣ１の両端間が短絡されるので、キャパシタＣ１が放電状態となる。

[0365] 一方、内部ノード電圧ＶｘがトランジスタＮ１のオン閾値電圧よりも高いときには、トランジスタＮ１がオン状態となる。従って、トランジスタＮ２のゲート電圧Ｖｙがローレベル（≒ＶＯＵＴ）となるので、トランジスタＮ２がオフ状態となる。その結果、キャパシタＣ１の両端間が開放されるので、キャパシタＣ１が非放電状態（充電状態）となる。このとき、キャパシタＣ１の充電電圧（＝遅延内部ノード電圧ＶｘＤ）は、所定の時定数を持って緩やかに上昇する。

[0366] なお、トランジスタＤＮ２及びＤＮ３は、それぞれ、トランジスタＮ１及びＮ２それぞれのゲート論理固定素子として機能する。また、ツェナーダイオードＺＤ４は、トランジスタＮ２のゲート・ソース間保護素子として機能する。

[0367] このように、トランジスタＮ１並びにＮ２、トランジスタＤＮ２並びにＤＮ３、及び、ツェナーダイオードＺＤ４は、内部ノード電圧Ｖｘに応じてキャパシタＣ１を放電するか否かを切り替える放電スイッチ部ＤＳＷを形成している。

[0368] また、先出のカレントミラーＣＭ１～ＣＭ３を一つのカレントミラーとして見た場合、カレントミラーＣＭ３は、充電電流Ｉｃの出力段として理解することができる。このカレントミラーＣＭ３を駆動するための駆動電圧としては、本図で示したように、内部ノード電圧Ｖｘの供給を受け付けることが望ましい。このような構成であれば、チャージポンプ回路３９の動作停止後でも支障なく遅延内部ノード電圧ＶｘＤを生成することができる。

[0369] 図１６は、第２実施形態に係る半導体装置１のアクティブクランプ動作を説明するための図であり、上から順に、イネーブル信号ＥＮ、出力電圧ＶＯＵＴ（実線）、ゲート制御信号Ｇ１（一点鎖線）並びにＧ２（破線）、及び、出力電流ＩＯＵＴが描写されている。

[0370] なお、時刻ｔ１３以前の動作については、先出の図１３と変わらないので、重複した説明を省略し、以下では、第２実施形態の半導体装置１で実施される特徴的な動作について重点的に説明する。

[0371] 時刻ｔ１３において、出力電圧ＶＯＵＴがチャネル切替電圧ＶＢ－β（＞ＶＢ－α）まで低下したとき、先出の第１実施形態（図１３）の半導体装置１では、パワーＭＩＳＦＥＴ９が遅滞なく第１Ｈａｌｆ－ＯＮ状態に切り替えられていた。

[0372] 一方、第２実施形態の半導体装置１では、本図で示したように、時刻ｔ１３から所定の遅延時間ｔｄが経過する時刻ｔ１４までの間、第１Ｈａｌｆ－ＯＮ状態への切替が待機される。すなわち、先出の第１実施形態（図１３）と比べて、パワーＭＩＳＦＥＴ９の非クランプゲートを無効とするタイミングが遅延時間ｔｄだけ遅らされる。

[0373] このような遅延時間ｔｄを設けておけば、例えばソース電極１２（＝出力電極ＯＵＴ）がワイヤーハーネスを介して地絡した状態でパワーＭＩＳＦＥ

Ｔ９をオフした結果、出力電流ＩＯＵＴが瞬時的に増大した場合であっても、パワーＭＩＳＦＥＴ９のオン抵抗を引き上げる前にその大電流を吸収（クランプ）することができる。従って、出力電圧ＶＯＵＴのオーバーシュート（図１３を参照）を抑制することが可能となる。

[0374] なお、ワイヤーハーネスのインダクタンス成分に蓄えられるエネルギーは決して大きくない。従って、遅延時間ｔｄは、瞬時的な大電流を吸収（クランプ）することができる長さに設定しておけばよい。本図に即して述べると、遅延時間ｔｄは、出力電圧ＶＯＵＴが下限電圧ＶＢ－αにクランプされてから速やかに第１Ｈａｌｆ－ＯＮ状態への切替が行われるように設定されている。

[0375] 上記の遅延時間ｔｄを設けた背反として、ソース電極１２（＝出力電極ＯＵＴ）に出力短絡が生じていない場合におけるアクティブクランプ耐量Ｅａｃの低下が懸念される。ただし、アクティブクランプ時間ＴＡＶ（例えば数ｍｓ）に対して、上記の遅延時間ｔｄは十分に短い。従って、アクティブクランプ耐量Ｅａｃの低下を懸念する必要はない。

[0376] ＜第３実施形態＞

図１７は、第３実施形態に係る半導体装置を示すブロック回路図である。第３実施形態に係る半導体装置１’は、第２実施形態（図１４）に係る半導体装置１を基本としつつ、適用対象がハイサイドスイッチＩＣからローサイドスイッチＩＣに置き換えられている。

[0377] 本図に即して述べると、先出のドレイン電極１１（＝電源電極ＶＢＢに相当）がドレイン電極１１’（＝出力電極ＯＵＴに相当）に置き換えられている。また、先出のソース電極１２（＝出力電極ＯＵＴに相当）がソース電極１２’（＝接地電極ＧＮＤ）に置き換えられている。すなわち、パワーＭＩＳＦＥＴ９は、負荷と接地端との間を導通／遮断するローサイドスイッチとして機能する。

[0378] また、適用対象をハイサイドスイッチＩＣからローサイドスイッチＩＣへ変更したことに伴い、先出の遅延回路ＤＬＹ１が遅延回路ＤＬＹ２に置き換

えられている。

[0379] 図１８は、遅延回路ＤＬＹ２の一構成例を示す図である。本構成例の遅延回路ＤＬＹ２は、先出の図１５を基本としつつ、各部への印加電圧に変更が加えられている。本図に即して述べると、トランジスタＰ１～Ｐ３それぞれのドレインは、いずれも外部制御信号ＩＮの印加端に接続されている。すなわち、ローサイドスイッチＩＣとして機能する半導体装置１’では、外部制御信号ＩＮが遅延回路ＤＬＹ２の駆動電圧として供給されている。

[0380] また、トランジスタＮ１～Ｎ４それぞれのドレイン、トランジスタＤＮ３並びにＤＮ４それぞれのドレイン、ツェナーダイオードＺＤ４のアノード、及び、キャパシタＣ１の第２端は、いずれも接地電極ＧＮＤに接続されている。

[0381] 図１９及び図２０は、それぞれ、第３実施形態に係る半導体装置１’のアクティブクランプ動作を説明するための図であり、上から順に、イネーブル信号ＥＮ、出力電圧ＶＯＵＴ（実線）、ゲート制御信号Ｇ１（一点鎖線）並びにＧ２（破線）、及び、出力電流ＩＯＵＴが描写されている。なお、図１９は、遅延回路ＤＬＹ２を備えていない場合の挙動を示しており、図２０は、遅延回路ＤＬＹ２を備えている場合の挙動を示している。

[0382] 時刻ｔ２１において、イネーブル信号ＥＮがハイレベル（＝パワーＭＩＳＦＥＴ９をオンするときの論理レベル）に立ち上げられると、パワーＭＩＳＦＥＴ９がオンして出力電流ＩＯＵＴが流れ始めるので、出力電圧ＶＯＵＴが接地電圧ＧＮＤ近傍まで低下する。この状態は、パワーＭＩＳＦＥＴ９のＦｕｌｌ－ＯＮ状態に相当する。

[0383] 遅延回路ＤＬＹ２を備えていない場合（図１９）には、時刻ｔ２２におけるイネーブル状態（ＥＮ＝Ｈ）からディセーブル状態（ＥＮ＝Ｌ）への遷移後、時刻ｔ２３において、出力電圧ＶＯＵＴがチャネル切替電圧ＧＮＤ＋γ（＜ＧＮＤ＋δ）まで上昇した時点で、パワーＭＩＳＦＥＴ９が第１Ｈａｌｆ－ＯＮ状態に切り替えられている。

[0384] このとき、ドレイン電極１１（＝出力電極ＯＵＴ）に出力短絡が生じてい

ると、パワーＭＩＳＦＥＴ９のオン抵抗が引き上げられた状態（＝パワーＭＩＳＦＥＴ９の電流能力が引き下げられた状態）で瞬時的に大電流が流れ、その後に出力電圧ＶＯＵＴのクランプが行われる。そのため、アクティブクランプ動作として最も厳しい条件となり、アクティブクランプ耐量Ｅａｃが低下する背反を生じる。

[0385] なお、現象としては、図１９で示すように、アクティブクランプ回路２６のクランプ能力を超えた出力電流ＩＯＵＴが流れるので、出力電圧ＶＯＵＴのオーバーシュート（＝上限電圧ＧＮＤ＋γを上回る正極性のピーク）が発生する。

[0386] 一方、遅延回路ＤＬＹ２を備えている場合には、図２０で示したように、時刻ｔ２３から所定の遅延時間ｔｄが経過する時刻ｔ２４までの間、第１Ｈａｌｆ－ＯＮ状態への切替が待機される。すなわち、先出の第１実施形態（図１３）と比べて、パワーＭＩＳＦＥＴ９の非クランプゲートを無効とするタイミングが遅延時間ｔｄだけ遅らされる。

[0387] このような遅延時間ｔｄを設けておけば、例えば、ドレイン電極１１（＝出力電極ＯＵＴ）がワイヤーハーネスを介して天絡（＝電源端またはこれに準ずる高電位端への出力短絡）した状態でパワーＭＩＳＦＥＴ９をオフした結果、出力電流ＩＯＵＴが瞬時的に増大した場合であっても、パワーＭＩＳＦＥＴ９のオン抵抗を引き上げる前にその大電流を吸収（クランプ）することができる。従って、出力電圧ＶＯＵＴのオーバーシュート（図１９を参照）を抑制することが可能となる。

[0388] なお、ワイヤーハーネスのインダクタンス成分に蓄えられるエネルギーは決して大きくない。従って、遅延時間ｔｄは、瞬時的な大電流を吸収（クランプ）することができる長さに設定しておけばよい。本図に即して述べると、遅延時間ｔｄは、出力電圧ＶＯＵＴが上限電圧ＧＮＤ＋δにクランプされてから速やかに第１Ｈａｌｆ－ＯＮ状態への切替が行われるように設定されている。

[0389] 上記の遅延時間ｔｄを設けた背反として、ドレイン電極１１（＝出力電極

ＯＵＴ）に出力短絡が生じていない場合におけるアクティブクランプ耐量Ｅａｃの低下が懸念される。ただし、アクティブクランプ時間ＴＡＶ（例えば数ｍｓ）に対して、上記の遅延時間ｔｄは十分に短い。従って、アクティブクランプ耐量Ｅａｃの低下を懸念する必要はない。この点については、先の第２実施形態と同様である。

[0390] なお、スイッチオフ時（ＩＮ＝Ｌ）において、ゲート制御信号Ｇ１及びＧ２が接地電圧ＧＮＤとなるか否かは回路構成に依存する。最も基本的なローサイドスイッチＩＣでは、入力電極ＩＮとパワーＭＩＳＦＥＴ９のゲートとの間が抵抗で接続されているが、入力電極ＩＮとパワーＭＩＳＦＥＴ９のゲートとの間がアナログスイッチで遮断可能となっている。そのため、アクティブクランプ動作によりパワーＭＩＳＦＥＴ９のゲート制御信号Ｇ１及びＧ２を持ち上げることが可能である。

[0391] ただし、上記の構成を採用する場合には、図１８の外部制御信号ＩＮがＯＶとなり、遅延回路ＤＬＹ２（特にカレントミラーＣＭ１）が制御不可となる。従って、遅延回路ＤＬＹ２は、外部制御信号ＩＮではなく、内部ノード電圧Ｖｘの供給を受けて動作する必要がある。なお、外部電源から電力供給を受けて動作するローサイドスイッチＩＣであれば、上記の構成で問題はない。

[0392] ＜車両への適用＞

図２１は、車両Ｘの一構成例を示す外観図である。本構成例の車両Ｘは、バッテリ（本図では不図示）と、バッテリから電力供給を受けて動作する種々の電子機器Ｘ１１～Ｘ１８と、を搭載している。

[0393] 車両Ｘには、エンジン車のほか、電動車（ＢＥＶ［battery electric vehicle］、ＨＥＶ［hybrid electric vehicle」、ＰＨＥＶ／ＰＨＶ（plug-in hybrid electric vehicle／plug-in hybrid vehicle］、又は、ＦＣＥＶ／ＦＣＶ（fuel cell electric vehicle／fuel cell vehicle］などのｘＥＶ）も含まれる。

[0394] なお、本図における電子機器Ｘ１１～Ｘ１８の搭載位置については、図示

の便宜上、実際とは異なる場合がある。

[0395] 電子機器Ｘ１１は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など）、または、モータに関する制御（トルク制御、及び、電力回生制御など）を行う電子制御ユニットである。

[0396] 電子機器Ｘ１２は、ＨＩＤ［high intensity discharged lamp］及びＤＲＬ［daytime running lamp］などの点消灯制御を行うランプコントロールユニットである。

[0397] 電子機器Ｘ１３は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

[0398] 電子機器Ｘ１４は、車両Ｘの運動に関連する制御（ＡＢＳ［anti-lock brake system］制御、ＥＰＳ［electric power steering］制御、電子サスペンション制御など）を行う制動ユニットである。

[0399] 電子機器Ｘ１５は、ドアロック及び防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

[0400] 電子機器Ｘ１６は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品またはメーカーオプション品として、工場出荷段階で車両Ｘに組み込まれている電子機器である。

[0401] 電子機器Ｘ１７は、車載Ａ／Ｖ［audio/visual］機器、カーナビゲーションシステム、及び、ＥＴＣ［electronic toll collection system］など、ユーザオプション品として任意で車両Ｘに装着される電子機器である。

[0402] 電子機器Ｘ１８は、車載ブロア、オイルポンプ、ウォーターポンプ、バッテリ冷却ファンなど、高耐圧系モータを備えた電子機器である。

[0403] なお、先に説明した半導体装置１は、電子機器Ｘ１１～Ｘ１８のいずれにも組み込むことが可能である。

[0404] ＜総括＞

以下では、これまでに説明してきた種々の実施形態について総括的に述べ

る。

[0405] 本明細書中に開示されている半導体装置は、複数のゲート制御信号に応じて複数のチャネル領域が個別制御されるように構成されたゲート分割型の出力トランジスタと、制御信号が前記出力トランジスタをオフするときの論理レベルとなった後に前記出力トランジスタの両端間電圧を所定のクランプ電圧以下に制限するように構成されたアクティブクランプ回路と、前記出力トランジスタの両端間電圧が前記クランプ電圧よりも低い所定の閾値電圧を上回った否かを示す内部信号に所定の遅延を与えて遅延内部信号を生成するように構成された遅延回路と、前記遅延内部信号に応じて前記出力トランジスタのオン抵抗を引き上げるように前記複数のゲート制御信号を個別制御するように構成されたゲート制御回路と、を備える構成（第１の構成）とされている。

[0406] なお、上記第１の構成による半導体装置において、前記遅延回路は、キャパシタと、前記内部信号に応じて前記キャパシタの充電電流を生成するように構成された充電電流生成部と、を含み、前記キャパシタの充電電圧を前記遅延内部信号として出力する構成（第２の構成）としてもよい。

[0407] また、上記第２の構成による半導体装置において、前記充電電流生成部は、基準電流に応じて前記充電電流を生成するように構成されたカレントミラーと、前記内部信号に応じて前記キャパシタを放電するか否かを切り替えるように構成された放電スイッチ部と、を含む構成（第３の構成）にしてもよい。

[0408] また、上記第３の構成による半導体装置において、前記カレントミラーは、前記充電電流の出力段を駆動するための駆動電圧として、前記内部信号の供給を受け付ける構成（第４の構成）にしてもよい。

[0409] また、上記第１～第４いずれかの構成による半導体装置において、前記アクティブクランプ回路は、前記出力トランジスタのドレイン・ゲート間に接続されるように構成されたトランジスタと、カソードが前記トランジスタのドレインに接続されるように構成された少なくとも一つのツェナーダイオー

ドと、アノードが前記ツェナーダイオードのアノードに接続されてカソードが前記トランジスタのゲートに接続されるように構成された少なくとも一つのダイオードと、を含む構成（第５の構成）にしてもよい。

[0410] また、上記第５の構成による半導体装置において、前記内部信号は、前記アクティブクランプ回路の内部ノード電圧である構成（第６の構成）にしてもよい。

[0411] また、上記第１～第６いずれかの構成による半導体装置において、前記出力トランジスタは、前記アクティブクランプ回路が接続されない非クランプゲートを備え、前記ゲート制御回路は、前記遅延内部信号に応じて前記非クランプゲートを無効とする構成（第７の構成）にしてもよい。

[0412] 上記第１～第７いずれかの構成による半導体装置において、前記出力トランジスタは、電源端と負荷との間を導通／遮断するハイサイドスイッチ、または、負荷と接地端との間を導通／遮断するローサイドスイッチとして機能する構成（第８の構成）にしてもよい。

[0413] また、例えば、本明細書中に開示されている電子機器は、上記第１～第８いずれかの構成による半導体装置と、前記半導体装置に接続される負荷とを備える構成（第９の構成）とされている。

[0414] また、例えば、本明細書中に開示されている車両は、上記第９の構成による電子機器を備える構成（第１０の構成）とされている。

[0415] ＜その他の変形例＞

なお、上記の実施形態では、車載用ハイサイドスイッチＩＣ及び車載用ローサイドスイッチＩＣを例に挙げたが、本明細書中に開示されている発明の適用対象は、これに限定されるものではなく、その他の用途に供される車載用ＩＰＤ［intelligent power device］（車載用電源ＩＣなど）を始めとして、パワートランジスタを有する半導体装置全般に広く適用することが可能である。

[0416] すなわち、本明細書中に開示されている発明は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能であ

る。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0417]

１　半導体装置（ハイサイドスイッチＩＣ）

１’　半導体装置（ローサイドスイッチＩＣ）

２　半導体層

３　第１主面

４　第２主面

５Ａ、５Ｂ、５Ｃ、５Ｄ　側面

６　出力領域

７　入力領域

８　領域分離構造

９　パワーＭＩＳＦＥＴ

１０　コントロールＩＣ

１１　ドレイン電極（電源電極）

１１’　ドレイン電極（出力電極）

１２　ソース電極（出力電極）

１２’　ソース電極（接地電極）

１３　入力電極

１４　基準電圧電極

１５　ＥＮＡＢＬＥ電極

１６　ＳＥＮＳＥ電極

１７　ゲート制御配線

１７Ａ　第１ゲート制御配線

１７Ｂ　第２ゲート制御配線

１７Ｃ　　第３ゲート制御配線

２１　　センサＭＩＳＦＥＴ

２２　　入力回路

２３　　電流・電圧制御回路

２４　　保護回路

２５　　ゲート制御回路

２５１～２５４　　電流源

２５５　　コントローラ

２５６　　ＭＩＳＦＥＴ

２６　　アクティブクランプ回路

２６１　　ツェナーダイオード列

２６２　　ダイオード列

２６３　　ＭＩＳＦＥＴ

２７　　電流検出回路

２８　　電源逆接続保護回路

２９　　異常検出回路

３０　　駆動電圧生成回路

３１　　第１定電圧生成回路

３２　　第２定電圧生成回路

３３　　基準電圧・基準電流生成回路

３４　　過電流保護回路

３５　　負荷オープン検出回路

３６　　過熱保護回路

３７　　低電圧誤動作抑制回路

３８　　発振回路

３９　　チャージポンプ回路

４０　　駆動信号出力回路

４１　　第１マルチプレクサ回路

４２　第２マルチプレクサ回路
５１　半導体基板
５２　エピタキシャル層
５３　ドレイン領域
５４　ドリフト領域
５５　ボディ領域
５６　第１ＭＩＳＦＥＴ
５７　第２ＭＩＳＦＥＴ
５８　第１ＦＥＴ構造
６０　第１トレンチゲート構造
６１　第１側壁
６２　第２側壁
６３　底壁
６８　第２ＦＥＴ構造
７０　第２トレンチゲート構造
７１　第１側壁
７２　第２側壁
７３　底壁
７５　セル領域
８１　第１ゲートトレンチ
８２　第１絶縁層
８３　第１電極
８４　第１底側絶縁層
８５　第１開口側絶縁層
８６　第１底側電極
８７　第１開口側電極
８８　第１中間絶縁層
９１　第１チャネル領域

９２　　第１ソース領域

９３　　第１コンタクト領域

１０１　　第２ゲートトレンチ

１０２　　第２絶縁層

１０３　　第２電極

１０４　　第２底側絶縁層

１０５　　第２開口側絶縁層

１０６　　第２底側電極

１０７　　第２開口側電極

１０８　　第２中間絶縁層

１１１　第２チャネル領域

１１２　　第２ソース領域

１１３　　第２コンタクト領域

１２０　　トレンチコンタクト構造

１２１　　第１側壁

１２２　　第２側壁

１２３　　底壁１２３

１３１　　コンタクトトレンチ

１３２　　コンタクト絶縁層

１３２Ａ　　引き出し絶縁層

１３３　　コンタクト電極

１３３Ａ　　引き出し電極

１３９　　第３キャップ絶縁層

Ｃ１　　キャパシタ

ＣＭ～ＣＭ３　　カレントミラー

Ｄ　　ｐｎ接合ダイオード

Ｄ１、Ｄ２　　ダイオード

ＤＬＹ１、ＤＬＹ２　　遅延回路

ＤＮ１～ＤＮ３　　トランジスタ（デプレッションＮチャネル型ＭＩＳＦＥＴ）

ＤＳＷ　　放電スイッチ部

ＤＺ　　ツェナーダイオード

ＩｃＧＮＲ　　充電電流生成部

Ｌ　　誘導性負荷

Ｎ１～Ｎ４　　トランジスタ（Ｎチャネル型ＭＩＳＦＥＴ）

Ｐ１～Ｐ５　　トランジスタ（Ｐチャネル型ＭＩＳＦＥＴ）

Ｘ　　車両

Ｘ１１～Ｘ１８　　電子機器

ＺＤ１～ＺＤ３、ＺＤ４　　ツェナーダイオード

請求の範囲

[請求項1] 複数のゲート制御信号に応じて複数のチャネル領域が個別制御されるように構成されたゲート分割型の出力トランジスタと、

制御信号が前記出力トランジスタをオフするときの論理レベルとなった後に前記出力トランジスタの両端間電圧を所定のクランプ電圧以下に制限するように構成されたアクティブクランプ回路と、

前記出力トランジスタの両端間電圧が前記クランプ電圧よりも低い所定の閾値電圧を上回った否かを示す内部信号に所定の遅延を与えて遅延内部信号を生成するように構成された遅延回路と、

前記遅延内部信号に応じて前記出力トランジスタのオン抵抗を引き上げるように前記複数のゲート制御信号を個別制御するように構成されたゲート制御回路と、

を備える、半導体装置。

[請求項2] 前記遅延回路は、キャパシタと、前記内部信号に応じて前記キャパシタの充電電流を生成するように構成された充電電流生成部と、を含み、前記キャパシタの充電電圧を前記遅延内部信号として出力する、請求項１に記載の半導体装置。

[請求項3] 前記充電電流生成部は、

基準電流に応じて前記充電電流を生成するように構成されたカレントミラーと、

前記内部信号に応じて前記キャパシタを放電するか否かを切り替えるように構成された放電スイッチ部と、

を含む、請求項２に記載の半導体装置。

[請求項4] 前記カレントミラーは、前記充電電流の出力段を駆動するための駆動電圧として、前記内部信号の供給を受け付ける、請求項３に記載の半導体装置。

[請求項5] 前記アクティブクランプ回路は、

前記出力トランジスタのドレイン・ゲート間に接続されるように構

成されたトランジスタと、

カソードが前記トランジスタのドレインに接続されるように構成された少なくとも一つのツェナーダイオードと、

アノードが前記ツェナーダイオードのアノードに接続されてカソードが前記トランジスタのゲートに接続されるように構成された少なくとも一つのダイオードと、

を含む、請求項１～４のいずれか一項に記載の半導体装置。

[請求項6] 前記内部信号は、前記アクティブクランプ回路の内部ノード電圧である、請求項５に記載の半導体装置。

[請求項7] 前記出力トランジスタは、前記アクティブクランプ回路が接続されない非クランプゲートを備え、前記ゲート制御回路は、前記遅延内部信号に応じて前記非クランプゲートを無効とする、請求項１～６のいずれか一項に記載の半導体装置。

[請求項8] 前記出力トランジスタは、電源端と負荷との間を導通／遮断するハイサイドスイッチ、または、負荷と接地端との間を導通／遮断するローサイドスイッチとして機能する、請求項１～７のいずれか一項に記載の半導体装置。

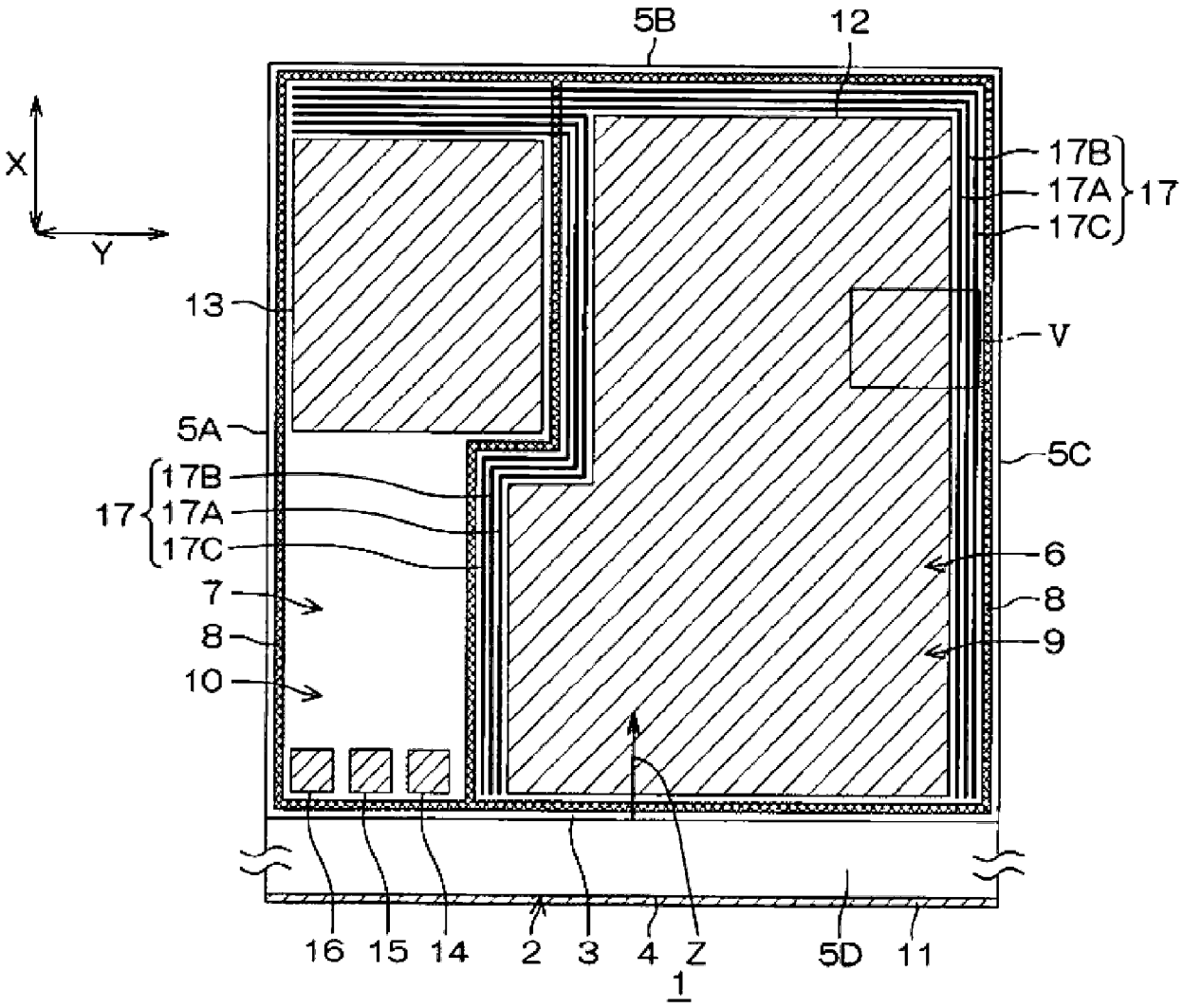
[請求項9] 請求項１～８のいずれか一項に記載の半導体装置と、

前記半導体装置に接続される負荷と、

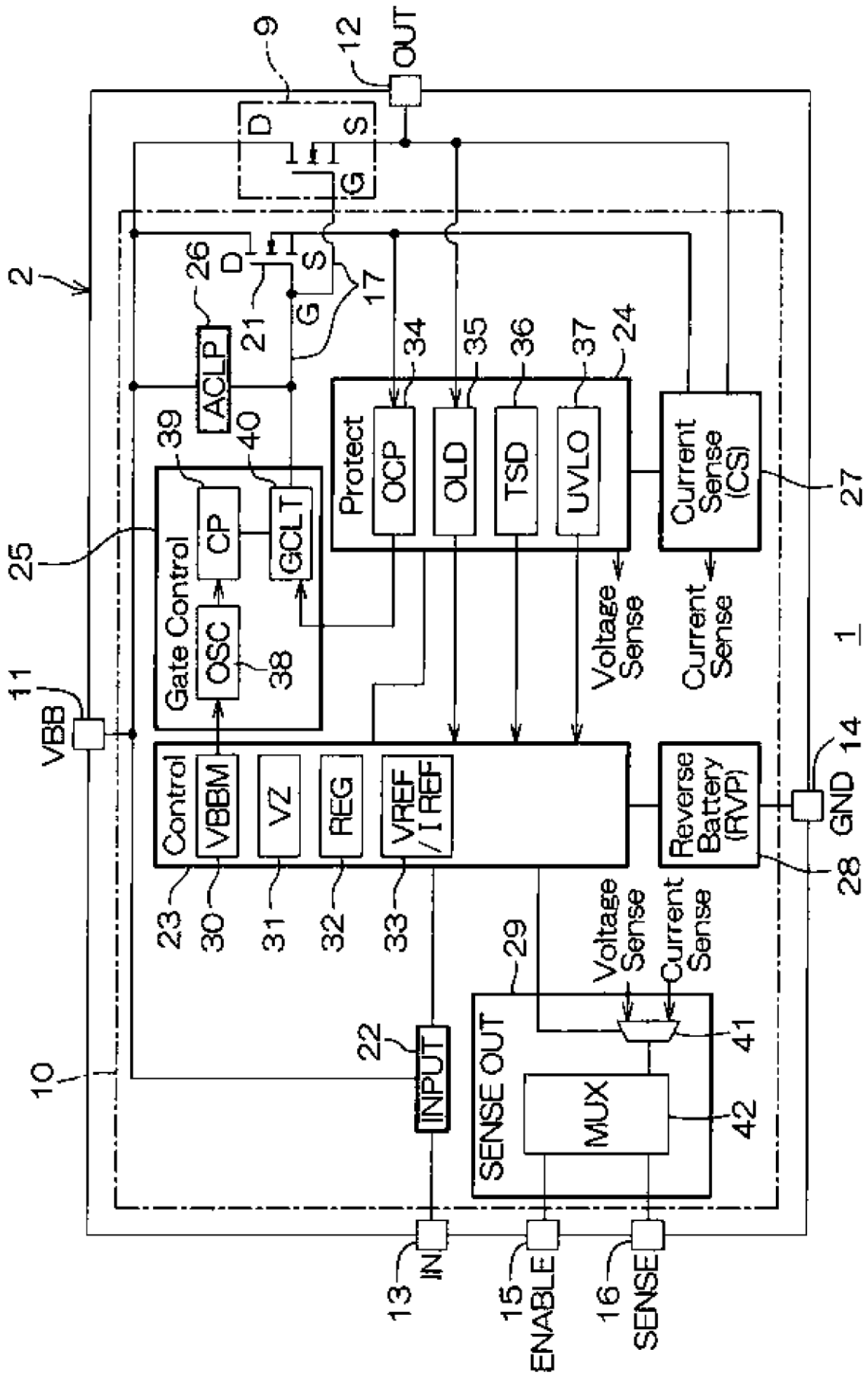
を備える、電子機器。

[請求項10] 請求項９に記載の電子機器を備える、車両。

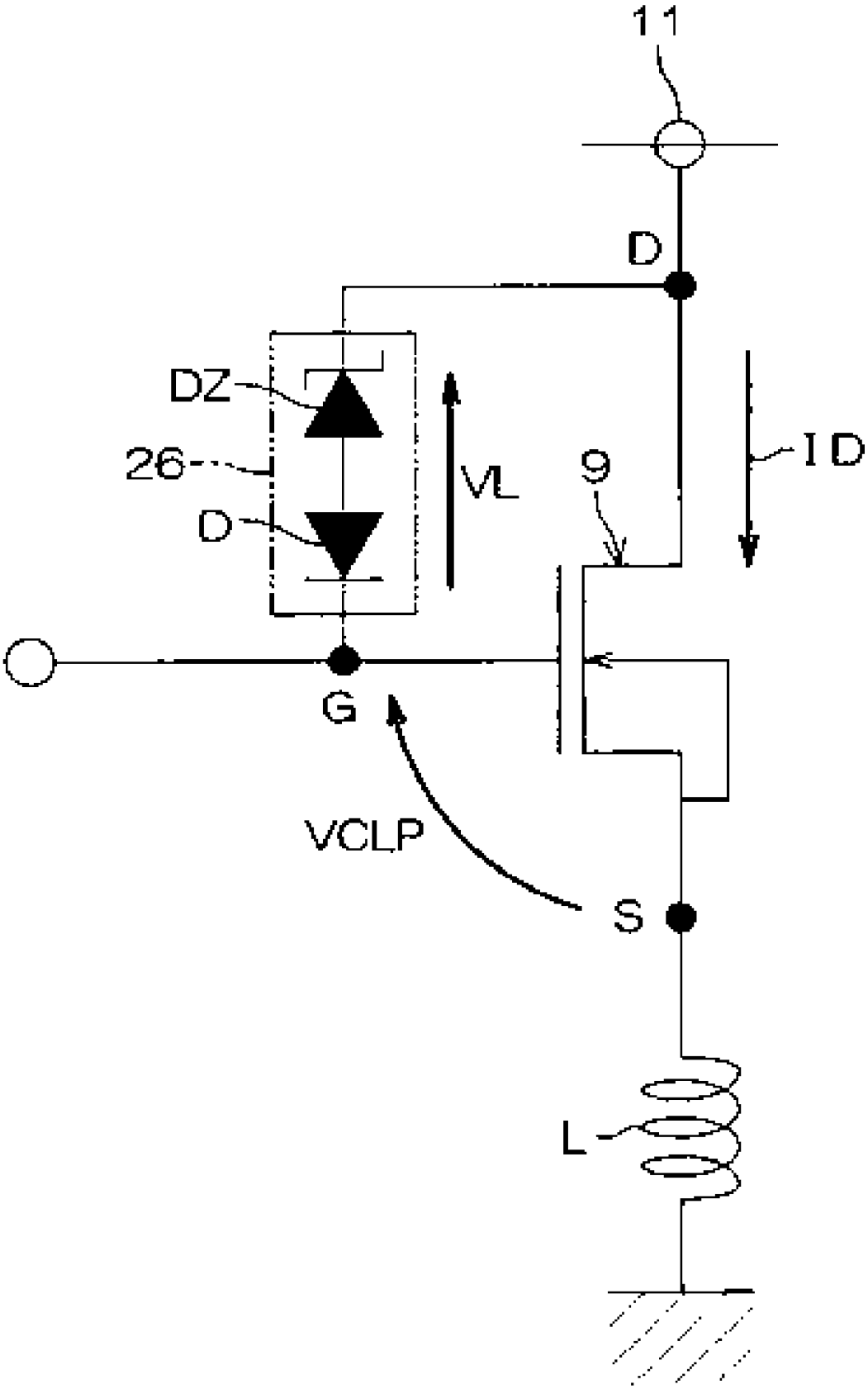
[図1]


5B
12
X
Y
17B
17A
17C
17
13
V
5A
5C
17B
17A
17C
17
6
7
8
9
8
10
16
15
14
2
3
4
Z
5D
11
1

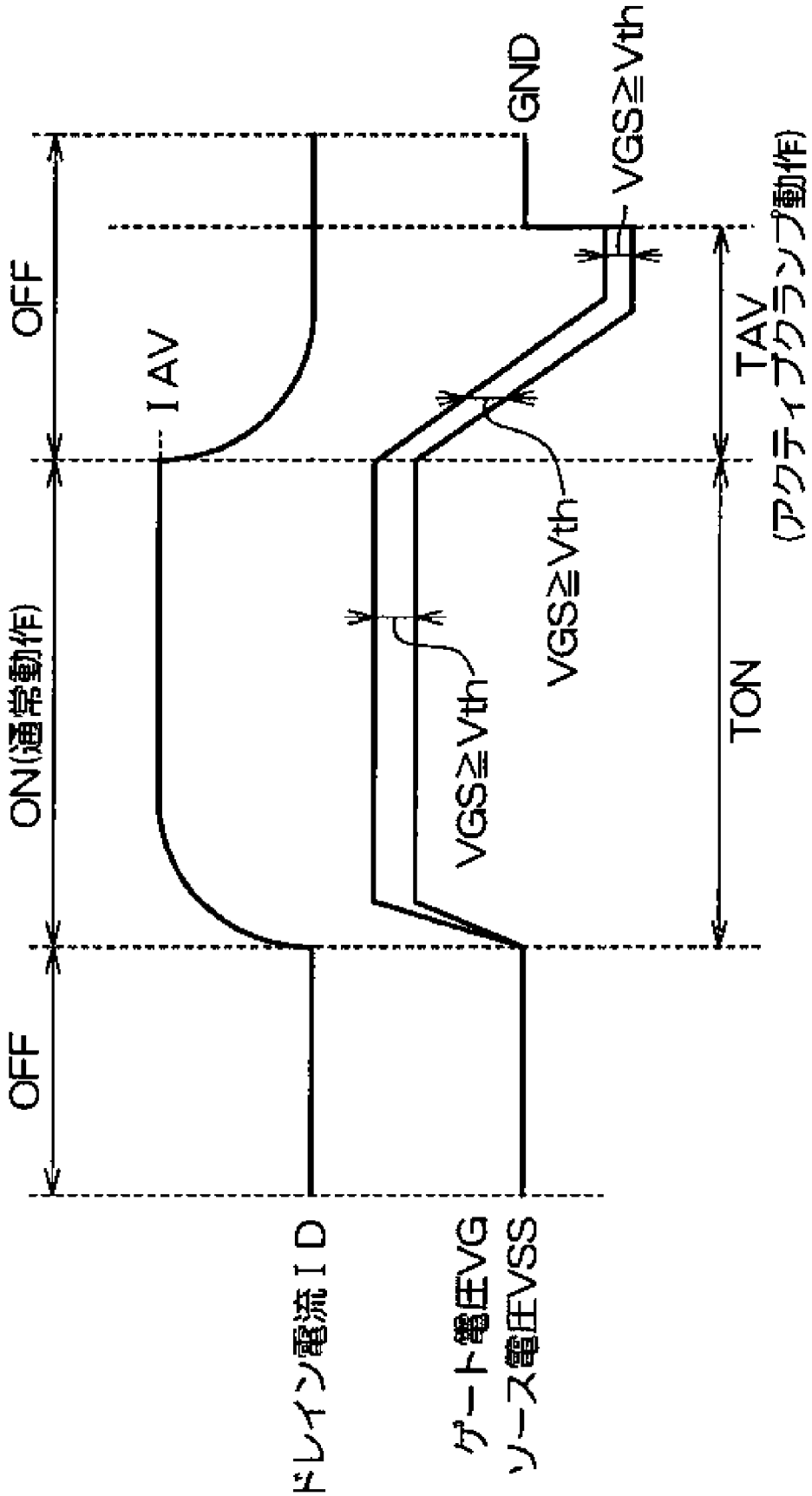
[図2]


9
12
OUT
D
S
G
2
26
D
S
G
21
17
ACLP
34
35
36
37
24
Protect
OCP
OLD
TSD
UVLO
Current Sense (CS)
27
39
40
CP
GCLT
Gate Control
OSC
38
25
11
VBB
Voltage Sense
Current Sense
1
Control
VBBM
VZ
REG
VREF / I REF
Reverse Battery (RVP)
GND
14
28
23
30
31
32
33
29
Voltage Sense
Current Sense
22
INPUT
SENSE OUT
MUX
41
42
10
13
IN
15
ENABLE
16
SENSE

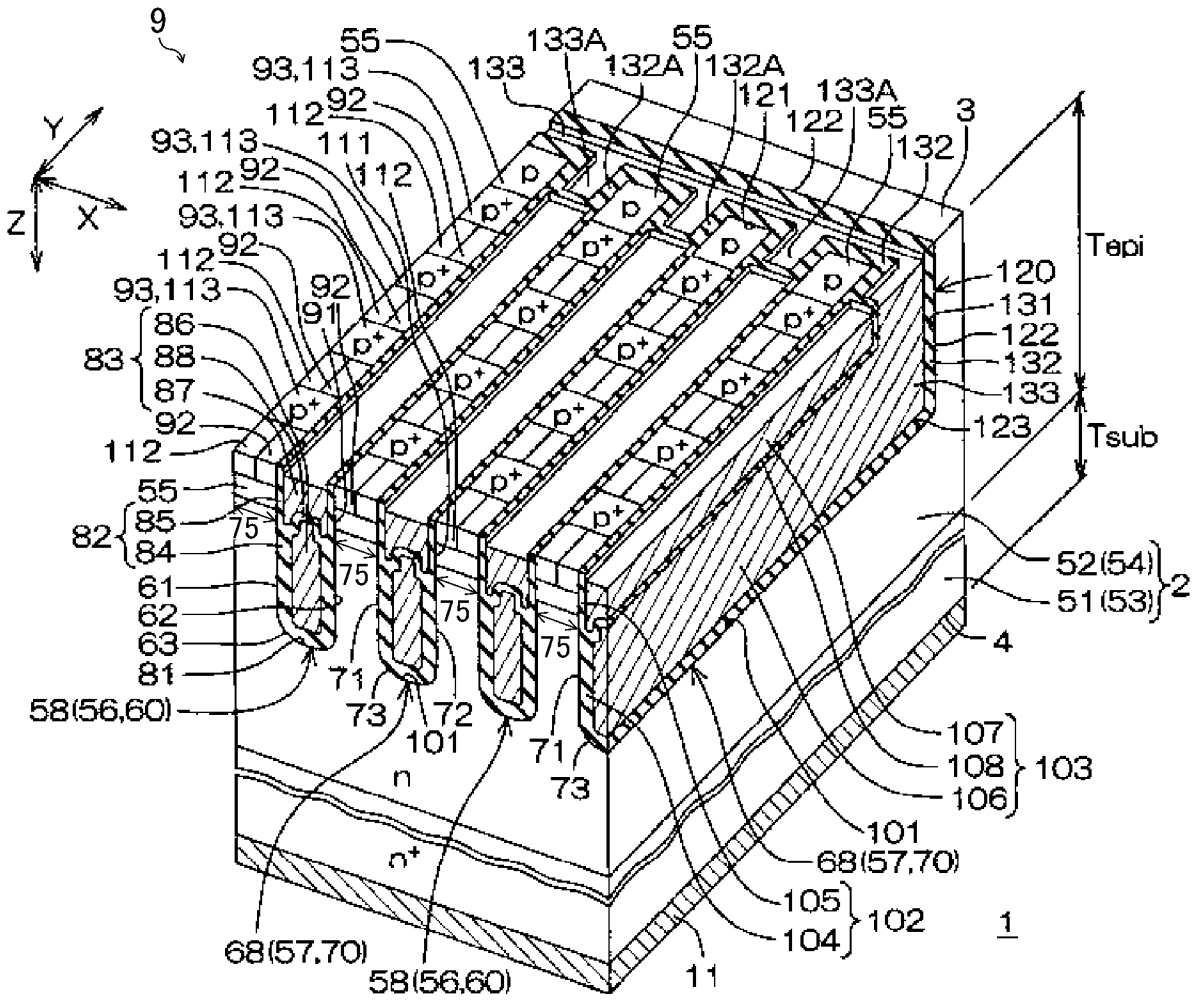
[図3]



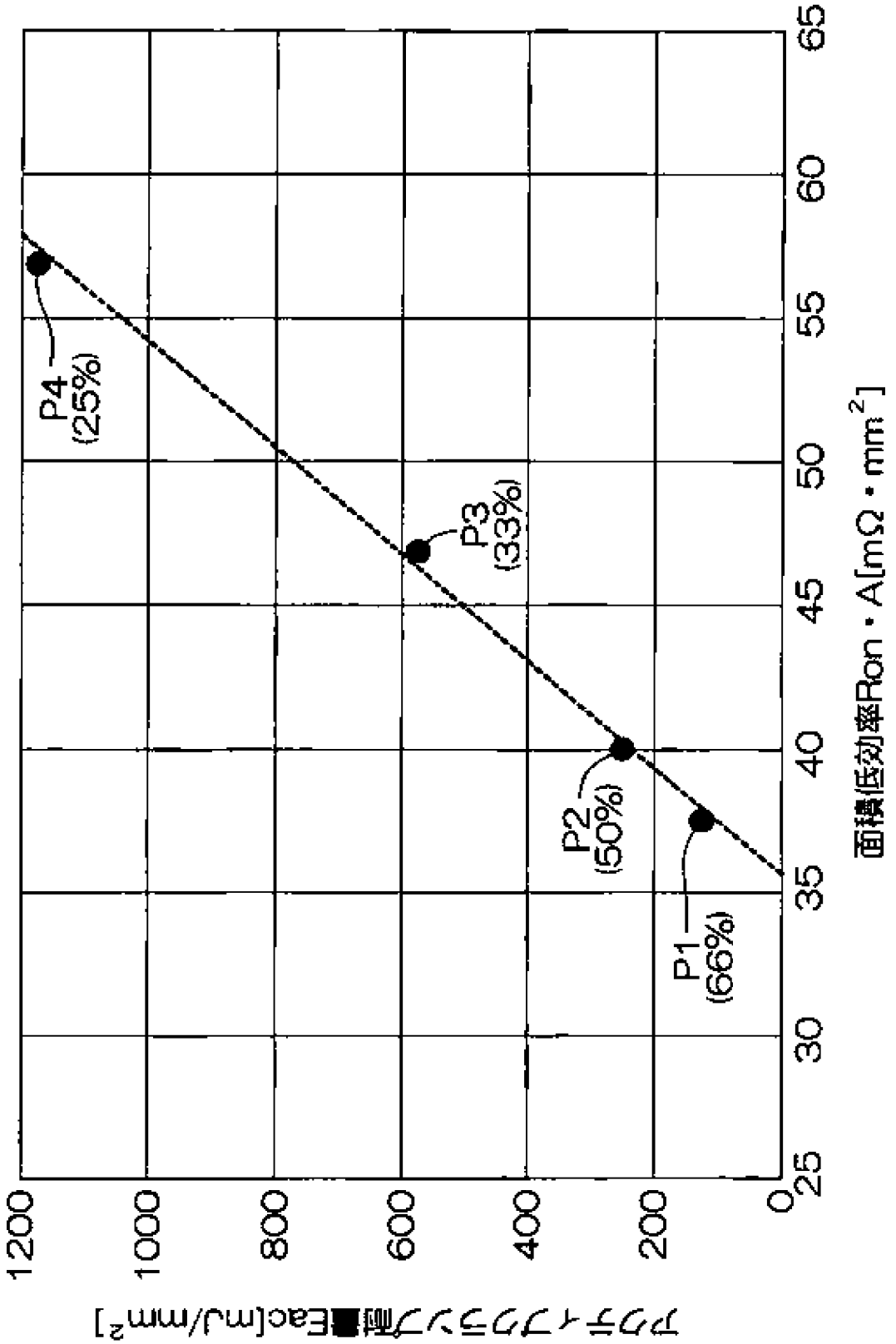
[図4]


GND
VGS≧Vth
OFF
IAV
TAV
(アクティブクランプ動作)
ON(通常動作)
VGS≧Vth
VGS≧Vth
TON
OFF
ドレイン電流ID
ゲート電圧VG
ソース電圧VSS

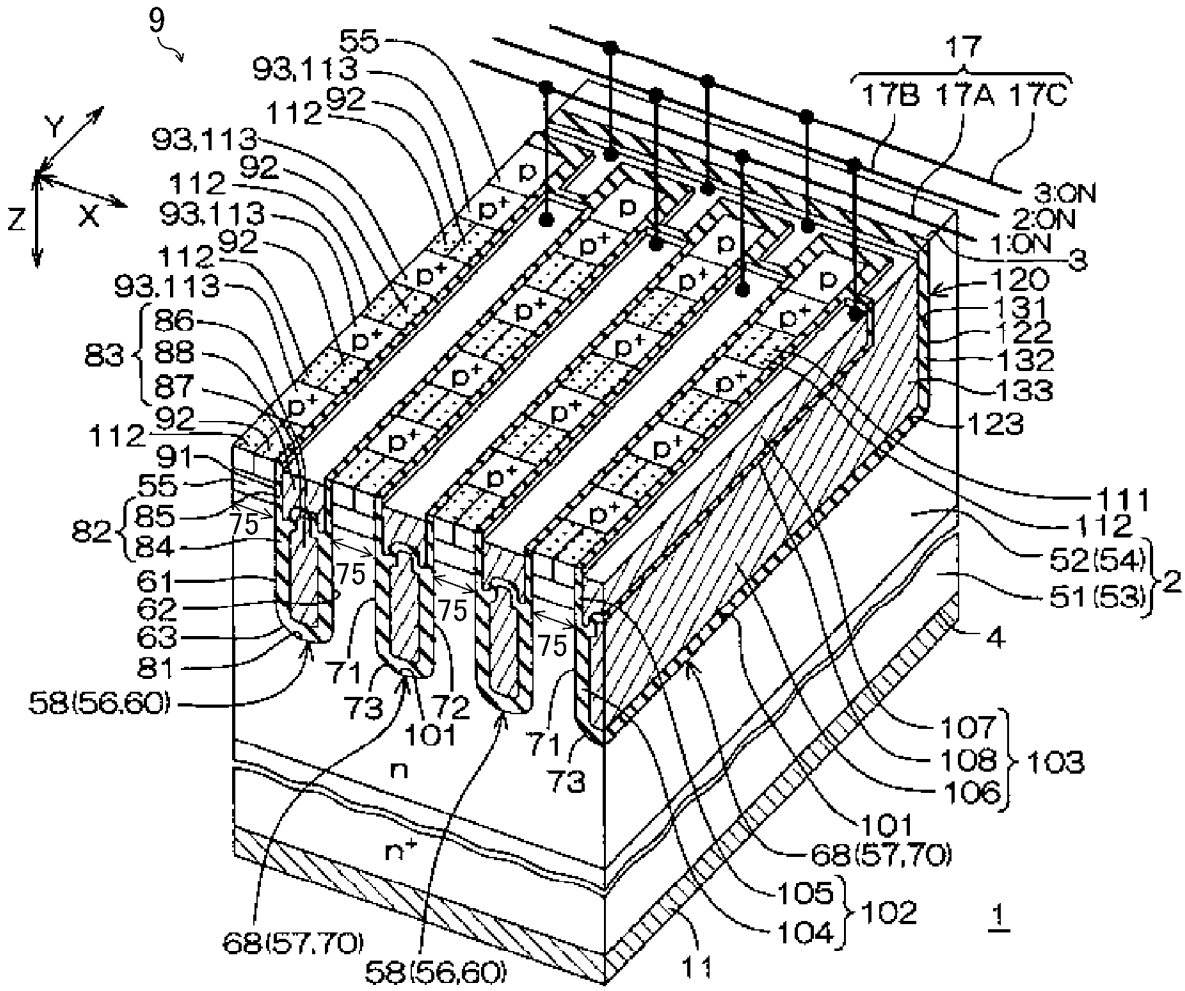
[図5]


9
Y
Z
X
55
93,113
112
92
111
133
133A
132A
121
122
132
3
120
131
123
Tepi
Tsub
86
88
87
91
83
82
85
84
75
61
62
63
81
58(56,60)
71
73
72
101
n
n+
p
p+
52(54)
51(53)
2
4
107
108
106
103
68(57,70)
105
104
102
1
11

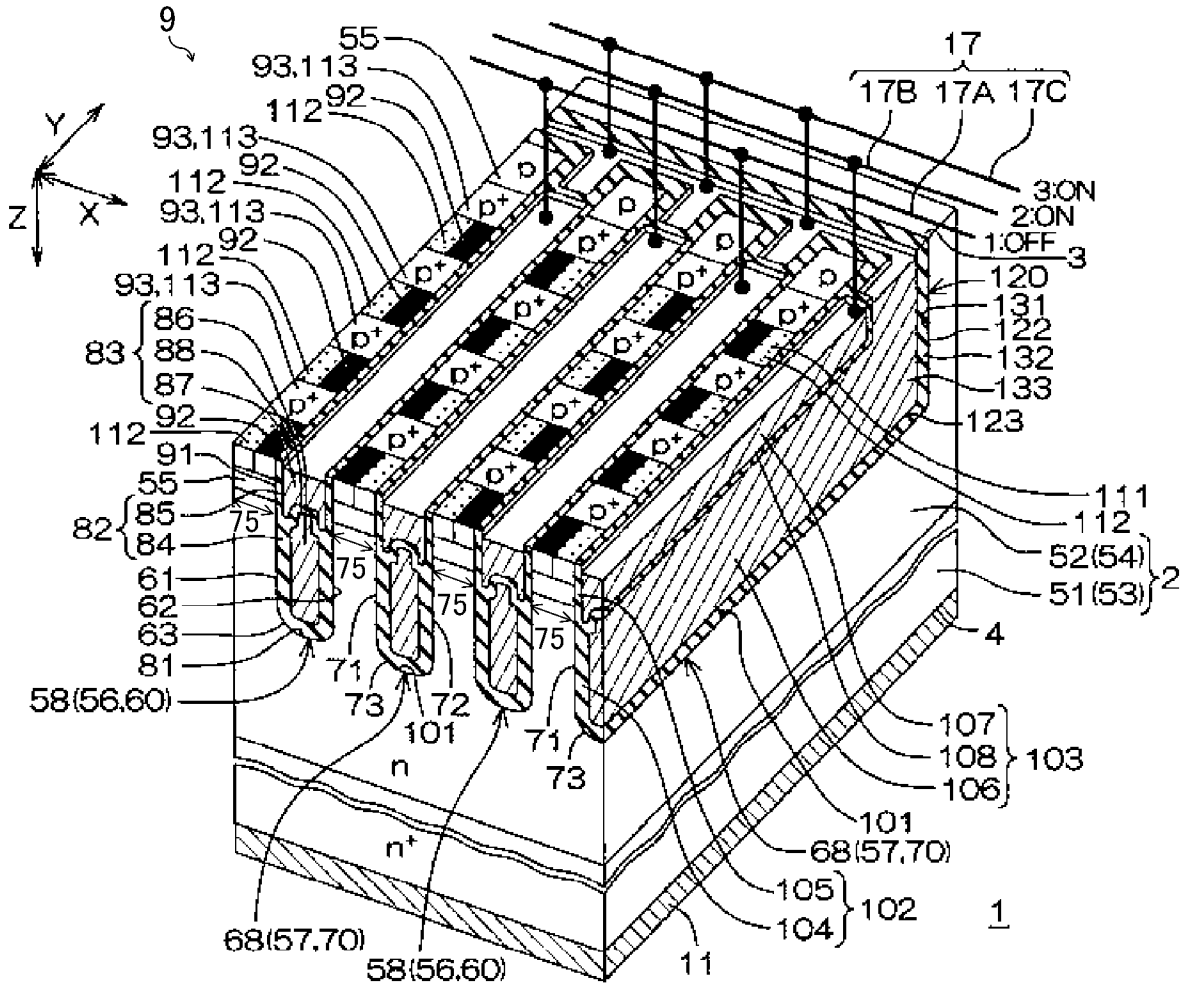
[図6]


アバランシェ耐量Eac[mJ/mm²]
1200
1000
800
600
400
200
0
25
30
35
40
45
50
55
60
65
面積低効率Ron・A[mΩ・mm²]
P1
(66%)
P2
(50%)
P3
(33%)
P4
(25%)

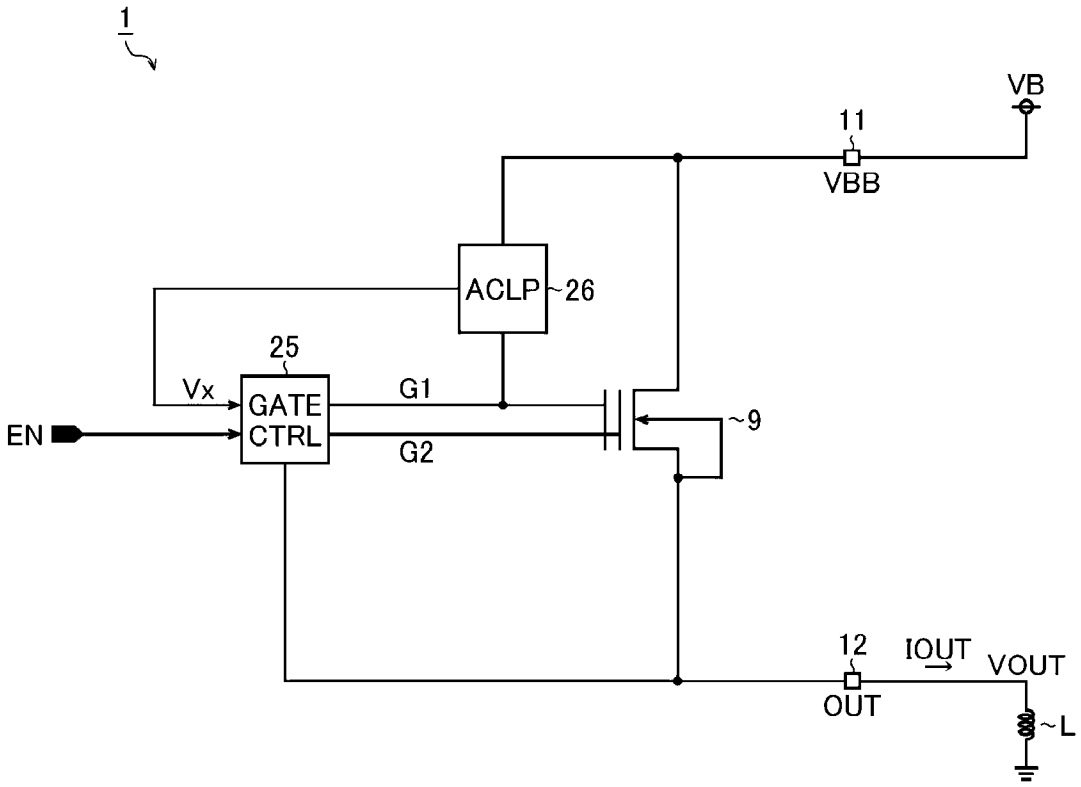
[図7]


9
55
93,113
92
112
Y
Z
X
17
17B 17A 17C
3:ON
2:ON
1:ON
3
120
131
122
132
133
123
111
112
52(54)
51(53)
2
4
83
86
88
87
82
85
84
91
61
62
63
81
58(56,60)
75
71
73
72
101
n
n+
p
p+
107
108
106
103
105
104
102
68(57,70)
11
1

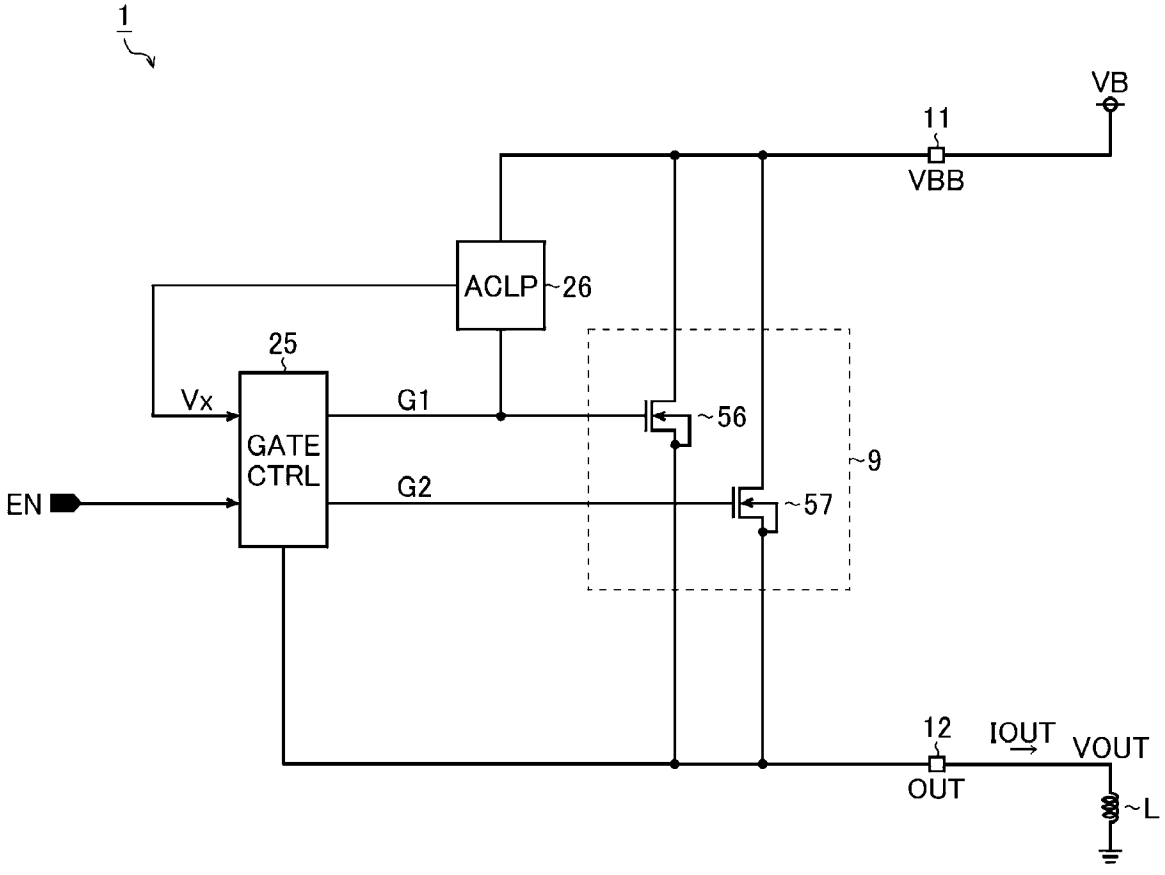
[図8]


9
55
93,113
92
112
17
17B 17A 17C
3:ON
2:ON
1:OFF
3
120
131
122
132
133
123
111
112
52(54)
51(53)
2
4
Y
Z
X
83
86
88
87
82
85
84
91
61
62
63
81
58(56,60)
75
71
73
72
101
n
n+
p
p+
107
108
106
103
105
104
102
1
11
68(57,70)

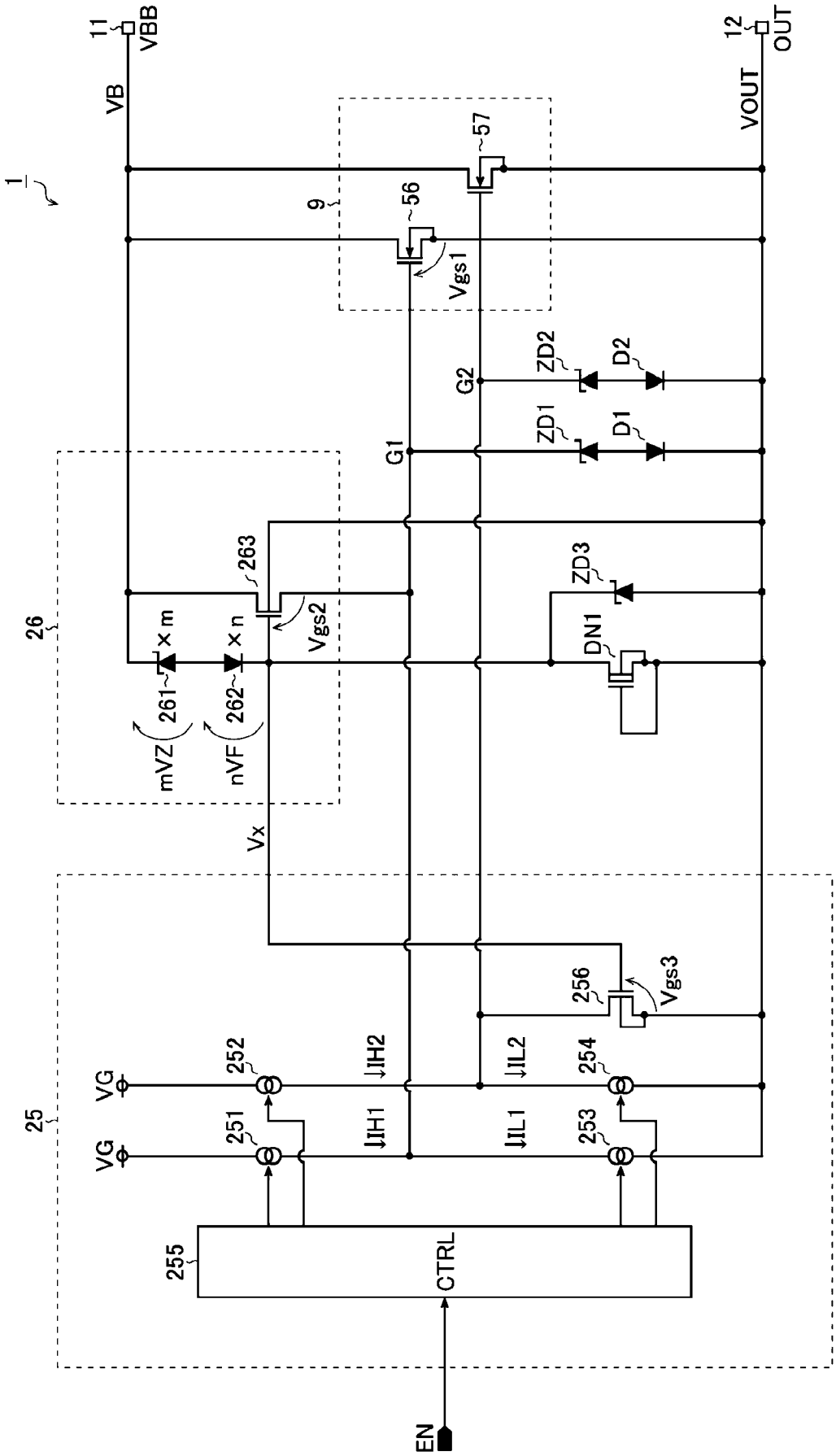
[図9]


1
VB
11
VBB
ACLP
26
25
Vx
GATE
CTRL
G1
G2
EN
9
12
IOUT
VOUT
OUT
L

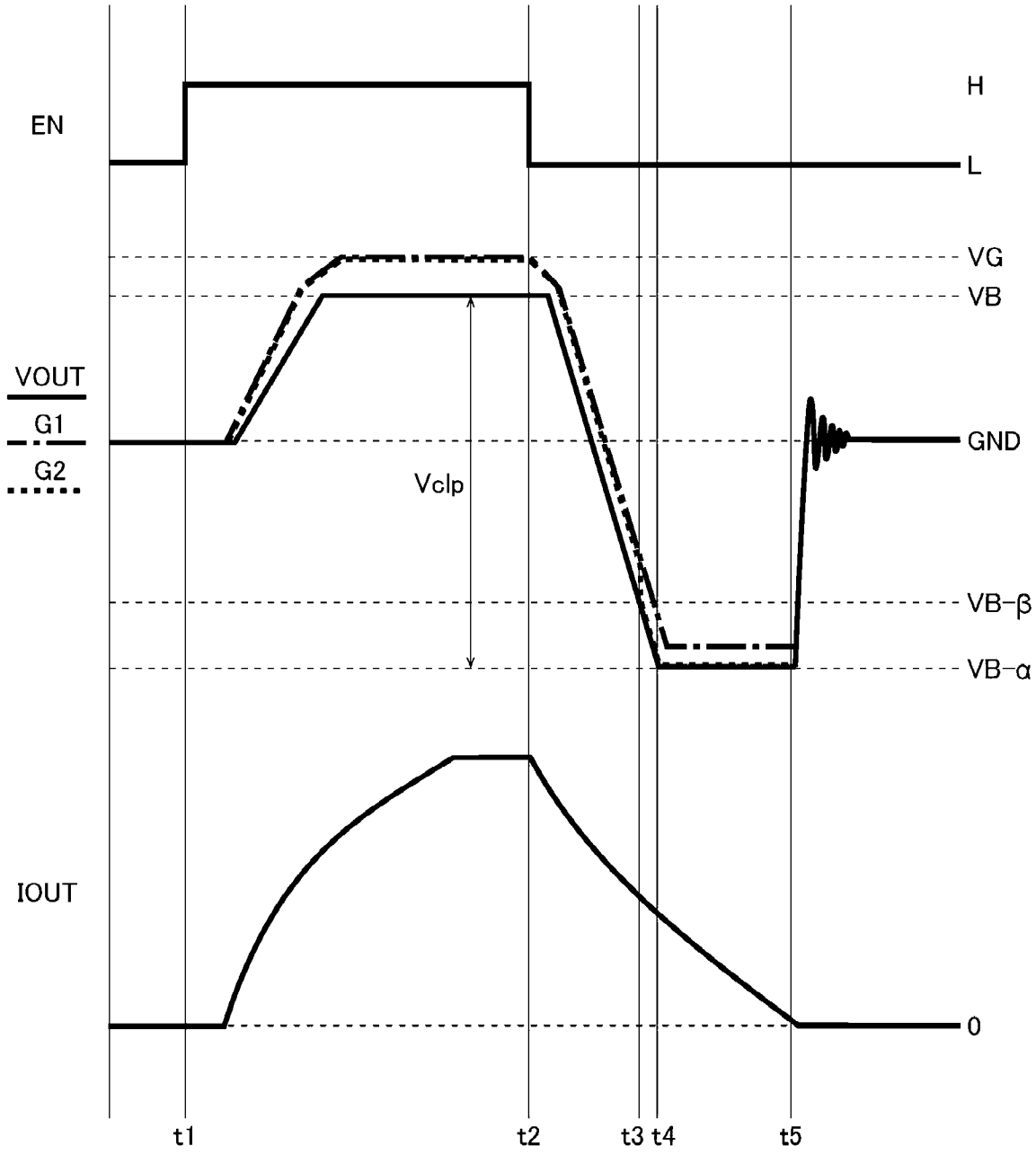
[図10]


1
VB
11
VBB
ACLP
26
25
Vx
GATE
CTRL
G1
G2
EN
56
57
9
12
IOUT
VOUT
OUT
L

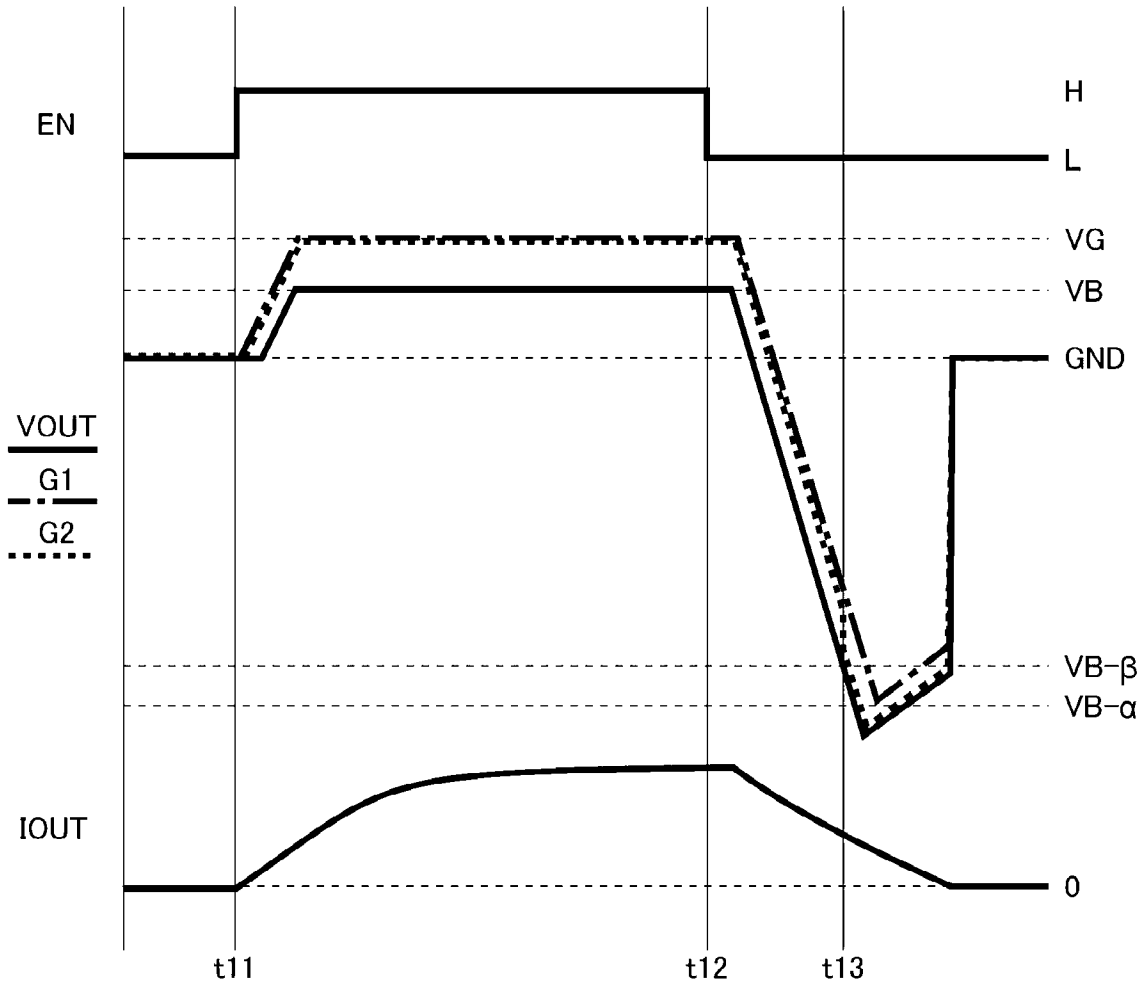
[図11]


1
11
VBB
VB
12
OUT
VOUT
9
57
56
Vgs1
G2
ZD2
D2
G1
ZD1
D1
26
263
Vgs2
ZD3
DN1
× m
× n
261
262
mVZ
nVF
Vx
25
256
Vgs3
252
251
IH2
IH1
IL2
IL1
254
253
VG
VG
255
CTRL
EN

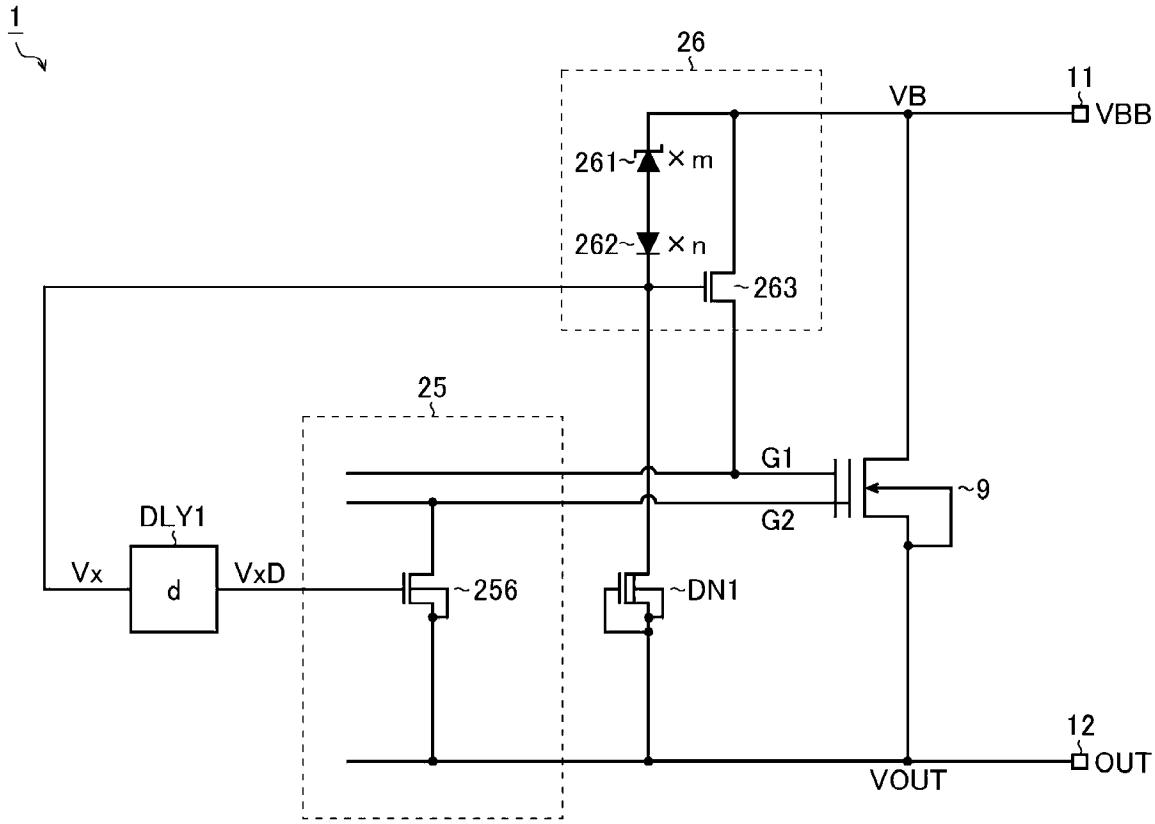
[図12]



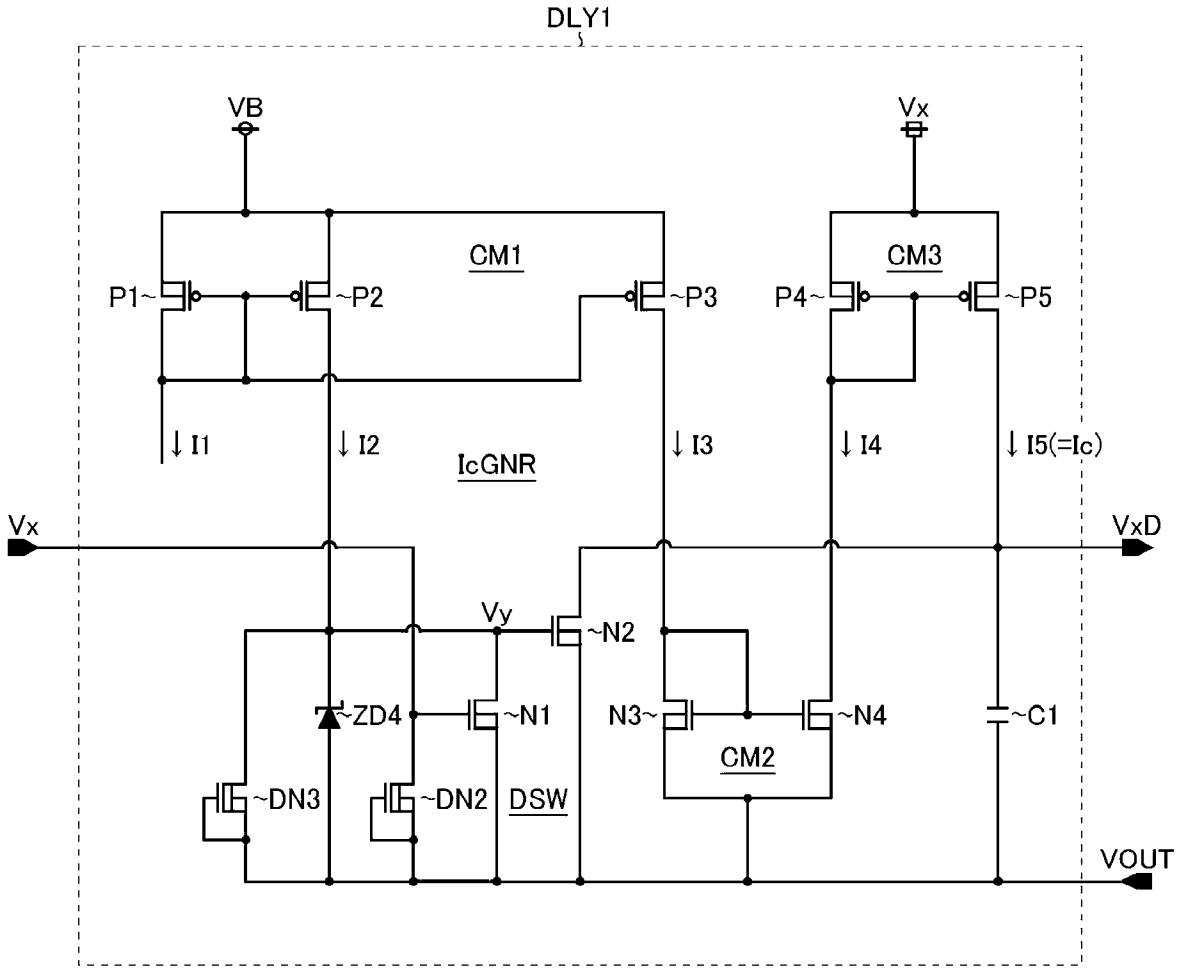
[図13]



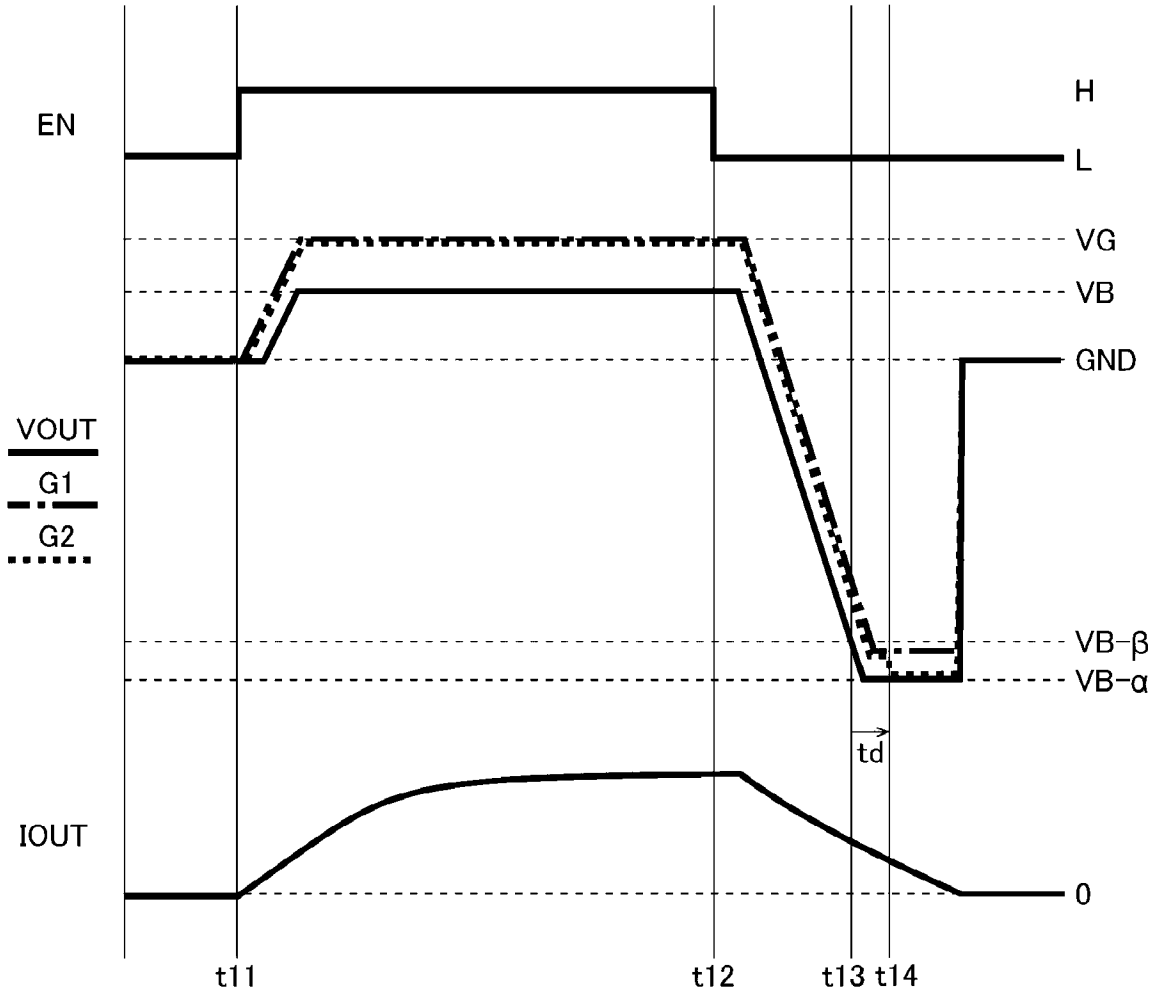
[図14]


1
26
11
VB
VBB
261
×m
262
×n
263
25
G1
G2
9
DLY1
Vx
d
VxD
256
DN1
12
OUT
VOUT

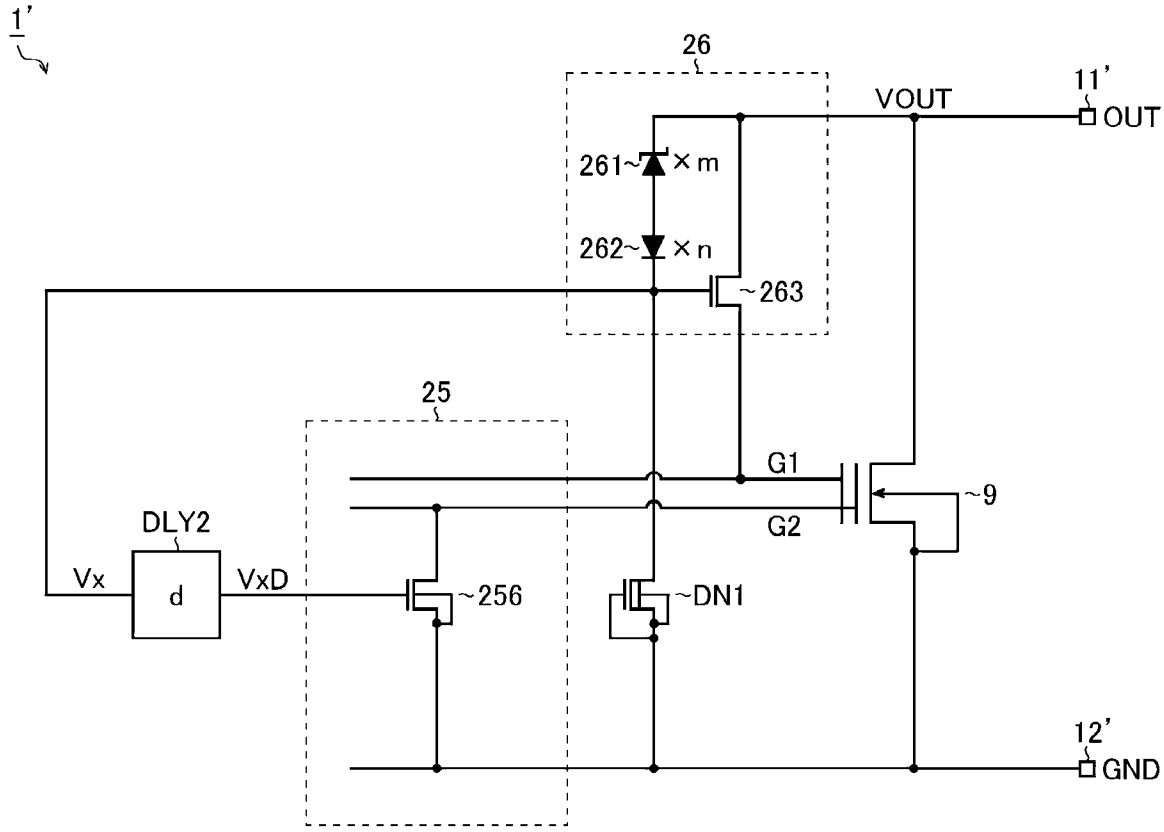
[図15]


DLY1
VB
Vx
CM1
CM3
P1~
~P2
~P3
P4~
~P5
↓I1
↓I2
IcGNR
↓I3
↓I4
↓I5(=Ic)
Vx
VxD
Vy
~N2
~ZD4
~N1
N3~
~N4
~C1
CM2
~DN3
~DN2
DSW
VOUT

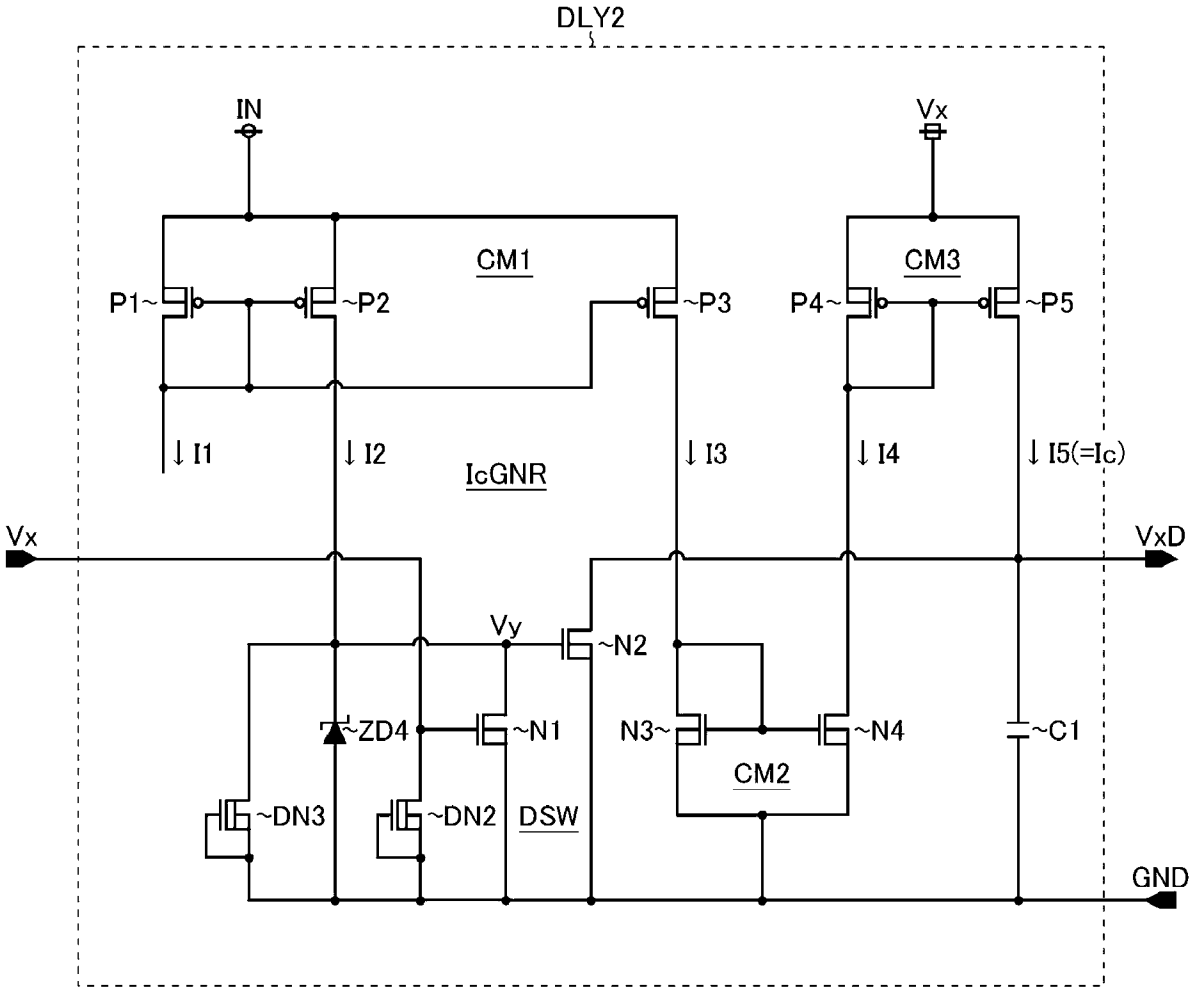
[図16]



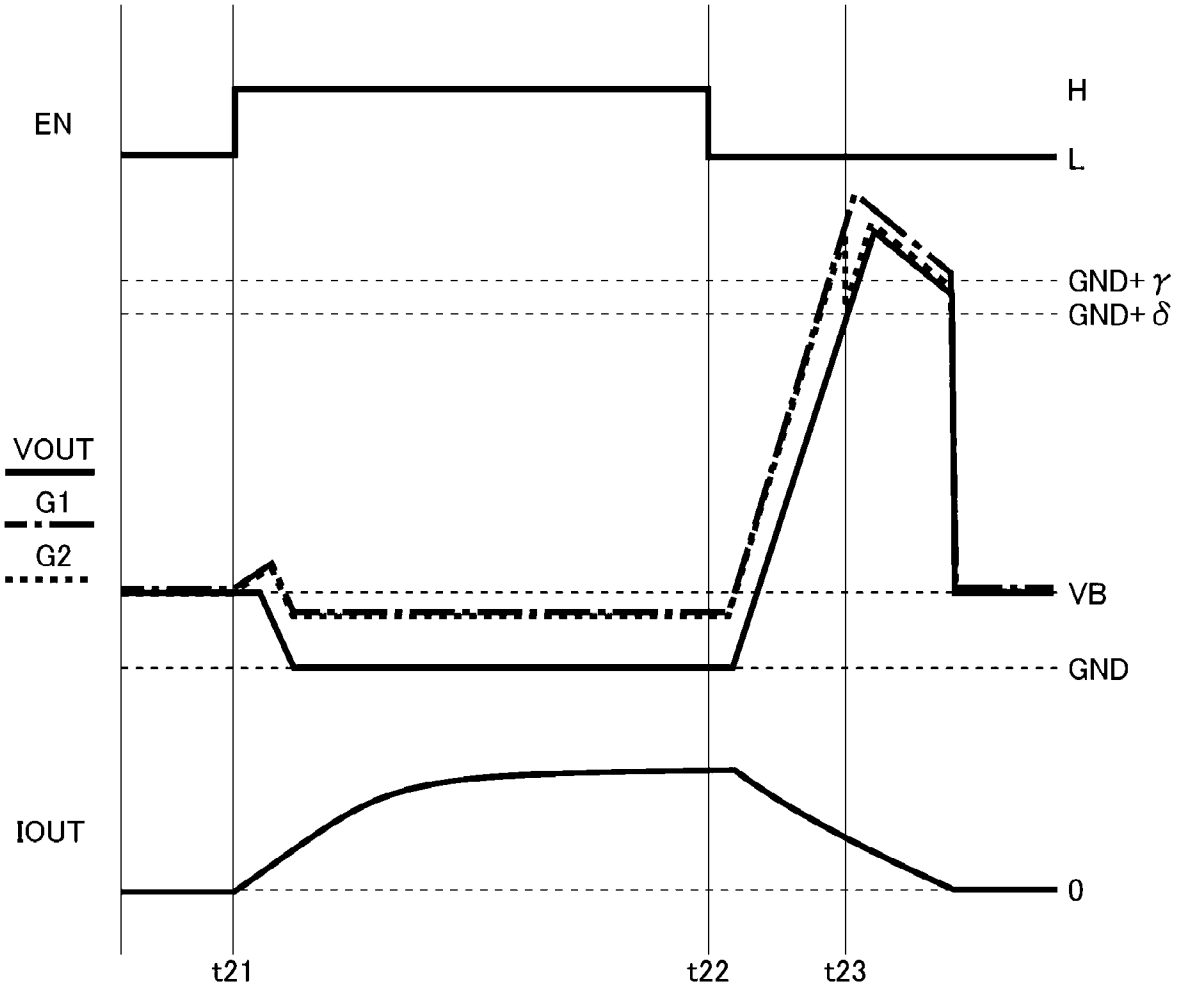
[図17]


1'
26
11'
VOUT
OUT
261~
×m
262~
×n
~263
25
G1
~9
G2
DLY2
Vx
d
VxD
~256
~DN1
12'
GND

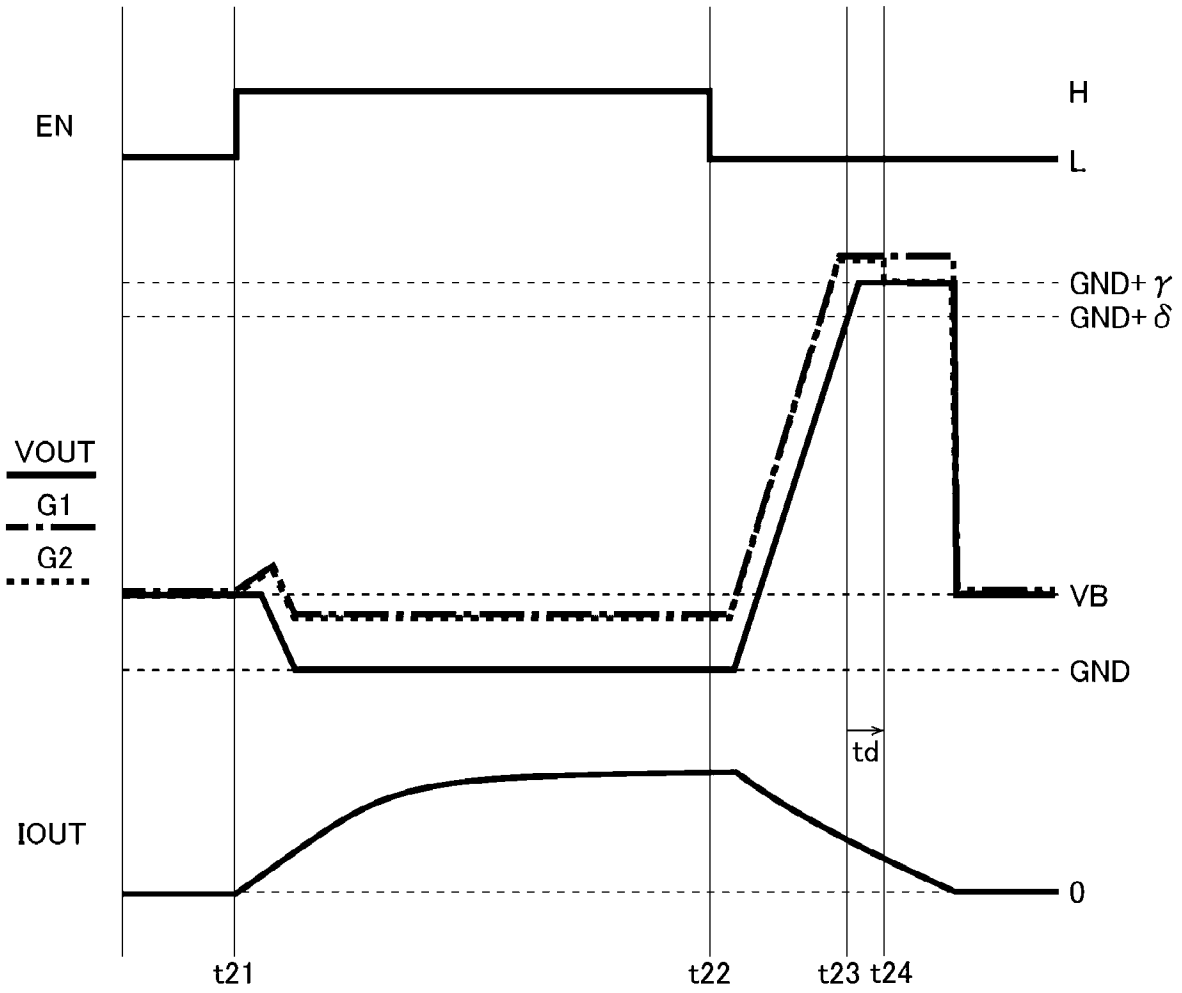
[図18]


DLY2
IN
Vx
CM1
CM3
P1~
~P2
~P3
P4~
~P5
↓I1
↓I2
IcGNR
↓I3
↓I4
↓I5(=Ic)
Vx
VxD
Vy
~N2
~ZD4
~N1
N3~
~N4
~C1
CM2
~DN3
~DN2
DSW
GND

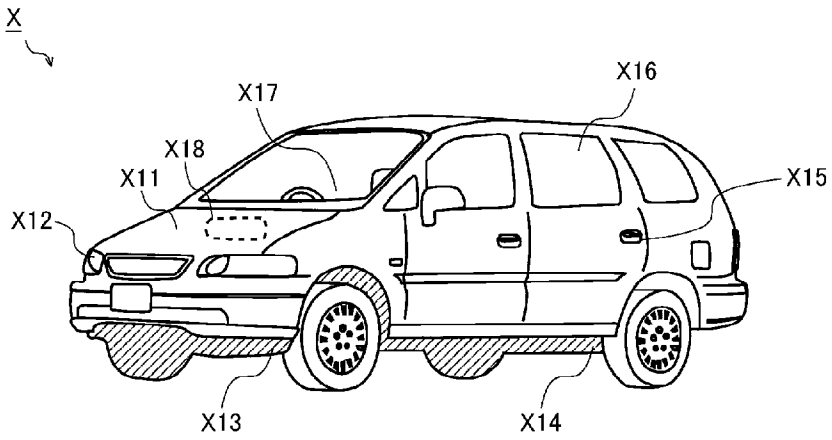
[図19]



[図20]


EN
H
L
GND+ γ
GND+ δ
VOUT
G1
G2
VB
GND
td
IOUT
0
t21
t22
t23
t24

[図21]


X
X16
X17
X18
X11
X15
X12
X13
X14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/025736

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/08(2006.01)i; ***H01L 29/78***(2006.01)i; ***H02M 1/08***(2006.01)i
FI: H03K17/08 C; H01L29/78 652B; H01L29/78 652D; H01L29/78 652F; H01L29/78 652Q; H01L29/78 653C; H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/08; H01L29/78; H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/024813 A1 (ROHM CO., LTD.) 11 February 2021 (2021-02-11) paragraphs [0769]-[0813], fig. 55	1-10
A	WO 2020/130141 A1 (ROHM CO., LTD.) 25 June 2020 (2020-06-25) paragraphs [0783]-[0827], fig. 57	1-10
A	WO 2017/187785 A1 (ROHM CO., LTD.) 02 November 2017 (2017-11-02) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 September 2022	**04 October 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/025736

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/024813 A1	11 February 2021	DE 112020003678 T5 paragraphs [0768]-[0812], fig. 55 CN 114175238 A	
WO 2020/130141 A1	25 June 2020	US 2022/0045208 A1 paragraphs [0853]-[0897], fig. 57 DE 112019006364 T5 CN 113228299 A	
WO 2017/187785 A1	02 November 2017	US 2019/0123541 A1 entire text, all drawings DE 112017001822 T5 KR 10-2018-0126042 A CN 109075556 A	

国際調査報告

国際出願番号
PCT/JP2022/025736

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03K 17/08(2006.01)i; H01L 29/78(2006.01)i; H02M 1/08(2006.01)i
FI: H03K17/08 C; H01L29/78 652B; H01L29/78 652D; H01L29/78 652F; H01L29/78 652Q; H01L29/78 653C; H02M1/08 A

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03K17/08; H01L29/78; H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2021/024813 A1 (ローム株式会社) 11.02.2021 (2021-02-11) 段落[０７６９]－[０８１３]、図５５	1-10
A	WO 2020/130141 A1 (ローム株式会社) 25.06.2020 (2020-06-25) 段落[０７８３]－[０８２７]、図５７	1-10
A	WO 2017/187785 A1 (ローム株式会社) 02.11.2017 (2017-11-02) 全文全図	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.09.2022	04.10.2022

名称及びあて先	権限のある職員（特許庁審査官）
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目４番３号	工藤　一光 5W 9274 電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/025736

引用文献	公表日	パテントファミリー文献	公表日
WO 2021/024813 A1	11.02.2021	DE 112020003678 T5 段落[０７６８]－[０８１２]、図５５ CN 114175238 A	
WO 2020/130141 A1	25.06.2020	US 2022/0045208 A1 段落[０８５３]－[０８９７]、図５７ DE 112019006364 T5 CN 113228299 A	
WO 2017/187785 A1	02.11.2017	US 2019/0123541 A1 全文全図 DE 112017001822 T5 KR 10-2018-0126042 A CN 109075556 A	